



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132204
(43) 공개일자 2015년11월25일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 33/00</i> (2010.01) <i>C30B 29/40</i> (2006.01)
 <i>H01L 21/02</i> (2006.01) <i>H01L 33/08</i> (2010.01)
 <i>H01L 33/32</i> (2010.01) <i>H01S 5/343</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 33/007</i> (2013.01)
 <i>C30B 29/403</i> (2013.01)</p> <p>(21) 출원번호 10-2015-7026743
 (22) 출원일자(국제) 2014년03월17일
 심사청구일자 없음
 (85) 번역문제출일자 2015년09월25일
 (86) 국제출원번호 PCT/EP2014/055316
 (87) 국제공개번호 WO 2014/140371
 국제공개일자 2014년09월18일
 (30) 우선권주장
 61/789,792 2013년03월15일 미국(US)
 (뒷면에 계속)</p> | <p>(71) 출원인
 소이텍
 프랑스, 에프-38190 베른느, 슈망 데 프랑크, 백
 페르놀로지끄 데 폰텐느</p> <p>(72) 발명자
 드브레 장-필립
 미국 85207 애리조나주 메사 이스트 자스민 서클
 8220
 아레나 산탈
 미국 82505 애리조나주 메사 이 아이비글렌 서클
 3847
 케른 리차드 스콧
 프랑스 에프-38000 그르노블 플레이스 드 베르망
 4</p> <p>(74) 대리인
 정홍식</p> |
|--|---|

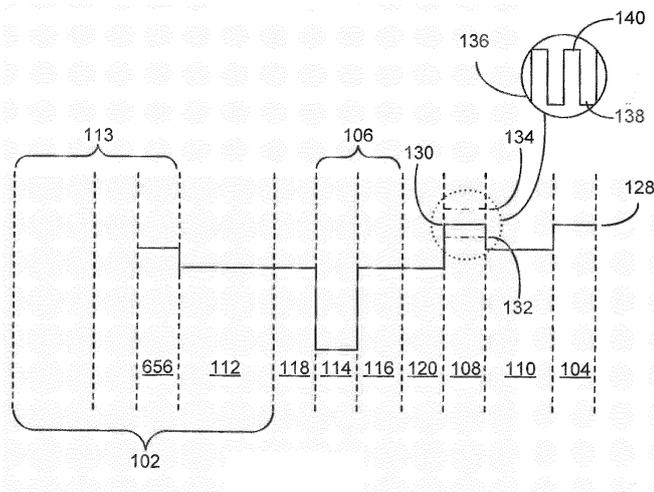
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 InGaN을 포함하는 활성 영역을 가지는 반도체 구조, 그와 같은 반도체 구조를 형성하는 방법, 및 그와 같은 반도체 구조로부터 형성되는 발광 장치

(57) 요약

반도체 구조는 복수의 InGaN의 층 사이에 활성 영역을 포함한다. 활성 영역은 적어도 실질적으로 InGaN으로 구성될 수 있다. 복수의 InGaN의 층은 $In_xGa_{1-w}N$ 을 포함하는 적어도 하나의 우물 층, 및 적어도 하나의 우물 층 근방에 $In_bGa_{1-b}N$ 을 포함하는 적어도 하나의 배리어 층을 포함한다. 일부 실시 예에 있어서, 우물 층의 $In_xGa_{1-w}N$ 에서의 w의 값은 약 0.10보다 이상이고, 또는 일부 실시 예에 있어서는 약 0.40보다 이하일 수 있고, 적어도 하나의 배리어 층의 $In_bGa_{1-b}N$ 에서의 b의 값은 약 0.01보다 이상이고, 약 0.10보다 이하일 수 있다. 반도체 구조를 형성하는 방법은 발광 장치, 예컨대 LED의 활성 영역을 형성하기 위해 InGaN의 이와 같은 층을 성장시키는 것을 포함한다. 발광 장치(luminary device)는 이와 같은 LED를 포함한다.

대표도 - 도1b



(52) CPC특허분류

C30B 29/406 (2013.01)
H01L 21/02458 (2013.01)
H01L 21/02507 (2013.01)
H01L 33/08 (2013.01)
H01L 33/32 (2013.01)
H01S 5/34333 (2013.01)

(30) 우선권주장

61/790,085 2013년03월15일 미국(US)
61/788,441 2013년03월15일 미국(US)
1300823 2013년04월08일 프랑스(FR)
1300860 2013년04월11일 프랑스(FR)
1300923 2013년04월12일 프랑스(FR)

명세서

청구범위

청구항 1

반도체 구조에 있어서,

약 3.189 옴스트롬보다 크거나 같은 성장 평면 격자 파라미터(growth plane lattice parameter)를 갖는 극성 성장 평면(polar growth plane)을 가지는 GaN 베이스 층(base layer);

상기 베이스 층 위에 배치되며, 적어도 하나의 $\text{In}_w\text{Ga}_{1-w}\text{N}$ 우물 층, 및 적어도 하나의 $\text{In}_b\text{Ga}_{1-b}\text{N}$ 배리어 층을 포함하는 복수의 InGa_N의 층을 포함하고, 상기 w는 $0.10 \leq w \leq 0.40$ 이고, 상기 b는 $0.01 \leq b \leq 0.10$ 인 활성 영역(active region);

상기 GaN 베이스 층과 반대측인 상기 활성 영역 위에 배치되는 전자 차단 층(electron blocking layer);

상기 전자 차단 층 위에 배치되며, $\text{In}_p\text{Ga}_{1-p}\text{N}$ 을 포함하고, 상기 p는 $0.00 \leq p \leq 0.08$ 인 p-형 벌크 층(p-type bulk layer); 및

상기 p-형 벌크 층 상에 배치되며, $\text{In}_c\text{Ga}_{1-c}\text{N}$ 을 포함하고, 상기 c는 $0.00 \leq c \leq 0.10$ 인 p-형 접촉 층(p-type contact layer);을 포함하는 반도체 구조.

청구항 2

제 1 항에 있어서,

상기 베이스 층은 성장 템플레이트(growth template)를 더 포함하고, 상기 성장 템플레이트는:

지지 기판; 및

상기 지지 기판 위에 배치되며, 성장 평면은 약 3.189 옴스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극평면(polar plane)인 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(seed layer);을 포함하고, 상기 s는 $0.02 \leq s \leq 0.05$ 이고, 상기 GaN 베이스 층은, 상기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층의 상기 성장 평면과 실질적으로 매칭되는 격자(lattice)인 반도체 구조.

청구항 3

제 1 항에 있어서,

상기 전자 차단 층은, 적어도 실질적으로 GaN으로 구성되는 반도체 구조.

청구항 4

제 1 항에 있어서,

상기 GaN 베이스 층과 상기 활성 영역 사이에 배치되는 전자 정지 층(electron stopping layer);을 더 포함하고, 상기 전자 정지 층은 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 을 포함하고, 상기 st는 $0.01 \leq st \leq 0.20$ 인 반도체 구조.

청구항 5

제 1 항에 있어서,

상기 GaN 베이스 층과 상기 활성 영역 사이에 배치되는 변형 완화 층(strain relief layer);을 더 포함하고,

상기 변형 완화 층은, $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 와 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 의 교대 층(alternating layers)을 포함하는 초격자 구조(superlattice structure)를 가지며, 상기 sra는 $0.01 \leq sra \leq 0.10$, 상기 srb는 $0.01 \leq srb \leq 0.10$ 이고, 상기 sra는 srb보다 큰 반도체 구조.

청구항 6

제 1 항에 있어서,

상기 활성 영역은, 상기 적어도 하나의 우물 층과 상기 적어도 하나의 배리어 층 사이에 배치되며, GaN을 포함하는 추가의 배리어 층(additional barrier layer)을 더 포함하는 반도체 구조.

청구항 7

제 1 항에 있어서,

상기 반도체 구조의 임계 변형 에너지(critical strain energy)는, 각각의 층 두께(nm)와 각각의 층의 인듐 함량(%)의 곱(product)의 합(sum)으로 정의되고, 4500이하인 반도체 구조.

청구항 8

제 1 항에 있어서,

상기 p-형 접촉 층은, 적어도 실질적으로 GaN으로 구성되는 반도체 구조.

청구항 9

반도체 구조를 형성하는 방법에 있어서,

약 3.189 Å보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층을 제공하는 단계;

활성 영역을 형성하기 위해 상기 베이스 층 위에 복수의 InGa_nN의 층을 성장시키는 단계;

상기 활성 영역 위에 전자 차단 층을 성장시키는 단계;

상기 전자 차단 층 위에 p-형 In_pGa_{1-p}N 벌크 층을 성장시키는 단계; 및

상기 p-형 In_pGa_{1-p}N 벌크 층 위에 p-형 In_cGa_{1-c}N 접촉 층을 성장시키는 단계;를 포함하고,

상기 p는 0.00 ≤ p ≤ 0.08, 상기 c는 0.00 ≤ c ≤ 0.10이며,

상기 복수의 InGa_nN의 층을 성장시키는 단계는,

적어도 하나의 In_aGa_{1-a}N 우물 층을 성장시키는 단계, 및

상기 적어도 하나의 우물 층 위에 적어도 하나의 In_bGa_{1-b}N 배리어 층을 성장시키는 단계를 포함하고, 상기 w는 0.10 ≤ w ≤ 0.40, 상기 b는 0.01 ≤ b ≤ 0.10인 반도체 구조 형성 방법.

청구항 10

제 9 항에 있어서,

상기 베이스 층을 형성하는 단계는, 성장 템플레이트를 형성하는 단계를 더 포함하고,

상기 성장 템플레이트를 형성하는 단계는:

지지 기판을 제공하는 단계, 및

In_sGa_{1-s}N 시드 층을 상기 지지 기판에 접합하는 단계를 포함하고, 상기 In_sGa_{1-s}N 시드 층의 성장 평면은, 약 3.189 옹스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극평면이고, 상기 In_sGa_{1-s}N 시드 층에서 상기 s는 0.02 ≤ s ≤ 0.05 인 반도체 구조 형성 방법.

청구항 11

제 9 항에 있어서,

상기 전자 차단 층을 성장시키는 단계는, 적어도 실질적으로 GaN으로 구성된 상기 전자 차단 층을 성장시키는 단계를 포함하는 반도체 구조 형성 방법.

청구항 12

제 9 항에 있어서,
 상기 GaN 베이스 층과 상기 활성 영역 사이에 배치되는 전자 정지 층을 성장시키는 단계;를 더 포함하고,
 상기 전자 정지 층은, 적어도 실질적으로 $Al_{st}Ga_{1-st}N$ 으로 구성되고, 상기 st는 $0.01 \leq st \leq 0.20$ 인 반도체 구조 형성 방법.

청구항 13

제 9 항에 있어서,
 상기 GaN 베이스 층과 상기 활성 영역 사이에 배치되는 변형 완화 층을 성장시키는 단계;를 더 포함하고,
 상기 변형 완화 층은, $In_{sra}Ga_{1-sra}N$ 와 $In_{srb}Ga_{1-srb}N$ 의 교대 층을 포함하는 초격자 구조를 가지며, 상기 sra는 $0.01 \leq sra \leq 0.10$, 상기 srb는 $0.01 \leq srb \leq 0.10$ 이고, 상기 sra는 srb보다 큰 반도체 구조 형성 방법.

청구항 14

제 9 항에 있어서,
 각각의 층 두께(nm)와 각각의 층의 인듐 함량(%)의 곱의 합에 의해 정의되고, 2800과 같거나 작은 임계 변형 에너지를 가지도록 상기 반도체 구조를 형성하는 단계;를 더 포함하는 반도체 구조 형성 방법.

청구항 15

제 9 항에 있어서,
 상기 p-형 접촉 층을 성장시키는 단계는, 적어도 실질적으로 GaN으로 구성된 상기 p-형 접촉 층을 성장시키는 단계를 포함하는 반도체 구조 형성 방법.

발명의 설명

기술 분야

[0001] 본 개시 내용은 반도체 구조 및 InGaN을 포함하는 활성 영역을 가지는 그와 같은 반도체 구조로부터 제조되는 발광 장치, 그와 같은 발광 장치를 제조하는 방법, 및 그와 같은 발광 장치를 포함하는 장치에 관한 것이다.

배경 기술

[0002] 발광 장치, 예컨대 발광 다이오드(light-emitting diodes, LEDs)는 전압이 양극과 음극 사이의 LED의 활성 영역을 가로질러 인가될 때 가시광 형태로 전자기 방사선을 방출하는 전자 장치이다. LED는 전형적으로 반도체 재료의 하나 이상의 층을 포함하고, 그 안에는 양극으로부터 공급되는 전자 및 음극으로부터 공급되는 정공이 재결합한다. 전자 및 정공이 LED의 활성 영역 내에서 재결합하기 때문에, 에너지는 LED의 활성 영역으로부터 방출되는 광자의 형태로 방출된다.

[0003] LED는 예를 들어, III-V 반도체 재료, 및 II-V 반도체 재료를 포함하는 넓은 범위의 다양한 종류의 반도체 재료를 포함하도록 제조될 수 있다. 임의의 특정 LED로부터 방출되는 광의 파장은, 전자 및 정공이 재결합할 때 방출되는 에너지의 양(amount)에 대한 함수이다. 따라서, LED로부터 방출되는 광의 파장은 전자의 에너지 준위와 정공의 에너지 준위 간의 에너지의 상대적 차이의 함수이다. 전자의 에너지 준위 및 정공의 에너지 준위는 적어도 부분적으로 반도체 재료의 조성, 반도체 재료의 도핑 형태 및 농도, 재구성(즉, 결정 구조 및 배향), 및 전자 및 정공의 재결합이 일어나는 반도체 재료의 품질의 함수이다. 따라서, LED로부터 방출되는 광의 파장은 LED 내의 반도체 재료의 조성 및 구성을 선택적으로 조정하여 선택적으로 조정될 수 있다.

[0004] III-V 반도체 재료, 예컨대 그룹 III 질화물 재료를 포함하는 LED를 제조하는 것이 당 분야에서 알려져 있다. 이와 같은 그룹 III 질화물 LED는, 전자기 방사선 스펙트럼의 청색 및 녹색 가시 영역의 방사선을 방출할 수 있는 것으로 알려져 있고, 상대적으로 높은 파워 및 광도로 동작할 수 있는 것으로 알려져 있다.

발명의 내용

[0005] 이 요약은 단순화된 형태로 개념의 선택을 도입하기 위해 제공된다. 이 개념은 이하의 개시 내용의 본보기 실시 예의 상세한 설명에서 더 상세히 기재된다. 이 요약은 청구된 요지의 주요 특징 또는 기본 특징을 식별하도록 의도되지 않고, 청구된 요지의 범위를 한정하는데 사용되도록 의도되지 않는다.

[0006] 일부 실시 예에 있어서, 본 개시 내용은 약 3.189 옹스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층을 포함하는 반도체 구조를 포함한다. 활성 영역은 베이스 층 위에 배치되고, 활성 영역은 복수의 InGa_N의 층을 포함한다. 복수의 InGa_N의 층은 적어도 하나의 In_wGa_{1-w}N 우물 층, 및 적어도 하나의 In_bGa_{1-b}N 배리어 층을 포함하고, 이 때, w는 0.10 ≤ w ≤ 0.40이고, b는 0.01 ≤ b ≤ 0.10이다. 전자 차단 층은 GaN 베이스 층과 반대측인 활성 영역 위에 배치된다. p-형 벌크 층은 전자 차단 층 위에 배치되고, p-형 벌크 층은 In_pGa_{1-p}N을 포함하고, 이 때, p는 0.00 ≤ p ≤ 0.08이다. p-형 접촉 층은 p-형 벌크 층 위에 배치되고, p-형 접촉 층은 In_cGa_{1-c}N을 포함하고, 이 때, 0.00 ≤ c ≤ 0.10이다.

[0007] 추가의 실시 예에 있어서, 본 개시 내용은 이와 같은 반도체 구조로부터 제조되는 발광 장치를 포함한다. 예를 들어, 추가의 실시 예에 있어서, 본 개시 내용은 약 3.189 옹스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층을 포함하는 발광 장치를 포함한다. 활성 영역은 베이스 층 위에 배치된다. 활성 영역은 복수의 InGa_N의 층을 포함하고, 복수의 InGa_N의 층은 적어도 하나의 우물 층, 및 적어도 하나의 배리어 층을 포함한다. 전자 차단 층은 활성 영역 위에 배치된다. p-형 In_pGa_{1-p}N 벌크 층은, 전자 차단 층 위에 배치되고, p-형 In_cGa_{1-c}N 접촉 층은, p-형 In_pGa_{1-p}N 벌크 층 위에 배치된다. 추가로, 발광 장치의 임계 변형 에너지는 약 4500 이하일 수 있다.

[0008] 본 개시 내용의 추가의 실시 예는, 이와 같은 구조를 제조하는 방법 및 장치를 포함한다. 예를 들어, 일부 실시 예에 있어서, 본 개시 내용은 약 3.189 Å보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층이 제공되는 반도체 구조를 형성하는 방법을 포함한다. 복수의 InGa_N의 층은 베이스 층 위에 활성 영역을 형성하기 위해 성장된다. 복수의 InGa_N의 층의 성장은 In_wGa_{1-w}N 을 포함하는 적어도 하나의 우물 층을 성장시키는 단계, 적어도 하나의 우물 층 위에 In_bGa_{1-b}N 을 포함하는 적어도 하나의 배리어 층을 성장시키는 단계를 포함하고, 이 때, 0.10 ≤ w ≤ 0.40, 0.01 ≤ b ≤ 0.10이다. 전자 차단 층은 활성 영역 위에 성장된다. p-형 In_pGa_{1-p}N 벌크 층은 전자 차단 층 위에 성장되고, 이 때, 0.00 ≤ p ≤ 0.08이고, p-형 In_cGa_{1-c}N 접촉 층은 p-형 In_pGa_{1-p}N 벌크 층 위에 성장되고, 이 때, 0.00 ≤ c ≤ 0.10이다.

도면의 간단한 설명

[0009] 도 1a는 본 개시 내용의 실시 예에 따른 반도체 구조의 활성 영역에 하나 이상의 InGa_N 우물 층 및 하나 이상의 InGa_N 배리어 층을 포함하는 반도체 구조의 단순화된 측면도이다.

도 1b는 도 1a의 반도체 구조의 여러 층의 다양한 재료에 대한 에너지 밴드 다이어그램에서의 전도대 (conduction band)의 에너지 준위의 상대적 차이를 도시하는 단순화된 다이어그램이다.

도 2a는 도 1a의 반도체 구조와 유사하지만, 반도체 구조의 베이스 층과 활성 영역 사이에 전자 정지 층을 더 포함하는 다른 반도체 구조의 단순화된 측면도이다.

도 2b는 도 2a의 반도체 구조에 대한 단순화된 전도대 다이어그램이다.

도 3a는 도 1a의 반도체 구조와 유사하지만, 반도체 구조의 베이스 층과 활성 영역 사이에 변형 완화 층을 더 포함하는 다른 반도체 구조의 단순화된 측면도이다.

도 3b는 도 3a의 반도체 구조에 대한 단순화된 전도대 다이어그램이다.

도 4a는 도 1a의 반도체 구조와 유사하지만, 반도체 구조의 활성 영역 내에 추가의 얇은 GaN 배리어 층을 더 포함하는 다른 반도체 구조의 단순화된 측면도이다.

도 4b는 도 4a의 반도체 구조에 대한 단순화된 전도대 다이어그램이다.

도 5a는 도 1a의 반도체 구조와 유사하지만, 반도체 구조의 활성 영역 내에 우물 오버플로우(well overflow) 구

조를 더 포함하는 다른 반도체 구조의 단순화된 측면도이다.

도 5b는 도 5a의 반도체 구조에 대한 단순화된 전도대 다이어그램이다.

도 6a는 본 개시 내용의 방법의 실시 예에 따른 반도체 구조의 제조에 이용되는 성장 템플레이트를 제조하는 데 채택될 수 있는 중간 반도체 구조의 단순화된 상면도이다.

도 6b는 도 6a의 중간 반도체 구조의 부분 측단면도이다.

도 6c는 본 개시 내용의 방법의 실시 예에 따른 반도체 구조를 제조하는 데 채택될 수 있는 성장 템플레이트의 부분 측단면도이다.

도 6d는 도 6c의 것과 같은 성장 템플레이트 위에 에피택셜 증착되는 성장 스택(growth stack)의 층을 도시한다.

도 7은 본 개시 내용의 방법의 실시 예에 따른 반도체 구조로 제조되는 발광 장치의 부분 측단면도이다.

도 8은 본 개시 내용의 방법의 실시 예에 따른 반도체 구조로부터 제조되는 추가의 발광 장치의 부분 측단면도이다.

도 9는 본 개시 내용의 방법의 실시 예에 따라 형성되는 반도체 구조의 전체 변형 에너지와 내부 양자 효율(internal quantum efficiency) 간의 관계를 도시하는 그래프이다.

도 10a는 LED의 활성 영역에 InGaN 우물 층 및 GaN 배리어 층을 포함하는 이미 알려진 LED의 단순화된 측면도이다.

도 10b는 도 10a의 LED에 대한 단순화된 전도대 다이어그램이다.

도 11a는 도 10a의 LED의 활성 영역 양단에 제로 인가 전압에 의한 가전자대(valence band) 및 전도대에 대한 계산된 밴드 에지를 도시하는 그래프이고, 계산은 LED의 계산 모델을 이용하여 얻어진다.

도 11b는 도 11a의 것과 유사하지만, 활성 영역의 인가 전압으로 인한 LED의 활성 영역을 가로질러 흐르는 125 A/cm^2 의 전류 밀도를 갖는 가전자대 및 전도대에 대한 계산된 밴드 에지를 도시하는 그래프이다.

도 11c는 도 11a의 LED에서 각각의 InGaN 양자 우물 층에 대한 파장의 함수로서 방출 방사선의 계산된 강도를 도시하는 그래프이다.

도 11d는 도 11a의 LED의 활성 영역에 걸쳐 인가된 전류 밀도의 함수로서 계산된 캐리어 주입 효율을 도시하는 그래프이다.

도 12a는 도 1a의 것과 유사하고 LED의 활성 영역에 InGaN 우물 층 및 InGaN 배리어 층을 포함하는 본 개시 내용의 LED의 단순화된 측면도이다.

도 12b는 도 12a의 LED의 단순화된 전도대 다이어그램이다.

도 13a는 도 12a의 LED의 활성 영역에 걸친 제로 인가 전압을 갖는 가전자대 및 전도대에 대한 계산된 밴드 에지를 도시하는 그래프이고, 계산은 LED의 계산 모델을 이용하여 얻어진다.

도 13b는 도 13a와 유사하지만, 활성 영역 양단의 인가 전압으로 인해 LED의 활성 영역을 가로질러 흐르는 125 A/cm^2 의 전류 밀도를 갖는 가전자대 및 전도대에 대한 계산된 밴드 에지를 도시하는 그래프이다.

도 13c는 도 13a의 LED에서 각각의 InGaN 양자 우물 층에 대한 파장의 함수로서 방출 방사선의 계산된 강도를 도시하는 그래프이다.

도 13d는 도 13a의 LED의 활성 영역에 걸친 인가된 전류 밀도의 함수로서 계산된 캐리어 주입 효율을 도시하는 그래프이다.

도 13e는 도 13a의 LED의 활성 영역에 걸친 계산된 전류 밀도의 함수로서 계산된 내부 양자 효율을 도시하는 그래프이다.

도 14는 본 개시 내용의 LED를 포함하는 발광 장치의 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본원에 제시된 예시는 임의의 특정 반도체 재료, 구조, 또는 장치의 실제 모습을 의미하지 않고, 단지 개시 내용의 실시 예를 기술하기 위해 사용되는 이상적인 표현이다.
- [0011] 도 1a는 반도체 구조(100)의 실시 예를 도시한다. 반도체 구조(100)는 복수의 그룹 III 질화물 층(예컨대, 질화 인듐(indium nitride), 질화 갈륨(gallium nitride), 질화 알루미늄(aluminum nitride) 및 이들의 합금)을 포함하고 베이스 층(base layer, 102), p-형 접촉 층(104) 및 베이스 층(102)과 p-형 접촉 층(104) 사이에 배치되는 활성 영역(active region, 106), 복수의 InGaN의 층을 포함하는 활성 영역(106)을 포함한다. 게다가, 활성 영역(106)은 적어도 하나의 InGaN 우물 층(well layer) 및 적어도 하나의 InGaN 배리어 층을 포함한다. 일부 실시 예에 있어서, (도펀트의 존재가 없다면) 활성 영역(106)은 적어도 실질적으로 InGaN으로 구성될 수 있다. 반도체 구조(100)는 활성 영역(106) 위에 배치되는 전자 차단 층(electron blocking layer, 108), 전자 차단 층(108) 위에 배치되는 p-형 벌크 층(p-type bulk layer, 110) 및 p-형 벌크 층(110) 위에 배치되는 p-형 접촉 층(p-type contact layer, 104)을 더 포함한다.
- [0012] 베이스 층(102)은 GaN 베이스 층(112)을 포함할 수 있고, 이 때, GaN 베이스 층(112)의 성장 평면은 약 3.189옹스트롬(angstroms)보다 크거나 같은 성장 평면 격자 파라미터(growth plane lattice parameter)를 갖는 극평면(polar plane)이다. 발광 장치, 예컨대 발광 다이오드는 본원에 나중에 상세히 기재되는 것과 같이. 반도체 구조(100)로부터 제조될 수 있다. 그러나, 간단히 말해, 제 1 전극 콘택트(electrode contact)는 GaN 베이스 층(112)의 일부 위에 형성될 수 있고, 제 2 전극 콘택트는 p-형 접촉 층(104)의 일부 위에 형성될 수 있고, 그 결과 전기 전압은 활성 영역(106)을 가로질러 전극 콘택트들 사이에 공급될 수 있고, 그것에 의해 전자기 방사선(예컨대, 가시광)이 반도체 구조(100)로부터 제조되는 발광 장치로부터 방출되게 한다.
- [0013] 적어도 하나의 InGaN 우물 층 및 적어도 하나의 InGaN 배리어 층을 포함하는 활성 영역을 포함하는, 본 개시 내용의 반도체 구조의 실시 예는, InGaN와 같은 그룹 III 질화물 층을 성장 또는 형성하기 위한 여러 유형의 방법을 이용하여 제조될 수 있다. 비제한적인 예로서, 여러 그룹 III 질화물 층은, 화학적 기상 증착(chemical vapor deposition, CVD) 프로세스, 금속유기 화학적 기상 증착 프로세스(metalorganic chemical vapor deposition, MOCVD), 기상 에피택시(vapor phase epitaxy, VPE) 프로세스, 원자층 증착(atomic layer deposition, ALD) 프로세스, 하이브리드 기상 에피택시(hydride vapor phase epitaxy, HVPE) 프로세스, 분자 빔 에피택시(molecular beam epitaxy, MBE) 프로세스, 원자층 증착(atomic layer deposition, ALD) 프로세스, 화학적 빔 에피택시(chemical beam epitaxy, CBE) 프로세스 등 중 하나 이상을 이용하여 성장되거나 또는 그렇지 않으면 증착될 수 있다.
- [0014] 일부 실시 예에 있어서, Letertre 등의 이름으로, 2010년 7월 15일자에 공개된 미국 특허 출원 공개 번호 제 US 2010/0176490 A1 호, Arena의 이름으로 2010년 5월 6일자로 공개된 미국 특허 출원 공개 번호 제 US 2010/0109126 호, Figuet의 이름으로 2012년 8월 23일자로 공개된 미국 특허 출원 공개 번호 제 US 2012/0211870 호, 및 Figuet의 이름으로 2012년 9월 6일자로 공개된 미국 특허 출원 공개 번호 제 US 2012/0225539 호 중 하나 또는 모두에 개시된 방법은, 그룹 III 질화물의 여러 층을 성장시키거나 또는 그렇지 않으면 증착하기 위해 사용될 수 있다. 이와 같은 방법은 이하에 기재되는 조성 및 두께를 가지는 InGaN 층(및 다른 선택적인 그룹 III 질화물 층)과 같은 그룹 III 질화물 층의 제조를 가능하게 할 수 있다. 이와 같은 방법은 이후 그룹 III 질화물 층이 형성될 수 있는 성장 템플레이트(growth template, 113)를 형성하기 위해 이용될 수 있다.
- [0015] 본 개시 내용의 실시 예에 따른 성장 템플레이트(113)를 제조하기 위해 사용될 수 있는 이와 같은 방법의 예는, 도 6a 내지 6c를 참조하여 이하에 간단히 기재된다.
- [0016] 도 6a는 본 개시 내용의 하나 이상의 반도체 구조 및 후속 발광 장치가 제조될 수 있는 (도 1a의) 성장 템플레이트(113)의 형성에 이용되는 중간 반도체 구조(intermediate semiconductor structures, 650)의 상면도이고, 도 6b는 성장 템플레이트(113)의 형성에 이용되는 중간 반도체 구조(650)의 일부의 단순화된 단면도이다. 성장 템플레이트(113)는 위에서 언급한 미국 특허 출원 공개 번호 제 US 2010/0176490 A1 호 및/또는 미국 특허 출원 공개 번호 제 US 2010/0109126 호에 개시된 것과 같이 제조될 수 있다. 거기에 개시된 것과 같이, 중간 반도체 구조(650)는 희생 기판(sacrificial substrate, 652), 희생 기판(652) 상에 배치되는 유연 재료(compliant material, 654)의 층, 및 유연 재료(654) 위에 배치되는 그룹 III 질화물 재료의 층을 각각 포함하는 하나 이상의 $In_xGa_{1-x}N$ 시드 층(seed layer, 656)을 포함할 수 있다. 하나 이상의 $In_xGa_{1-x}N$ 시드 층(656)이 본원에 기재되는 반도체 구조(100)의 다양한 다음 층이 형성될 수 있는 "시드(seed)"로서 사용될 수 있다.

- [0017] 초기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은 초기 성장 기관 상에 형성될 수 있고, 그 후 초기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(도시하지 않음)의 일부의 이온 주입, 접합 및 후속 분리(subsequent separation)와 같은 방법을 이용하여 희생 기관(652)에 전사될 수 있다. 초기 성장 기관은, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층이 스테인드 방식(stained manner)으로 형성되도록 초기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층과 성장 평면 격자 부정합(growth plane lattice mismatch)을 가지는 것을 특징으로 하는 성장 기관을 포함할 수 있다. 예를 들어, 초기 성장 기관은, 갈륨 극성 GaN 시드 층을 포함하는 사파이어 기관을 포함할 수 있고, 그 결과 형성된 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은 인장 변형되는 갈륨 극성 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층을 포함한다.
- [0018] 초기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층이 그룹 III-질화물의 극평면(polar plane)을 포함하는 성장 평면(growth plane)을 포함하도록 형성 또는 성장될 수 있다. 예를 들어 성장 평면은 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층이 갈륨-극평면을 포함하도록 형성될 수 있다. 게다가, 초기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층의 조성이 $0.02 \leq s \leq 0.05$ 이 되도록 성장 또는 형성될 수 있다. 하나의 특정한 비제한적인 예로서, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층에서의 n의 값은 약 0.03와 같을 수 있다. $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은 약 200 나노미터(200 nm)보다 큰 두께로 또한 성장 또는 형성될 수 있다. 그러나, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층에서의 변형이 추가 결합의 형성에 의해 완화할 수 있는 두께인, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층 임계 두께를 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층이 넘지 않는 방식으로 형성된다. 이러한 현상은 일반적으로 상 분리(phase separation)로서 당 분야에서 불린다. 그러므로, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은 변형된 고품질 시드 재료를 포함할 수 있다.
- [0019] 예로서 그리고 제한하지 않는 것으로서, SMART-CUT 프로세스로 이 산업에서 알려진 프로세스는, 접합층으로서 유연 재료(654)의 층을 이용하여 희생 기관(652)에 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)을 전사하는 데 사용될 수 있다. 이와 같은 프로세스는, 예를 들어, Brue1의 미국 특허 제 RE39,484 호, Aspar 등의 미국 특허 제 6,303,468 호, Aspar 등의 미국 특허 제 6,335,258 호, Moriceau 등의 제 6,756,286 호, Aspar 등의 제 6,809,044 호, Aspar 등의 제 6,946,365 호에 상세히 기재되어 있다.
- [0020] 희생 기관(652)은 균질 재료(homogenous material) 또는 이종(즉, 복합) 재료(heterogeneous (i.e., composite) material)를 포함할 수 있다. 비제한적인 예로서, 지지 기관(652)은 사파이어, 규소, 그룹 III-비화물(arsenides), 석영(quartz, SiO_2), 용융 실리카(fused silica, SiO_2) 글라스, 글라스-세라믹 복합 재료(예컨대, 예를 들어, 상표 ZERODUR®로 PA의, 두레이(Duryea)의 Schott North America, Inc.에 의해 판매되는), 용융 실리카 글라스 복합 재료(예컨대, 예를 들어, $\text{SiO}_2\text{-TiO}_2$ 또는 $\text{Cu}_2\text{-Al}_2\text{O}_3\text{-SiO}_2$), 질화 알루미늄(aluminum nitride, AlN), 또는 탄화 규소(silicon carbide, SiC)를 포함할 수 있다.
- [0021] 유연 재료(654)의 층은 예를 들어, 약 800°C 보다 낮거나 같은 글라스 전이 온도(glass transition temperature, T_g)를 가지는 재료를 포함할 수 있다. 유연 재료(654)의 층은 약 $0.1\mu\text{m}$ 로부터 약 $10\mu\text{m}$ 의 범위, 특히 약 $1\mu\text{m}$ 내지 약 $5\mu\text{m}$ 의 두께를 가질 수 있다. 비제한적인 예로서, 유연 재료(100)의 층은 산화물, 포스포규산염 글라스(phosphosilicate glass, PSG), 붕규산염(borosilicate, BSG), 보로포스포규산염 글라스(borophosphosilicate glass, BPSG), 폴리이미드(polyimide), 도핑된 또는 도핑되지 않은 유사-무기 실록산(quasi-inorganic siloxane) 스핀-온-글라스(spin-on-glass, SOG), 무기 스핀-온-글라스(즉, 메틸-, 에틸-, 페닐-, 또는 부틸), 및 도핑된 또는 도핑되지 않은 규산염(silicate) 중 적어도 하나를 포함할 수 있다.
- [0022] 유연 재료(654)의 층은, 예를 들어 하나 이상의 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)이 결정 격자 변형을 적어도 부분적으로 완화시키는 유연 재료(654)의 층을 리플로우(reflow)시키기 위해 유연 재료(654)의 층의 점도를 감소시킬 수 있을 만큼 충분한 온도로, 예를 들어, 오븐, 노(furnace), 또는 증착 반응기(deposition reactor)를 이용하여 가열될 수 있다. 유연 재료(654)의 층의 점도를 감소시킴으로써, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)에서의 인장 변형은 적어도 부분적으로 완화(relax)될 수 있고 또는 심지어 제거될 수 있고, 그럼으로써 약 3.189 옹스트롬보다 큰 성장 평면 격자 파라미터를 포함하는 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)을 형성한다.
- [0023] 그러므로, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 내에서 격자 변형의 적어도 일부를 완화시킴으로써, 성장 평면 격자 파라미터는, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 에서 약 3.189 옹스트롬보다 크거나 같은 것이 얻어질 수 있다. 3.189 옹스트롬보다 크거나 같은 성장 평면 격자 파라미터는 우르차이트 GaN(wurtzite GaN)에 대한 평형 성장 평면 격자 상수에 대응한다. 그러므로, 본 개시 내

용의 일부 실시 예에 따라, 본 개시 내용의 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 층 상 또는 위에 형성된 하나 이상의 GaN 층은 변형이 없는 상태로, 즉 실질적으로 격자 변형이 없이 형성될 수 있다.

[0024] 하나 이상의 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)의 적어도 부분적인 이완의 경우, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)은 지지 기판에 전사될 수 있고, 그 후 유연 재료(654) 및 희생 기판(652)은 도 1a 및 도 6c에 도시된 것과 같이 성장 템플레이트(113)를 형성하기 위해 제거될 수 있다. 더 상세히 그리고 도 6b 및 도 6c를 참조하여, 적어도 부분적으로 이완된 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)은 지지 기판(658)에 부착될 수 있고, 희생 기판(652) 및 유연 재료(654)는 방법 예컨대 레이저 리프트-오프(laser lift-off), 웨트 에칭(wet etching), 드라이 에칭(dry etching), 및 화학 기계적 폴리싱(chemical mechanical polishing) 중 하나 이상을 이용하여 제거될 수 있다.

[0025] 지지 기판(658)은 균질 재료 또는 이종(즉, 복합) 재료를 포함할 수 있다. 비제한적인 예로서, 지지 기판(658)은 사파이어, 규소, 그룹 III-비화물, 석영(SiO_2), 용융 실리카(SiO_2) 글라스, 글라스-세라믹 복합 재료(예컨대, 예를 들어, 상표 ZERODUR®로 PA의, 두레이(Durylea)의 Schott North America, Inc.에 의해 판매되는), 용융 실리카 글라스 복합 재료(예컨대, 예를 들어, $\text{SiO}_2\text{-TiO}_2$ 또는 $\text{Cu}_2\text{-Al}_2\text{O}_3\text{-SiO}_2$), 질화 알루미늄(AlN), 또는 탄화 규소(SiC)를 포함할 수 있다.

[0026] 도 6c에 나타난 것과 같이, 일부 실시 예에 있어서, 성장 템플레이트(113)는 지지 기판(100) 위에 놓이는 유전체 재료(dielectric material, 660)의 층을 선택적으로 포함할 수 있다. 유전체 재료(660)의 층은 선택적으로 지지 기판(658)의 주변 또는 하나 이상의 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656) 위에 형성될 수 있고, 이 때, 유전체 재료(660)는 지지 기판(658)에 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)의 접합을 도모하기 위한 접합층으로서 이용된다. 유전체 재료(660)의 층은, 예를 들어, 규소 옥시질화물(silicon oxynitride, SiON), 질화 규소(silicon nitride, Si_3N_4), 또는 이산화 규소(silicon dioxide, SiO_2)를 포함할 수 있고, 예를 들어, 화학적 기상 증착(CVD), 물리적 기상 증착(PVD), 또는 원자층 증착(ALD)을 이용하여 형성될 수 있다. 그러므로, 성장 템플레이트(113)는, 도 1a 및 도 6c에 나타난 것과 같이, 지지 기판(658) 및 지지 기판(658) 상에 배치되는 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)을 포함한다.

[0027] 게다가, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)은 지지 기판(658) 위에 형성될 수 있고, 그 결과 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)의 조성은, $0.02 \leq s \leq 0.05$ 범위에 있을 수 있다. 하나의 특정한 비제한적인 예로서, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)에서의 s의 값은 약 0.03과 같을 수 있다. 더욱이, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층(656)은 약 3.189 옴스토크보다 크거나 같은 성장 평면 격자 파라미터를 포함하는 극성 성장 평면(662)을 가질 수 있다. $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층은 또한 약 100 나노미터(100 nm)보다 큰 전체 층 두께(T_s)로 형성될 수 있다.

[0028] 성장 템플레이트(113)는 도 1a의 베이스 층(102)의 일부를 형성한다. 베이스 층은 일부 실시 예에 있어서, 또한 GaN 베이스 층(112)을 포함할 수 있고, 이 때, GaN 베이스 층은 인접한 GaN 시드 층(656)의 결정 성질(crystal properties)을 물려 받는다. 그러므로 GaN 베이스 층(112)은 또한 약 3.189 옴스토크보다 크거나 같은 성장 평면 격자 파라미터를 갖는, 극성 성장 평면, 예를 들어 갈륨 극성 성장 평면을 포함할 수 있다.

[0029] GaN 베이스 층(112)은 (도펀트가 존재하지 않으면) 적어도 실질적으로 GaN의 층으로 구성될 수 있다. GaN 베이스 층(112)은 약 10 나노미터(10 nm)와 약 3000 나노미터(3,000 nm) 사이, 또는, 일부 실시 예에 있어서, 약 10 나노미터(10 nm)와 약 1000 나노미터(1,000 nm) 사이의 평균 층 두께(T_n)를 가질 수 있다. 선택적으로, GaN 베이스 층(112)은 도핑될 수 있다. 예를 들어, GaN 베이스 층(112)은 전자 도너인 원소, 예컨대 규소 또는 게르마늄 도핑에 의해 n-형으로 도핑될 수 있다. $\text{In}_n\text{Ga}_{1-n}\text{N}$ 베이스 층(112) 중의 도펀트의 농도는, 약 $3e^{17} \text{ cm}^{-3}$ 내지 약 $1e^{20} \text{ cm}^{-3}$ 의 범위에 있을 수 있고, 또는, 일부 실시 예에 있어서, 약 $5e^{17} \text{ cm}^{-3}$ 내지 약 $1e^{19} \text{ cm}^{-3}$ 의 범위에 있을 수 있다.

[0030] 제 1 전극 콘택트는 반도체 구조(100)로부터 발광 장치를 제조하기 위해 GaN을 포함하는 반도체 구조(100)의 다른 여러 층 중 하나 이상을 형성한 후, GaN 베이스 층(112)의 일부 위에 형성될 수 있다.

[0031] 도 1a에 나타난 것과 같은, 완성된 베이스 층(102)은 위에서 본원에 기재된 것과 같은 성장 템플레이트(113) 및 GaN 베이스 층(112)을 포함한다. 반도체 구조(100)의 여러 그룹 III 질화물 층은, 나중에 본원에 더 상세히 기

재되는 층-바이-층 프로세스(layer-by-layer process)에서 성장 또는 형성될 수 있다. 일부 실시 예에 있어서, 베이스 층(102)은 반도체 구조(100)의 다른 층이 성장 또는 형성될 수 있는 베이스를 포함할 수 있다. 따라서, 반도체 구조(100)의 다양한 그룹 III 질화물 층은, 비록 베이스 층(102)이 제조 중 실제로 저부(bottom) 위에 배치되도록 배향(oriented)될 수 있지만, 순차적으로 베이스 층(102)으로 시작해서 성장 또는 형성될 수 있고 도 1a의 사시도로부터 좌측으로부터 우측 방향으로 이동할 수 있다. 다시 말해, 구조는 제조 중 도 1a의 방향으로 90도 반시계방향으로 배향될 수 있다.

[0032]

이하에서 더 상세히 논의되는 것과 같이, 활성 영역(106)은 베이스 층(102)과 p-형 접촉 층(104) 사이에 배치된다. 활성 영역(106)은 적어도 하나의 InGaN 우물 층(114) 및 적어도 하나의 InGaN 배리어 층(116)을 포함한다. 일부 실시 예에 있어서, (도펀트가 존재하지 않으면) 활성 영역(106)은 적어도 실질적으로 InGaN으로 구성될 수 있고, InGaN 우물 층(114)의 인듐 함량은 엄격히 InGaN 배리어 층(116)의 인듐 함량보다 더 많다. 특히, 활성 영역(106)은 $In_xGa_{1-w}N$ 을 포함하는 적어도 하나의 우물 층(114)을 포함할 수 있고, 이 때, w 는 $0.10 \leq w \leq 0.40$ 이고, 또는 일부 실시 예에 있어서, $0.12 \leq w \leq 0.25$ 이고, 또는 다른 실시 예에 있어서, w 는 약 0.14와 같다. 활성 영역(106)은 또한 $In_bGa_{1-b}N$ 을 포함하는 최소 하나의 배리어 층(116)을 포함하고, 이 때, $b < w$ 이고, $0.01 \leq b \leq 0.10$ 이고, 또는 일부 실시 예에 있어서, $0.03 \leq b \leq 0.08$ 이고, 또는 다른 실시 예에 있어서 b 는 약 0.05와 같다. 일부 실시 예에 있어서, InGaN 배리어 층(116)은 적어도 하나의 InGaN 우물 층(114) 근처에(예컨대, 바로 인접해) 있을 수 있다.

[0033]

반도체 구조의 활성 영역(106)은, 발광 다이오드(LED)와 같은 발광 장치에 제조될 때, 전자 및 정공은 LED로부터 방출되는, 광자를 생성하기 위해 서로 재결합하는 반도체 구조의 영역이다. 일부 실시 예에 있어서, 광자는 가시광의 형태로 방출된다. 가시광의 적어도 일부는 약 380 나노미터(380 nm)로부터 약 560 나노미터(560 nm)의 전자기 방사선 스펙트럼 범위 내의 파장 또는 파장들을 가질 수 있다.

[0034]

앞에서 언급한 것과 같이, 반도체 구조(100)의 활성 영역(106)은 하나 이상의 InGaN 우물 층(114) 및 하나 이상의 InGaN 배리어 층(116)을 포함하고, 일부 실시 예에 있어서 (도펀트가 존재하지 않으면) InGaN에 의해 적어도 실질적으로 구성될 수 있다. 따라서, 활성 영역(106)은 일부 실시 예에 있어서 InGaN으로 필수적으로 구성될 수 있다. 활성 영역(106)은 하나의 우물 층(114) 및 하나의 배리어 층(116)을 포함하는 하나 이상의 인접한 층의 쌍을 포함하고, 이 때, 각각의 우물 층(114)은 $In_xGa_{1-w}N$ 을 포함하고, 이 때, w 는 $0.10 \leq w \leq 0.40$ 이고, 각각의 배리어 층(116)은 $In_bGa_{1-b}N$ 을 포함하고, 이 때, b 는 $0.01 \leq b \leq 0.10$ 이고, $b < w$ 이다.

[0035]

도 1a 및 1b에 도시된 실시 예에 있어서, 비록 추가의 실시 예에 있어서, 반도체 구조(100)의 활성 영역(106)은, 한 쌍 이상의 활성층을 포함할 수 있지만, 반도체 구조(100)의 활성 영역(106)은 하나(1)의 쌍의 활성층(우물 층(114) 및 배리어 층(116))을 포함한다. 예를 들어, 반도체 구조(100)의 활성 영역(106)은 하나(1)에서 스물 다섯(25)개의 활성층이 인접 쌍을 포함할 수 있고, 각각의 쌍은 우물 층(114) 및 배리어 층(116)을 포함하고, 그 결과 활성 영역(106)은 교대하는 우물 층(114) 및 배리어 층(116)의 스택(stack)을 포함한다(하나 이상의 쌍을 포함하는 실시 예에 있어서). 그러나, 배리어 층(116)의 수는 우물 층(114)의 수와 동일하지 않을 수 있다는 것이 이해된다. 우물 층(114)은 배리어 층(116)에 의해 서로 분리될 수 있다. 따라서, 배리어 층(116)의 수는 일부 실시 예에 있어서 우물 층(114)의 수와 같거나, 하나 더 많거나 하나 더 적을 수 있다.

[0036]

도 1a를 계속 참조하면, 각각의 우물 층(114)은 약 1 나노미터(1 nm)와 약 1000 나노미터(1,000 nm) 사이, 약 1 나노미터(1 nm)와 약 100 나노미터(100 nm) 사이, 또는 심지어 약 1 나노미터(1 nm)와 약 10 나노미터(10 nm) 사이의 평균 층 두께(T_w)를 가질 수 있다. 우물 층(114)은 일부 실시 예에 있어서 양자 우물(quantum wells)을 포함할 수 있다. 이와 같은 실시 예에 있어서, 각각의 우물 층(114)은 약 10 나노미터(10 nm) 이하의 평균 층 두께(T_w)를 가질 수 있다. 다른 실시 예에 있어서, 우물 층(114)은 양자 우물을 포함하지 않을 수 있고, 각각의 우물 층(114)은 약 10 나노미터(10 nm)보다 큰 평균 층 두께(T_w)를 가질 수 있다. 이와 같은 실시 예에 있어서, 활성 영역(106)은 당 분야에서 "이중 헤테로구조(double heterostructure)"라고 불리는 것을 포함할 수 있다. 각각의 배리어 층(116)은, 비록 다른 실시 예에서 배리어 층(116)은 더 두꺼울 수 있지만, 약 1 나노미터(1 nm)와 약 50 나노미터(50 nm) 사이, 또는 심지어 약 1 나노미터(1 nm)와 약 10 나노미터(10 nm) 사이의 평균 층 두께(T_b)를 가질 수 있다.

[0037]

우물 층(114) 및 배리어 층(116)의 하나 또는 모두는 도핑될 수 있다. 예를 들어, 우물 층(114) 및 배리어 층(116)의 하나 또는 모두는 전자 도너인 규소 또는 게르마늄과 같은 원소의 도핑에 의해 n-형으로 도핑될 수 있

다. 우물 층(114)에서의 도펀트의 농도는, 약 $3e^{17} \text{ cm}^{-3}$ 내지 약 $1e^{19} \text{ cm}^{-3}$ 의 범위에 있을 수 있고, 또는 일부 실시 예에 있어서 약 $3e^{17} \text{ cm}^{-3}$ 내지 약 $5e^{17} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 유사하게, 배리어 층(116)에서의 도펀트의 농도는, 약 $3e^{17} \text{ cm}^{-3}$ 내지 약 $1e^{19} \text{ cm}^{-3}$ 의 범위에 있을 수 있고, 또는 일부 실시 예에 있어서 약 $1e^{18} \text{ cm}^{-3}$ 내지 약 $3e^{18} \text{ cm}^{-3}$ 의 범위에 있을 수 있다.

[0038] 우물 층(114) 및 배리어 층(116)의 하나 또는 모두는, 우르차이트 결정 구조(Wurtzite crystal structure)를 가질 수 있다. 추가로, 일부 실시 예에 있어서, 우물 층(114) 및 배리어 층(116)의 하나 또는 모두는 약 3.189 옹스트롬보다 큰 우물 층(114)과 배리어 층(116) 간의 계면(interface) 또는 계면과 평행한 성장 평면에서 평균 격자 상수를 가질 수 있는, 갈륨 극성 성장면과 같은 극성 성장면(polar growth surface)을 포함할 수 있다. 더욱 상세하게는, 일부 실시 예에 있어서, 평균 성장 평면 격자 상수(c)는 약 3.189 옹스트롬과 약 3.2 옹스트롬 사이에 있을 수 있다.

[0039] 적어도 하나의 우물 층 및 적어도 하나의 배리어 층을 포함하는 활성 영역(106)은, 약 40 나노미터(40 nm)와 약 1000 나노미터(1,000 nm) 사이, 약 40 나노미터(40 nm)와 약 750 나노미터(750 nm) 사이, 또는 심지어 약 40 나노미터(40 nm)와 약 200 나노미터(200 nm) 사이의 평균 전체 두께를 가질 수 있다.

[0040] 도 1a를 계속 참조하면, 반도체 구조(100)는, 활성 영역(106)과 p-형 접촉 층(104) 사이, 및/또는 활성 영역(106)과 베이스 층(102) 사이에 추가의 층을 선택적으로 포함할 수 있다. 예를 들어, 일부 실시 예에 있어서, 반도체 구조(100)는 활성 영역(106)과 베이스 층(102) 사이에 스페이서 층(spacer layer, 118)을 포함할 수 있다.

[0041] 선택적인 스페이서 층(118)은 $\text{In}_{\text{sp}}\text{Ga}_{1-\text{sp}}\text{N}$ 의 층을 포함할 수 있고, 이 때, $0.01 \leq \text{sp} \leq 0.10$ 이거나, 또는 $0.03 \leq \text{sp} \leq 0.06$ 이고, 또는 sp는 약 0.05와 같다. 스페이서 층(118)은 GaN 베이스 층(112)에 대해 다양한 조성(및 그러므로, 다양한 격자 파라미터)을 가질 수 있는, 활성 영역(106)의 층과 베이스 층(102) 사이에 더 점진적인 전이(gradual transition)를 제공하기 위해 사용될 수 있다. 따라서, $\text{In}_{\text{sp}}\text{Ga}_{1-\text{sp}}\text{N}$ 스페이서 층(118)은 일부 실시 예에 있어서 베이스 층(102)과 활성 영역(106) 사이에 직접 배치될 수 있다. 베이스 층(102)과 활성 영역(106) 사이에 더 점진적인 전이를 제공함으로써, InGaN의 여러 층의 결정 격자 내의 스트레스, 및 그러므로, 이와 같은 스트레스에 기인할 수 있는 결함이 감소될 수 있다. $\text{In}_{\text{sp}}\text{Ga}_{1-\text{sp}}\text{N}$ 스페이서 층(118)은 약 1 나노미터(1 nm)와 약 100 나노미터(100 nm) 사이, 또는 약 1 나노미터(1 nm)와 약 100 나노미터(25nm) 사이의 평균 층 두께(T_{sp})를 가질 수 있다. 하나의 특정한 비제한적인 예로서, 평균 층 두께(T_{sp})는 약 10 나노미터(10 nm)와 같을 수 있다.

[0042] 선택적으로, $\text{In}_{\text{sp}}\text{Ga}_{1-\text{sp}}\text{N}$ 스페이서 층(118)은 도핑될 수 있다. 예를 들어, $\text{In}_{\text{sp}}\text{Ga}_{1-\text{sp}}\text{N}$ 스페이서 층(118)은 n-형 전자 도너인 원소, 예컨대 규소 또는 게르마늄 도핑에 의해 도핑될 수 있다. 스페이서 층(118)에서 도펀트의 농도는 약 $3e^{17} \text{ cm}^{-3}$ 내지 약 $1e^{19} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 하나의 특정한 비제한적인 예로서, 스페이서 층(118)에서의 도펀트의 농도는 약 $2e^{18} \text{ cm}^{-3}$ 과 같을 수 있다.

[0043] 도 1a를 계속 참조하면, 반도체 구조(100)는 활성 영역(106)과 p-형 접촉 층(104) 사이에 배치되는 선택적인 $\text{In}_{\text{cp}}\text{Ga}_{1-\text{cp}}\text{N}$ 캡 층(cap layer, 120)을 더 포함할 수 있다. 선택적 $\text{In}_{\text{cp}}\text{Ga}_{1-\text{cp}}\text{N}$ 캡 층(120)은 $\text{In}_{\text{cp}}\text{Ga}_{1-\text{cp}}\text{N}$ 의 층을 포함할 수 있고, 이 때, $0.01 \leq \text{cp} \leq 0.10$ 이고, 또는 $0.03 \leq \text{cp} \leq 0.07$ 이다. 하나의 특정한 비제한적인 예로서, cp의 값은 약 0.05와 같을 수 있다. $\text{In}_{\text{cp}}\text{Ga}_{1-\text{cp}}\text{N}$ 캡 층(120)은 상승 온도에서 후속 처리 시 활성 영역(106)의 하부 층(underlying layers)에서 인듐의 용해(dissolution) 및/또는 증발(evaporation)을 피하기 위해 사용될 수 있고, /또는 스페이서 층과 동일한 기능으로 작용할 수 있다.

[0044] $\text{In}_{\text{cp}}\text{Ga}_{1-\text{cp}}\text{N}$ 캡 층(120)은 약 1 나노미터(1 nm)와 약 100 나노미터(100 nm) 사이, 또는 약 1 나노미터(1 nm)와 약 25 나노미터(25 nm) 사이의 평균 층 두께(T_{cp})를 가질 수 있다. 하나의 특정한 비제한적인 예로서, T_{cp} 는 약 10 나노미터(10 nm)와 같을 수 있다. 선택적으로, 캡 층(120)은 도핑될 수 있다. 예를 들어, 캡 층(120)은 전자 억셉터인 원소, 예컨대 마그네슘, 아연, 및 탄소 도핑에 의해 p-형으로 도핑될 수 있다. 그러나, 다른 실시 예에 있어서, 캡 층(120)은 n-형으로 도핑될 수 있다. 캡 층(120)에서 도펀트의 농도는, 약 $3e^{17} \text{ cm}^{-3}$ 내지 약 $1e^{19}$

cm^{-3} 의 범위에 있을 수 있고, 또는 약 $1e^{18} \text{ cm}^{-3}$ 내지 약 $5e^{18} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 하나의 특정한 비제한적인 예로서, 캡 층(120)에서 도펀트의 농도는, 일부 실시 예에서 약 $2e^{18} \text{ cm}^{-3}$ 일 수 있다.

[0045] 본 개시 내용의 반도체 구조(100)는 활성 영역(106)과 p-형 접촉 층(104) 사이에 배치되는 하나 이상의 전자 차단 층(electron blocking layers, EBLs)을 더 포함할 수 있다. 이와 같은 전자 차단 층은, 활성 영역(106) 내에 전자를 감금하도록 작용할 수 있고, 활성 영역(106)으로부터 캐리어의 오버플로우(overflowing)를 방지할 수 있는, 전도대의 밴드 에지의 에너지 준위가 활성 영역(106)에서의 전도대의 밴드 에지에 비해 비교적 높은 재료를 포함할 수 있다.

[0046] 비제한적인 예로서, 도 1a는 활성 영역(106)과 반대측인 캡 층(120) 위의 전자 차단 층(108)을 도시한다. p-형 벌크 층(110)을 포함하는 실시 예에 있어서, 도 1a에 나타난 것과 같이 전자 차단 층(108)은 캡 층(120) 및 p-형 벌크 층(110) 사이에 직접 배치될 수 있다.

[0047] 전자 차단 층(108)은 그룹 III 질화물을 포함한다. 비제한적인 예로서, (도펀트가 존재하지 않으면) 전자 차단 층(108)은 적어도 실질적으로 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 에 의해 구성될 수 있고, 이 때, $0.00 \leq e \leq 0.02$ 이고, 일부 실시 예에 있어서, (도펀트가 존재하지 않으면) 적어도 실질적으로 GaN에 의해 구성될 수 있다. 다른 실시 예에 있어서, 전자 차단 층(108)은 적어도 실질적으로 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 에 의해 구성될 수 있고, 이 때, $0.00 \leq e \leq 0.20$ 이다. 일부 실시 예에 있어서, (도펀트가 존재하지 않으면) 전자 차단 층(108)은 적어도 실질적으로 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 에 의해 구성될 수 있다.

[0048] 전자 차단 층(108)은 마그네슘, 아연, 및 탄소로 구성되는 그룹으로부터 선택되는 하나 이상의 도펀트에 의해 p-형으로 도핑될 수 있다. 전자 차단 층(108) 내의 하나 이상의 도펀트의 농도는, 약 $1e^{17} \text{ cm}^{-3}$ 으로부터 약 $1e^{21} \text{ cm}^{-3}$ 의 범위에 있을 수 있고, 또는 일부 실시 예에 있어서는 약 $3e^{19} \text{ cm}^{-3}$ 와 같을 수 있다. 일부 실시 예에 있어서, 전자 차단 층(108)은 약 5 나노미터(5 nm)로부터 약 50 나노미터(50 nm)의 범위에서 평균 층 두께(T_e)를 가질 수 있고, 또는 일부 실시 예에 있어서는, 약 20 나노미터(20 nm)와 같은 평균 층 두께(T_e)를 가질 수 있다.

[0049] 본 개시 내용의 반도체 구조(100)의 추가 실시 예에 있어서, 반도체 구조(100)는 전자 차단 층(108)과 유사한 전자 차단 층을 가질 수 있지만, 이 때, 전자 차단 층은 도 1a의 인셋(122)에 도시된 것과 같이, 다양한 재료의 교대 층(alternating layers)을 포함하는 초격자 구조(superlattice structure)를 가진다. 예를 들어, 전자 차단 층(108)은 GaN(124) 및 $\text{In}_e\text{Ga}_{1-e}\text{N}$ (124)의 교대 층을 포함하는 초격자 구조를 가질 수 있고, 이 때, e 는 $0.01 \leq e \leq 0.02$ 이다. 다른 실시 예에 있어서, 전자 차단 층은 GaN(124) 및 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ (126)의 교대 층을 포함하는 초격자 구조를 가질 수 있고, 이 때, e 는 $0.01 \leq e \leq 0.20$ 이다. 이와 같은 초격자 구조에서 층 각각은 약 1 나노미터(1 nm) 내지 약 20 나노미터(20 nm)의 평균 층 두께를 가질 수 있다.

[0050] 앞에서 언급한 것과 같이, 본 개시 내용의 반도체 구조(100)는 전자 차단 층(108)과 p-형 접촉 층(104) 사이에 배치되는 p-형 벌크 층(110)을 더 포함할 수 있다. 이와 같은 p-형 벌크 층은 p-도핑 그룹 III 질화물 재료, 예컨대 p-도핑 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 을 포함할 수 있다. 이와 같은 p-형 벌크 층은, 예를 들어 정공 캐리어의 소스로서, 그리고 활성 영역(106)에 및 활성 영역(106)으로부터 전기 전도성 및 광 추출(light extraction)을 향상시키기 위해 사용될 수 있다. p-형 벌크 층(110)에의 인듐의 포함은, 캐리어 유동 동기, 및 활성 영역 내의 캐리어의 감금에 도움을 줄 수 있다.

[0051] (도펀트가 존재하지 않으면) p-형 벌크 층(110)은 적어도 실질적으로 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 에 의해 구성될 수 있고, 이 때, $0.00 \leq p \leq 0.08$ 이고, 바람직하게는 $0.01 \leq p \leq 0.08$ 이다. 하나의 특정한 비제한적인 예로서, p-형 벌크 층(110)은 적어도 실질적으로 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 에 의해 구성될 수 있고, 이 때, p 는 약 0.02와 같다. p-형 벌크 층(110)은 마그네슘, 아연, 및 탄소로 구성되는 그룹으로부터 선택되는 하나 이상의 도펀트에 의해 p-형으로 도핑될 수 있다. p-형 벌크 층(110) 내의 하나 이상의 도펀트의 농도는 약 $1e^{17} \text{ cm}^{-3}$ 으로부터 약 $1e^{21} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 하나의 특정한 비제한적인 예로서, p-형 벌크 층(110) 내의 도펀트의 농도는, 약 $3e^{19} \text{ cm}^{-3}$ 과 같을 수 있다. 일부 실시 예에 있어서, p-형 벌크 층(110)은 약 50 나노미터(50 nm)로부터 600 나노미터(600 nm)의 범위의 평균

층 두께(T_{bk})를 가질 수 있다. 하나의 특정한 비제한적인 예로서, p형 벌크 층(110)은 약 175 나노미터(175 nm)와 같은 평균 층 두께(T_p)를 가질 수 있다.

[0052]

반도체 구조(100)는 전자 차단 층(108)과 반대측인 p-형 벌크 층(110) 위에 배치되는 p-형 접촉 층(104)을 더 포함할 수 있다. p-형 접촉 층(104)은 그룹 III 질화물을 포함할 수 있다. 이와 같은 p-형 접촉 층은 예를 들어 활성 영역(106)으로의 정공의 전도성을 향상시키기 위해 사용될 수 있다. p-형 접촉 층(104)은 반도체 구조(100)로부터 발광 장치의 제조 중 p-형 접촉 층의 일부 위에 형성되는 전극 콘택트의 전기 저항을 제한하도록, 고농도의 하나 이상의 도펀트, 예컨대 p-형 도펀트를 포함할 수 있다.

[0053]

비제한적인 예로서, p-형 접촉 층(104)은 p-형으로 도핑된 $In_cGa_{1-c}N$ 을 포함할 수 있다. 예를 들어, (도펀트가 존재하지 않으면)p-형 접촉 층(104)은 적어도 실질적으로 $In_cGa_{1-c}N$ 에 의해 구성될 수 있고, 이 때, $0.01 \leq c \leq 0.10$ 이고, 일부 실시 예에 있어서, (도펀트가 존재하지 않으면)p-형 접촉 층(104)은 적어도 실질적으로 GaN에 의해 구성될 수 있다. p-형 접촉 층(104)에의 인듐의 포함은, 그것이 장치에 대한 낮은 동작 전압(operating voltage)을 생기게 하고, 장치 상에 형성되는 금속 전극에 의해, 에너지 장벽을 감소시킬 수 있다는 점에서 도움이 된다. p-형 접촉 층(104)은 마그네슘, 아연, 및 탄소로 구성되는 그룹으로부터 선택되는 하나 이상의 도펀트에 의해 p-형 도핑될 수 있다. p-형 접촉 층(104) 내의 하나 이상의 도펀트의 농도는, 약 $1e^{17} \text{ cm}^{-3}$ 으로부터 약 $1e^{21} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 하나의 특정한 비제한적인 예로서, p-형 접촉 층(104) 내의 하나 이상의 도펀트의 농도는 약 $1e^{20} \text{ cm}^{-3}$ 과 같을 수 있다. p-형 접촉 층(104)은 약 2 나노미터(2 nm)로부터 약 오십 나노미터(50 nm)의 범위의 평균 층 두께(T_c)를 가질 수 있다. 하나의 특정한 비제한적인 예로서, p형 콘택트 층(104)은 약 15 나노미터(15 nm)와 같은 평균 층 두께(T_c)를 가질 수 있다. 도 1a에 나타낸 것과 같이, p-형 접촉 층(104)은 p-형 벌크 층(110) 바로 위에 형성될 수 있다.

[0054]

이하에 더 상세히 기재되는 것과 같이, 완성된 반도체 구조(100)는 하나 이상의 반도체 발광 장치, 예컨대 LED의 제조에 이용될 수 있다. 간단히 말해, 전극 콘택트는 베이스 층(102)의 반도체 층의 일부 위에, 예컨대 GaN 베이스 층(112)의 일부 위에 형성될 수 있고, 추가의 전극 콘택트는 p-형 접촉 층(104)의 일부 위에 형성될 수 있어, 전하 캐리어가 가시광의 형태로 될 수 있는, 전자기 발광(electromagnet radiation)의 결과로 얻어진 방출(resultant emission)로 활성 영역(106)으로 주입되게 한다.

[0055]

도 1b는 도 1a의 반도체 구조(100)의 여러 층에서의 다양한 반도체 재료에 대한 전도대(128)의 에너지 준위(에너지 밴드 다이어그램에서)를 도시하는 단순화된 다이어그램이다(지지 기관(658) 및 접합층(660)이 생략되었다는 것을 주의). 도 1b는 도 1a의 반도체 구조(100)와 수직으로 정렬된다. 도 1b의 수직의 파선은 도 1a의 반도체 구조(100)의 여러 층 사이의 계면과 정렬된다. 도 1b의 수직축은 에너지이고, 고 에너지 준위는 수직으로 저 에너지 준위 위에 위치된다. 도 1b는 본보기 반도체 구조(100)에 대한 전도대 에너지 준위의 비제한적인 예를 도시한다는 것을 주목해야 한다. 그 결과, 상대 수평 전도대 에너지 준위는 적어도 개개의 반도체 층의 조성 및 도핑의 함수로서 상대 위치가 변할 수 있고, 여러 반도체 층의 조성 범위는 위에 기재된 것과 같은 범위에 있다. 따라서, 도 1b는 반도체 구조(100)의 여러 층에서 전도대(128)의 에너지 준위의 상대적 차이를 보기 위해 사용될 수 있다. 도 1b에 나타낸 것과 같이, 우물 층(114)에서 전도대(128)의 에너지 준위는 반도체 구조(100)의 다른 층에서의 전도대(128)의 에너지 준위보다 낮을 수 있다.

[0056]

이 기술에서 알려져 있는 것과 같이, 그룹 III 질화물 층, 예컨대 InGaN에 대해, 전도대(128)의 에너지 준위는 당 분야에서 알려져 있는 것과 같이, 그룹 III 질화물 층, 예컨대 InGaN에 대해, 전도대(128)의 에너지 준위는 인듐 함량 및 도펀트 레벨을 포함하지만 이에 한정되지 않는 다수의 변수의 함수이다. 우물 층(114) 및 배리어 층(116)은 조성을 가지도록 형성될 수 있고 그렇지 않으면 우물 층(114)에서의 전도대(128)의 에너지 준위가 배리어 층(116)에서의 전도대(128)의 에너지 준위보다 낮도록 구성된다. 그 결과, 전하 캐리어(예컨대, 전자)는 반도체 구조(100)로부터 제조되는 발광 장치의 동작 중 우물 층(114)에 축적될 수 있고, 배리어 층(116)은 활성 영역(106)을 가로질러 전하 캐리어(예컨대, 전자)의 이동을 방해하도록 기능할 수 있다. 따라서, 일부 실시 예에 있어서, 각각의 우물 층(114)에서의 인듐 함량은, 각각의 배리어 층(116)에서의 인듐 함량보다 높을 수 있다. 예를 들어, 각각의 우물 층(114)에서의 인듐 함량 및 각각의 배리어 층(116)에서의 인듐 함량 간의 차이는, 약 0.05(즉, $w - b \geq 0.05$)보다 이상일 수 있고, 또는 일부 실시 예에 있어서 약 0.20(즉, $w - b \geq 0.20$)보다 이상일 수 있다. 일부 실시 예에 있어서, 배리어 층(116)에서의 도펀트 농도는, 우물 층(114)에서의 도펀트 농도와 다를 수 있다. 높은 도핑 농도는 InGaN의 결정 구조에 결함을 생기게 할 수 있고, 이와 같은 결

함은 전자-정공 쌍의 비방사 조합(non-radiative combination)을 생기게 할 수 있다. 일부 실시 예에 있어서, 우물 층(114)에서의 도펀트 농도는 배리어 층(116)에서의 전자-정공 쌍의 비방사 조합의 비율에 대한 우물 층(114)에서의 전자-정공 쌍의 비방사 조합의 비율을 감소시키기 위해, 배리어 층(116)에서의 도펀트 농도보다 낮을 수 있다. 다른 실시 예에 있어서, 배리어 층(116)에서의 도펀트 농도는 우물 층(114)에서의 도펀트 농도보다 높을 수 있다.

[0057]

도 1b에 도시된 것과 같이, 전자 차단 층(108)에 의해 제공되는 에너지 장벽은 전자 차단 층(108) 및 캡 층(120)(또는 활성 영역(106)에 가장 가까운 그것의 측면 위에서 전자 차단 층(108)에 바로 인접한 다른 층)에서의 전도대(128)의 에너지 준위의 차이에 기인할 수 있다. 에너지 장벽의 높이는 전자 차단 층(108)의 조성을 변경하여 변경될 수 있다. 예를 들어, 도 1b에 도시된 것과 같이, 전도 에너지 준위(130)(실선으로 나타냄)는 (도펀트가 존재하지 않으면)적어도 실질적으로 GaN으로 구성되는 전자 차단 층에 대한 전도대 에너지 준위를 나타낼 수 있다. 전자 차단 층 내의 전도대 에너지 준위는 적어도 실질적으로 $In_xGa_{1-x}N$ 에 의해 구성되는 전자 차단 층을 형성함으로써 전도대 에너지 준위(132)(파선으로 나타냄)로 도시된 것과 같이 G전자 차단 층에 대해 감소될 수 있고, 이 때, $0.01 \leq x \leq 0.02$ 이다. 다른 실시 예에 있어서, 전도대 에너지 준위는 적어도 실질적으로 $Al_xGa_{1-x}N$ 에 의해 구성되는 전자 차단 층을 형성함으로써 전도대 에너지 준위(134)(파선으로 나타냄)에 의해 도시된 것과 같이 G전자 차단 층에 대해 증가될 수 있고, 이 때, $0.01 \leq x \leq 0.20$ 이다. 그러므로 전자 차단 층 내의 전도대의 에너지 준위는 반도체 구조(100)의 다른 그룹 III 질화물 층과 전자 차단 층(108) 사이의 원하는 전도대 오프-셋(conduction band off-set)을 제공하기 위해 변경될 수 있다.

[0058]

전자 차단 층(108)이 다양한 재료의 교대 층을 포함하는 초격자 구조를 가지는 반도체 구조(100)의 실시 예에 있어서, 전도대 에너지 준위는 도 1b의 인셋(136)에 도시된 것과 같은 주기와 같은 방식(periodic like manner)으로 증가 및 감소할 수 있다. 예를 들어, 전자 차단 층(108)은 GaN(138) 및 $Al_xGa_{1-x}N$ (140)의 교대 층을 포함하는 초격자 구조를 가질 수 있으며, 이 때, x 는 $0.01 \leq x \leq 0.20$ 이고, 또는 대안으로, 초격자 구조는 GaN 및 $In_xGa_{1-x}N$ 의 교대 층을 포함할 수 있으며, 이 때, x 는 $0.01 \leq x \leq 0.02$ 이다. 다양한 재료의 교대 층 사이의 전도대 에너지 오프-셋의 크기(magnitude)는, GaN 층과 $Al_xGa_{1-x}N$ 또는 $In_xGa_{1-x}N$ 층 간의 조성 차이에 의해 선택될 수 있다.

[0059]

본 개시 내용의 반도체 구조는 반도체 구조의 활성 영역과 반도체 구조의 GaN 베이스 층 사이에 배치되는 전자 정지 층(electron stopping layer)을 더 포함할 수 있다. 이와 같은 전자 정지 층은 전도대의 밴드 에지의 에너지 준위가 활성 영역 내에 전자를 더 감금하는 기능을 할 수 있고, 활성 영역으로부터 캐리어의 오버플로우를 방지할 수 있어, 활성 영역 내의 캐리어의 개선된 균일성(uniformity)을 제공하는, InGaN 베이스 층 및/또는 $In_{sp}Ga_{1-sp}N$ 베이스 층에서의 전도대의 밴드 에지에 비해 비교적 높은 n-도핑 그룹 III 질화물 재료를 포함할 수 있다.

[0060]

비제한적인 예로서, 도 2a 및 2b는 이와 같은 전자 정지 층(202)을 포함하는 반도체 구조(200)의 실시 예를 도시한다. 반도체 구조(200)는 반도체 구조(100)와 유사하고 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 하나 이상의 InGaN 우물 층(114), 및 하나 이상의 InGaN 배리어 층(116)을 포함하는 활성 영역(106)을 포함한다. 반도체 구조(200)는 또한 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 베이스 층(102), 스페이서 층(118), 캡 층(120), 전자 차단 층(108), p-형 벌크 층(110), 및 p-형 접촉 층(104)을 포함한다. 반도체 구조(200)의 전자 정지 층(202)은 GaN 베이스 층(112) 및 스페이서 층(118) 사이에 배치된다.

[0061]

전자 정지 층(202)은 그룹 III 질화물을 포함한다. 비제한적인 예로서, 전자 정지 층(202)은 n-형으로 도핑된 AlGaIn을 포함할 수 있다. 예를 들어, 일부 실시 예에 있어서, 전자 정지 층(202)은 (도펀트가 존재하지 않으면)적어도 실질적으로 $Al_{st}Ga_{1-st}N$ 으로 구성될 수 있고, 이 때, $0.01 \leq st \leq 0.20$ 이다. 다른 실시 예에 있어서, 전자 정지 층(202)은 인셋(inset, 204)에 도시된 것과 같이 $Al_{st}Ga_{1-st}N$ (206), 및 GaN(208)의 층의 교대 층을 포함하는 초격자 구조를 가질 수 있고, 이 때, $0.01 \leq st \leq 0.20$ 이다. 반도체 구조(200)는 $Al_{st}Ga_{1-st}N$ (206) 및 GaN(208)의 층의 교대 층의 임의의 수(예컨대, 약 하나(1)로부터 약 이십(20)까지)를 포함할 수 있다. 이와 같은 초격자 구조에서의 층(206, 208)은 약 1 나노미터(1 nm) 내지 약 100 나노미터(100 nm)의 평균 층 두께를 가질 수 있다.

[0062]

전자 정지 층(202)은 규소 및 게르마늄으로 구성되는 그룹으로부터 선택된 하나 이상의 도펀트에 의해 n-형으로

도평될 수 있다. 전자 정지 층(202) 내의 하나 이상의 도펀트의 농도는 약 $0.1e^{18} \text{ cm}^{-3}$ 으로부터 $20e^{18} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 일부 실시 예에 있어서, 전자 정지 층(202)은 약 1 나노미터(1 nm)로부터 약 50 나노미터(50 nm)의 범위의 평균 층 두께(T_{st})를 가질 수 있다.

[0063] 도 2b는 단순화된 전도대 다이어그램이고 반도체 구조(200)의 여러 재료에 대한 전도대(228)의 상대 에너지 준위를 도시한다. 도 2b에 나타낸 것과 같이, 도 2a의 반도체 구조(200)의 실시 예에 있어서, 반도체 구조(200) (도 2b)의 전자 정지 층(202)의 적어도 일부 내의 전도대(228)의 에너지 준위는 InGaN 베이스 층(112) 내의 전도대(200)의 에너지 준위 및/또는 스페이서 층(118) 내의 전도대(228)의 에너지 준위보다 비교적 높다. 전자 정지 층(202)이 $Al_{st}Ga_{1-st}N$ (206) 및 GaN(208)의 층의 교대 층을 포함하고, 이 때, $0.01 \leq st \leq 0.20$ 인, 도 2b의 인셋(210)에 도시된 것과 같은 초격자 구조를 포함하는 실시 예에 있어서, 전도대 에너지 준위는 주기적으로 변할 수 있다.

[0064] 추가의 실시 예에 있어서, 본 개시 내용의 반도체 구조는 반도체 구조의 제조를 용이하게 하기 위해 채택되는, 활성 영역과 GaN 베이스 층 사이의 하나 이상의 재료 층을 포함할 수 있다. 예를 들어, 일부 실시 예에 있어서, 본 개시 내용의 반도체 구조, 및 이와 같은 구조로부터 제조되는 하나 이상의 발광 장치는, 활성 영역과 GaN 베이스 층 사이에 배치되는 하나 이상의 변형 완화 층을 포함할 수 있고, 이 때, 변형 완화 층은 GaN 베이스 층과 p-형 접촉 층 사이에 반도체 구조의 여러 층의 결정 구조의 결정 격자의 변형을 수용하도록 만들어지고, 구성될 수 있고, 층은 층-바이-층 프로세스로 겹쳐서 에피택셜 성장될 수 있다.

[0065] 비제한적인 예로서, 도 3a 및 도 3b는 이와 같은 변형 완화 층(302)을 포함하는 반도체 구조(300)의 실시 예를 도시한다. 반도체 구조(300)는 반도체 구조(100)와 유사하고, 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 하나 이상의 InGaN 우물 층(114) 및 하나 이상의 InGaN 배리어 층(116)을 포함하는 활성 영역(106)을 포함한다. 반도체 구조(300)는 또한 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 베이스 층(102), 스페이서 층(118), 캡 층(120), 전자 차단 층(108), p-형 벌크 층(110), 및 p-형 접촉 층(104)을 포함한다. 반도체 구조(300)의 변형 완화 층(302)은 GaN 베이스 층(112)과 스페이서 층(118) 사이에 배치된다. 도 3a 및 3b의 실시 예에 있어서, 변형 완화 층(302)은 GaN 베이스 층(112) 및 $In_{sp}Ga_{1-sp}N$ 스페이서 층(118) 사이에 직접 배치된다.

[0066] 변형 완화 층(302)은 그룹 III 질화물을 포함할 수 있다. 비제한적인 예로서, 변형 완화 층(302)은 $In_{sra}Ga_{1-sra}N$ (306), 및 $In_{srb}Ga_{1-srb}N$ (308)의 층의 교대 층을 포함하고, 이 때, $0.01 \leq sra \leq 0.10$, $0.01 \leq srb \leq 0.10$ 인, 인셋(304)에 도시된 것과 같이 초격자 구조를 가질 수 있다. 또한, sra는 srb보다 클 수 있다. 반도체 구조(300)는 $In_{sra}Ga_{1-sra}N$ 층(306) 및 $In_{srb}Ga_{1-srb}N$ (308)의 교대 층의 임의의 수(예컨대, 약 하나(1)로부터 약 이십(20)까지)를 포함할 수 있다. 이와 같은 초격자 구조에서의 층(306, 308)은 약 1 나노미터(1 nm) 내지 약 20 나노미터(20 nm)의 평균 층 두께를 가질 수 있다.

[0067] 변형 완화 층(302)은 규소 및 게르마늄으로 구성되는 그룹으로부터 선택된 하나 이상의 도펀트에 의해 n-형으로 도핑될 수 있다. 변형 완화 층(302) 내의 하나 이상의 도펀트의 농도는, 약 $0.1e^{18} \text{ cm}^{-3}$ 으로부터 $20e^{18} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 일부 실시 예에 있어서, 변형 완화 층(302)은 약 1 나노미터(1 nm)로부터 약 50 나노미터(50 nm)의 범위의 평균 층 두께를 가질 수 있다.

[0068] 도 3b는 단순화된 전도대 다이어그램이고 반도체 구조(300) 내의 여러 재료에 대한 전도대(328)의 상대 에너지 준위를 도시한다. 도 3b에 나타낸 것과 같이, 도 3a의 반도체 구조(300)의 실시 예에 있어서, 반도체 구조(300)의 변형 완화 층(302)(도 3a)의 적어도 일부 내의 전도대(328)의 에너지 준위는, GaN 베이스 층(112) 내의 전도대(328)의 에너지 준위 및/또는 스페이서 층(118) 내의 전도대(328)의 에너지 준위보다 비교적 낮을 수 있다. 다른 실시 예에 있어서, 반도체 구조(300)의 변형 완화 층(302)(도 3a)의 적어도 일부 내의 전도대(328)의 에너지 준위는, GaN 베이스 층(112) 내의 전도대(328)의 에너지 준위 및/또는 스페이서 층(118) 내의 전도대(328)의 에너지 준위보다 비교적 높을 수 있다. 도 3b의 인셋(310)에 도시된 것과 같이, 변형 완화 층(302)이 교대 층 $In_{sra}Ga_{1-sra}N$ 층(306) 및 $In_{srb}Ga_{1-srb}N$ (308)을 포함하는 초격자 구조를 포함하는 실시 예에 있어서, 전도대 에너지 준위는 주기적으로 변할 수 있다.

[0069] 도 4a 및 4b는 본 개시 내용의 반도체 구조(400)의 또 다른 실시 예를 도시한다. 반도체 구조(400)는 반도체 구조(100)와 유사하고 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 하나 이상의 InGaN 우물 층(114) 및

하나 이상의 InGaN 배리어 층(116)을 포함하는 활성 영역(406)을 포함한다. 반도체 구조(400)는 또한 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 베이스 층(102), 스페이서 층(118), 캡 층(120), 전자 차단 층(108), p-형 벌크 층(110), 및 p-형 접촉 층(104)을 포함한다. 반도체 구조(400)의 활성 영역(406)은 추가의 GaN 배리어 층(402)을 더 포함한다. 추가의 GaN 배리어 층(402) 각각은 InGaN 우물 층(114)과 InGaN 배리어 층(116) 사이에 배치될 수 있다. 추가의 GaN 배리어 층(402)은 우물 층(114) 내에 전자를 또한 감금하는 기능을 할 수 있고, 이 때, 전자는 정공과 더 재결합하는 경향이 있을 수 있고, 증가된 방사선 방출 확률을 가져올 수 있다.

[0070] 일부 실시 예에 있어서, 각각의 GaN 배리어 층(402)은 규소 및 게르마늄으로 구성되는 그룹으로부터 선택된 하나 이상의 도펀트에 의해 n-형으로 도핑될 수 있다. 예를 들어, GaN 배리어 층(402) 내의 하나 이상의 도펀트의 농도는, 약 $1.0e^{17} \text{ cm}^{-3}$ 로부터 $50e^{17} \text{ cm}^{-3}$ 의 범위에 있을 수 있다. 일부 실시 예에 있어서, 각각의 GaN 배리어 층(402)은 약 0.5 나노미터(0.5 nm)로부터 약 20 나노미터(20 nm)의 범위의 평균 층 두께(T_{b2})를 가질 수 있다.

[0071] 도 4b는 단순화된 전도대 다이어그램이고 반도체 구조(400) 내의 여러 재료에 대한 전도대(428)의 상대 에너지 준위를 도시한다. 도 4b에 나타난 것과 같이, 도 4a의 반도체 구조(400)의 실시 예에 있어서, GaN 배리어 층(402)(도 4a) 내의 전도대(428)의 에너지 준위는 InGaN 배리어 층(116) 내의 전도대(428)의 에너지 준위보다 그리고 InGaN 우물 층(114) 내의 전도대(428)의 에너지 준위보다 비교적 높을 수 있다.

[0072] 도 5a 및 5b는 반도체 구조(500)를 포함하는 본 개시 내용의 또 다른 실시 예를 도시한다. 이 실시 예에 있어서, Arena 등의 이름으로 2012년 1월 31일자로 출원된 미국 특허 출원 제 13/362,866 호에 개시된 방법이 활성 영역(506)을 형성하기 위해 이용될 수 있다. 반도체 구조(500)는 반도체 구조(100)와 유사하고 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 하나 이상의 InGaN 우물 층(514) 및 하나 이상의 InGaN 배리어 층(516)을 포함하는 활성 영역(506)을 포함한다. 반도체 구조(500)는 또한 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같이 베이스 층, 스페이서 층, 캡 층, 전자 차단 층, p-형 벌크 층(100), 및 p-형 접촉 층을 포함한다. 명확성을 위해, 활성 영역(506)을 둘러싸는 층만이 도시되고, 이 층들은 선택적 스페이서 층(118) 및 캡 층(120) 및 GaN 베이스 층(112) 및 전자 차단 층(108)을 포함할 수 있다. 만약 선택 층이 반도체 구조(500)로부터 생략되면, 활성 영역(506)은 GaN 베이스 층(112) 및 전자 차단 층(108) 사이에 직접 배치될 수 있다.

[0073] 반도체 구조(500)의 활성 영역(506)은 반도체 구조의 활성 영역(100)과 유사하지만, 2개 이상의 InGaN 배리어 층을 더 포함하고 이 때, 후속 배리어 층 간의 밴드-갭 에너지는 도 5a 및 도 5b에서 보았을 때 우측에서 좌측으로, 즉 캡 층(120)으로부터 스페이서 층(118)의 방향으로 계단식으로 증가한다. 반도체 구조(500)에서 활성 영역(506)의 이와 같은 구성은 활성 영역(506) 밖으로의 캐리어의 오버플로우를 방지하여 활성 영역(500) 내에 전하 캐리어의 감금을 도울 수 있고, 그렇게 함으로써, 반도체 구조(500)로부터 제조되는 발광 장치의 효율을 증가시킨다.

[0074] 장벽 영역(516_{A-C})은 각각의 밴드-갭 에너지(550_{A-C})를 갖는 장벽 영역(516_{A-C}) 각각을 제공하기 위해 선택된 재료 조성 및 구조적 구성을 가질 수 있고, 이 때, 밴드-갭 에너지는 반도체 구조(500)를 포함하는 반도체 재료 각각의 가전자대 에너지(552)와 전도대 에너지(528) 간의 에너지 차이에 의해 주어진다. 제 1 배리어 영역(516_A)에서의 밴드-갭 에너지(550_A)는 제 2 배리어 영역(516_B)에서의 밴드-갭 에너지(550_B)보다 작을 수 있고 제 2 배리어 영역(516_B)에서의 밴드-갭 에너지(550_B)는 도 5b의 에너지 밴드 다이어그램에 나타난 것과 같이 제 3 배리어 영역(516_C)에서의 밴드-갭 에너지(550_C)보다 작을 수 있다. 또한, 양자 우물 영역(552_{A-C})의 밴드-갭 에너지 각각은 실질적으로 동일할 수 있고, 장벽 영역(550_{A-C})의 밴드-갭 에너지(516_{A-C}) 각각 보다 작을 수 있다.

[0075] 이러한 구성에 있어서, 제 1 양자 우물(514_A)과 제 2 양자 우물(514_B) 간의 정공 에너지 장벽(554_A)은 제 2 양자 우물(516_B)과 제 3 양자 우물(516_C) 간의 정공 에너지 장벽(554_B)보다 작을 수 있다. 다시 말해, 장벽 영역(516_{A-C})을 가로지르는 정공 에너지 장벽(554_{A-C})은 캡 층(120)으로부터 스페이서 층(118)의 방향으로 활성 영역(506)을 가로질러 계단식으로 증가할 수 있다. 전자 정공 에너지 장벽(554_{A-C})은 양자 우물 영역(514_{A-C}) 및 인접 장벽 영역(516_{A-C}) 사이의 계면을 가로지르는 가전자대(552)의 에너지의 차이이다. 캡 층(120)으로부터 스페이서 층(108)을 향해 이동하는 장벽 영역(516_{A-C})을 가로질러 전자 정공 에너지 장벽(554_{A-C})을 증가시킨 결과, 정공의 균일성의 증가가 활성 영역(506) 내에서 달성될 수 있고, 그 결과 반도체 구조(500)로부터의 발광 장치 제조의

동작 동안 효율을 향상시킨다.

[0076] 앞에서 언급한 것과 같이, 장벽 영역(516_{A-c})은 장벽 영역(516_{A-c}) 각각에 이들의 다양한, 각각의 밴드-갭 에너지(550_{A-c})를 제공하기 위해 선택되는 재료 조성 및 구조적 구성을 가질 수 있다. 예로서 그리고 제한하지 않는 것으로서, 각각의 장벽 영역(516_{A-c})은 3차 III-질화물 재료, 예컨대 In_{b3}Ga_{1-b3}N을 포함할 수 있고, 이 때, b3는 적어도 약 0.01이다. 장벽 영역(516_{A-c})의 In_{b3}Ga_{1-b3}N에서 인듐 함량을 감소시키는 것(즉, b3의 값을 감소시키는 것)은 장벽 영역(516_{A-c})의 밴드-갭 에너지를 증가시킬 수 있다. 따라서, 제 2 배리어 영역(516_B)은 제 1 배리어 영역(516_A)에 낮은 인듐 함량을 가질 수 있고, 제 3 배리어 영역(516_C)은 제 2 배리어 영역(516_B)에 대해 낮은 인듐 함량을 가질 수 있다. 게다가, 장벽 영역(516_{A-c}) 및 우물 영역(514_{A-c})은 도핑될 수 있고 반도체 구조(100)에 대해 앞에서 기재된 것과 같은 평균 층 두께를 가질 수 있다.

[0077] 앞에서 언급한 것과 같이, 본 개시 내용의 실시 예에 따라, 활성 영역(106)(도 1a의)은 적어도 하나의 InGaN 우물 층 및 적어도 하나의 InGaN 배리어 층을 포함할 수 있고, 일부 실시 예에 있어서는, 적어도 실질적으로 InGaN(예컨대, 도펀트가 존재하지 않으면 InGaN로 필수적으로 구성될 수 있음)로 구성될 수 있다. InGaN 우물 층을 포함하는 다수의 이미 알려진 발광 장치 구조는 GaN(적어도 실질적으로 인듐이 없음) 배리어 층을 포함한다. InGaN 우물 층과 GaN 배리어 층 간의 전도대의 에너지 준위의 차이는 비교적 높아, 이 기술에서의 사상에 따르면, 우물 층 내의 전하 캐리어의 개선된 감금을 제공하고, LED 구조의 효율을 개선할 수 있다. 그러나, 종래 기술의 구조 및 방법은 캐리어 오버플로우 및 압전 분극(piezoelectric polarization)으로 인해 장치 효율의 감소를 가져올 수 있다.

[0078] 캐리어 오버플로우 이론에 있어서, 하나 이상의 양자 우물 층은 워터 버킷(water bucket)과 유사할 수 있고, 주입된 캐리어를 캡처하여 유지하는 이 능력은 캐리어의 높은 주입을 약화시킨다. 주입된 캐리어가 캡처되지 않거나 유지되지 않을 때, 이는 활성 영역을 오버플로우하고 낭비되어, 장치 효율이 떨어지는 것에 기여한다. InGaN 양자 우물 및 GaN 배리어 층을 포함하는 종래 기술의 구조에 있어서, 밴드 오프-셋, 즉, 양자 우물과 장벽 간의 전도대 에너지 준위의 차이는 본원의 실시 예에서 기재되는 것과 같이, 실질적으로 InGaN으로 구성되는 활성 영역에 대한 밴드 오프-셋보다 상당히 크다. 본원에 기재된 구조에서 밴드 오프-셋의 감소는 주입된 캐리어가 활성 영역의 양자 우물 영역을 가로질러 더 효율적으로 분포하게 하여, 본원에 기재된 반도체 구조로부터 제조되는 발광 장치의 효율을 증가시킨다.

[0079] 게다가, InGaN 우물 층과 GaN 배리어 층 간의 격자 부정합으로 인해, 상대적으로 강한 압전 분극이 이와 같은 발광 장치 구조의 활성 영역 내에서 일어난다. 압전 분극은 발광 장치 구조의 활성 영역 내에서 전자에 대한 파동 함수와 정공에 대한 파동 함수 간의 중첩을 감소시킬 수 있다. 예를 들어 J. H. Son and J. L. Lee의 "Numerical Analysis of Efficiency Droop Induced by Piezoelectric Polarization in InGaN/GaN Light-Emitting Diodes, Appl. Phys. Lett. 97, 032109(2010)"에 기재된 것과 같이, 압전 분극은 이와 같은 발광 장치 구조(예컨대, LED)에서 "효율 저하(efficiency droop)"로 불리는 것을 야기할 수 있다. 효율 저하 현상은 증가하는 전류 밀도를 갖는 LED 구조의 내부 양자 효율(internal quantum efficiency, IQE)의 그래프에서의 저하(감소)이다.

[0080] 본 개시 내용의 발광 구조, 예컨대 LED 구조의 실시 예는 격자 부정합과 관련된 GaN 배리어 층 및 InGaN 우물 층을 가지는 이미 알려진 LED 구조의 문제, 즉 캐리어 오버플로우, 압전 분극 현상, 및 효율 저하를 경감 또는 극복할 수 있다. 본 개시 내용의 LED의 실시 예, 예컨대 도 1a 및 1b의 반도체 구조(100)로부터 제조되는 LED 구조가 구성될 수 있고, 그것의 에너지 대역 구조가 설계되고, 그 결과 활성 영역(106)은 감소된 압전 분극 효과, 및 전자의 파동 함수 및 정공의 파동 함수의 증가된 중첩을 나타낸다. 그 결과, 발광 장치, 예컨대 LED는 활성 영역(106)을 가로질러 전하 캐리어의 개선된 균일성, 및 증가하는 전류 밀도를 갖는 감소된 효율 저하를 나타낼 수 있다.

[0081] 본 개시 내용의 실시 예를 통해 얻어질 수 있는 이 이점들은 도 10a 및 10b, 11a-11e, 12a 및 12b, 및 13a-13e를 참조하여 이하에서 더 논의된다. 도 10a 및 10b는 이미 알려진 LED와 유사한 LED(556)의 실시 예를 도시한다. LED(556)는 InGaN 우물 층(562) 사이에 배치되는 GaN 배리어 층(564)을 갖는 다섯개(5)의 InGaN 우물 층(562)을 포함하는 활성 영역(558)을 포함한다. LED(556)는 또한 베이스 층(560), 제 1 스페이서 층(566), 제 2 스페이서 층(568), 전자 차단 층(570), 및 전극층(572)을 포함한다. LED(556)에 있어서, InGaN 우물 층(562)은 In_{0.18}Ga_{0.82}N의 층을 포함하고, 이들 각각은 약 2.5 나노미터(2.5 nm)의 평균 층 두께를 가진다. 배리어

층(564)은 약 10 나노미터(10 nm)의 평균 층 두께를 가질 수 있는 GaN의 층을 포함한다. 베이스 층(560)은 약 $5 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 규소에 의해 n-형 도핑되는, 약 325 나노미터(325 nm)의 평균 층 두께를 가지는 도핑된 GaN의 층을 포함한다. 제 1 스페이서 층(566)은 약 25 나노미터(25 nm)의 평균 층 두께를 가지는 도핑되지 않은 GaN을 포함할 수 있다. 제 2 스페이서 층(568)은 또한 약 25 나노미터(25 nm)의 평균 층 두께를 가지는 도핑되지 않은 GaN을 포함할 수 있다. 전자 차단 층(570)은 p-도핑 AlGaIn을 포함할 수 있다. 전극층(572)은 도핑된 GaN의 층을 포함할 수 있고, 이와 같은 전극층은 약 $5 \times 10^{17} \text{ cm}^{-3}$ 의 농도로 마그네슘에 의해 p-형으로 도핑되는, 약 125 나노미터(125 nm)의 평균 층 두께를 가질 수 있다. 도 10b는 도 1a의 것과 유사한 단순화된 전도대 다이어그램이고, 도 10a의 LED(556)의 여러 층에서의 다양한 재료에 대한 전도대(574)의 에너지 준위(에너지 밴드 다이어그램에서)의 상대적 차이를 도시한다. 도 10b의 수직의 파선은 도 10a의 LED(556)에서의 여러 층 간의 계면과 정렬된다.

[0082]

당 분야에서 알려져 있는 것과 같이, 예를 들어, S. L. Chuang 및 C. S. Chang의 "*k \cdot p Method for Strained Wurtzite Semiconductors*, Phys. Rev. B 54, 2491(1996)"에 개시된 8x8 케인 모델(Kane Model)이 그룹-III 질화물 재료 예컨대 GaN 및 InGaIn에 대한 가전자대의 구조를 특징 짓는데 사용될 수 있다. 중, 경의 스플리팅(The splitting of the heavy, light), 및 브릴루앙 영역(Brillouin zone)의 중심에서의 가전자대의 분할 브랜치(split-off branch)는 내부 전기장(built-in electric field)과는 독립적인 것으로 상정될 수 있다. 그러므로, 원자가 부대역(valence subbands)은 결합 푸아송 및 수송 방정식의 해로부터 얻어질 수 있다. 전자 및 정공의 파동 함수는 각각:

[0083]

$$u_n \Psi_v \cdot \exp(\mathbf{k}_n \cdot \mathbf{r})$$

[0084]

$$u_{p,s} \Psi_{v,s} \cdot \exp(\mathbf{k}_p \cdot \mathbf{r})$$

[0085]

형태인 것으로 상정될 수 있고, 이 때, u_n 및 $u_{p,s}$ 는 브릴루앙 영역(Brilluene zone)의 중심에 대응하는 전자 및 정공의 블로흐 진폭(Bloch amplitudes)이고, \mathbf{k}_n 및 \mathbf{k}_p 는 평면 내 유사-모멘트 벡터(quasi-moment

vectors)이고, Ψ_v 및 $\Psi_{v,s}$ 는 덮개 함수(envelope functions)이고, 아래 첨자 "s"는 중(hh), 경(lh), 또는 분할(so) 정공일 수 있다. 전자 및 정공 덮개 함수에 대한 일차 슈뢰딩거 방정식은 각각:

[0086]

$$-\frac{\hbar^2}{2m_n^{\parallel}} \frac{d^2 \Psi_v}{dz^2} + U_C^{\text{eff}} \Psi_v = E_v \Psi_v$$

[0087]

$$-\frac{\hbar^2}{2m_p^{\parallel}} \frac{d^2 \Psi_{v,s}}{dz^2} + U_{V,s}^{\text{eff}} \Psi_{v,s} = E_{v,s} \Psi_{v,s}$$

이고,

[0088]

이 때, U_C^{eff} 및 $U_{V,s}^{\text{eff}}$ 는 양자 우물에서 전자 및 정공에 대한 유효 퍼텐셜이고, E_v 및 $E_{v,s}$ 는 전자 및 정공 에너지 준위이고, m_n^{\parallel} 및 m_p^{\parallel} 은 에피택셜 성장 방향에서의 전자 및 정공 유효 질량이다. 대응하는 경계 조건으로 상기 슈뢰딩거 방정식을 풀음으로써, 전자 및 정공 파동 함수 간의 중첩 적분은:

[0089]

$$\langle \Psi_i^e | \Psi_j^h \rangle = \int_{-\infty}^{\infty} \Psi_i^e(z) \Psi_j^h(z) dz$$

[0090]

로부터 얻어진다.

[0091] S. L. Chuang의 "Physics of Phonic Devices, 2nd Ed.(Wiley, New Jersey, 2009)"에 개시된 것과 같이, 전자 및 정공의 방사 재결합의 비율은:

$$R^{rad} = B \cdot np \cdot \left[1 - \exp\left(-\frac{F_n - F_p}{kT}\right) \right]$$

[0092] 에 의해 주어질 수 있고, 이 때, B는 방사 재결합 계수이고, n은 전자 농도이고, p는 정공 농도이고, F_n - F_p는 의사-페르미 준위 분리(quasi-Fermi level separation)이다. 전자 및 정공 농도 및 의사-페르미 준위 분리는 LED의 활성 영역을 가로질러 위치에 따라 변한다. 최대 방사 재결합 레이트는 임의의 양자 우물에서 식별될 수 있고, 이것의 각각의 양자 우물에 대한 피크 방사 재결합 레이트로서 고려될 수 있다.

[0094] 도 11a는 활성 영역(558)과 반대측인 베이스 층(560)의 표면에서 시작하는 LED(556) 양단의 위치(나노미터의)의 함수로서, LED(556)를 가로지르는 영의 인가 전류와 함께, 도 10a 및 10b의 LED(550)에 대한 전도대(574) 및 가 전자대(576)의 밴드 에지의 계산된 에너지를 도시하는 그래프이다. 도 11b는 도 11a와 유사하지만 1205 암페어/제곱 센티미터(125 A/cm²)의 LED(556)를 가로질러 인가된 전류 밀도에서 도 10a 및 10b의 LED(556)에 대한 전도대(574) 및 가 전자대(576)의 밴드 에지의 계산된 에너지를 도시하는 그래프이다. 도 11c는 125 암페어/제곱 센티미터(125 A/cm²)의 LED(550)를 가로지르는 인가된 전류 밀도와 함께 LED(556)의 5개의 양자 우물 층(562) 각각에 대한 파장의 함수로서 계산된 강도를 도시하는 그래프이다. QW1은 제일 좌측 양자 우물 층(562)이고, QW5는 도 10a 및 10b의 사시도로부터 제일 우측 양자 우물 층(562)이다. 도 11d는 인가된 전류 밀도의 함수로서 LED(556)의 계산된 주입 효율을 도시한다. 도 11d에 나타난 것과 같이, LED(550)는 125 A/cm²의 인가된 전류 밀도에서 약 75.6%의 주입 효율을 나타낼 수 있다. 도 11e는 인가된 전류 밀도의 함수로서 LED(556)의 계산된 내부 양자 효율(IQE)을 도시한다. 도 11e에 나타난 것과 같이, LED(556)는 125 A/cm²의 인가된 전류 밀도에서 약 45.2%의 내부 양자 효율을 나타낼 수 있다. 도 11e에도 나타난 것과 같이, LED(556)의 내부 양자 효율은 약 20 A/cm²의 인가된 전류 밀도에서의 50% 이상으로부터 250 A/cm²의 인가된 전류 밀도에서의 40% 이하로 떨어질 수 있다. 앞에서 논의된 것과 같이, IQE에서의 이와 같은 강하는 효율 저하로서 이 기술에서 불린다.

[0095] 이하의 표 1은 도 10a 및 10b의 LED(550)에서 5개의 양자 우물 층(562) 각각에 대한 계산된 파동 함수 오버랩 및 피크 방사 재결합 레이트를 나타낸다.

표 1

	QW1	QW2	QW3	QW4	QW5
파동 함수 오버랩	0.328	0.326	0.325	0.341	0.362
피크 방사 재결합 레이트	6.5e ²⁶	3.3e ²⁶	3.3e ²⁶	6.8e ²⁶	2.4e ²⁷

[0097] 도 11c 및 위의 표 1로부터 알 수 있는 것과 같이, 방사 재결합은 LED(556)에서 양자 우물 번호 5(즉, QW5)인 최후 우물 층(562)(p-도핑층, 또는 양극에 가장 가까운)으로부터 주로 온다. 또한, 도 11e에 나타난 것과 같이, LED(556)는 본원에서 앞에서 논의된 것과 같이 InGa_N 우물 층(562) 및 Ga_N 배리어 층(564)의 사용에 의해 야기 되는 압전 분극으로 인해 적어도 부분적으로 생길 수 있는 효율 저하를 나타낸다.

[0098] 적어도 하나의 InGa_N 우물 층 및 적어도 하나의 InGa_N 배리어 층, 예컨대 LED(100)의 활성 영역(106)을 포함하는 활성 영역을 포함하는 본 개시 내용의 LED들의 실시 예는 우물 층에서 발생하는 방사 재결합에서 개선된 균일성을 나타낼 수 있고, 감소된 효율 저하를 나타낼 수 있다. LED(550)와 본 개시 내용의 LED의 실시 예의 비교가 아래에서 도 12a 및 12b, 및 13a 내지 13e를 참조하여 제공된다.

[0099] 도 12a 및 12b는 본 개시 내용의 LED(600)의 실시 예의 다른 예를 도시한다. LED(600)는 다섯(5)개의 InGa_N 우물 층(114)을 포함하는 활성 영역(106)을 포함하고 InGa_N 배리어 층(116)은 InGa_N 우물 층(114) 사이에 배치된다. InGa_N 우물 층(114) 및 InGa_N 배리어 층(116)은 도 1a 및 1b를 참조하여 반도체 구조(100)와 관련하여 앞에서 기재된 것과 같은 것일 수 있다. LED(600)는 또한 베이스 층(112), 제 1 스페이서 층(118), 캡 층(120), 및 InG_N전극층(104)을 포함한다. LED(600)에서, InGa_N 우물 층(114)은 In_{0.18}Ga_{0.82}N의 층을 포함하고, 이들 층 각

작은 약 2.5 나노미터(2.5 nm)의 평균 층 두께를 가진다. 배리어 층(116)은 $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$ 의 층을 포함하고 각각은 약 10 나노미터(10 nm)의 평균 층 두께를 가질 수 있다. 베이스 층(112)은 약 $5e^{18} \text{ cm}^{-3}$ 의 농도로 규소에 의해 n-형으로 도핑된, 약 300 나노미터(300 nm)의 평균 층 두께를 가지는 도핑된 $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ 의 층을 포함한다. 제 1 스페이서 층(118)은 약 25 나노미터(25 nm)의 평균 층 두께를 가지는 도핑되지 않은 $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$ 을 포함할 수 있다. 캡 층(120)은 또한 약 25 나노미터(25 nm)의 평균 층 두께를 가지는 도핑되지 않은 $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$ 을 포함할 수 있다. 전극층(104)은 약 $5e^{17} \text{ cm}^{-3}$ 의 농도로 마그네슘에 의해 p-형으로 도핑된, 약 150 나노미터(150 nm)의 평균 층 두께를 가질 수 있는, 도핑된 $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ 의 층을 포함할 수 있다. 도 12b는 도 12a의 LED(600)의 여러 층에서 다양한 재료에 대한 전도대(602)의 에너지 준위에서(에너지 밴드 다이어그램에서) 상대적 차이를 도시하는 단순화된 전도대 다이어그램이다.

[0100] 도 13a는 활성 영역(106)과 반대측인 베이스 층(112)의 표면에서 시작하는 LED(600)를 가로지르는 위치(나노미터)의 함수로서, LED(600)를 가로지르는 영의 인가 전류와 함께, 도 12a 및 12b의 LED(600)에 대한 전도대(602) 및 가전자대(604)의 밴드 에지의 계산된 에너지를 도시하는 그래프이다. 도 13b는 도 13a의 것과 유사하지만, 125 암페어/제곱 센티미터(125 A/cm^2)의 LED(600)를 가로지르는 인가된 전류 밀도에서 도 12a 및 12b의 LED(600)에 대한 전도대(602) 및 가전자대(604)의 밴드 에지의 계산된 에너지를 도시하는 그래프이다. 도 13c는 125 암페어/제곱 센티미터(125 A/cm^2)의 LED(600)를 가로지르는 인가된 전류 밀도를 갖는 LED(600)의 5개의 양자 우물 층(108) 각각에 대한 파장의 함수로서 계산된 강도를 도시하는 그래프이다. QW1은 제일 좌측 양자 우물 층(108)이고, QW5는 도 12a 및 12b의 사시도로부터 제일 우측 양자 우물 층(108)이다. 도 13d는 인가된 전류 밀도의 함수로서 LED(600)의 계산된 주입 효율을 도시한다. 도 13d에 나타난 것과 같이, LED(600)는 125 A/cm^2 의 인가된 전류 밀도에서 약 87.8%의 주입 효율을 나타낼 수 있고, 약 20 A/cm^2 로부터 약 250 A/cm^2 의 전류 밀도 범위에 걸쳐 적어도 약 80%의 캐리어 주입 효율을 나타낼 수 있다. 도 13e는 인가된 전류 밀도의 함수로서 LED(600)의 계산된 내부 양자 효율(IQE)을 도시한다. 도 13e에 나타난 것과 같이, LED(600)는 125 A/cm^2 의 인가된 전류 밀도에서 약 58.6%의 내부 양자 효율을 나타낼 수 있다. 도 13e에도 나타난 것과 같이, LED(600)의 내부 양자 효율은 약 20 A/cm^2 로부터 250 A/cm^2 의 범위의 인가된 전류 밀도에서 약 55%와 약 60% 사이에서 유지될 수 있다. 따라서, LED(600)는 매우 적은 효율 저하를, LED(500)(LED(500)는 본 개시 내용의 실시 예와 일치하지 않음)에 의해 나타내어진 효율 저하보다 상당히 낮은 효율 저하를 나타낸다.

[0101] 이하의 표 2는 도 12a 및 12b의 LED(600)에서 5개의 양자 우물 층(108) 각각에 대한 계산된 파동 함수 오버랩 및 피크 방사 재결합 레이트를 나타낸다.

표 2

[0102]

	QW1	QW2	QW3	QW4	QW5
파동 함수 오버랩	0.478	0.493	0.494	0.494	0.471
피크 방사 재결합 레이트	$7.8e^{26}$	$7.7e^{26}$	$7.9e^{26}$	$8.1e^{26}$	$8.3e^{26}$

[0103] 도 13c 및 위의 표 2로부터 알 수 있는 것과 같이, 방사 재결합은 LED(500)에서의 우물 층(508)에 비해 LED(600)에서의 우물 층(108)에 걸쳐 더 균일하다.

[0104] 도 10a 및 10b의 LED(550) 및 도 12a 및 12b의 LED(600)는 STR Group, Inc로부터 상업적으로 이용 가능한 SiLENSe software를 이용하여 모델링된다. SiLENSe software는 또한 도 11a-11e 및 13a-13e의 그래프를 생성하고, 표 1 및 2에 기재된 데이터를 얻기 위해 사용되었다.

[0105] 본 개시 내용의 일부 실시 예에 따르면, LED는 약 20 A/cm^2 로부터 약 250 A/cm^2 의 전류 밀도의 범위에 걸쳐 적어도 약 45%, 또는 심지어 약 20 A/cm^2 로부터 약 250 A/cm^2 의 전류 밀도의 범위에 걸쳐 적어도 약 55%의 내부 양자 효율을 나타낼 수 있다. 또한, LED는 약 20 A/cm^2 로부터 약 250 A/cm^2 의 전류 밀도의 범위에 걸쳐 적어도 실질적으로 일정한 캐리어 주입 효율을 나타낼 수 있다. 일부 실시 예에 있어서, 본 개시 내용의 LED는 약 20

A/cm²로부터 약 250 A/cm²의 전류 밀도의 범위에 걸쳐 적어도 약 80%의 캐리어 주입 효율을 나타낼 수 있다.

- [0106] 본 개시 내용의 실시 예의 반도체 구조 및 발광 장치, 예컨대 LED를 제조하는 데 이용될 수 있는 방법의 비제한적인 예들이 도 6c 내지 도 6d를 참조하여 이하에 간단히 기재되고 이와 같은 방법에 의해 제조되는 발광 장치의 예들이 도 7 및 도 8을 참조하여 기재된다.
- [0107] 도 6c를 참조하면, 성장 템플레이트(113)(앞에서 이전에 기재된 것과 같이 제조되는)는 증착 챔버(chamber) 내에 배치될 수 있고, 성장 스택(682)(도 6d 참조)으로서 일반적으로 불리는, 그룹 III 질화물 재료를 포함하는 층은 성장 템플레이트(113)의 하나 이상의 시드 층(656) 상에 에피택셜로, 순차적으로 성장될 수 있다. 비록 시드 층이 하나 이상의 그룹 III 질화물 재료의 섬으로서 도시되어 있지만, 일부 실시 예에 있어서, 시드 층은 지지 기판(658) 위에 연속 막을 포함할 수 있다는 것이 주목되어야 한다.
- [0108] 도 6d는 2개의 시드 층(656)을 포함하는 성장 템플레이트(113)를 포함하는 반도체 구조(680)를 도시하고, 시드 층 각각은 그 위에 증착되는 도 1a 및 1b의 반도체 구조(100)의 여러 층을 가진다. 특히, 반도체 구조(100)의 GaN 베이스 층(112)은, 성장 템플레이트(112) 위에 순차로, 에피택셜 증착되는 InGaN 스페이서 층(118), InGaN 우물 층(114), InGaN 배리어 층(116), InGaN 캡 층(120), 전자 차단 층(108), p-형 벌크 층(110), 및 p-형 접촉 층(104)과 함께, 시드 층 구조들(656)의 각각 위에 직접 에피택셜 증착된다.
- [0109] 예를 들어, 금속유기 화학적 기상 증착(MOCVD) 프로세스 및 단일 증착 챔버 내의 시스템을 이용하여, 즉, 증착 프로세스 동안 언로딩 또는 언로딩 성장 스택에 대한 필요성 없이, 성장 스택(682)을 포함하는 반도체 구조(680)의 여러 층은 증착될 수 있다. 증착 챔버 내의 압력은 약 50 mTorr와 약 500 mTorr 사이로 감소될 수 있다. 증착 프로세스 동안 반응 챔버 내의 압력은 성장 스택(682)의 증착 동안 증가되거나 및/또는 감소될 수 있으므로, 증착되는 특정 층을 위해 맞춰질 수 있다. 비제한적인 예로서, GaN 베이스 층(112), 스페이서 층(118), 하나 이상의 우물(114)/ 배리어 층(116), 캡 층(120), 및 전자 배리어 층(108)의 증착 동안 반응 챔버의 압력은 약 50 mTorr와 약 500 mTorr 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 440 mTorr와 같을 수 있다. p-형 벌크 층(110) 및 p-형 접촉 층(104)의 증착을 위한 반응 챔버 내의 압력은 약 50 mTorr와 약 250 mTorr 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서 약 100 mTorr와 같을 수 있다.
- [0110] 성장 템플레이트(113)는 증착 챔버 내에서 약 600°C와 약 1,000°C 사이의 온도로 가열될 수 있다. 금속유기 전구체 가스(precursor gases) 및 다른 전구체 가스(및, 선택적으로, 캐리어 및/또는 퍼지(purge) 가스)는 이후 증착 챔버를 통해 그리고 성장 템플레이트(113)의 하나 이상의 시드 층(656) 위에서 유동시킬 수 있다. 금속유기 전구체 가스는 성장 템플레이트(113) 위에, 그룹 II 질화물 층, 예컨대 InGaN 층의 에피택셜 증착을 초래하는 방식으로 반응 분해, 또는 반응 및 분해 모두를 할 수 있다.
- [0111] 비제한적인 예로서, 트리메틸인듐(trimethylindium, TMI)은 InGaN의 인듐을 위한 금속유기 전구체로서 사용될 수 있고, 트리에틸갈륨(triethylgallium, TMG)은 InGaN의 갈륨을 위한 금속유기 전구체로서 사용될 수 있고, 트리에틸알루미늄(triethylaluminum, TMA)은 AlGaIn을 위한 금속유기 전구체로서 사용될 수 있고, 암모니아는 그룹 III 질화물 층의 질소를 위한 전구체로서 사용될 수 있다. SiH₄는 그룹 III 질화물 n-형으로 도핑하기를 원할 때 InGaIn으로의 규소의 도입을 위한 전구체로서 사용될 수 있고, Cp₂Mg(bis(cyclopentadienyl)magnesium)는 그룹 III p-형으로 도핑하기를 원할 때 그룹 III 질화물에 마그네슘을 도입하기 위한 전구체로서 사용될 수 있다. 인듐 전구체(예컨대, 트리메틸인듐)의 비율, 증착 온도에서 InGaIn 층의 인듐에 대한 포화점 근처에 있는 농도로 InGaIn에 포함되는, 인듐을 초래할 갈륨 전구체(예컨대, 트리에틸갈륨)로 맞추는 것이 유리할 수 있다. InGaIn에 포함되는 인듐의 백분율은 성장 온도를 제어하여 InGaIn이 에피택셜 성장되기 때문에 제어될 수 있다. 상대적으로 높은 양의 인듐은 상대적으로 낮은 온도에서 포함될 수 있고, 상대적으로 낮은 양의 인듐은 상대적으로 높은 온도에서 포함될 수 있다. 비제한적인 예로서, InGaIn 우물 층(108)은 약 600°C로부터 약 950°C의 범위의 온도에서 증착될 수 있다.
- [0112] 성장 스택(100)의 여러 층의 증착 온도는 증착 프로세스 동안 증가되고 및/또는 감소될 수 있으므로 증착될 특정 층에 대해 맞춰질 수 있다. 비제한적인 예로서, GaN 베이스 층(112), p-형 벌크 층(110) 및 p-형 접촉 층(104)의 증착 동안의 증착 온도는 약 600° 와 약 950°C 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 900°C와 같을 수 있다. GaN 베이스 층(112), p-형 벌크 층(110) 및 p-형 접촉 층(104)의 성장 속도는 약 1 나노미터/분(1 nm/min)과 약 50 나노미터/분(50 nm/min) 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서, GaN 베이스 층(112), p-형 벌크 층(110) 및 p-형 접촉 층(104)의 성장 속도는 약 6 나노미터/분(6 nm/min)과 같을 수 있다.

[0113] 추가의 비제한적인 본보기 실시 예에 있어서, 스페이서 층(118), 하나 이상의 우물 층(114), 하나 이상의 배리어 층(116), 캡 층(120), 및 전자 차단 층(108)의 증착 중 증착 온도는 약 600° 와 약 950°C 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 750°C와 같은 수 있다. 스페이서 층(118), 하나 이상의 우물 층(114), 하나 이상의 배리어 층(116), 캡 층(120), 및 전자 차단 층(108)의 성장 속도는 약 1 나노미터/분(1 nm/min)과 약 30 나노미터/분(30 nm/min) 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서 스페이서 층(118), 하나 이상의 우물(114)/배리어 층(116), 캡 층(120) 및 전자 차단 층(108)의 성장 속도는 약 1 나노미터/분(1 nm/min)과 같을 수 있다.

[0114] InGaN 층의 증착을 포함하는 실시 예에 있어서, 전구체 가스의 유량비(flow rate ratio)는 고품질의 InGaN 층을 제공하도록 선택될 수 있다. 예를 들어, 반도체 구조(100)의 InGaN 층을 형성하기 위한 방법은 낮은 결함 밀도, 실질적으로 스테인 이완(stain relaxation)이 없고, 실질적으로 표면 피트(surface pits)가 없는 하나 이상의 InGaN 층을 제공하기 위해 가스 비를 선택하는 것을 포함할 수 있다.

[0115] 비제한적인 예에 있어서, 트리메틸인듐(TMI) 대 트리에틸갈륨(TEG)의 유량비(%)는:

$$flow\ ratio\ (\%) = \frac{flow\ rate\ (TMI)}{flow\ rate\ (TMI + TEG)} \times 100$$

[0116]로서 정의될 수 있고 이와 같은 유량비는 증착 프로세스 동안 증가되고 및/또는 감소될 수 있으므로, 증착될 특정 InGaN 층을 위해 맞춰질 수 있다. 비제한적인 예로서, p-형 벌크 층(110)의 증착 동안의 유량비는, 약 50%와 약 95°C 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는, 약 85%와 같을 수 있다. 다른 실시 예에 있어서, 스페이서 층(118), 하나 이상의 배리어 층(116) 및 캡 층(120)의 증착 동안의 유량비는, 약 1%와 약 50% 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 2%와 같을 수 있다. 또 다른 실시 예에 있어서, 하나 이상의 양자 우물 층(114)의 증착 동안의 유량비는 약 1%와 약 50% 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 30%와 같을 수 있다.

[0118] 성장 템플레이트(113)는 선택적으로 증착 프로세스 동안 증착 체임버 내에서 회전될 수 있다. 비제한적인 예로서, 성장 템플레이트(113)는 증착 프로세스 동안 증착 체임버 내에서 약 50 분당 회전수(RPM)와 약 1500 분당 회전수(RPM) 사이의 회전 속도로 회전될 수 있고, 일부 실시 예에 있어서는 약 450 분당 회전수(RPM)와 같은 회전 속도로 회전할 수 있다. 증착 프로세스 동안 회전 속도는 증착 동안 증가되고 및/또는 감소될 수 있으므로, 증착될 특정 층에 대해 맞춰질 수 있다. 비제한적인 예로서 GaN 베이스 층(112), 스페이서 층(118), 하나 이상의 우물 층(114), 하나 이상의 배리어 층(116), 캡 층(120) 및 전자 배리어 층(108)의 증착 동안 성장 템플레이트의 회전 속도는, 약 50 분당 회전수(RPM)와 약 1500 분당 회전수(RPM) 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 440 분당 회전수(RPM)와 같은 회전 속도로 회전될 수 있다. p-형 벌크 층(110) 및 p-형 접촉 층(104)의 증착 동안 성장 템플레이트(113)의 회전 속도 약 50 분당 회전수(RPM)와 약 1500 분당 회전수(RPM) 사이의 범위에 있을 수 있고, 일부 실시 예에 있어서는 약 1000 분당 회전수(RPM)와 같은 회전 속도로 회전할 수 있다.

[0119] 그룹 III 질화물, 및 특히 InGaN 층의 증착을 포함하는 본 개시 내용의 반도체 구조의 실시 예에 있어서, 성장 템플레이트(113) 위에 에피택셜 증착되는 성장 스택(682)을 포함하는 하나 이상의 InGaN 층의 변형 에너지는, 이와 같은 반도체 구조로 제조되는 발광 장치의 효율에 영향을 줄 수 있다. 일부 실시 예에 있어서, 성장 스택(682) 내에서 생기는 전체 변형 에너지는, 본 개시 내용의 반도체 구조의, 내부 양자 효율(IQE)에 의해 정의되는 효율과 관계가 있을 수 있다.

[0120] 더 상세하게는, InGaN의 제 n 층 내에 저장된 변형 에너지는 InGaN의 제 n 층의 평균 전체 두께(T_n) 및 InGaN의 제 n 층의 인듐(%In_n)의 농도에 비례한다. 게다가, 성장 스택(682)을 포함하는 복수의 InGaN 층에 저장된 전체 변형 에너지는 InGaN 층 각각의 평균 전체 두께(T_n)의 합 및 InGaN 층 각각에서의 인듐의 농도(%In_n)에 비례하므로, 성장 스택(702)을 포함하는 InGaN 층 내의 전체 변형 에너지는 다음의 관계식을 이용하여 추정될 수 있다:

$$Total\ strain\ energy\ (a.u.) \propto \sum (\%In_n \times T_n)$$

[0122] 이 때, 제 n 층의 평균 전체 두께(T_n)는 나노미터(nm)로 표현되고 제 n InGaN 층의 인듐의 농도(%In_n)는 원자 백분율로 표현된다. 예를 들어, 만약 InGaN의 제 n 층이 150 나노미터(150 nm)의 평균 전체 두께(T_n) 및 2.0

at%의 인듐 농도(%In_n)를 가지면, InGaN의 제 n 층 내의 변형 에너지는 300 a.u.(300 = 150(2))일 수 있다.

[0123] 도 9는 본 개시 내용의 반도체 구조에 대한 IQE(a.u.)와 전체 변형 에너지(a.u.) 간의 관계를 나타내는 그래프(900)를 도시한다. 본 개시 내용의 반도체 구조의 IQE는 그래프(900)의 선(902)으로 나타낸 것과 같이, 반도체 구조의 "임계 변형 에너지"로서 불리는 전체 변형 에너지의 값으로 감소할 수 있다. 임계 변형 에너지(선 904로 나타낸 것과 같이) 아래의 반도체 구조들의 IQE는 임계 변형 에너지(선 906으로 나타낸 것과 같이) 위의 반도체 구조의 IQE보다 실질적으로 클 수 있다. 예를 들어, 그래프(900)는 수 개의 본 개시 내용의 반도체 구조에 대한 IQE 값(직사각형 표시로 나타냄)을 나타낸다. 일부 실시 예에 있어서, 임계 변형 에너지 아래의 IQE는 임계 변형 에너지 위의 IQE보다 약 500% 더 클 수 있다. 다른 실시 예에 있어서, 임계 변형 에너지 아래의 IQE는, 임계 변형 에너지 위의 IQE보다 약 250% 더 클 수 있다. 또 다른 실시 예에 있어서, 임계 변형 에너지 아래의 IQE는 임계 변형 에너지 위의 IQE보다 약 100% 더 클 수 있다.

[0124] 본 개시 내용의 반도체 구조에 대해, 각각의 층의 인듐 함량(%)과 각각의 층 두께(nm)의 곱(product)의 합(sum)에 의해 정의되는 임계 변형 에너지(902)는 약 1800 이하, 약 2800 이하, 또는 심지어 약 4500 이하의 값을 가질 수 있다.

[0125] 본 개시 내용에 있어서, 도 6d의 성장 스택(682)을 포함하는 복수의 그룹 III 질화물 층은, 성장 스택(682)이 성장 템플레이트(113)의 In₃Ga₁₋₃N 시드 층(656)의 결정 격자와 매칭하도록 실질적으로 완전히 변형되는 방식으로 증착될 수 있다. 성장 스택(682)이 실질적으로 완전히 변형되고, 즉 실질적으로 변형 완화가 없이 성장되는 이와 같은 실시 예에 있어서, 성장 스택은 In₃Ga₁₋₃N 시드 층의 격자 파라미터를 물려 받는다. 본 개시 내용의 특정 실시 예에 있어서, In₃Ga₁₋₃N 시드 층은 3.2 옹스트롬보다 큰 성장 평면 격자 파라미터를 나타낼 수 있고, 성장 스택은 3.2 옹스트롬보다 큰 성장 평면 격자 파라미터를 나타낼 수 있다. 그러므로, 비제한적인 예에 있어서, 반도체 구조(100, 200, 300, 400, 500)은 완전히 변형된 재료로 구성되는 방식으로 형성될 수 있고, 이와 같은 성장 평면 격자 파라미터를 가질 수 있다. 일부 실시 예에 있어서, In₃Ga₁₋₃N 시드 층(656) 위에 형성되는 GaN 베이스 층(112)은, GaN 베이스 층(112)이 In₃Ga₁₋₃N 시드 층(656)과 매칭하는 격자로 성장되기 때문에 이완된 방식으로 성장될 것이다.

[0126] 다른 실시 예에 있어서, 도 6d의 성장 스택(682)을 포함하는 복수의 그룹 III 질화물 층은, 성장 스택(682)이 부분적으로 이완되는 방식으로 증착될 수 있고, 즉, 성장 스택(682)의 격자 파라미터는 하위 In₃Ga₁₋₃N 시드 층과 다르다. 이와 같은 실시 예에 있어서 백분율 변형 완화(R)는.

$$R (\%) = \frac{a - a_s}{a_1 - a_s} \times 100$$

[0127]로서 정의될 수 있고, 이 때, a는 성장 스택(682)에 대한 평균 성장 평면 격자 파라미터이고, a_s는 In₃Ga₁₋₃N 시드의 평균 성장 평면 격자 파라미터이고, a₁는 성장 스택에 대한 평형(또는 자연 상태) 평균 성장 평면 격자 파라미터이다. 예를 들어, 일부 실시 예에 있어서 성장 스택(682)은 약 0.5%보다 작은 백분율 변형 완화(R)를 나타낼 수 있고, 추가 실시 예에 있어서 성장 스택(682)은 약 10%보다 작은 백분율 변형 완화(R)를 나타낼 수 있고, 또 다른 실시 예에 있어서 성장 스택(682)은 약 50%보다 작은 백분율 변형 완화(R)를 나타낼 수 있다.

[0129] 그룹 III 질화물 재료를 포함하는 반도체 구조의 여러 층을 에피택셜 증착한 후, 추가 처리가 발광 장치, 예컨대 LED로 반도체 구조의 제조를 완료하기 위해 적용될 수 있다. 예를 들어, 전극 컨택트가 당 분야에서 알려져 있고, 도 7 및 도 8을 참조하여 이하에 간단히 기재되는 프로세스를 이용하여 그룹 III 질화물 재료의 층 상에 형성될 수 있다.

[0130] 반도체 구조(100)로부터 제조되는, 발광 장치(700), 예컨대 LED의 예가 도 7에 도시되어 있다. 비록 다음의 설명은 반도체 구조(100)로부터 발광 장치를 제조하기 위한 실시 예를 기재하지만, 이와 같은 제조 프로세스는 또한 반도체 구조(200, 300, 400, 500)에 적용될 수 있다는 것을 주목해야 한다.

[0131] 더 상세하게는, 반도체 구조(100)의 일부는 제거될 수 있고 그럼으로써 InGaN 베이스 층(112)의 일부를 노출시킨다. 반도체 구조(100)의 선택 부분의 제거는 반도체 구조(100)(도시하지 않음)의 p-접촉 층(100)의 노출면에 감광성 화학약품을 적용하여 실현될 수 있다. 패터닝된 투명 플레이트 및 이어지는 현상(subsequent

development)을 통한 전자기 방사선의 노출 시, 감광성 층은 InGaN 베이스 층(112) 위의 그룹 III 질화물 층의 선택적인 제거를 허용하도록 "마스크 층(mask layer)"으로서 이용될 수 있다. InGaN 베이스 층(112) 위의 그룹 III 질화물 층의 선택 부분의 제거는 에칭 프로세스, 예를 들어 웨트 화학적 에칭 및/또는 드라이 플라즈마 기반 에칭(예컨대, 반응성 이온 에칭, 유도 결합 플라즈마 에칭)를 포함할 수 있다.

[0132] 제 1 전극 콘택트(702)는 노출된 InGaN 베이스 층(112)의 일부 위에 형성될 수 있다. 제 1 전극 콘택트(702)는 티탄, 알루미늄, 니켈, 금 및 하나 이상의 이들의 합금을 포함할 수 있는, 하나 이상의 금속으로 구성될 수 있다. 제 2 전극 콘택트(704)는 p-접촉 층(104)의 일부 위에 형성될 수 있고, 제 2 전극 콘택트(704)는 니켈, 금, 백금, 은 및 하나 이상의 이들의 합금을 포함할 수 있는 하나 이상의 금속 층으로 구성될 수 있다. 제 1 전극 콘택트(702) 및 제 2 전극 콘택트(704)의 형성 시, 전류는 예컨대 가시광의 형태로 전자기 방사선을 생성하기 위해 발광 장치(700)를 통과할 수 있다. 발광 장치(700)는, 제 1 전극 콘택트(702)와 제 2 전극 콘택트(704) 사이의 전류 경로의 적어도 일부가 횡 경로(lateral pathway)를 포함하므로, 이 기술에서 일반적으로 "래터럴 장치(lateral device)"로 불리는 것을 주목해야 한다.

[0133] 또한 비록 다음의 설명은 반도체 구조(100)로부터 발광 장치를 제조하는 실시 예를 기재하지만, 반도체 구조(100)로 제조되는 발광 장치(800), 예컨대 LED의 추가의 예가 도 8에 도시되어 있다. 이와 같은 제조 프로세스는 또한 반도체 구조(200, 300, 400, 500)에 적용될 수 있다는 것을 주목해야 한다.

[0134] 더 상세하게는, 성장 템플레이트(113)의 모두 또는 일부는 $In_xGa_{1-x}N$ 층(656)의 노출을 가능하게 하기 위해 또는 일부 실시 예에 있어서, InGaN 베이스 층(112)의 노출을 가능하게 하기 위해 반도체 구조(100)로부터 제거될 수 있다. 성장 템플레이트(113)의 모두 또는 일부의 제거는 웨트 에칭, 드라이 에칭, 화학 기계적 폴리싱, 그라인딩 및 레이저 리프트-오프(laser lift-off)를 포함하는 하나 이상의 제거 방법을 포함할 수 있다. 성장 템플레이트(113)의 모두 또는 일부의 제거 시, 제 1 전극 콘택트(802)는 앞에서 기재된 것과 같이 InGaN 베이스 층(112)에 적용될 수 있다. 그 후 제 2 전극 콘택트(804)는 p-접촉 층(104)의 일부에 적용될 수 있고, 그럼으로써 발광 장치(800)를 형성한다. 제 1 전극 콘택트(802) 및 제 2 전극 콘택트(804)의 형성 시, 전류는 예컨대 가시광의 형태로 전자기 방사선을 생성하기 위해 발광 장치(800)를 통과할 수 있다. 제 1 전극층(802)과 제 2 전극층(804) 간의 전류 경로는 실질적으로 수직 경로(vertical pathway)를 포함하므로, 발광 장치(800)는 일반적으로 이 기술에서 "버티컬 장치(vertical device)"로서 불린다는 것을 주목해야 한다.

[0135] 비제한적인 예의 발광 장치(700, 800)의 제조를 위한 앞에서 기재된 제조 방법 및 프로세스에 더하여, 예컨대, 광 추출을 개선하기 위한 표면 러프닝(surface roughening), 열 낭비(thermal dissipation)를 개선하기 위한 금속성 캐리어에 대한 접합, 및 다른 잘 알려진 제조 방법 중에서 "플립-칩 본딩(flip-chip bonding)"으로서 당 분야에서 알려진 프로세스와 같은, 당 분야에서 알려진 추가의 방법 및 프로세스가 또한 이용될 수 있다는 것을 주목해야 한다.

[0136] 본 개시 내용의 실시 예에 따른 발광 장치, 예컨대 LED는 하나 이상의 LED를 내부에 통합하는 임의의 형태의 발광 장치로 제조되어 사용될 수 있다. 본 개시 내용의 LED의 실시 예는 상대적으로 높은 파워 하에서 동작하고 상대적으로 높은 광도를 필요로 하는 LED로부터 이익을 얻는 응용에 사용하기 특히 적합할 수 있다. 예를 들어, 본 개시 내용의 LED는 건물 조명, 거리 조명, 자동차 조명 등에 사용될 수 있는 LED 램프 및 LED-기반 전구에 사용하기 특히 적합할 수 있다.

[0137] 본 개시 내용의 추가의 실시 예는 도 7의 발광 장치(700) 및 도 8의 발광 장치(800)와 같은, 본원에 기재된 하나 이상의 LED를 포함하는 광을 방출하는 발광 장치를 포함한다. 비제한적인 예로서, 발광 장치는 예를 들어 Baretz 등에게 2003년 7월 29일자에 발행된 미국 특허 제 6,600,175 호에 기재되어 있는 것과 같을 것일 수 있고, 이 개시 내용은 본원에 참조로 그 전체가 포함되었지만, 본원에 기재된 것과 같은 하나 이상의 LED를 포함할 수 있다.

[0138] 도 14는 도 7 및 도 8을 참조하여 기재된 장치(700, 800)와 같은 발광 장치를 포함하는 본 개시 내용의 발광 장치(900)의 본보기 실시 예를 도시한다. 도 14에 나타난 것과 같이, 발광 장치(900)는 컨테이너(container, 902)를 포함할 수 있고, 그것의 적어도 일부는 전자기 방사선 스펙트럼의 가시 영역에서 전자기 방사선에 대해 적어도 실질적으로 투명하다. 컨테이너(902)는 예를 들어 비정질 또는 결정성 세라믹 재료(예컨대, 글라스) 또는 폴리머 재료를 포함할 수 있다. LED(800)는 컨테이너(902) 내에 배치되고, 컨테이너(902) 내에서 지지 구조(904)(예컨대, 인쇄 회로 기판 또는 다른 기판) 상에 장착될 수 있다. 발광 장치(900)는 제 1 전기 접촉 구조(first electrical contact structure, 906) 및 제 2 전기 접촉 구조(908)를 더 포함한다. 제 1 전기 접촉 구조(906)는 LED의 전극 콘택트 중 하나, 예컨대 제 1 전극 콘택트(802)(도 8)와 전기 통신할 수 있고, 제 2 전기

접촉 구조(908)는 LED의 전극 콘택트 중 다른 하나, 예컨대 제 2 전극 콘택트(804)(도 8)와 전기 통신할 수 있다. 비제한적인 예로서, 제 1 전기 접촉 구조(906)는 지지 구조(904)를 통해 제 1 전극 콘택트(804)와 전기 통신할 수 있고, 와이어(910)는 제 2 전기 접촉 구조(908)를 제 2 전극 콘택트(804)와 전기적으로 결합하기 위해 사용될 수 있다. 따라서, 전압은 LED의 제 1 및 제 2 전극 콘택트(802, 804) 사이에 전압 및 대응하는 전류를 제공하여 LED가 방사선을 방출하게 하기 위해 발광 장치(900)의 제 1 전기 접촉 구조(906)와 제 2 전기 접촉 구조(908) 사이에 인가될 수 있다.

[0139] 발광 장치(900)는 선택적으로 컨테이너(902) 내의 하나 이상의 LED(800)에 의해 방출되는 전자기 방사선의 흡수에 의해 자극되거나 또는 여기(excited)될 때 전자기 방사선(예컨대, 가시광)을 자체 방출할 형광 또는 인광 재료(fluorescent or phosphorescent material)를 더 포함할 수 있다. 예를 들어, 컨테이너(902)의 내면(912)은 이와 같은 형광 또는 인광 재료로 적어도 부분적으로 코팅될 수 있다. 하나 이상의 LED(800)는 하나 이상의 특정 파장의 전자기 방사선을 방출할 수 있고, 형광 또는 인광 재료는 다양한 파장의 방사선을 방출할 다양한 재료의 혼합물을 포함할 수 있고, 그 결과 발광 장치(900)는 컨테이너(902)로부터 밖으로 백색광을 방출한다. 다양한 형태의 인광 및 형광 재료가 당 분야에 알려져 있고 본 개시 내용의 발광 장치의 실시 예에 채택될 수 있다. 예를 들어, 일부 이와 같은 재료는 위에서 언급한 미국 특허 제 6,600,175 호에 개시되어 있다.

[0140] 본 개시 내용의 실시 예의 추가의 비제한적인 예가 이하에 제시된다.

[0141] 실시 예 1: 약 3.189 옴스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층; 상기 베이스 층 위에 배치되며, 복수의 InGa_{1-w}N의 층을 포함하고, 상기 복수의 InGa_{1-w}N의 층은 적어도 하나의 In_wGa_{1-w}N 우물 층, 및 적어도 하나의 In_bGa_{1-b}N 배리어 층을 포함하며, 이 때, w는 0.10 ≤ w ≤ 0.40, b는 0.01 ≤ b ≤ 0.10인 상기 활성 영역; 상기 GaN 베이스 층과 반대측인 상기 활성 영역 위에 배치되는 전자 차단 층; 상기 전자 차단 층 위에 배치되며, In_pGa_{1-p}N을 포함하고, 이 때, p는 0.00 ≤ p ≤ 0.08인, p-형 벌크 층; 및 상기 p-형 벌크 층 상에 배치되며, In_cGa_{1-c}N을 포함하고, 이 때, c는 0.00 ≤ c ≤ 0.10인, p-형 접촉 층;을 포함하는 반도체 구조.

[0142] 실시 예 2: 베이스 층은 성장 템플레이트를 더 포함하고, 성장 템플레이트는 지지 기판; 및 상기 지지 기판 위에 배치되는 In_sGa_{1-s}N 시드 층을 포함하고, 상기 In_sGa_{1-s}N 시드 층의 성장 평면은 약 3.189 옴스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극평면이고, 이 때, 0.02 ≤ s ≤ 0.05이고, 이 때, GaN 베이스 층은 실질적으로 In_sGa_{1-s}N 시드 층의 성장 평면과 매칭되는 격자이다.

[0143] 실시 예 3: 상기 활성 영역과 전자 차단 층 사이에 배치되는 GaN 캡 층;을 더 포함하고, 이 때, 0.01 ≤ cp ≤ 0.10인, 실시 예 3의 반도체 구조.

[0144] 실시 예 4: 활성 영역과 전자 차단 층 사이에 배치되는 In_{cp}Ga_{1-cp}N 캡 층;을 더 포함하고, 이 때, 0.01 ≤ cp ≤ 0.10인 실시 예 1 내지 3 중 어느 하나의 반도체 구조.

[0145] 실시 예 5: 전자 차단 층은 In_eGa_{1-e}N을 포함하고, 이 때, 0.01 ≤ e ≤ 0.02인 실시 예 1 내지 4 중 어느 하나의 반도체 구조.

[0146] 실시 예 6: 전자 차단 층은 적어도 실질적으로 GaN으로 구성되는 실시 예 1 내지 5 중 어느 하나의 반도체 구조.

[0147] 실시 예 7: 전자 차단 층은 적어도 실질적으로 Al_eGa_{1-e}N으로 구성되고, 이 때, 0.1 ≤ e ≤ 0.2인 실시 예 1 내지 6 중 어느 하나의 반도체 구조.

[0148] 실시 예 8: 전자 차단 층은 GaN 및 Al_eGa_{1-e}N의 교대 층을 포함하는 초격자 구조를 가지며, 이 때, 0.1 ≤ e ≤ 0.2인 실시 예 7의 반도체 구조.

[0149] 실시 예 9: GaN 베이스 층과 상기 활성 영역 사이에 배치되는 전자 정지 층;을 더 포함하고, 상기 전자 정지 층은 Al_{st}Ga_{1-st}N을 포함하고, 이 때, 0.01 ≤ st ≤ 0.20인 실시 예 1 내지 9 중 어느 하나의 반도체 구조.

[0150] 실시 예 10: 전자 정지 층은 GaN 및 Al_{st}Ga_{1-st}N의 교대 층을 포함하는 초격자 구조를 가지며, 이 때, 0.01 ≤ st ≤

0.2인 실시 예 9의 반도체 구조.

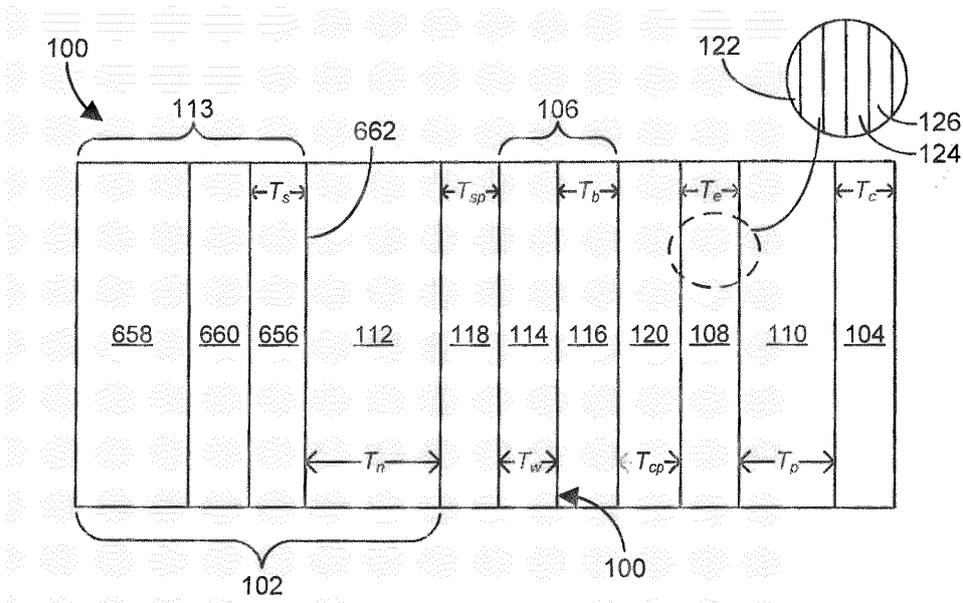
- [0151] 실시 예 11: GaN 베이스 층과 상기 활성 영역 사이에 배치되는 변형 완화 층;을 더 포함하고, 상기 변형 완화 층은 $In_{sra}Ga_{1-sra}N$ 및 $In_{srb}Ga_{1-srb}N$ 의 교대 층을 포함하는 초격자 구조를 가지며, 이 때, sra 는 $0.01 \leq sra \leq 0.10$, srb 는 $0.01 \leq srb \leq 0.10$ 이고, sra 는 srb 보다 큰, 실시 예 1 내지 10 중 어느 하나의 반도체 구조.
- [0152] 실시 예 12: 활성 영역은 적어도 하나의 우물 층과 적어도 하나의 배리어 층 사이에 배치되는 GaN을 포함하는 추가의 배리어 층;을 더 포함하는 실시 예 1 내지 11 중 어느 하나의 반도체 구조.
- [0153] 실시 예 13: 반도체 구조의 임계 변형 에너지는, 약 4500 이하인 실시 예 1 내지 12 중 어느 하나의 반도체 구조.
- [0154] 실시 예 14: GaN 베이스 층, 활성 영역, 전자 차단 층, p-형 벌크 층, 및 p-형 접촉 층은 1% 이하의 백분율 변형 완화를 나타내는 성장 스택을 규정하는 실시 예 1 내지 13 중 어느 하나의 반도체 구조.
- [0155] 실시 예 15: p-형 접촉 층은, 적어도 실질적으로 GaN으로 구성되는 실시 예 1 내지 14 중 어느 하나의 반도체 구조.
- [0156] 실시 예 16: GaN 베이스 층의 적어도 일부 위의 제 1 전극 콘택트; 및 p-형 접촉 층의 적어도 일부 위의 제 2 전극 콘택트;를 더 포함하는 실시 예 1 내지 15 중 어느 하나의 반도체 구조.
- [0157] 실시 예 17: 약 3.189 Å보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층; 상기 베이스 층 위에 배치되는 활성 영역으로서, 상기 활성 영역은 복수의 InGa_nN의 층을 포함하고, 상기 복수의 InGa_nN의 층은 적어도 하나의 우물 층, 및 적어도 하나의 배리어 층을 포함하는 상기 활성 영역; 상기 활성 영역 측 위에 배치되는 전자 차단 층; 상기 전자 차단 층 위에 배치되는 p-형 In_pGa_{1-p}N 벌크 층; 및 p-형 In_pGa_{1-p}N 벌크 층 위에 배치되는 p-형 In_cGa_{1-c}N 접촉 층을 포함하고, 이 때, 발광 장치의 임계 변형 에너지는 약 4500 이하인 발광 장치.
- [0158] 실시 예 18: 적어도 하나의 우물 층은 In_wGa_{1-w}N을 포함하고, 이 때, $0.10 \leq w \leq 0.40$ 인 실시 예 17의 발광 장치.
- [0159] 실시 예 19: 적어도 하나 배리어는 In_bGa_{1-b}N을 포함하고, 이 때, $0.01 \leq b \leq 0.10$ 인 실시 예 17 또는 실시 예 18의 발광 장치.
- [0160] 실시 예 20: 전자 차단 층은 적어도 실질적으로 GaN으로 구성되는 실시 예 17 내지 19 중 어느 하나의 발광 장치.
- [0161] 실시 예 21: p-형 In_pGa_{1-p}N 벌크 층에서 p 는 $0.00 \leq p \leq 0.08$ 로 구성되는 실시 예 17 내지 20 중 어느 하나의 발광 장치.
- [0162] 실시 예 22: p-형 In_cGa_{1-c}N 접촉 층에서 c 는 $0.01 \leq c \leq 0.10$ 인 실시 예 17 내지 21 중 어느 하나의 발광 장치.
- [0163] 실시 예 23: p-형 In_cGa_{1-c}N 접촉 층은, 실질적으로 GaN으로 구성되는 실시 예 17 내지 22 중 어느 하나의 발광 장치.
- [0164] 실시 예 24: GaN 베이스 층의 적어도 일부 위의 제 1 전극 콘택트; 및 p-형 In_cGa_{1-c}N 접촉 층의 적어도 일부 위의 제 2 전극 콘택트;를 더 포함하는, 실시 예 17 내지 23 중 어느 하나의 발광 장치.
- [0165] 실시 예 25: GaN 베이스 층, 활성 영역, 전자 차단 층, p-형 벌크 층, 및 p-형 접촉 층은, 1%보다 작은 백분율 변형 완화를 나타내는 성장 스택을 정의하는 실시 예 17 내지 24 중 어느 하나의 발광 장치.
- [0166] 실시 예 26: 반도체 구조를 형성하는 방법으로서, 약 3.189 Å보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극성 성장 평면을 가지는 GaN 베이스 층을 제공하는 단계; 적어도 하나의 In_wGa_{1-w}N 우물 층을 성장시키는 단계, 및 상기 적어도 하나의 우물 층 상에 적어도 하나의 In_bGa_{1-b}N 배리어 층을 성장시키는 단계, 및 상기 활성 영역 위에 전자 차단 층을 성장시키는 단계를 포함하고, 이 때, w 는 $0.10 \leq w \leq 0.40$, b 는 $0.01 \leq b \leq 0.10$ 인 상기 베이스 층 위에 활성 영역을 형성하기 위해 복수의 InGa_nN의 층을 성장시키는 단계; 상기 전자 차단 층 위에 p-형 In_pGa_{1-p}N 벌크 층을 성장시키는 단계; 및 상기 p-형 In_pGa_{1-p}N 벌크 층 위에 p-형 In_cGa_{1-c}N 접촉 층을 성장시키는 단계;를 포함하고, 이 때, p 는 $0.00 \leq p \leq 0.08$, c 는 $0.00 \leq c \leq 0.10$ 인 반도체 구조 형성 방법.

- [0167] 실시 예 27: 상기 베이스 층을 형성하는 단계는 성장 템플레이트를 형성하는 단계를 더 포함하고, 상기 성장 템플레이트를 형성하는 단계는: 지지 기판을 제공하는 단계; 및 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층을 상기 지지 기판에 접합하는 단계를 포함하고, 이 때, 상기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층의 성장 평면은 약 3.189 옹스트롬보다 크거나 같은 성장 평면 격자 파라미터를 갖는 극평면이고, 상기 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층에서 s 는 $0.02 \leq s \leq 0.05$ 인, 실시 예 27의 방법.
- [0168] 실시 예 28: GaN 베이스 층과 반대측인 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 시드 층 위에 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 스페이서 층을 성장시키는 단계;를 더 포함하고, 이 때, $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 스페이서 층에서 sp 는 $0.01 \leq sp \leq 0.10$ 인 실시 예 27의 방법.
- [0169] 실시 예 29: 활성 영역과 전자 차단 층 사이에 배치되는 $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 캡 층을 성장시키는 단계;를 더 포함하고, 이 때, $0.01 \leq cp \leq 0.10$ 인 실시 예 26 내지 28 중 어느 하나의 방법.
- [0170] 실시 예 30: 전자 차단 층을 성장시키는 단계는 적어도 실질적으로 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 으로 구성되도록 전자 차단 층을 성장시키는 단계를 포함하고, 이 때, $0.00 \leq e \leq 0.02$ 인 실시 예 26 내지 29 중 어느 하나의 방법.
- [0171] 실시 예 31: 전자 차단 층을 성장시키는 단계는 적어도 실질적으로 GaN으로 구성되도록 전자 차단 층을 성장시키는 단계를 포함하는 실시 예 26 내지 30 중 어느 하나의 방법.
- [0172] 실시 예 32: 전자 차단 층을 성장시키는 단계는, 적어도 실질적으로 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 으로 구성되도록 전자 차단 층을 성장시키는 단계를 포함하고, 이 때, $0.1 \leq e \leq 0.2$ 인 실시 예 26 내지 31 중 어느 하나의 방법.
- [0173] 실시 예 33: 전자 차단 층을 성장시키는 단계는, GaN 및 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 의 교대 층을 포함하는 초격자 구조를 가지도록 전자 차단 층을 성장시키는 단계를 포함하고, 이 때, $0.1 \leq e \leq 0.2$ 인 실시 예 26 내지 29 중 어느 하나의 방법.
- [0174] 실시 예 34: GaN 베이스 층과 활성 영역 사이에 배치되는 전자 정지 층을 성장시키는 단계;를 더 포함하고, 전자 정지 층은 적어도 실질적으로 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 으로 구성되고, 이 때, $0.01 \leq st \leq 0.20$ 인 실시 예 26 내지 33 중 어느 하나의 방법.
- [0175] 실시 예 35: GaN 층과 활성 영역 사이에 배치되는 변형 완화 층을 성장시키는 단계;를 더 포함하고, 변형 완화 층은 $\text{In}_{sra}\text{Ga}_{sra}\text{N}$ 및 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 의 교대 층을 포함하는 초격자 구조를 가지며, 이 때, sra 는 $0.01 \leq sra \leq 0.10$, srb 는 $0.01 \leq srb \leq 0.10$ 이고, sra 는 srb 보다 큰 실시 예 26 내지 34 중 어느 하나의 방법.
- [0176] 실시 예 36: 활성 영역을 형성하는 단계는, 적어도 하나의 우물 층과 적어도 하나의 배리어 층 사이에 배치되는 GaN을 포함하는 하나 이상의 추가의 배리어 층을 성장시키는 단계를 더 포함하는 실시 예 26 내지 35 중 어느 하나의 방법.
- [0177] 실시 예 37: GaN 베이스 층, 활성 영역, 전자 차단 층, p-형 벌크 층, 및 p-형 접촉 층은, 함께 1%보다 낮은 백분율 변형 완화를 나타내는 성장 스택을 정의하는 실시 예 26 내지 36 중 어느 하나의 방법.
- [0178] 실시 예 38: 약 2800 이하의 임계 변형 에너지를 가지도록 성장 스택을 형성하는 단계;를 더 포함하는, 실시 예 37의 방법.
- [0179] 실시 예 39: p-형 접촉 층을 성장시키는 단계는, 적어도 실질적으로 GaN으로 구성되도록 p-형 접촉 층을 성장시키는 단계를 포함하는 실시 예 26 내지 38 중 어느 하나의 방법.
- [0180] 실시 예 40: 약 50과 약 500 mTorr 사이의 압력에서 단일 화학적 기상 증착 시스템(single chemical vapor deposition system)에서 성장 스택을 성장시키는 단계를 더 포함하는 실시 예 37 또는 실시 예 38의 방법.
- [0181] 실시 예 41: 체임버를 통해 트리메틸인듐(TMI) 및 트리에틸갈륨(TMG)을 유동시키면서 체임버 내에서 p-형 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 벌크 층을 성장시키는 단계;를 포함하고, 이 때, 트리메틸인듐(TMI)의 유량 대 트리에틸갈륨(TMG)의 유량의 유량비(%)는, 약 50%와 약 95% 사이에 있는 실시 예 26 내지 40 중 어느 하나의 방법.
- [0182] 위에 기재된 본 개시 내용의 본보기 실시 예는 본 발명의 범위를 제한하지 않는데, 그 이유는 이 실시 예는 단지 첨부 청구항 및 이의 법률적 등가물의 범위에 의해 정의되는, 본 발명의 실시 예의 단지 예시이기 때문이다. 임의의 등가의 실시 예는 이러한 본 발명의 범위 내에 있도록 의도된다. 실제로, 본원에 나타내고 기재된 것 이외의 본 개시 내용의 다양한 변경, 예컨대 기재된 요소의 대안의 유용한 조합은 상기 설명으로부터 이 기술에서

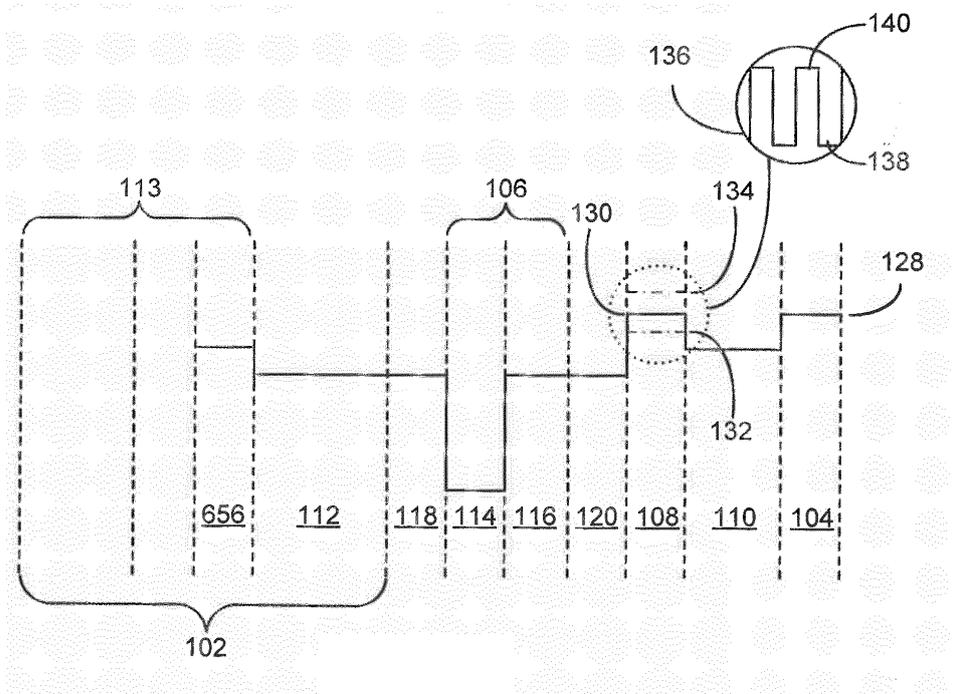
숙련된 사람에게 명백하게 될 것이다. 이와 같은 변형 및 실시 예는 또한 첨부된 청구항의 범위 내에 속하도록 의도된다.

도면

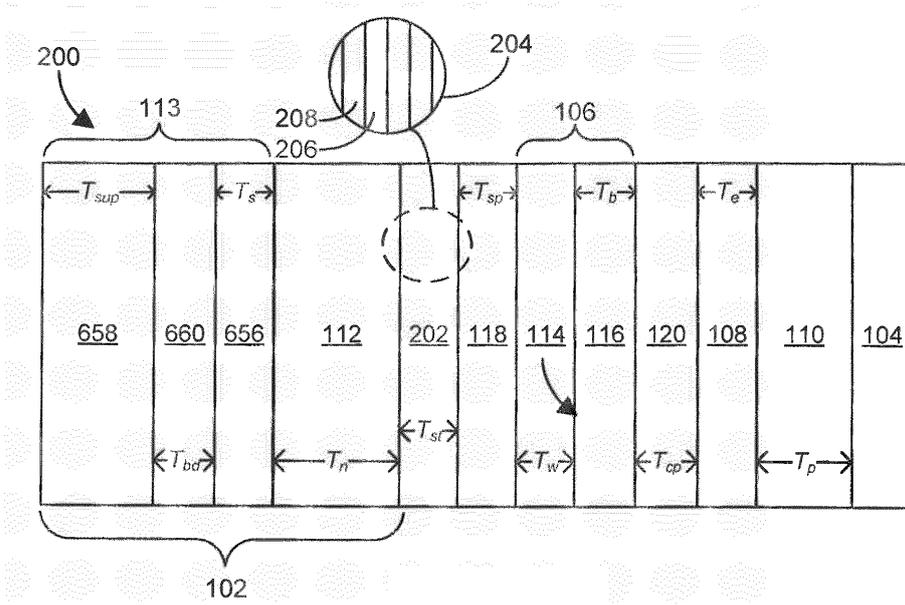
도면1a



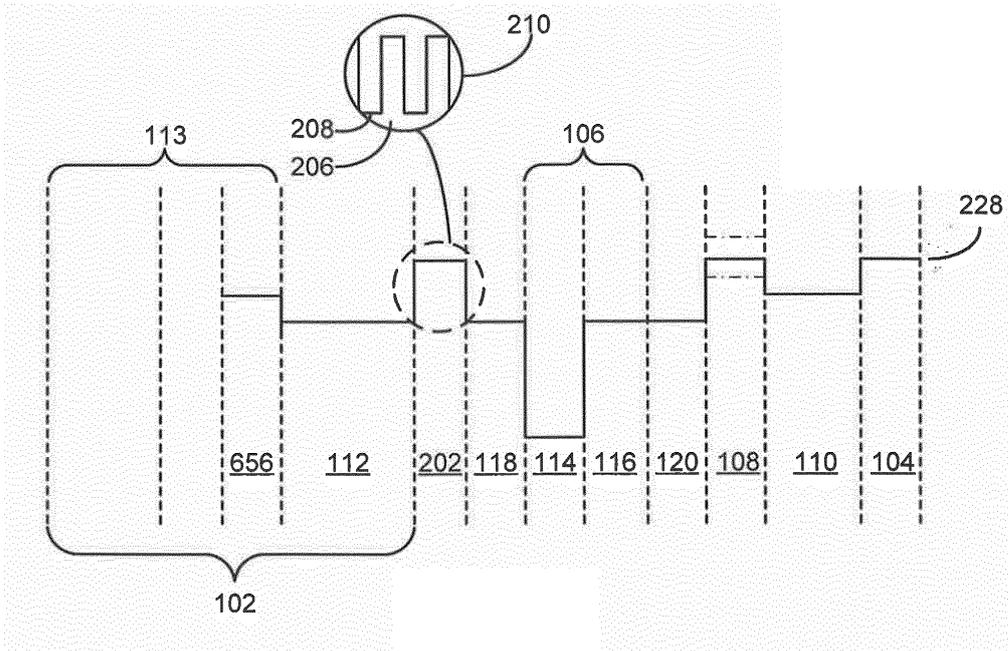
도면1b



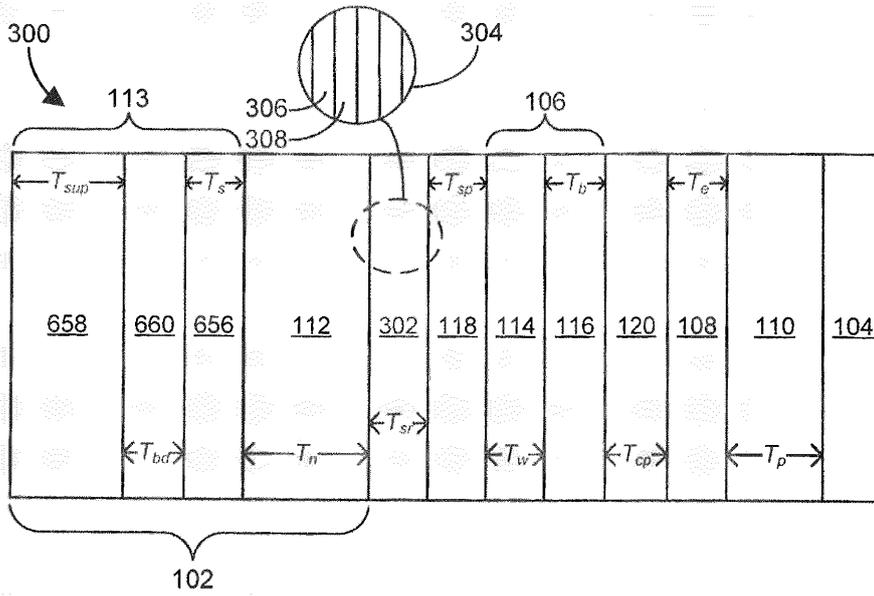
도면2a



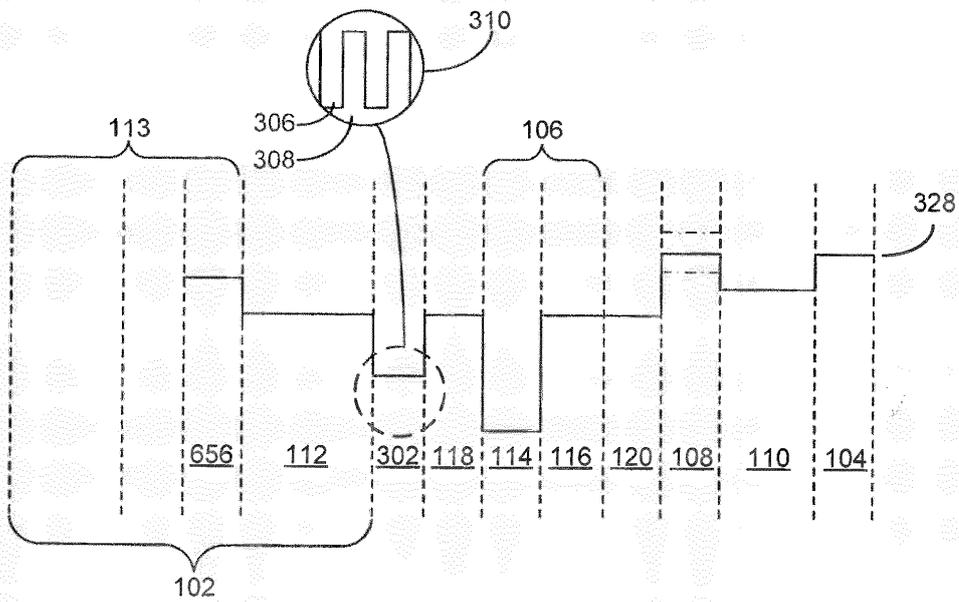
도면2b



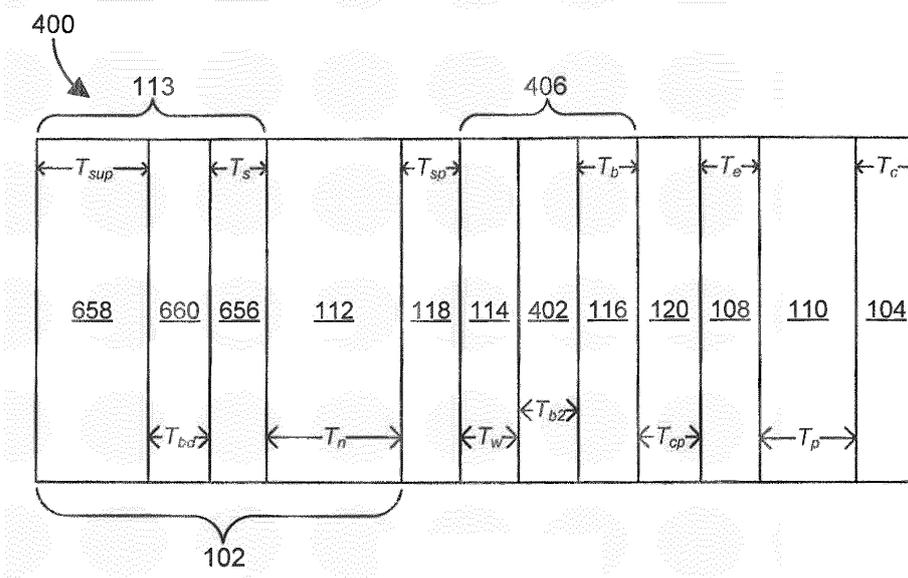
도면3a



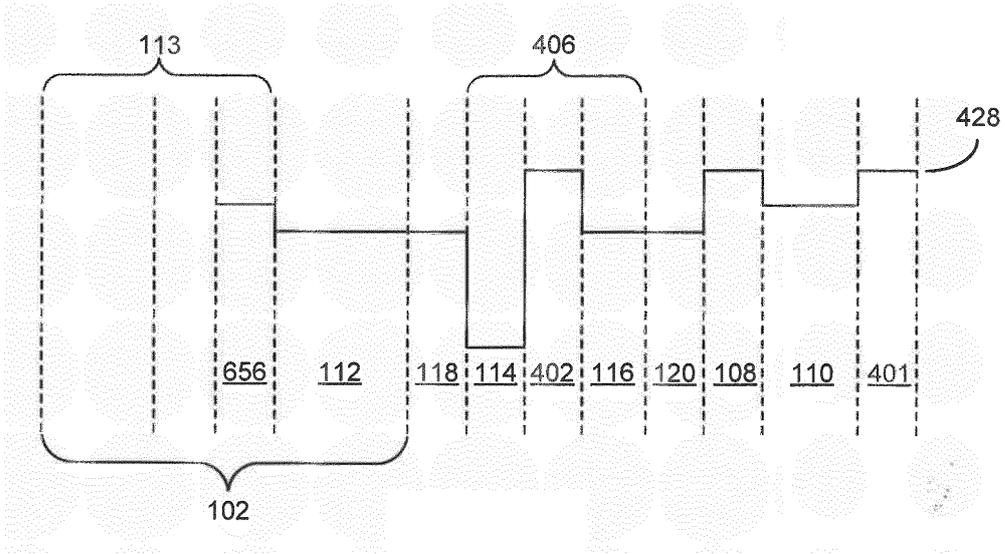
도면3b



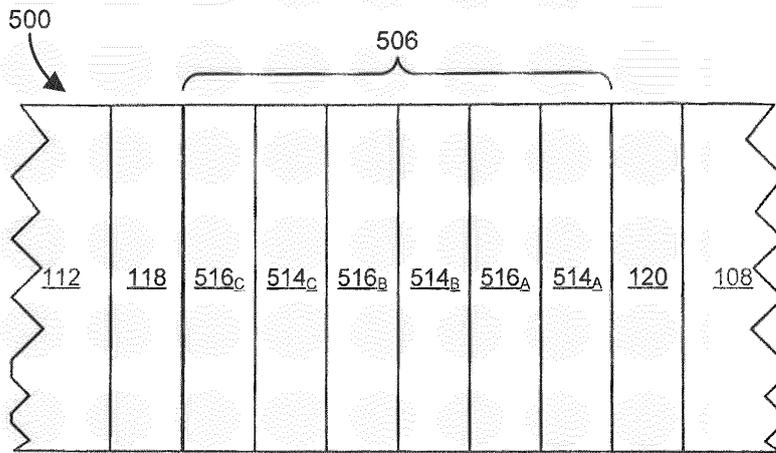
도면4a



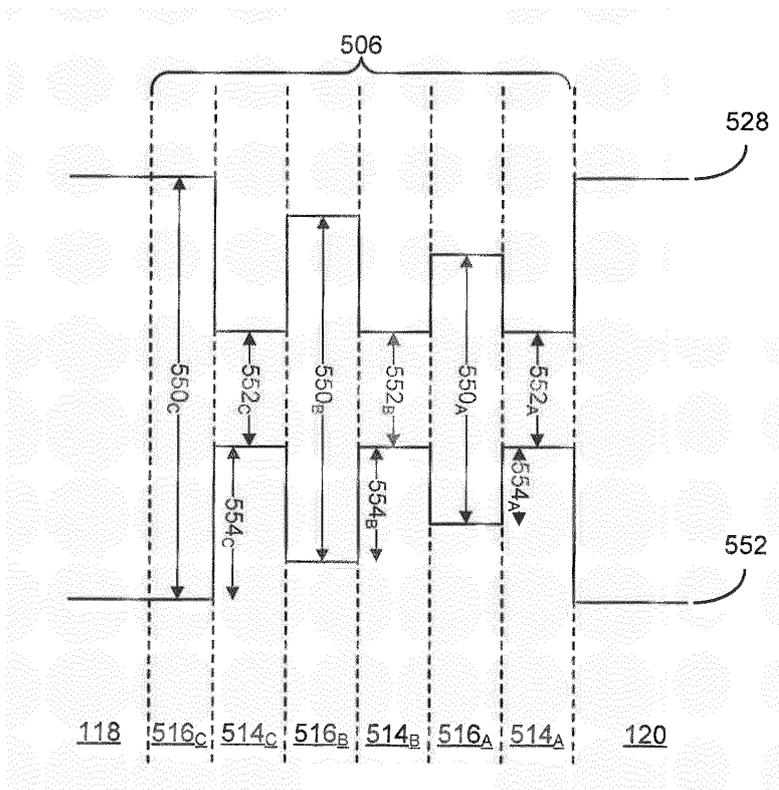
도면4b



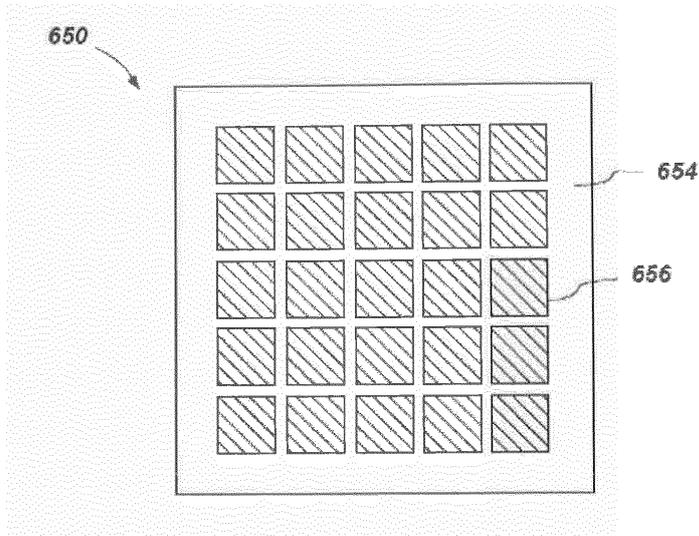
도면5a



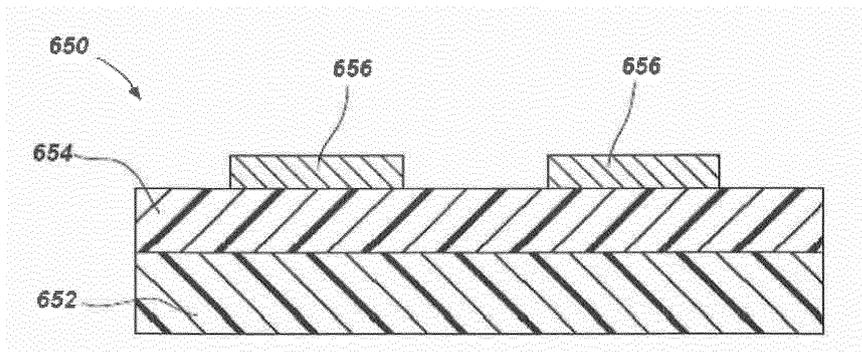
도면5b



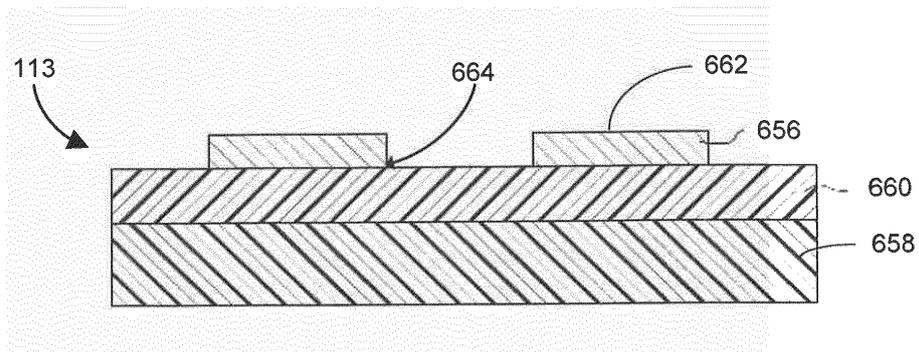
도면6a



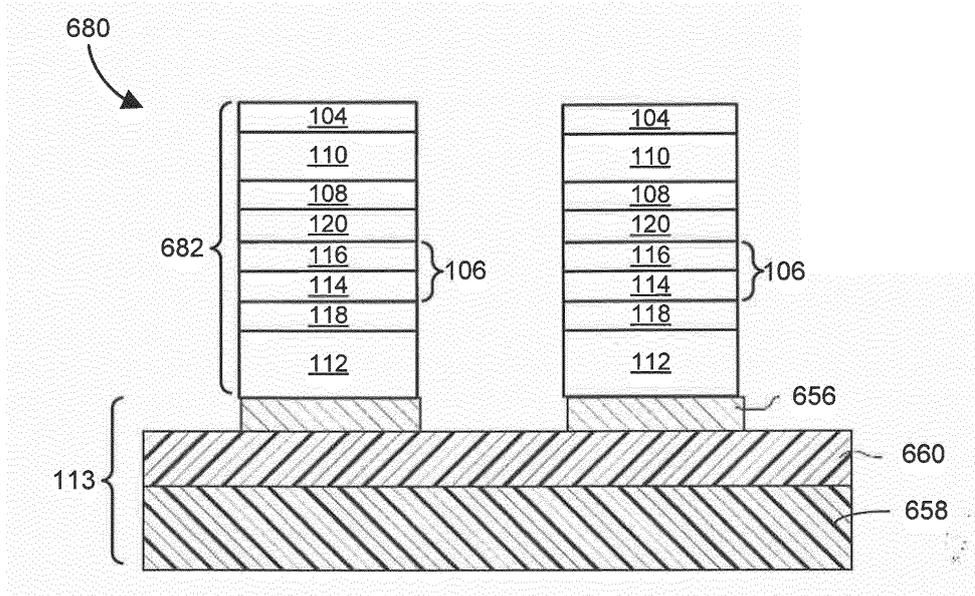
도면6b



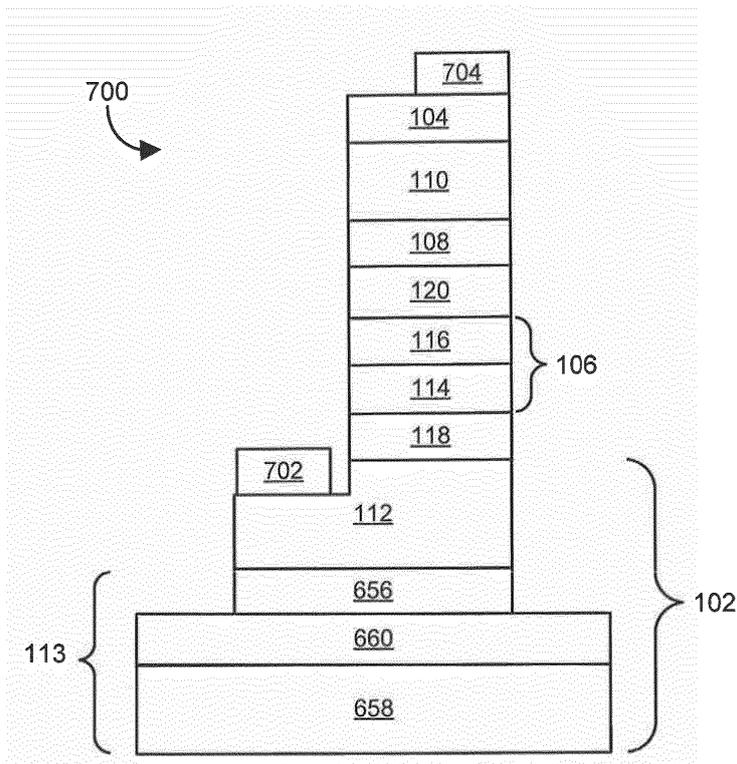
도면6c



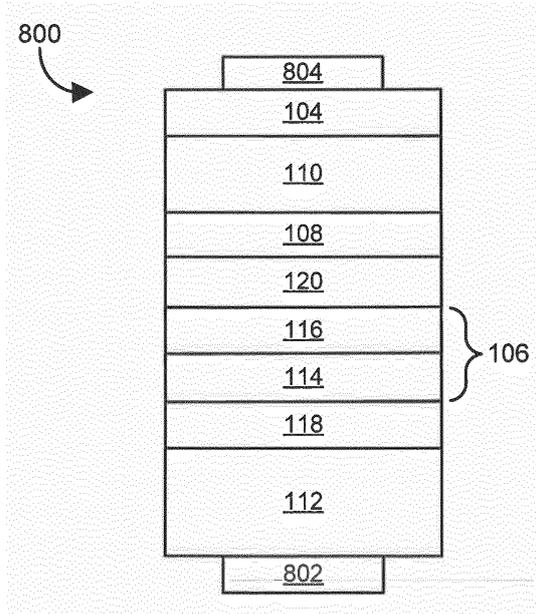
도면6d



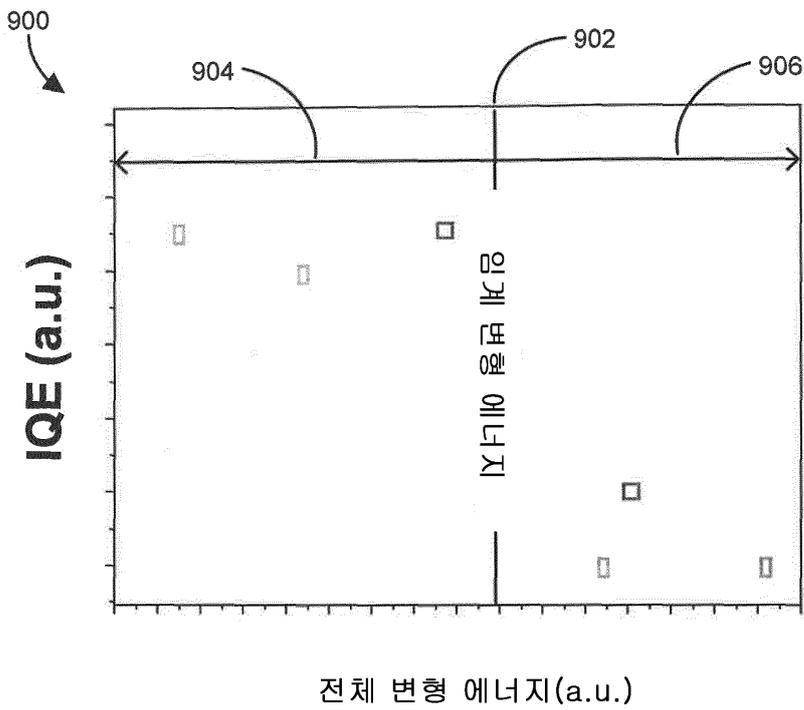
도면7



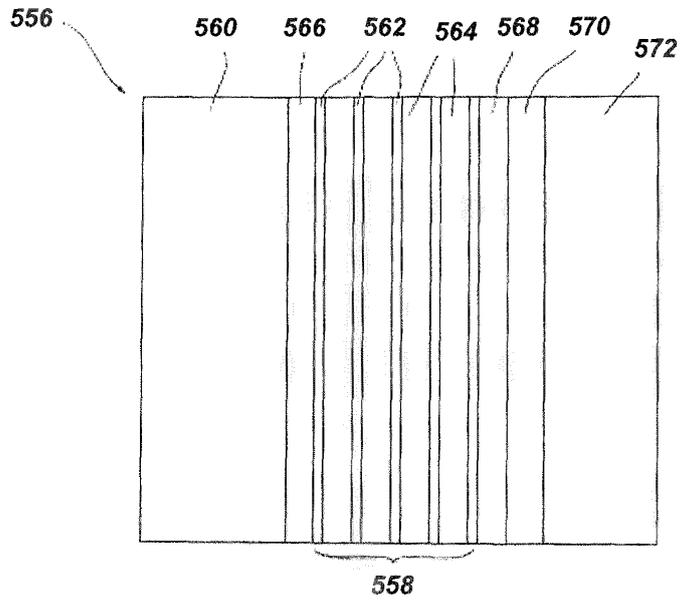
도면8



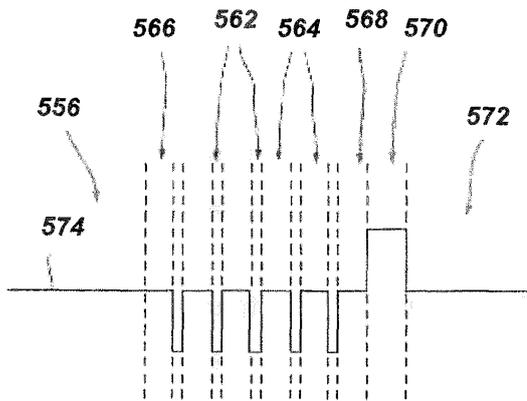
도면9



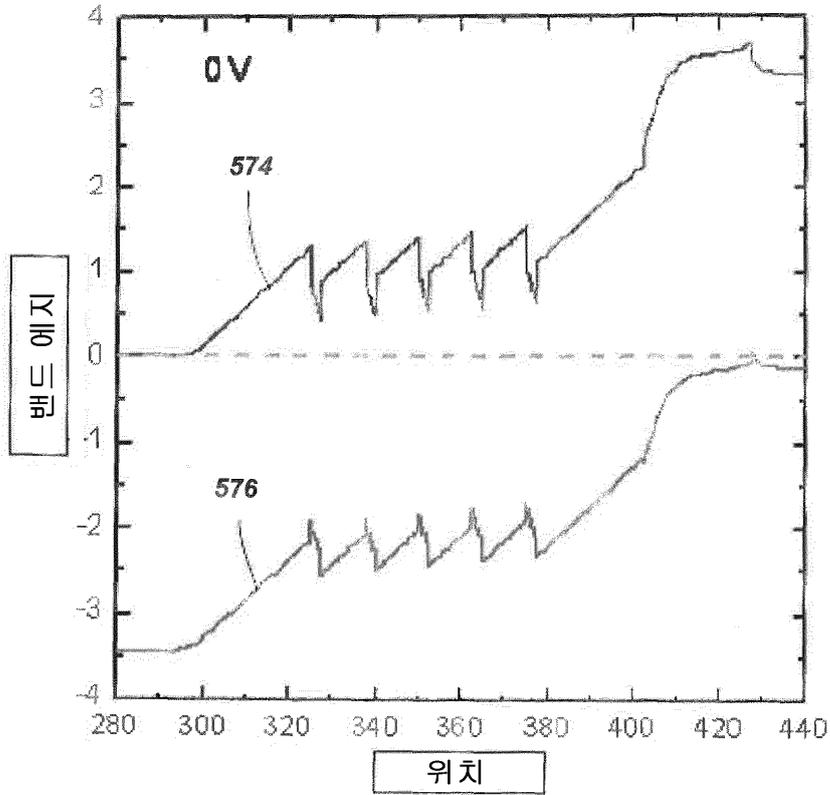
도면10a



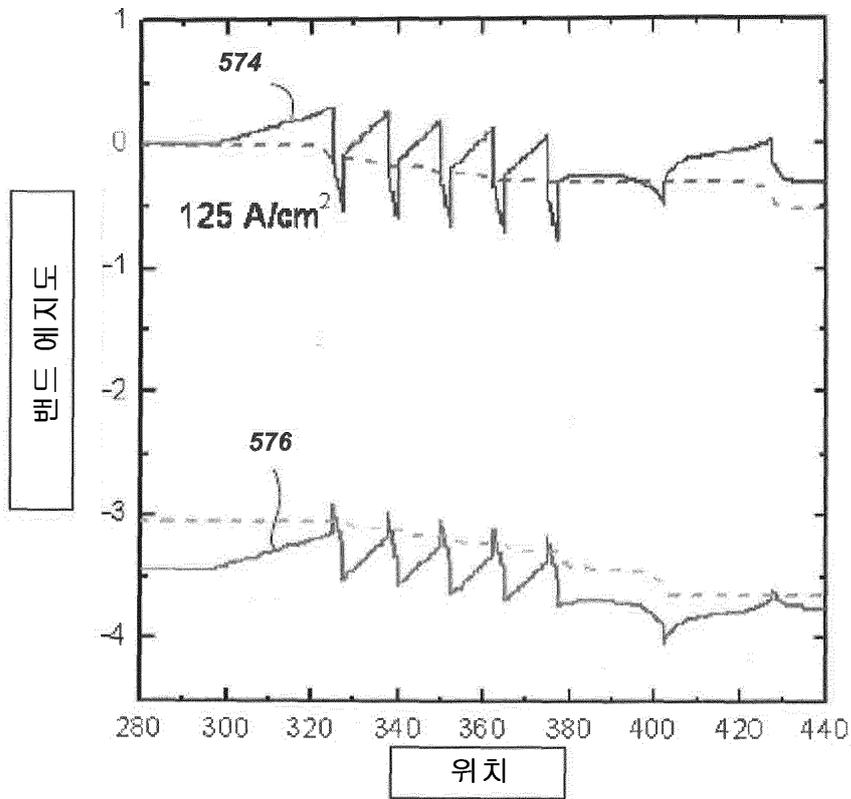
도면10b



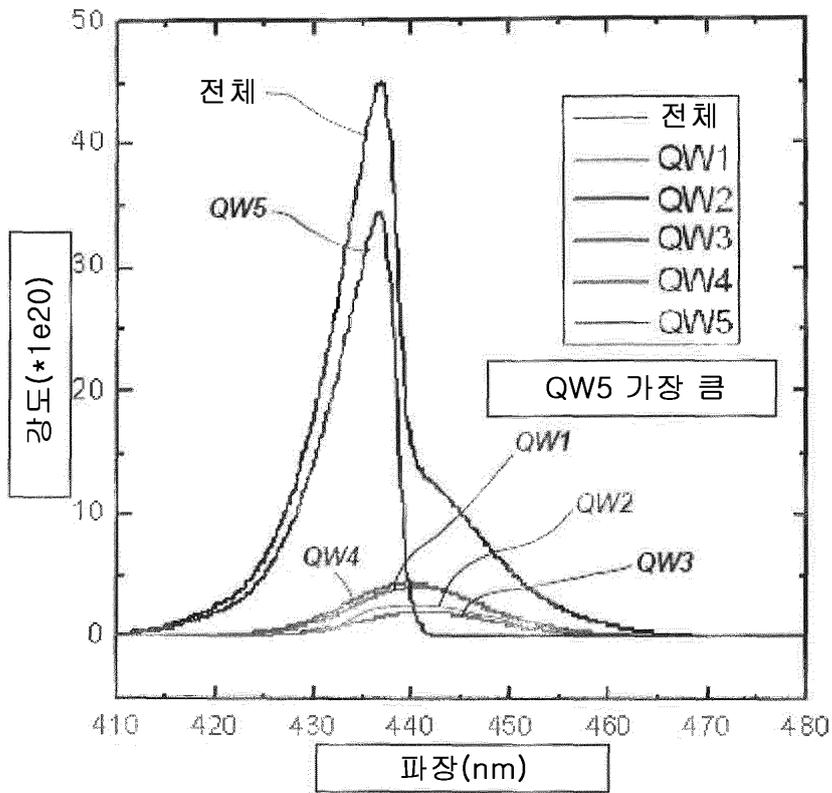
도면11a



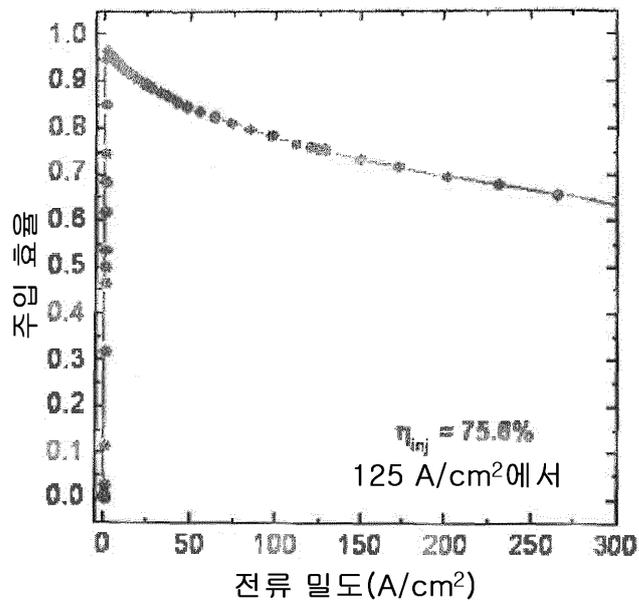
도면11b



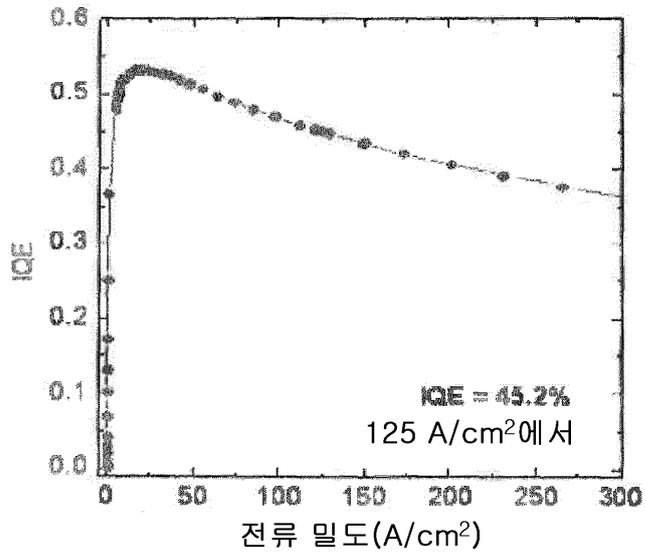
도면11c



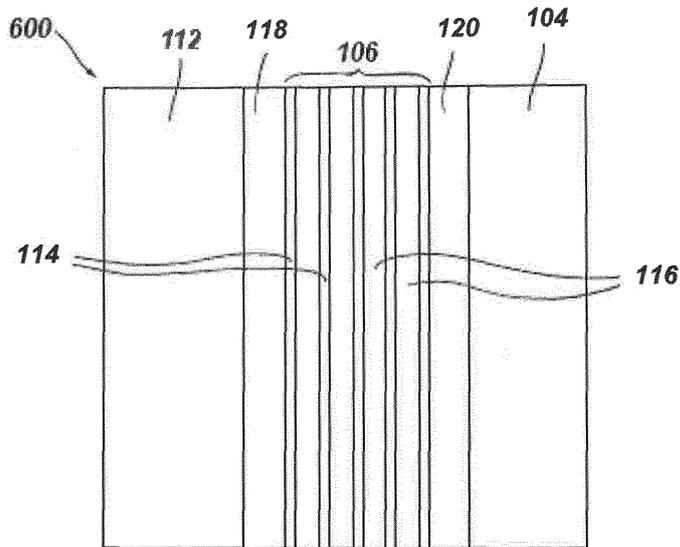
도면11d



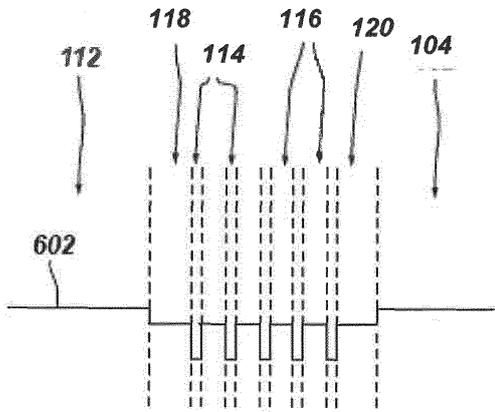
도면11e



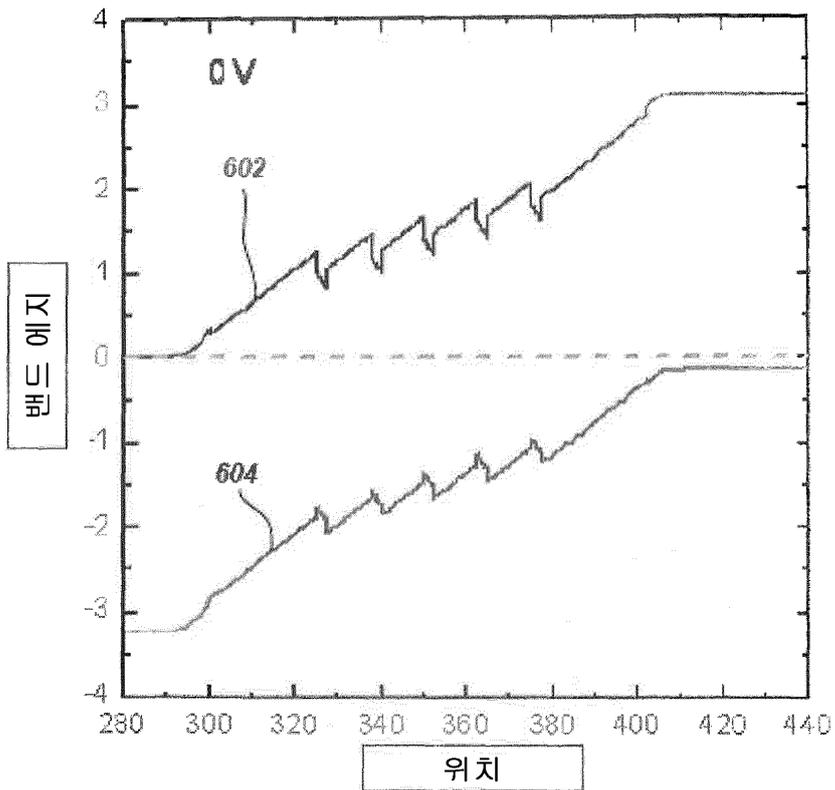
도면12a



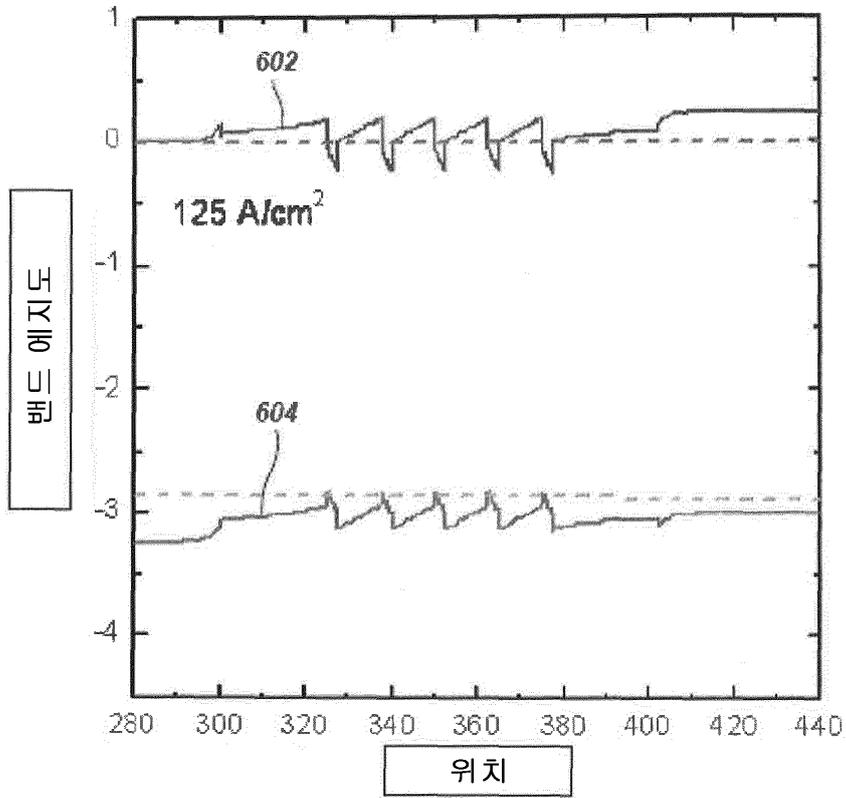
도면12b



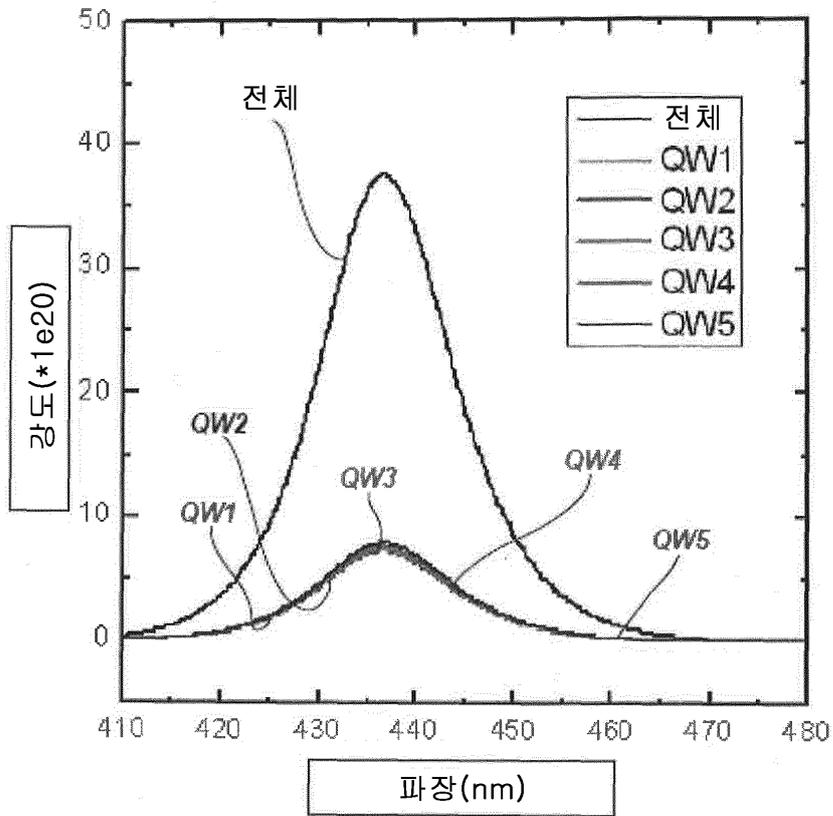
도면13a



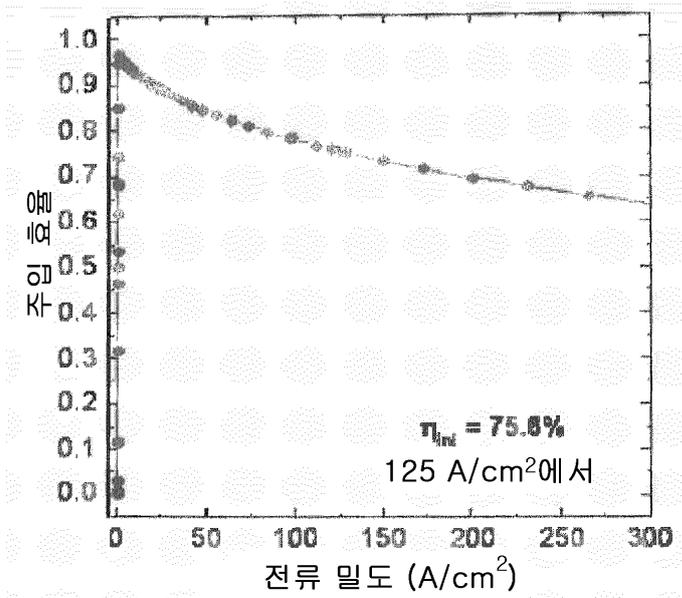
도면13b



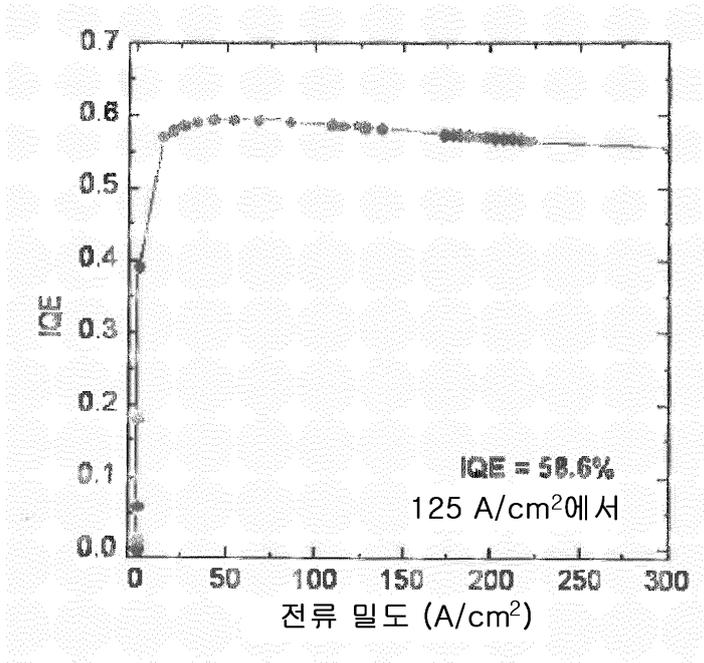
도면13c



도면13d



도면13e



도면14

