

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5573491号
(P5573491)

(45) 発行日 平成26年8月20日(2014.8.20)

(24) 登録日 平成26年7月11日(2014.7.11)

(51) Int.Cl.

F I

G06F 15/173 (2006.01)

G06F 15/173 G50M

請求項の数 10 (全 31 頁)

(21) 出願番号 特願2010-186327 (P2010-186327)
 (22) 出願日 平成22年8月23日(2010.8.23)
 (65) 公開番号 特開2012-43363 (P2012-43363A)
 (43) 公開日 平成24年3月1日(2012.3.1)
 審査請求日 平成25年7月5日(2013.7.5)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 加納 健
 東京都港区芝五丁目7番1号 日本電気株式会社内
 審査官 清木 泰

最終頁に続く

(54) 【発明の名称】 データ転送システム、スイッチ及びデータ転送方法プロセッサ間ネットワーク

(57) 【特許請求の範囲】

【請求項1】

複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、

前記データ転送部は、

次の転送先が同じ競合データについて調停を実行する調停手段と、

調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知手段と、を有し、

前記調停手段は、複数のデータ転送部から複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定する

データ転送システム。

【請求項2】

前記強度情報通知手段は、前記調停を行った競合データのそれぞれに対応付けて、当該調停を行った競合データの競合数を示す強度情報を次の転送先に送信し、

前記調停手段は、それぞれが複数の出力ポートのそれぞれに対応し、対応する出力ポートを介して次の転送先に送信される競合データについて、前記調停を実行する複数の調停回路を含み、

10

20

前記調停回路は、前記各入力ポートから受信した強度情報のうち、当該調停回路に対応する出力ポートを介して送信される競合データに対応付けられた強度情報に基づいて、前記選択割合を決定する請求項 1 に記載のデータ転送システム。

【請求項 3】

前記強度情報通知手段は、それぞれが前記複数の出力ポートのそれぞれに対応し、対応する出力ポートを介して送信される競合データのそれぞれに前記強度情報に対応付けて、当該出力ポートを介して次の転送先に送信する複数の強度情報通知回路を含み、

前記強度情報通知回路は、当該強度情報通知回路に対応する出力ポートを介して送信される競合データに対応付けられた強度情報に基づいて、前記競合データの競合数を算出する請求項 2 に記載のデータ転送システム。

10

【請求項 4】

前記調停回路は、前記調停を実行する場合には、それぞれが前記複数の入力ポートのそれぞれに対応し、対応する入力ポートを選択し、その入力ポートから競合データを入力した数をカウントする複数のカウンタを含み、当該複数のカウンタに含まれるそれぞれのカウンタについて、カウンタのカウント数が、当該カウンタに対応する入力ポートから受信した強度情報が示す競合数と一致するまで、前記複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する請求項 2 又は 3 に記載のデータ転送システム。

【請求項 5】

前記調停手段は、より多い競合数を示す強度情報を受信した入力ポートからの競合データを優先して、次の転送先に送信する請求項 1 乃至 4 のいずれか 1 項に記載のデータ転送システム。

20

【請求項 6】

前記競合データは、データ転送先のプロセッサを示す転送先プロセッサ情報を含むパケットであり、

前記データ転送部は、前記パケットに含まれる転送先プロセッサ情報に基づいて、前記パケットをルーティングするスイッチである請求項 1 乃至 5 のいずれか 1 項に記載のデータ転送システム。

【請求項 7】

複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、

30

前記プロセッサは、

初期値を示す強度情報を次の転送先に送信し、

前記データ転送部は、

次の転送先が同じ競合データについて調停を実行する調停手段と、

複数のデータ転送部から複数の入力ポートを介して強度情報を受信した場合に、受信した強度情報のそれぞれが示す値の合計値を示す強度情報を生成して、複数の次の転送先のそれぞれに対して複数の出力ポートを介して同じ強度情報を送信する強度情報通知手段と、を有し、

40

前記調停手段は、複数のデータ転送部から複数の入力ポートを介して複数のデータを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す値の多さに関する入力ポート間の割合に応じて決定する

データ転送システム。

【請求項 8】

複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、

前記データ転送部は、

50

複数のデータ転送部からデータが入力される複数の入力ポートのそれぞれについて、入力ポートに対して前記複数のプロセッサからデータが転送される転送経路数を示す転送経路数情報を格納する記憶手段と、

次に転送する先が同じ競合データについて調停を実行する調停手段と、を有し、

前記調停手段は、複数のデータ転送部から複数の入力ポートを介して複数のデータを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートについての転送経路数情報が示す転送経路数の多さに関する入力ポート間の割合に応じて決定する

データ転送システム。

10

【請求項 9】

それぞれが複数接続され、複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行するスイッチであって、

次の転送先が同じ競合データについて調停を実行する調停手段と、

調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知手段と、を有し、

前記調停手段は、複数のスイッチから複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定する

20

スイッチ。

【請求項 10】

複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部のそれぞれにおけるデータ転送方法であって、

次の転送先が同じ競合データについて調停を実行する調停ステップと、

調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知ステップと、を備え、

前記調停ステップでは、複数のデータ転送部から複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定する

30

データ転送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ転送システム、スイッチ及びデータ転送方法に関し、特に、複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を実行する技術に関する。

40

【背景技術】

【0002】

並列コンピュータのプロセッサ間ネットワークとして、Fat Treeが非特許文献1に開示されている。Fat Treeの例として、4入力4出力のスイッチ1501で構成された16入力16出力のFat Treeネットワークを図19に示す。スイッチ1501間の信号線1502は双方向リンクを意味している。Fat Treeにプロセッサ0～プロセッサ15までの16個のプロセッサ1503が接続されている。なお、図19では、スイッチ、プロセッサ及び信号線のそれぞれは、1つを除き符号の図示を省略している。

50

【0003】

次にFat Treeでのルーティングの例を図20に示す。スイッチ1501は、パケットが上方向へFat Treeを上る時は入力ポートの対向の出力ポートを使うルーティングを行う。Fat Treeでは、パケットは、送り元プロセッサと宛先プロセッサの共通のスイッチまでFat Treeを上り、共通のスイッチまで上がって折り返して下に降りる。たとえば、プロセッサ4(1601)からプロセッサ15(1602)への通信は、スイッチA(1603)が共通のスイッチになる。そのため、パケットは、スイッチA(1603)まで上がって折り返す。プロセッサ0(1604)からプロセッサ3(1605)への通信は、スイッチB(1606)が共通のスイッチになる。そのため、パケットは、スイッチB(1606)まで上がって折り返す。共通のスイッチは、パケットがFat Treeを上がっていく時に各スイッチによって行われるルーティングによって変わる。しかし、どこまで(何段目まで)上がるかは、送り元プロセッサと送り先プロセッサによって決まり、ルーティングによって変わらない。

10

【0004】

従って、ある送り先プロセッサへ通信する場合、何個のスイッチを経由するかは送り元プロセッサによって異なってくる。たとえば、パケットをプロセッサ15(1602)へ送る場合、プロセッサ14(1607)から送ったパケットはスイッチC(1605)1個を経由するだけでプロセッサ15(1602)に到着する。プロセッサ12(1609)とプロセッサ13(1610)から送ったパケットは、スイッチを3個経由してプロセッサ15(1602)に到着する。パケットをプロセッサ0~プロセッサ11から送った場合は、パケットがスイッチ5個を経由してプロセッサ15(1602)に到着する。ここで、Fat Treeを上がっていくパケットのルーティングは入力ポートの対向の出力ポートを使用することになっている。そのため、パケットがFat Treeを上がっていく時には、スイッチでパケットの競合は発生しない。パケットがFat Treeを下っていく時にスイッチでパケットの競合が発生する。

20

【0005】

図21にスイッチの構成の一例を示す。スイッチは、各入力ポート1702~1705と各出力ポート1706~1709にはFIFO(First In First Out)メモリ1710~1717がある。FIFOメモリ1710~1717は、クロスバスイッチ1718によって相互に接続されている。同じ出力ポート行きのパケットが複数の入力ポートから来た場合には、パケットが競合することになる。パケットが競合した場合、クロスバスイッチ1718において調停回路1719によって1つの入力ポートから入力されたパケットが選ばれる。選ばれたパケットは、クロスバスイッチ1718を抜けて、出力ポート1706~1709のFIFOメモリ1714~1717に書き込まれる。選ばれなかった入力ポートのパケットは入力ポートのFIFOメモリ1710~1713で選ばれるまで待たされる。一般に調停回路1719での調停アルゴリズムは、競合したパケットのそれぞれが公平に選択されるように作られる。すなわち、あるパケットが競合調停で負け続けて飢餓状態が発生しないように作られる。N個のパケットが競合する場合は、その競合調停でそれぞれのパケットが選ばれる確率はN分の1と見ることができる(Nは、2以上の正整数)。

30

40

【0006】

Fat Treeを下っていく時に1個スイッチを経由するということは、競合調停によってパケットが待たされる可能性があるということである。スイッチは4入力4出力なので、パケットがある出力ポートに行く場合には、3個の入力ポートから入力されたパケット間で競合が発生する可能性がある。従って、パケットがFat Treeを下っていく時に経由するスイッチの個数が多いほど、パケットが競合調停で待たされる可能性が高くなる。

【0007】

たとえば、図22に示すプロセッサ0(1801)からプロセッサ15(1802)への通信の場合は、スイッチD(1803)、スイッチE(1804)、スイッチF(1805)のそ

50

れぞれで競合が発生する。各スイッチでは3個の packets が競合するので、各スイッチにおける競合調停でそれぞれの packets が選ばれる確率は3分の1となる。従って、プロセッサ0(1801)からプロセッサ15(1802)へ送られる packets は、その packets が経由する3つのスイッチの全てで、その packets を含む3つの packets の競合が発生した場合、27分の1の確率で到着することになる。

【0008】

一方、図23に示すプロセッサ12(1901)からプロセッサ15(1902)への通信の場合は、スイッチE(1903)とスイッチF(1904)で packets の競合が発生する。各スイッチでは3個の packets が競合するので、各スイッチにおける競合調停でそれぞれの packets が選ばれる確率は3分の1となる。従って、プロセッサ12(1901)からプロセッサ15(1902)へ送られる packets は、その packets が経由する2つのスイッチの全てで、その packets を含む3つの packets 間の競合が発生した場合、9分の1の確率で到着することになる。

10

【0009】

図24に示すプロセッサ14(2001)からプロセッサ15(2002)への通信の場合は、スイッチF(2003)で packets の競合が発生する。各スイッチでは3個の packets が競合するので、各スイッチにおける競合調停でそれぞれの packets が選ばれる確率は3分の1となる。従って、プロセッサ14(2001)からプロセッサ15(2002)へ送られる packets は、その packets が経由する1つのスイッチで、その packets を含む3つの packets 間の競合が発生した場合、3分の1の確率で到着することになる。

20

【0010】

このように、Fat Treeでのルーティングでは、あるプロセッサへ packets を送信する場合に、送り元のプロセッサの位置が異なると、 packets が到着するまでに経由するスイッチ数が異なる。そのために、 packets が到着するまでに packets に対して行われる競合調停の回数が異なり、 packets が到着する確率が異なることになる。つまり、 packets を送信するプロセッサの位置によって、 packets が到着するまでの時間に偏りができてしまうという問題がある。

【0011】

このように packets が転送先に到着するまでの時間に偏りができてしまうと、転送先に到着するまでに時間のかかる packets による処理がボトルネックとなってしまう、並列コンピュータシステム全体として処理遅延が発生してしまうという問題がある。

30

【0012】

なお、特許文献1には、長経路の packets や経路上の競合により待たされた packets によるレイテンシの低下を抑制する優先調停システムが開示されている。この優先調停システムは、複数のCPU、複数の共有資源、ルーティングテーブル及び複数のクロスバ、を備える。CPUは、リクエスト packets を共有資源に送信するときに、自CPUに対応するルーティングテーブルから、送信先の共有資源に対応するレイテンシ値を取り出して、リクエスト packets の packets ヘッダに設定する。クロスバは、複数の packets を受信したときに、受信した複数の packets のレイテンシ値を比較して、レイテンシ値が大きな packets を優先的に通過させる。

40

【0013】

しかし、特許文献1に開示の技術は、調停を実行する場合に、各入力ポートから競合するデータを入力する選択割合を、各入力ポートに対応する強度情報に基づいて決定する技術を開示したものではない。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2009-194510号公報

【非特許文献】

【0015】

50

【非特許文献1】"Fat-Trees: Universal Networks for Hardware-Efficient Supercomputing", C. E. Leiserson, IEEE Transactions on Computers, Vol.C-34, No.10, Oct 1985.

【発明の概要】

【発明が解決しようとする課題】

【0016】

背景技術として説明したように、非特許文献1に開示されている技術では、プロセッサ間で転送するパケットの転送時間に偏りができてしまうという問題がある。

【0017】

本発明の目的は、上述した課題を解決するために、プロセッサ間で転送するパケットの転送時間の偏りを低減することができるデータ転送システム、スイッチ及びデータ転送方法を提供することにある。

【課題を解決するための手段】

【0018】

本発明の第1の態様にかかるデータ転送システムは、複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、前記データ転送部は、次の転送先が同じ競合データについて調停を実行する調停手段と、調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知手段と、を有し、前記調停手段は、複数のデータ転送部から複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定するものである。

【0019】

本発明の第2の態様にかかるデータ転送システムは、複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、前記プロセッサは、初期値を示す強度情報を次の転送先に送信し、前記データ転送部は、次の転送先が同じ競合データについて調停を実行する調停手段と、複数のデータ転送部から複数の入力ポートを介して強度情報を受信した場合に、受信した強度情報のそれぞれが示す値の合計値を示す強度情報を生成して、複数の次の転送先のそれぞれに対して複数の出力ポートを介して同じ強度情報を送信する強度情報通知手段と、を有し、前記調停手段は、複数のデータ転送部から複数の入力ポートを介して複数のデータを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す値の多さに関する入力ポート間の割合に応じて決定するものである。

【0020】

本発明の第3の態様にかかるデータ転送システムは、複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、前記データ転送部は、複数のデータ転送部からデータが入力される複数の入力ポートのそれぞれについて、入力ポートに対して前記複数のプロセッサからデータが転送される転送経路数を示す転送経路数情報を格納する記憶手段と、次に転送する先が同じ競合データについて調停を実行する調停手段と、を有し、前記調停手段は、複数のデータ転送部から複数の入力ポートを介して複数のデータを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートについての転送経路数情報が示す転送経路数の多さに関する入力ポート間の割合に応じて決定するものである。

【0021】

10

20

30

40

50

本発明の第4の態様にかかるスイッチは、それぞれが複数接続され、複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行するスイッチであって、次の転送先が同じ競合データについて調停を実行する調停手段と、調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知手段と、を有し、前記調停手段は、複数のデータ転送部から複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定するものである。

【0022】

本発明の第5の態様にかかるデータ転送方法は、複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部のそれぞれにおけるデータ転送方法であって、次の転送先が同じ競合データについて調停を実行する調停ステップと、調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知ステップと、を備え、前記調停ステップでは、複数のデータ転送部から複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定するものである。

【発明の効果】

【0023】

上述した本発明の各態様により、プロセッサ間で転送するパケットの転送時間の偏りを低減することができるデータ転送システム、スイッチ及びデータ転送方法を提供することができる。

【図面の簡単な説明】

【0024】

【図1】本発明の第1の実施の形態の並列コンピュータの概要となるデータ転送システムの構成を示す図である。

【図2】本発明の第1の実施の形態の並列コンピュータのスイッチの概要となるデータ転送部の構成を示す図である。

【図3】本発明の第1の実施の形態の並列コンピュータのプロセッサ間ネットワークを示す図である。

【図4】本発明の第1の実施の形態の並列コンピュータのプロセッサ間ネットワークのスイッチの構成を示す図である。

【図5】本発明の第1の実施の形態の並列コンピュータのプロセッサ間ネットワークのスイッチの調停回路の構成を示す図である。

【図6】本発明の第1の実施の形態の並列コンピュータのパケットヘッダを示す図である。

【図7】本発明の第1の実施の形態の並列コンピュータの調停回路での処理を説明するフローチャートである。

【図8A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

【図8B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

【図9A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

【図9B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

【図10A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

10

20

30

40

50

【図 1 0 B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

【図 1 1 A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

【図 1 1 B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

【図 1 2 A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

【図 1 2 B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

10

【図 1 3 A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

【図 1 3 B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

【図 1 4 A】本発明の実施の形態の並列コンピュータの調停回路の状態の一例を示す図である。

【図 1 4 B】本発明の実施の形態の並列コンピュータのスイッチにおいてパケットが競合した状態の一例を示す図である。

【図 1 5】本発明の第 2 の実施の形態の並列コンピュータのスイッチの概要となるデータ転送部の構成を示す図である。

20

【図 1 6】本発明の第 2 の実施の形態の並列コンピュータの調停回路の構成を示す図である。

【図 1 7】本発明の第 3 の実施の形態の並列コンピュータのスイッチの概要となるデータ転送部の構成を示す図である。

【図 1 8】本発明の第 3 の実施の形態の並列コンピュータのスイッチの構成を示す図である。

【図 1 9】Fat Tree ネットワークの構成を示す図である。

【図 2 0】Fat Tree ネットワークのルーティングを説明する図である。

【図 2 1】スイッチの構成の一例を示す図である。

【図 2 2】Fat Tree ネットワークでの問題点を説明する図である。

30

【図 2 3】Fat Tree ネットワークでの問題点を説明する図である。

【図 2 4】Fat Tree ネットワークでの問題点を説明する図である。

【発明を実施するための形態】

【0025】

発明の第 1 の実施の形態 .

まず、図 1 を参照して、本発明の第 1 の実施の形態にかかる並列コンピュータの概要となるデータ転送システムについて説明する。図 1 は、本発明の第 1 の実施の形態にかかる並列コンピュータの概要となるデータ転送システムの構成を示す図である。

【0026】

データ転送システム 5 は、複数のプロセッサ 5 0 1 ~ 5 1 6 及び複数のデータ転送部 5 1 7 ~ 5 3 6 を有する。データ転送部 5 1 7 ~ 5 3 6 は、複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する。

40

【0027】

続いて、図 2 を参照して、本発明の第 1 の実施の形態にかかる並列コンピュータのスイッチの概要となるデータ転送部 5 1 7 ~ 5 3 6 について説明する。図 2 は、本発明の第 1 の実施の形態にかかる並列コンピュータのスイッチの概要となるデータ転送部 5 1 7 ~ 5 3 6 の構成を示す図である。

【0028】

データ転送部 2 0 は、入力ポート 2 5 1 ~ 2 5 4、出力ポート 2 5 5 ~ 2 5 8、調停手

50

段 2 5 9 及び強度情報通知手段 2 6 0 を有する。

入力ポート 2 5 1 ~ 2 5 4 のそれぞれは、複数のデータ転送部 5 1 7 ~ 5 3 6 のうち、いずれかから送信されたデータを入力する。

出力ポート 2 5 5 ~ 2 5 6 のそれぞれは、複数のプロセッサ 5 0 1 ~ 5 1 6 及び複数のデータ転送部 5 1 7 ~ 5 3 6 のうち、いずれかに送信されるデータを出力する。

調停手段 2 5 9 は、次の転送先が同じ競合データについて調停を実行する。また、調停手段 2 5 9 は、複数のデータ転送部から複数の入力ポートを介して競合データを受信して調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定する。

10

強度情報通知手段 2 6 0 は、調停を行った競合データの競合数を示す強度情報を次の転送先に送信する。

【 0 0 2 9 】

続いて、本発明の第 1 の実施の形態にかかるデータ転送部 2 0 の処理について説明する。

調停手段 2 5 9 は、複数のデータ転送部から入力ポートのそれぞれを介して、次の転送先が同じ競合データを受信した場合、受信した競合データの調停を実行する。調停手段 2 5 9 は、調停において、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定する。調停手段 2 5 9 は、決定した選択割合で、競合データの調停を実行する。

20

強度情報通知手段 2 6 0 は、調停を行った競合データの競合数を示す強度情報を次の転送先に送信する。

【 0 0 3 0 】

次に、本発明の実施の形態について図面を参照して、本発明の第 1 の実施の形態にかかる並列コンピュータについて詳細に説明する。図 3 を参照すると、本発明の第 1 の実施の形態としての並列コンピュータが示されている。

並列コンピュータ 1 は、プロセッサ 1 0 1 ~ 1 1 6、及び、プロセス間ネットワーク 1 0 を有する。プロセス間ネットワーク 1 0 2 は、スイッチ 1 1 6 ~ 1 3 6 を有する。

【 0 0 3 1 】

図 3 において、複数のプロセッサ 1 0 1 ~ 1 1 6 がプロセス間ネットワーク 1 0 によって接続されている。ここでは、16 個のプロセッサ 1 0 1 ~ 1 1 6 がプロセス間ネットワーク 1 0 に接続された並列コンピュータを示しているが、プロセス間ネットワーク 1 0 に接続されるプロセッサ 1 0 1 ~ 1 1 6 の数は任意である。プロセス間ネットワーク 1 0 は、4 入力 4 出力のスイッチ 1 1 7 ~ 1 3 6 によって構成される。つまり、スイッチ 1 1 7 ~ 1 3 6 は、4 つの入力ポートと 4 つの出力ポートとを有する。プロセス間ネットワーク 1 0 は、F a t T r e e のトポロジとなっている。

30

【 0 0 3 2 】

ここでは、プロセス間ネットワーク F a t T r e e は 4 入力 4 出力のスイッチ 1 1 7 ~ 1 3 6 によって構成されているが、N 入力 N 出力 (N は任意の数) のスイッチで構成されていてもよい。ここで、最上段スイッチ 1 3 3 ~ 1 3 6 でのポート番号は、左から順に 0、1、2、3 と付けることにする。また、中段のスイッチ 1 2 5 ~ 1 3 2 と、最下段のスイッチ 1 1 1 7 ~ 1 2 4 のポート番号は、下側の左から 0、1、上側の左から 2、3 と付けることにする。

40

【 0 0 3 3 】

つまり、スイッチ 1 1 6 ~ 1 3 5 は、ポート番号が 0 ~ 3 の 4 つの入力ポートと、ポート番号が 0 ~ 3 の 4 つの出力ポートとを有する。そして、図 2 に示すように、ポート番号 0 ~ 3 の入力ポート及び出力ポートのそれぞれは、いずれか 1 つのプロセッサ又はスイッチと接続される。例えば、スイッチ 1 3 1 のポート番号 0 の入力ポートは、スイッチ 1 2 3 のポート番号 2 の出力ポートから出力されたバケットが入力される。また、スイッチ 1

50

31のポート番号0の出力ポートは、スイッチ123のポート番号2の入力ポートにパケットを出力する。

【0034】

図4を参照すると、図3に示す4入力4出力のスイッチ116～135の1つの実施例が示されている。スイッチ201は、4つの入力ポート202～205と4つの出力ポート206～209をもつ。スイッチ201は、各入力ポート202～205のそれぞれに対応するように、入力FIFOメモリ210～213と、調停での強度を格納する強度レジスタ223～226とを有する。入力FIFOメモリ210～213は、自身に対応する入力ポート202～205に入力されたパケットがFIFO方式で格納される。入力FIFOメモリ210～213のそれぞれは、FIFOの先頭のパケットのパケットヘッダに含まれる調停での強度を、自身に対応する強度レジスタ223～226のそれぞれに出力する。入力FIFOメモリ210～213は、例えば、FIFOにパケットが格納されていない場合、0を強度レジスタ223～226に格納する。なお、パケットのパケットヘッダに含まれる調停での強度については、後に詳述する。調停回路219～222は、調停手段259及び強度通知手段260として機能する。

10

【0035】

強度レジスタ223～226には入力FIFOメモリ210～213から出力された調停での強度が格納される。強度レジスタ223～226は、自身に格納された調停での強度を示す信号を調停回路219～222に出力する。また、入力FIFOメモリ210～213は、自身に格納された先頭のパケットを、マルチプレクサ(MUX)227～230

20

【0036】

出力する。また、入力FIFOメモリ210～213は、パケットを出力しているときに、そのパケットを出力する出力ポートに対応する調停回路に、調停参加信号(図示せず)を出力する。

30

【0037】

入力FIFOメモリ210～213は、例えば、パケットのパケットヘッダに含まれる送り先プロセッサ番号に基づいて、パケットを出力する出力ポートを判定する。例えば、入力FIFOメモリ210～213は、送り先プロセッサ番号からパケットを出力すべき出力ポートを求めることができるルーティングテーブルが格納される。そして、入力FIFOメモリ210～213は、自身に格納されるルーティングテーブルに基づいて、パケットを出力する出力ポートを判定する。なお、パケットのパケットヘッダに含まれる送り先プロセッサ番号については、後に詳述する。

【0038】

スイッチ201は、各出力ポート206～209のそれぞれに対応するように、調停回路219～222と出力FIFOメモリ215～218とを有する。また、スイッチ201は、クロスバスイッチ214を有する。クロスバスイッチ214は、出力ポート206～209のそれぞれに対応するように、マルチプレクサ(MUX)227～230を有する。クロスバスイッチ214が、入力FIFOメモリ210～213と出力FIFOメモリ215～218を接続している。

40

【0039】

調停回路219～222は、各強度レジスタ223～226から出力された調停での強度と、各入力FIFOメモリ210～213から出力された調停参加信号をもとに、クロスバスイッチ214内の対応するマルチプレクサ(MUX)227～230を制御してパケットをルーティングする。マルチプレクサ227～230は、自身に対応する調停回路からの制御に応じて、入力FIFOメモリ210～213のそれぞれから出力されたパケットのいずれかを選択して、自身に対応する出力FIFOメモリ215～218に出力する。

50

る。

【 0 0 4 0 】

調停回路 3 0 1 には、4つの入力ポート 2 0 2 ~ 2 0 5 のそれぞれに対応する強度 3 1 7 ~ 3 2 0 と調停参加信号 3 2 1 ~ 3 2 4 が入力される。また、調停回路 3 0 1 は、各入力ポートに対応して、4つの強度カウンタ 3 0 2 ~ 3 0 5 と、4つの1減算器 3 0 7 ~ 3 1 0 と、4つのマルチプレクサ(M U X) 3 1 1 ~ 3 1 4 とを有する。調停回路 3 0 1 に入力された強度 3 1 7 ~ 3 2 0 は、自身に対応するマルチプレクサ(M U X)と、強度計算回路 3 1 5 とに入力される。調停回路 3 0 1 に入力された調停参加信号 3 2 1 ~ 3 2 4 は、選択回路 3 0 6 及び強度計算回路 3 1 5 に入力される。

【 0 0 4 1 】

マルチプレクサ(M U X) 3 1 1 ~ 3 1 4 は、自身に入力された強度 3 1 7 ~ 3 2 0 、又は、1減算器 3 0 7 ~ 3 1 0 から出力された強度カウンタ値のいずれかを選択して強度カウンタ 3 0 2 ~ 3 0 5 へ出力する。強度カウンタ 3 0 2 ~ 3 0 5 には、マルチプレクサ(M U X) 3 1 1 ~ 3 1 4 から出力された強度 3 1 7 ~ 3 2 0 又は強度カウンタ値が、強度カウンタ値として格納される。つまり、強度カウンタ 3 0 2 ~ 3 0 5 に格納される強度カウンタ値をカウントダウンする場合、マルチプレクサ(M U X) 3 1 1 ~ 3 1 4 は、1減算器 3 0 7 ~ 3 1 0 から出力された強度カウンタ値を選択して強度カウンタ 3 0 2 ~ 3 0 5 へ出力する。強度カウンタ 3 0 2 ~ 3 0 5 は、強度カウンタ値を選択回路 3 0 6 へ出力する。

【 0 0 4 2 】

選択回路 3 0 6 は、強度カウンタ 3 0 2 ~ 3 0 5 から出力された強度カウンタ値と、調停参加信号 3 2 1 ~ 3 2 4 とに基づいて、1つの入力ポートの packets を選択する。選択回路 3 0 6 は、選択した入力ポートの packets を選択して出力するように制御する選択信号を、マルチプレクサ(M U X) 2 2 7 ~ 2 3 0 へ出力する。選択処理については、後で図 7 を使って説明する。

【 0 0 4 3 】

強度計算回路 3 1 5 は、強度 3 1 7 ~ 3 2 0 と調停参加信号 3 2 1 ~ 3 2 4 を使って、調停参加している入力ポートの強度の合計値を算出する。強度計算回路 3 1 5 は、算出した強度の合計値を強度合計レジスタ 3 1 6 へ書き込む。そして、調停回路 3 0 1 は、クロスバスイッチ 2 1 4 から出ていく packets の packets ヘッダに強度合計レジスタ 3 1 6 内の強度の合計値を書き込む。

【 0 0 4 4 】

次に本実施の形態での packets の packets ヘッダについて、図 6 に示す。packets ヘッダには、送り先プロセッサ番号 4 0 1 と、送り元プロセッサ番号 4 0 2 と、調停での強度 4 0 3 、書き込みアドレス 4 0 4 、データ長 4 0 5 が格納される。packets ヘッダの後には、データ長 4 0 5 で示されたバイト数のデータ(図示せず)が続く。プロセッサ 1 0 1 ~ 1 1 5 は、packets を送る時に、調停での強度 4 0 3 を 1 に初期化する。調停での強度 4 0 3 は、各スイッチ 1 1 7 ~ 1 3 6 通過時にスイッチ 1 1 7 ~ 1 3 6 で更新される。書き込みアドレス 4 0 4 は、packets が送り先のプロセッサに到着した場合に、データが書き込まれるメモリ上のアドレスである。

【 0 0 4 5 】

次に、図 5 の調停回路 3 0 1 での処理について、図 7 を使って説明する。

まず、調停回路 3 0 1 は、すべての強度カウンタ 3 0 2 ~ 3 0 5 を対応する強度レジスタ 2 2 3 ~ 2 2 6 から出力された強度 3 1 7 ~ 3 2 0 で初期化する(ステップ S 1 0 1)。これは、マルチプレクサ(M U X) 3 1 1 ~ 3 1 4 で強度 3 1 7 ~ 3 2 0 を選択することにより行う。また、この時に、調停回路 3 0 1 は、強度合計レジスタ 3 1 6 に 0 を格納して、強度合計レジスタ 3 1 6 を初期化する。

【 0 0 4 6 】

次に、選択回路 3 0 6 は、入力 F I F O メモリ 2 1 0 ~ 2 1 3 から出力された調停参加信号 3 2 1 ~ 3 2 4 を参照し、新たな調停参加者を受け付ける(ステップ S 1 0 2)。具

10

20

30

40

50

体的には、選択回路306は、入力FIFOメモリ210～213のいずれかから調停参加信号が入力された場合、入力された調停参加信号に対応する入力ポートを調停参加者として決定する。また、この時に、強度計算回路315は、強度317～320のうち、調停参加している入力ポートに対応する強度の合計値を強度合計レジスタ316に格納する。以降、選択回路306は、再びステップS101になるまで、一度参加した調停参加者を、調停参加者として認識し続ける。

【0047】

次に、調停回路301は、すべての調停参加者の強度カウンタの値が1かどうかを調べる(ステップS103)。すべての調停参加者の強度カウンタの値が1でない場合(ステップS103:いいえ)は、選択回路306は、強度カウンタの値が最も大きい調停参加者を選択する(ステップS104)。具体的には、選択回路306は、最も大きい強度カウンタ値を出力する強度カウンタに対応する入力ポートの入力FIFOメモリから出力されたパケットを選択する選択信号をクロスバスイッチ214のマルチプレクサ(MUX)に出力する。なお、選択回路306は、選択する入力FIFOメモリから、調停参加信号が出力されていない場合は、調停参加信号が出力されるのを待ってから、その入力FIFOメモリから出力されたパケットを選択する。これによって、選択回路306が含まれる調停回路に対応する出力ポートに、その出力ポート以外へのパケットを誤って出力しないようにする。選択回路306は、調停回路301は、そのパケットがクロスバスイッチ214を抜けてきた時点で強度合計レジスタ316の強度の合計値をパケットヘッダの調停での強度のフィールドに書き込む(ステップS105)。

【0048】

そして、選択回路306は、強度カウンタ値が最も大きい調停参加者として選択した入力ポートに対応する強度カウンタの値をデクリメントする(ステップS106)。強度カウンタ302～305の値のデクリメントは、マルチプレクサ(MUX)311～314で1減算器307～310の方を選択することにより行う。この選択は、例えば、選択回路306が、マルチプレクサ(MUX)311～314に、1減算器307～310からの出力を選択する選択信号を出力することにより行う。

【0049】

その後、選択回路306は、ステップS102にすすみ、入力ポートからの調停参加信号321～324を参照し、新たな調停参加者を受け付ける(ステップS102)。このときに、入力FIFOメモリ210～213は、選択されたパケットの次にFIFOに含まれるパケットを、FIFOの先頭のパケットにする。そして、入力FIFOメモリ210～213は、先頭のパケットを、マルチプレクサ(MUX)227～230に出力する。また、選択回路306は、この時点で、新たに調停参加者として選択していない入力ポートに対応する調停参加信号が入力されている場合、その入力ポートを新たな調停参加者として受け入れる。その場合、選択回路306は、その入力ポートに対応する強度カウンタを初期化する。また、強度計算回路315は、新たに調停参加者として参加した入力ポートに対応する強度と、強度合計レジスタ316に格納された強度の合計値との合計値を、強度合計レジスタ316に格納する。

【0050】

次にステップS103で、すべての調停参加者の強度カウンタの値が1であった場合について説明する(ステップS103:はい)。調停回路301は、まず、強度カウンタの値が1の調停参加者を1人選択する(ステップS107)。選択の仕方は、予め決められた優先順位でもラウンドロビンでもよい。そして、選択回路306は、選択した入力ポートに対応する入力FIFOメモリから出力されたパケットを選択する選択信号をクロスバスイッチ214のマルチプレクサ(MUX)に出力する。調停回路301は、そのパケットがクロスバスイッチ214を抜けてきた時点で強度合計レジスタ316の強度の合計値をパケットヘッダの調停での強度のフィールドに書き込む(ステップS108)。そして、選択した入力ポートに対応する強度カウンタの値をデクリメントする(ステップS109)。次に、調停回路301は、強度カウンタの値が1となった調停参加者のうちで選ばれ

10

20

30

40

50

ていない調停参加者がいるかどうかを調べる（ステップS110）。つまり、調停回路301は、値が0になっていない強度カウンタに対応する調停参加者がいるかどうかを調べる。選ばれていない調停参加者がいる場合（ステップS110：はい）は、ステップS107に戻る。そうでない場合（ステップS110：いいえ）は、ステップS101へ戻り、強度カウンタ302～305を初期化する。

【0051】

以上に説明したように、調停回路301は、調停参加した入力ポートのそれぞれに入力されたパケットに含まれる強度を、入力ポートのそれぞれから選択して次段に出力するパケットの数としている。言い換えると、調停回路301は、調停参加した入力ポートのそれぞれに入力されたパケットに含まれる強度を、入力ポートのそれぞれから調停対象として取り込むパケット数としている。よって、調停参加した入力ポートのそれぞれからの強度の合計値は、調停回路301が調停対象としたパケット数となる。言い換えると、強度の合計値は、それぞれの出力先が競合することによって、調停回路301によって調停が行われたパケットの競合数である。そして、調停回路301は、強度の合計値を、強度としてパケットに含めて、そのパケットを次段に出力するようにしている。つまり、これによって、各スイッチは、複数の次段のスイッチのそれぞれについて、次段のスイッチに転送するパケットが自身に集中する度合いを、強度として次段のスイッチに伝えることができる。

10

【0052】

そのため、調停回路301は、入力ポートのそれぞれに入力されたパケットに含まれる強度が示す競合数分のパケットを、それぞれの入力ポートから選択して次段に出力するようにしている。つまり、これにより、調停回路301は、より多くのパケットを出力するスイッチからパケットが入力される入力ポートから、より多くのパケットを次段に出力するようにすることができる。

20

【0053】

次に、図8～図14を使って、プロセッサ0(101)～プロセッサ14(115)がプロセッサ15(116)に通信する場合の、本発明での動作と効果を説明する。

【0054】

図8Bは、スイッチ804においてパケットが競合した状態を示す図である。図8Bは、スイッチ804において、プロセッサ0(801)、プロセッサ4(802)、プロセッサ8(803)からプロセッサ15(805)へ送信されたパケットが競合した場合について例示している。スイッチ804での出力ポート3の調停回路の状態を図8Aに図示している。入力ポート0～2の強度カウンタ806～809には、初期値として、プロセッサ801、802、803のそれぞれから送信されたパケットのパケットヘッダの調停での強度1が格納される。また、入力ポート0～2が調停参加しているため、調停参加810～812に1が、調停参加813に0が格納されている。

30

【0055】

ここで、調停参加810～813は、例えば、調停回路が有する調停参加レジスタである。調停回路は、入力ポート0～3のそれぞれに対応する調停参加レジスタを有する。調停回路は、ステップS102において、調停参加信号が入力された場合、その調停参加信号に対応する入力ポートの調停参加レジスタに1を格納する。調停回路は、ステップS101において、調停参加レジスタに0を格納して初期化する。

40

【0056】

そして、強度合計レジスタ814には、調停での強度の合計である3が格納される。調停回路301は、スイッチ804を通過し出力ポート3に出力されるパケットのパケットヘッダの調停での強度に3を格納する。図7のステップS101で強度カウンタを初期化したあとは、調停参加しているポート0～2の強度カウンタ806～808の値はすべて1なので、調停回路301は、ステップS103の後に、ステップS107の処理を実行する。

【0057】

50

図9Bは、スイッチ904においてパケットが競合した状態を示す図である。図9Bは、スイッチ904において、プロセッサ2(901)、プロセッサ6(902)、プロセッサ10(903)からプロセッサ15(905)へ送信されたパケットが競合した場合について例示している。スイッチ904での出力ポート3の調停回路の状態を図9Aに図示している。入力ポート0~2の強度カウンタ906~908には、初期値として、プロセッサ901、902、903のそれぞれから送信されたパケットのパケットヘッダの調停での強度1が格納される。また、入力ポート0~2が調停参加しているため、調停参加910~912に1が、調停参加913に0が格納されている。そして、強度合計レジスタ914には、調停での強度の合計である3が格納される。スイッチ904を通過し出力ポート3に出力されるパケットのパケットヘッダの調停での強度には3が格納される。調停回路301は、図7のステップS101で強度カウンタを初期化したあとは、調停参加しているポート0~2の強度カウンタ906~908の値はすべて1なので、ステップS103の後に、ステップS107の処理を実行する。

10

【0058】

図10Bは、スイッチ1004においてパケットが競合した状態を示す図である。図10Bは、スイッチ1004において、プロセッサ1(1001)、プロセッサ5(1002)、プロセッサ9(1003)からプロセッサ15(1005)へ送信されたパケットが競合した場合について例示している。スイッチ1004での出力ポート3の調停回路の状態を図10Aに図示している。入力ポート0~2の強度カウンタ1006~1008には、初期値として、プロセッサ1001、1002、1003のそれぞれから送信されたパケットのパケットヘッダの調停での強度1が格納される。また、入力ポート0~2が調停参加しているため、調停参加1010~1012に1が、調停参加1013に0が格納されている。そして、強度合計レジスタ1014には、調停での強度の合計である3が格納される。スイッチ1004を通過し出力ポート3に出力されるパケットのパケットヘッダの調停での強度には3が格納される。調停回路301は、図7のステップS101で強度カウンタを初期化したあとは、調停参加しているポート0~2の強度カウンタ1006~1008の値はすべて1なので、ステップS103の後に、ステップS107の処理を実行する。

20

【0059】

図11Bは、スイッチ1104においてパケットが競合した状態を示す図である。図11Bは、スイッチ1104において、プロセッサ3(1101)、プロセッサ7(1102)、プロセッサ11(1103)からプロセッサ15(1105)へ送信されたパケットが競合した場合について例示している。スイッチ1104での出力ポート3の調停回路の状態を図11Aに図示している。入力ポート0~2の強度カウンタ1106~1108には、初期値として、プロセッサ1101、1102、1103のそれぞれから送信されたパケットのパケットヘッダの調停での強度1が格納される。また、入力ポート0~2が調停参加しているため、調停参加1110~1112に1が、調停参加1113に0が格納されている。そして、強度合計レジスタ1114には、調停での強度の合計である3が格納される。スイッチ1104を通過し出力ポート3に出力されるパケットのパケットヘッダの調停での強度には3が格納される。調停回路301は、図7のステップS101で強度カウンタを初期化したあとは、調停参加しているポート0~2の強度レジスタ1106~1108の値はすべて1なので、ステップS103の後に、ステップS107の処理を実行する。

30

40

【0060】

図12Bは、スイッチ1204においてパケットが競合した状態を示す図である。図12Bは、スイッチ1204において、プロセッサ12(1203)とスイッチ1201とスイッチ1202とから送信されたパケットが競合した場合について例示している。スイッチ1204での出力ポート1の調停回路を図12Aに図示している。入力ポート0の強度カウンタ1206には、初期値として、プロセッサ12(1203)からのパケットのパケットヘッダの調停での強度1が格納される。また、入力ポート2と入力ポート3の強度カ

50

ウンタ1208、1209には、初期値として、スイッチ1201とスイッチ1202からのパケットの強度3が格納される。つまり、ここでは、スイッチ1201とスイッチ1202のそれぞれにおいて、パケットが競合して、パケットヘッダの調停での強度が3に更新された場合について例示している。

【0061】

また、入力ポート0、入力ポート2、入力ポート3が調停参加しているので、調停参加1210、1212、1213に1が、調停参加1211に0が格納されている。そして、強度合計レジスタ1214には、調停での強度の合計である7が格納される。スイッチ1204を通過し出力ポート1に出力されるパケットの強度には7が格納される。調停回路301は、図7のステップS101で強度カウンタを初期化したあとは、参加者の強度カウンタの値は1、3、3となっているので、ステップS103の後に、強度カウンタの値が1、1、1になるまでは、ステップS104の処理を実行する。このときに実行されるステップS104の処理では、入力ポート2と入力ポート3からのパケットが選択される。調停回路301は、強度カウンタの値が1、1、1になれば、ステップS103の後に、ステップS107の処理を実行する。そして、ステップS107～S110の処理において、入力ポート0、入力ポート2、入力ポート3からパケットが1つずつ選択される。

10

【0062】

図13Bは、スイッチ1304においてパケットが競合した状態を示す図である。スイッチ1304では、プロセッサ13(1303)とスイッチ1301とスイッチ1302とから送信されたパケットが競合した場合について例示している。スイッチ1304での出力ポート1の調停回路を図13Aに図示している。入力ポート0の強度カウンタ1306には、初期値として、プロセッサ13(1303)からのパケットの強度1が格納される。また、入力ポート2と入力ポート3の強度レジスタ1308、1309には、初期値として、スイッチ1301とスイッチ1302からのパケットの強度3が格納される。つまり、ここでは、スイッチ1301とスイッチ1302のそれぞれにおいて、パケットが競合して、パケットヘッダの調停での強度が3に更新された場合について例示している。

20

【0063】

また、入力ポート0、入力ポート2、入力ポート3が調停参加しているので、調停参加1310、1312、1313に1が、調停参加1311に0が格納されている。そして、強度合計レジスタ1314には、調停での強度の合計である7が格納される。スイッチ1304を通過し出力ポート1に出力されるパケットの強度には7が格納される。調停回路301は、図7のステップS101で強度カウンタを初期化したあとは、参加者の強度カウンタの値は1、3、3となっているので、ステップS103の後に、強度カウンタの値が1、1、1になるまでは、ステップS104の処理を実行する。このときに実行されるステップS104の処理では、入力ポート2と入力ポート3からのパケットが選択される。調停回路301は、強度カウンタの値が1、1、1になれば、ステップS103の後に、ステップS107の処理を実行する。そして、ステップS107～S110の処理において、入力ポート0、入力ポート2、入力ポート3からパケットが1つずつ選択される。

30

40

【0064】

図14Bは、スイッチ1404においてパケットが競合した状態を示す図である。スイッチ1404では、プロセッサ14(1403)とスイッチ1401とスイッチ1402とから送信されたパケットが競合した場合について例示している。スイッチ1404での出力ポート1の調停回路を図14Aに図示している。入力ポート0の強度カウンタ1406には、初期値として、プロセッサ14(1403)からのパケットの強度1が格納される。また、入力ポート2と入力ポート3の強度レジスタ1408、1409には、初期値として、スイッチ1401とスイッチ1402からのパケットの強度7が格納される。つまり、ここでは、スイッチ1401とス

50

イッチ 1 4 0 2 のそれぞれと、それぞれのスイッチの前段のスイッチにおいて、パケットが競合して、パケットヘッダの調停での強度が 7 に更新された場合について例示している。

【 0 0 6 5 】

また、入力ポート 0、入力ポート 2、入力ポート 3 が調停参加しているので、調停参加 1 4 1 0、1 4 1 2、1 4 1 3 に 1 が、調停参加 1 4 1 1 に 0 が格納されている。そして、強度合計レジスタ 1 4 1 4 には、調停での強度の合計である 1 5 が格納される。スイッチ 1 4 0 4 を通過し出力ポート 1 に出力されるパケットのパケットヘッダの調停での強度には 1 5 が格納される。調停回路 3 0 1 は、図 7 のステップ S 1 0 1 で強度カウンタを初期化したあとは、参加者の強度カウンタの値は 1、7、7 となっているので、ステップ S 1 0 3 の後に、強度カウンタの値が 1、1、1 になるまでは、ステップ S 1 0 4 の処理を実行する。このときに実行されるステップ S 1 0 4 の処理では、入力ポート 2 と入力ポート 3 からのパケットが選択される。調停回路 3 0 1 は、強度カウンタの値が 1、1、1 になれば、ステップ S 1 0 3 の後に、ステップ S 1 0 7 の処理を実行する。そして、ステップ S 1 0 7 ~ S 1 1 0 の処理において、入力ポート 0、入力ポート 2、入力ポート 3 からパケットが 1 つずつ選択される。

【 0 0 6 6 】

次に、この場合の各プロセッサからプロセッサ 1 5 への到着確率を計算する。それぞれの経由するスイッチ数が異なる、プロセッサ 0、プロセッサ 1 2、プロセッサ 1 4 からのパケットの到着確率を計算する。まず、プロセッサ 0 からのパケットは、3 つのスイッチを経由する。それぞれのスイッチにおいて 3 つのパケットが競合した場合に、それぞれのスイッチにおいて、プロセッサ 0 から送信したパケットが選択される確率は、3 分の 1、7 分の 3、1 5 分の 7 になる。よって、これらの確率の積は、1 5 分の 1 になる。次にプロセッサ 1 2 からのパケットは、2 つのスイッチを経由する。それぞれのスイッチにおいて 3 つのパケットが競合した場合に、それぞれのスイッチにおいて、プロセッサ 1 2 から送信したパケットが選択される確率は、7 分の 1、1 5 分の 7 になるよって、これらの確率の積は 1 5 分の 1 になる。最後にプロセッサ 1 4 からのパケットは、1 つのスイッチを経由して 1 5 分の 1 となる。

【 0 0 6 7 】

このように、本実施の形態では、プロセッサ 0 ~ 1 4 のそれぞれからプロセッサ 1 5 に出力されるパケットのように、それぞれのパケットが経由するスイッチ数が異なってもプロセッサ 1 5 への到着確率が 1 5 分の 1 となる。したがって、どのプロセッサから出力されるパケットも転送先のプロセッサに到着する確率が同じになることがわかる。つまり、どのプロセッサから出力されるパケットも転送先のプロセッサに到着するまでにかかる時間を一定化することができる。つまり、本発明の第 1 の実施の形態によれば、プロセッサ間で転送するパケットの転送時間の偏りを低減することができる。

【 0 0 6 8 】

発明の第 2 の実施の形態。

続いて、図 1 5 を参照して、本発明の第 2 の実施の形態にかかる並列コンピュータのスイッチの概要となるデータ転送部について説明する。図 1 5 は、本発明の第 2 の実施の形態にかかる並列コンピュータのスイッチの概要となるデータ転送部の構成を示す図である。なお、本発明の第 2 の実施の形態にかかる並列コンピュータの概要となるデータ転送システムの構成は、発明の第 1 の実施の形態にかかるデータ転送システムの構成と同様であるため、説明を省略する。

【 0 0 6 9 】

データ転送部 6 0 は、入力ポート 6 5 1 ~ 6 5 4、出力ポート 6 5 5 ~ 6 5 8、調停手段 6 5 9 及び強度情報通知手段 6 6 0 を有する。

入力ポート 6 5 1 ~ 6 5 4 のそれぞれは、複数のデータ転送部 5 1 7 ~ 5 3 6 のうち、いずれかから送信されたデータを入力する。

出力ポート 6 5 5 ~ 6 5 6 のそれぞれは、複数のプロセッサ 5 0 1 ~ 5 1 6 及び複数の

10

20

30

40

50

データ転送部 5 1 7 ~ 5 3 6 のうち、いずれかに送信されるデータを出力する。

調停手段 6 5 9 は、次の転送先が同じ競合データについて調停を実行する。また、調停手段 6 5 9 は、複数のデータ転送部から複数の入力ポートを介して複数のデータを受信して調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す値の多さに関する入力ポート間の割合に応じて決定する。

強度情報通知手段 6 6 0 は、複数のデータ転送部から複数の入力ポートを介して強度情報を受信した場合に、受信した強度情報のそれぞれが示す値の合計値を示す強度情報を生成する。強度情報通知手段 6 6 0 は、生成した強度情報を複数の次の転送先のそれぞれに対して複数の出力ポートを介して同じ強度情報を送信する。

10

【 0 0 7 0 】

続いて、本発明の第 2 の実施の形態にかかるデータ転送部 6 0 の処理について説明する。

複数のプロセッサ 5 0 1 ~ 5 1 6 は、初期値を示す強度情報を転送先のデータ転送部に出力する。強度情報通知手段 6 6 0 は、複数のデータ転送部から複数の入力ポートを介して強度情報を受信した場合に、受信した強度情報のそれぞれが示す値の合計値を示す強度情報を生成する。強度情報通知手段 6 6 0 は、生成した強度情報を複数の次の転送先のそれぞれに対して複数の出力ポートを介して同じ強度情報を送信する。

調停手段 6 5 9 は、複数のデータ転送部から入力ポートのそれぞれを介して、次の転送先が同じ競合データを受信した場合、受信した競合データの調停を実行する。調停手段 6 5 9 は、調停において、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す値の多さに関する入力ポート間の割合に応じて決定する。調停手段 6 5 9 は、決定した選択割合で、競合データの調停を実行する。

20

【 0 0 7 1 】

続いて、本発明の第 2 の実施の形態にかかる並列コンピュータについて詳細に説明する。図 1 6 を参照して、本発明の第 2 の実施の形態にかかる調停回路 6 0 1 について説明する。なお、本発明の第 2 の実施の形態にかかる並列コンピュータ及びスイッチの構成は、発明の第 1 の実施の形態にかかる並列コンピュータ及びスイッチの構成と同様であるため、説明を省略する。また、本発明の第 2 の実施の形態にかかる調停回路 6 0 1 の処理についても、図 7 に示す処理と同様であるため、説明を省略する。

30

【 0 0 7 2 】

図 1 6 を参照すると、本発明の第 2 の実施の形態としての並列コンピュータのプロセッサ間ネットワークを構成するスイッチの中の調停回路 6 0 1 が示されている。第 2 の実施の形態が第 1 の実施の形態と異なるのは、調停回路 6 0 1 の部分である。本実施の形態の調停回路 6 0 1 は、強度計算回路 6 1 5 に調停参加信号 6 2 1 ~ 6 2 4 が入力されない点で、第 1 の実施の形態の調停回路 3 0 1 と異なる。

【 0 0 7 3 】

第 2 の実施の形態の調停回路 6 0 1 の強度計算回路 6 1 5 は、調停参加の状態を考慮せずに、強度の合計値を計算する。そして、強度計算回路 6 1 5 は、算出した強度の合計値を強度合計レジスタ 6 1 6 に格納する。調停回路 6 0 1 は、次段のスイッチに送出するパケットのパケットヘッダの調停での強度に、強度合計レジスタ 6 1 6 に格納された強度の合計値を設定する。調停回路 6 0 1 は、例えば、ステップ S 1 0 2 のタイミングで、強度 6 1 7 ~ 6 2 0 の合計値を強度合計レジスタ 6 1 6 に格納するようにしてもよい。また、調停回路 6 0 1 は、ステップ S 1 0 2 のタイミングで、強度 6 1 7 ~ 6 2 0 のうち、強度が 0 から 0 以外の値に変化した強度と、強度合計レジスタ 6 1 6 に格納される値との合計値を強度合計レジスタ 6 1 6 に格納するようにしてもよい。

40

【 0 0 7 4 】

以上に説明したように、まず、プロセッサ 1 0 1 ~ 1 1 6 は、パケットの強度に初期値 1 を設定して出力する。調停回路 6 0 1 は、所定の期間内に、入力ポートのそれぞれに入

50

力されたパケットに含まれる強度の合計値を、強度としてパケットに含めて、そのパケットを次段のスイッチのそれぞれに出力するようにしている。つまり、これによって、各スイッチは、パケットが自身に集中する度合いを、強度として次段のスイッチに伝えることができる。

【0075】

そして、調停回路601は、入力ポートのそれぞれに入力されたパケットに含まれる強度が示す値分のパケットを、それぞれの入力ポートから選択して次段に出力するようにしている。つまり、これにより、調停回路601は、より多くのパケットを出力するスイッチからパケットが入力される入力ポートから、より多くのパケットを次段に出力することができる。

10

【0076】

つまり、本発明の第2の実施の形態によれば、プロセッサ間で転送するパケットの転送時間の偏りを低減することができる。また、本発明の第2の実施の形態では、入力FIFOバッファ223～226から強度計算回路615に調停参加信号を伝送する信号線が不要となるため、回路規模を抑えることができる。

【0077】

発明の第3の実施の形態。

続いて、図17を参照して、本発明の第3の実施の形態にかかる並列コンピュータのスイッチの概要となるデータ転送部について説明する。図17は、本発明の第3の実施の形態にかかる並列コンピュータのスイッチの概要となるデータ転送部の構成を示す図である。なお、本発明の第3の実施の形態にかかる並列コンピュータの概要となるデータ転送システムの構成は、発明の第1の実施の形態にかかるデータ転送システムの構成と同様であるため、説明を省略する。

20

【0078】

データ転送部70は、入力ポート751～754、出力ポート755～758、調停手段759及び記憶手段760を有する。

入力ポート751～754のそれぞれは、複数のデータ転送部のうち、いずれかから送信されたデータを入力する。

出力ポート755～756のそれぞれは、複数のプロセッサ及び複数のデータ転送部のうち、いずれかに送信されるデータを出力する。

30

調停手段759は、次の転送先が同じ競合データについて調停を実行する。また、調停手段759は、複数のデータ転送部から複数の入力ポートを介して複数のデータを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートについての転送経路数情報が示す転送経路数の多さに関する入力ポート間の割合に応じて決定する。

記憶手段760は、複数のデータ転送部から自データ転送部にデータが入力される複数の入力ポートのそれぞれについて、前記複数のプロセッサから入力ポートにデータが転送される転送経路数を示す転送経路数情報を格納する。

【0079】

続いて、本発明の第3の実施の形態にかかるデータ転送部70の処理について説明する。

40

調停手段759は、複数のデータ転送部から入力ポートのそれぞれを介して、次の転送先が同じ競合データを受信した場合、受信した競合データの調停を実行する。調停手段759は、調停において、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートについての転送経路数情報が示す転送経路数の多さに関する入力ポート間の割合に応じて決定する。調停手段759は、決定した選択割合で、競合データの調停を実行する。

【0080】

続いて、本発明の第3の実施の形態にかかる並列コンピュータについて詳細に説明する

50

。図18を参照して、本発明の第2の実施の形態にかかるスイッチ701について説明する。なお、本発明の第3の実施の形態にかかる並列コンピュータの構成は、発明の第1の実施の形態にかかる並列コンピュータの構成と同様であるため、説明を省略する。本発明の第3の実施の形態にかかる調停回路の構成は、強度計算回路315及び強度合計レジスタ316を有しない点を除き、発明の第1の実施の形態にかかる並列コンピュータの構成と同様であるため、説明を省略する。また、本発明の第3の実施の形態にかかる調停回路の処理についても、図7に示す処理と同様であるため、説明を省略する。

【0081】

図18を参照すると、本発明の第3の実施の形態としての並列コンピュータのプロセッサ間ネットワークを構成するスイッチ701が示されている。第3の実施の形態が第1の実施の形態と異なるのは、スイッチ701で、強度レジスタ723～726に設定する調停での強度をパケットヘッダから読み出して設定するのではなく、スイッチの接続形態からあらかじめ設定しておくことである。

【0082】

具体的には、それぞれの強度レジスタ723～726に、それぞれの強度レジスタ723～726に対応する入力ポートに対してプロセッサ101～116からパケットが転送される転送経路数を格納する。ここで、図12Bに例示するスイッチ1204を例に挙げて説明する。スイッチ1204の入力ポート0には、1つのプロセッサ12からパケットが転送される。したがって、入力ポート0に対応する入力強度レジスタ0(723)には1が格納される。スイッチ1204の入力ポート1には、1つのプロセッサ14からパケットが転送される。よって、入力ポート1に対応する入力強度レジスタ1(724)には1が格納される。スイッチ1204の入力ポート2には、3つのプロセッサ0、4、8からパケットが転送される。よって、入力ポート2に対応する入力強度レジスタ2(725)には3が格納される。スイッチ1204の入力ポート3には、3つのプロセッサ1、5、9からパケットが転送される。よって、入力ポート3に対応する入力強度レジスタ3(726)には3が格納される。

【0083】

以上に説明したように、強度レジスタ723～726には、強度レジスタ723～726に対応する入力ポートに入力されるパケットがプロセッサ101～116から転送される転送経路数が強度として格納されている。ここで、入力ポートに対してプロセッサ101～116からデータが転送される転送経路数が多い場合、その入力ポートに入力されるパケット数も多くなる。つまり、スイッチは、強度レジスタ723～726のそれぞれに格納される強度は、入力ポート702～705のそれぞれにパケットが集中する度合いとなる。

【0084】

そして、調停回路719～722は、入力ポートのそれぞれに対応する強度レジスタ723～726から出力される強度が示す転送経路数分のパケットを、それぞれの入力ポートから選択して次段に出力するようにしている。つまり、これにより、調停回路601は、より多くのパケットを出力するスイッチからパケットが入力される入力ポートから、より多くのパケットを次段に出力するようにすることができる。

【0085】

つまり、本発明の第3の実施の形態によれば、プロセッサ間で転送するパケットの転送時間の偏りを低減することができる。また、本発明の第3の実施の形態では、強度計算回路及び強度合計レジスタと、調停回路719～722においてパケットに強度を設定する処理と、入力FIFOメモリ710～713において強度レジスタに強度を設定する処理とが不要となるため、回路規模を抑えることができる。また、パケットに調停での強度を格納する領域も不要となるため、プロセス間ネットワークにおいて転送されるデータ量を低減することもできる。

【0086】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜

10

20

30

40

50

変更することが可能である。

【0087】

プロセッサの数及びプロセス間ネットワークを構成するスイッチの数は、本実施の形態において例示した数に限られない。また、プロセス間ネットワークの構成は、本実施の形態において例示した構成に限られない。つまり、本発明は、本実施の形態において例示したように、スイッチが多段に接続されていないプロセス間ネットワークにも適用することができる。

【0088】

本発明の第1及び第2の実施の形態では、調停回路は、調停を実行する場合に、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する数を、各入力ポートから受信した強度が示す値として決定しているが、これに限られない。調停回路は、調停を実行する場合に、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度の多さに関する入力ポート間の割合に応じて決定するようにしてもよい。このようにしても、より多くのパケットを出力するスイッチからパケットが入力される入力ポートから、より多くのパケットを次段に出力するようにすることができるため、プロセッサ間で転送するパケットの転送時間の偏りを低減することができる。

10

【0089】

本発明の第1及び第2の実施の形態では、スイッチは、調停での強度をパケットに含めて出力するようにしているが、これに限られない。例えば、スイッチは、パケットとは、別にそのパケットと対応付けて調停での強度を示す強度情報を出力するようにしてもよい。

20

【0090】

本発明の第3の実施の形態では、調停回路は、調停を実行する場合に、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する数を、各入力ポートについての転送経路数情報が示す転送経路数として決定しているが、これに限られない。調停回路は、調停を実行する場合に、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートについての転送経路数情報が示す転送経路数の多さに関する入力ポート間の割合に応じて決定するようにしてもよい。このようにしても、より多くのパケットが入力される入力ポートから、より多くのパケットを次段に出力するようにすることができるため、プロセッサ間で転送するパケットの転送時間の偏りを低減することができる。

30

【0091】

上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

【0092】

(付記1) 複数のプロセッサと、当該複数のプロセッサに含まれる一のプロセッサから他のプロセッサに対するデータ転送を複数の入力及び出力ポートを介して実行する複数のデータ転送部とを備えたデータ転送システムであって、前記データ転送部は、次の転送先が同じ競合データについて調停を実行する調停手段と、調停を行った競合データの競合数を示す強度情報を次の転送先に送信する強度情報通知手段と、を有し、前記調停手段は、複数のデータ転送部から複数の入力ポートを介して競合データを受信して前記調停を実行する場合には、複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する割合を示す選択割合を、各入力ポートから受信した強度情報が示す競合数の多さに関する入力ポート間の割合に応じて決定するデータ転送システム。

40

【0093】

(付記2) 前記強度情報通知手段は、前記調停を行った競合データのそれぞれに対応付けて、当該調停を行った競合データの競合数を示す強度情報を次の転送先に送信し、前記調停手段は、それぞれが複数の出力ポートのそれぞれに対応し、対応する出力ポートを介して次の転送先に送信される競合データについて、前記調停を実行する複数の調停回路を含

50

み、前記調停回路は、前記各入力ポートから受信した強度情報のうち、当該調停回路に対応する出力ポートを介して送信される競合データに対応付けられた強度情報に基づいて、前記選択割合を決定する付記 1 に記載のデータ転送システム。

【 0 0 9 4 】

(付記 3) 前記強度情報通知手段は、それぞれが前記複数の出力ポートのそれぞれに対応し、対応する出力ポートを介して送信される競合データのそれぞれに前記強度情報に対応付けて、当該出力ポートを介して次の転送先に送信する複数の強度情報通知回路を含み、前記強度情報通知回路は、当該強度情報通知回路に対応する出力ポートを介して送信される競合データに対応付けられた強度情報に基づいて、前記競合データの競合数を算出する付記 2 に記載のデータ転送システム。

10

【 0 0 9 5 】

(付記 4) 前記調整回路は、前記調停を実行する場合には、それぞれが前記複数の入力ポートのそれぞれに対応し、対応する入力ポートを選択し、その入力ポートから競合データを入力した数をカウントする複数のカウンタを含み、当該複数のカウンタのカウント数のそれぞれが、当該複数のカウンタに対応する入力ポートから受信した強度情報が示す競合数のそれぞれと一致まで、前記複数の入力ポートの中でそれぞれの入力ポートを選択し、その入力ポートから競合データを入力する付記 2 又は 3 に記載のデータ転送システム。

【 0 0 9 6 】

(付記 5) 前記調停手段は、より多い競合数を示す強度情報を受信した入力ポートからの競合データを優先して、次の転送先に送信する付記 1 乃至 4 に記載のデータ転送システム。

20

【 0 0 9 7 】

(付記 6) 前記競合データは、データ転送先のプロセッサを示す転送先プロセッサ情報を含むパケットであり、前記データ転送部は、前記パケットに含まれる出力先プロセッサ情報に基づいて、前記パケットをルーティングするスイッチである付記 1 乃至 5 のいずれか 1 項に記載のデータ転送システム。

【 0 0 9 8 】

(付記 7) 前記強度情報通知手段は、前記調停を行った競合データのそれぞれに、当該調停を行った競合データの競合数を示す強度情報を含めて送信する付記 2 乃至 4 のいずれか 1 項に記載のデータ転送システム。

30

【 0 0 9 9 】

(付記 8) 前記データ転送システムは、前記複数のデータ転送部が多段に接続されたプロセッサ間ネットワークをさらに備えた付記 1 乃至 7 のいずれか 1 項に記載のデータ転送システム。

【符号の説明】

【 0 1 0 0 】

1 並列コンピュータ

5 データ転送システム

10 プロセッサ間ネットワーク

20、60、70 データ転送部

40

101、102、103、104、105、106、107、108、109、110、

111、112、113、114、115、116、501、502、503、504、

505、506、507、508、509、510、511、512、513、514、

515、516、801、802、803、805、901、902、903、905、

1001、1002、1003、1005、1101、1102、1103、1105、

1203、1303、1403、1503、1601、1602、1604、1605、

1607、1609、1610、1801、1802、1901、1902、2001、

2002 プロセッサ

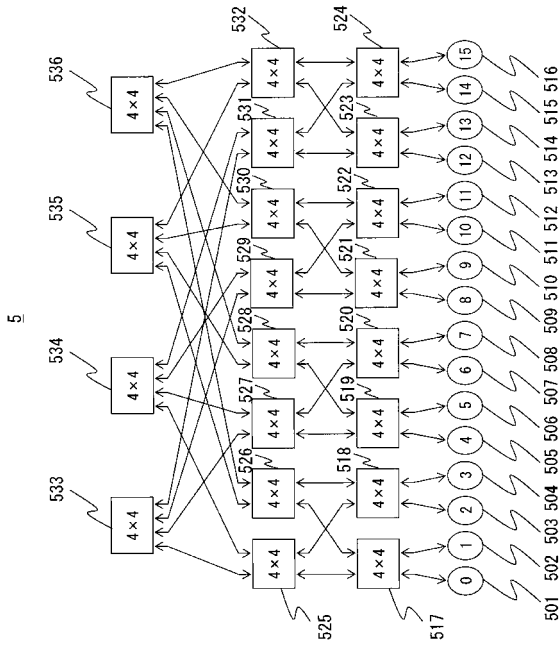
117、118、119、120、121、122、123、124、125、126、

127、128、129、130、131、132、133、134、135、

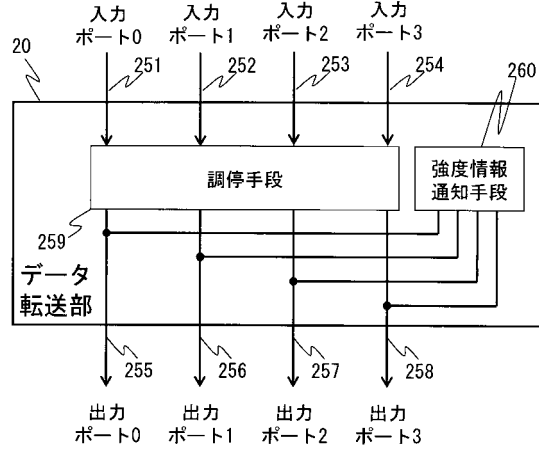
50

1 3 6、2 0 1、5 1 7、5 1 8、5 1 9、5 2 0、5 2 1、5 2 2、5 2 3、5 2 4、
 5 2 5、5 2 6、5 2 7、5 2 8、5 2 9、5 3 0、5 3 1、5 3 2、5 3 3、5 3 4、
 5 3 5、5 3 6、7 0 1、8 0 4、9 0 4、1 0 0 4、1 1 0 4、1 2 0 1、1 2 0 2、
 1 2 0 4、1 3 0 1、1 3 0 2、1 3 0 4、1 4 0 1、1 4 0 2、1 4 0 4、1 5 0 1、
 1 6 0 4、1 6 0 3、1 6 0 6、1 6 0 8、1 7 0 1、1 8 0 3、1 8 0 4、1 8 0 5、
 1 9 0 3、1 9 0 4、2 0 0 3 スイッチ
 2 0 2、2 0 3、2 0 4、2 0 5、2 5 1、2 5 2、2 5 3、2 5 4、6 5 1、6 5 2、
 6 5 3、6 5 4、7 0 2、7 0 3、7 0 4、7 0 5、7 5 1、7 5 2、7 5 3、7 5 4、
 1 7 0 2、1 7 0 3、1 7 0 4、1 7 0 5 入力ポート
 2 0 6、2 0 7、2 0 8、2 0 9、2 5 5、2 5 6、2 5 7、2 5 8、6 5 5、6 5 6、 10
 6 5 7、6 5 8、7 0 6、7 0 7、7 0 8、7 0 9、7 5 5、7 5 6、7 5 7、7 5 8、
 1 7 0 6、1 7 0 7、1 7 0 8、1 7 0 9 出力ポート
 2 1 0、2 1 1、2 1 2、2 1 3、7 1 0、7 1 1、7 1 2、7 1 3 入力 F I F O メ
 モリ
 2 1 4、7 1 4、1 7 1 8 クロスバスイッチ
 2 1 5、2 1 6、2 1 7、2 1 8、7 1 5、7 1 6、7 1 7、7 1 8 出力 F I F O メ
 モリ
 2 1 9、2 2 0、2 2 1、2 2 2、3 0 1、6 0 1、7 1 9、7 2 0、7 2 1、7 2 2、
 1 7 1 9 調停回路
 2 2 3、2 2 4、2 2 5、2 2 6、7 2 3、7 2 4、7 2 5、7 2 6 強度レジスタ 20
 2 2 7、2 2 8、2 2 9、2 3 0、3 1 1、3 1 2、3 1 3、3 1 4、6 1 1、6 1 2、
 6 1 3、6 1 4、7 2 7、7 2 8、7 2 9、7 3 0 マルチプレクサ(M U X)
 2 5 9、6 5 9、7 5 9 調停手段
 2 6 0、6 6 0、7 6 0 強度情報通知手段
 3 0 2、3 0 3、3 0 4、3 0 5、6 0 2、6 0 3、6 0 4、6 0 5 強度カウンタ
 3 0 6、6 0 6 選択回路
 3 0 7、3 0 8、3 0 9、3 1 0、6 0 7、6 0 8、6 0 9、6 1 0 1 減算器
 3 1 5、6 1 5 強度計算回路
 3 1 6、6 1 6 強度合計レジスタ
 3 1 7、3 1 8、3 1 9、3 2 0、6 1 7、6 1 8、6 1 9、6 2 0 強度 30
 3 2 1、3 2 2、3 2 3、3 2 4、6 2 1、6 2 2、6 2 3、6 2 4 調停参加信号
 4 0 1 送り先プロセッサ番号
 4 0 2 送り元プロセッサ番号
 4 0 3 調停での強度
 4 0 4 書き込みアドレス
 4 0 5 データ長
 8 0 6、8 0 7、8 0 8、8 0 9、9 0 6、9 0 7、9 0 8、9 0 9、1 0 0 6、1 0 0
 7、1 0 0 8、1 0 0 9、1 1 0 6、1 1 0 7、1 1 0 8、1 1 0 9、1 2 0 6、1 2 0
 7、1 2 0 8、1 2 0 9、1 3 0 6、1 3 0 7、1 3 0 8、1 3 0 9、1 4 0 6、1 4 0
 7、1 4 0 8、1 4 0 9 強度カウンタ値 40
 8 1 0、8 1 1、8 1 2、8 1 3、9 1 0、9 1 1、9 1 2、9 1 3、1 0 1 0、1 0 1
 1、1 0 1 2、1 0 1 3、1 1 1 0、1 1 1 1、1 1 1 2、1 1 1 3、1 2 1 0、1 2 1
 1、1 2 1 2、1 2 1 3、1 3 1 0、1 3 1 1、1 3 1 2、1 3 1 3、1 4 1 0、1 4 1
 1、1 4 1 2、1 4 1 3 調停参加信号値
 8 1 4、9 1 4、1 0 1 4、1 1 1 4、1 2 1 4、1 3 1 4、1 4 1 4 強度合計レジ
 スタ値
 1 5 0 2 信号線
 1 7 1 0、1 7 1 1、1 7 1 2、1 7 1 3、1 7 1 4、1 7 1 5、1 7 1 6、1 7 1 7
 F I F O メモリ

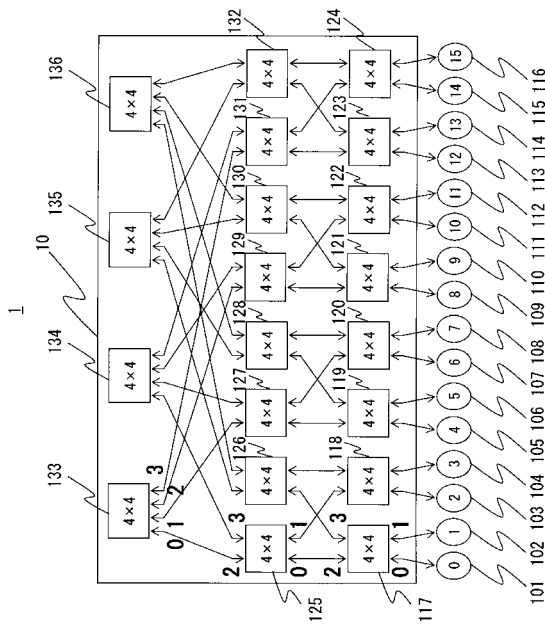
【図1】



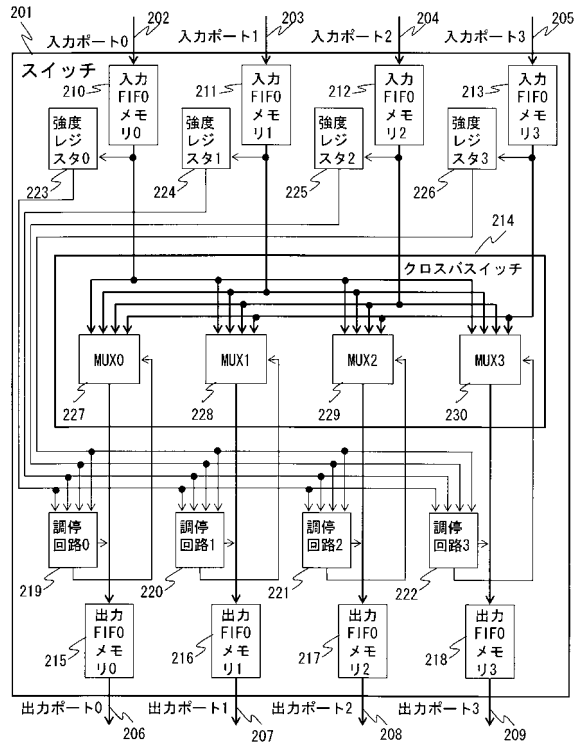
【図2】



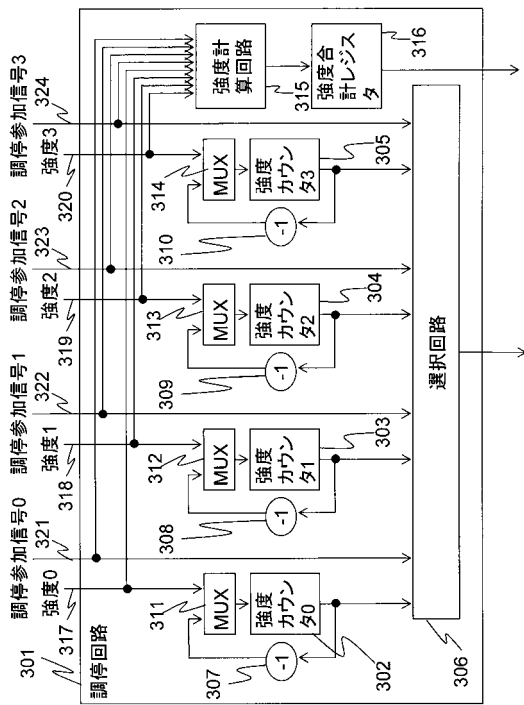
【図3】



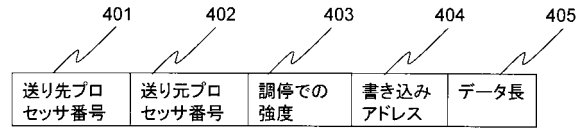
【図4】



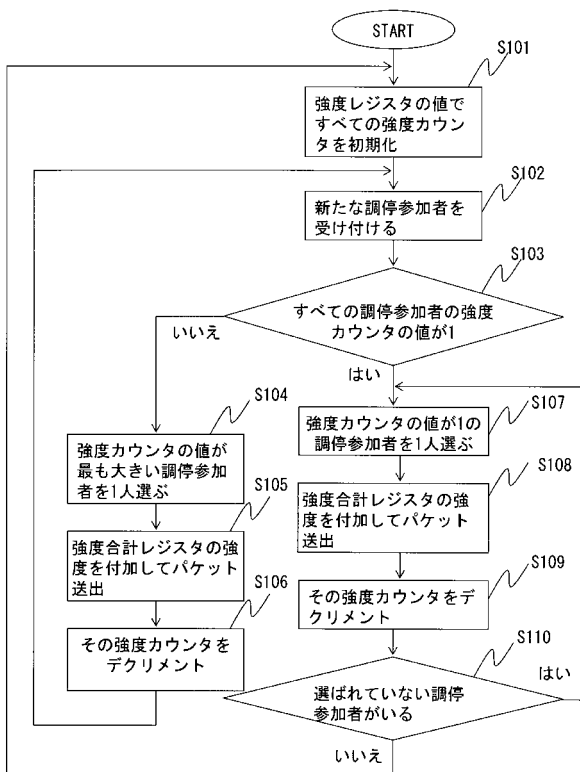
【図5】



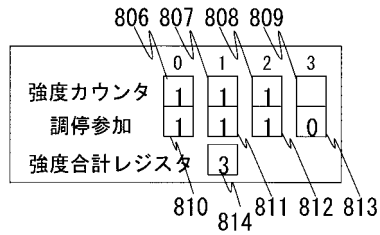
【図6】



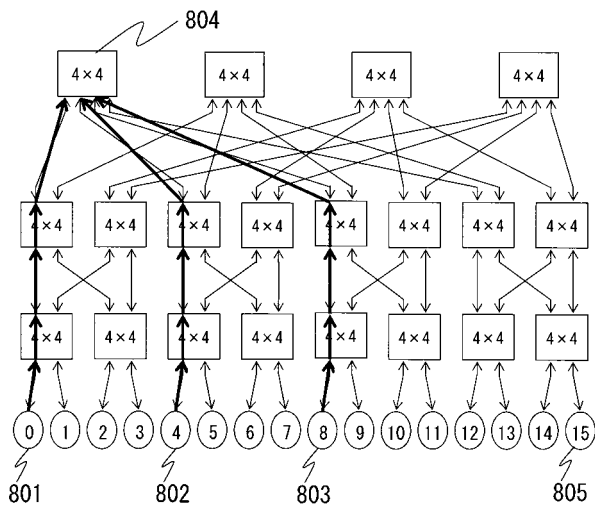
【図7】



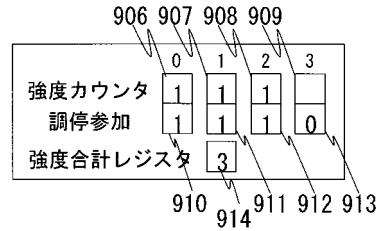
【図8A】



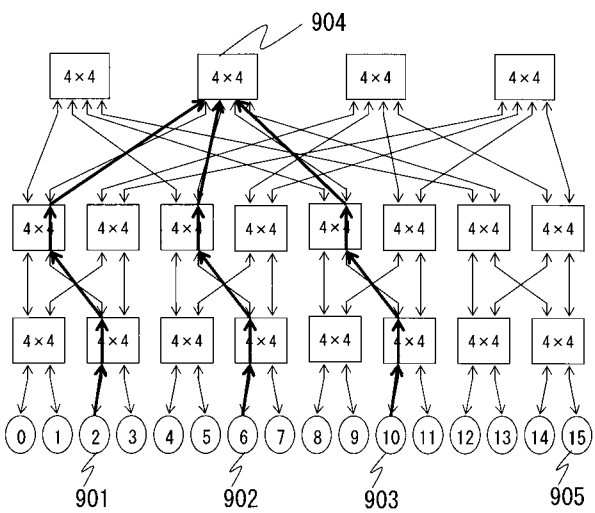
【図8B】



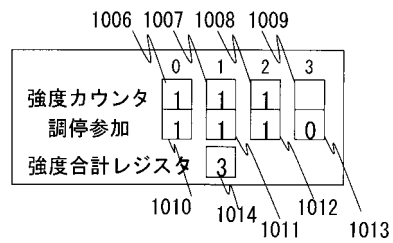
【図9A】



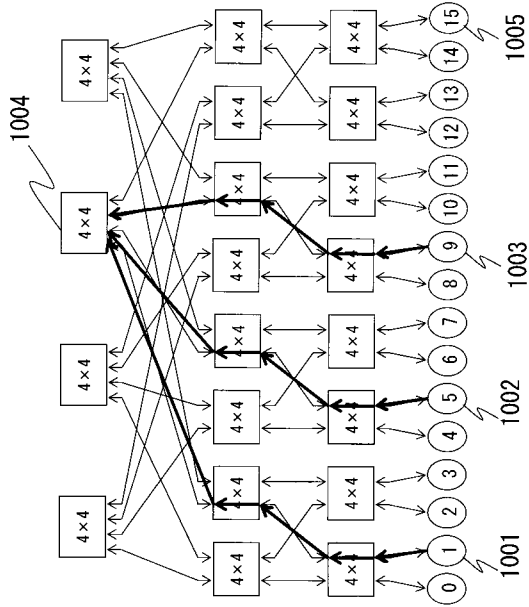
【図9B】



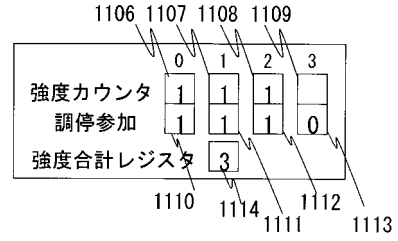
【図10A】



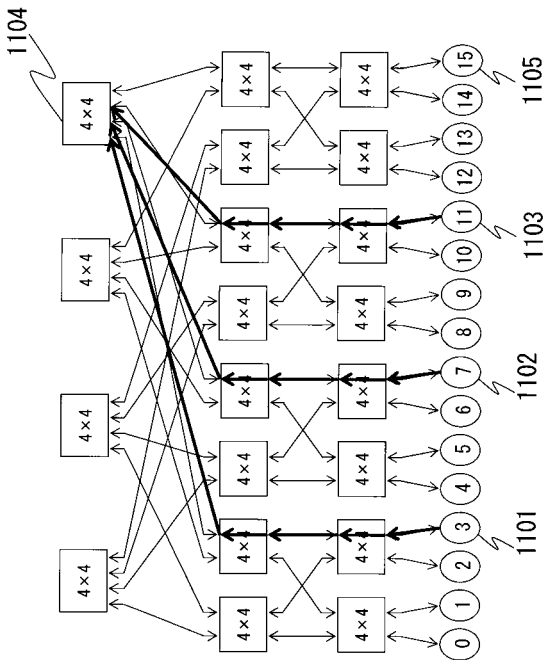
【図10B】



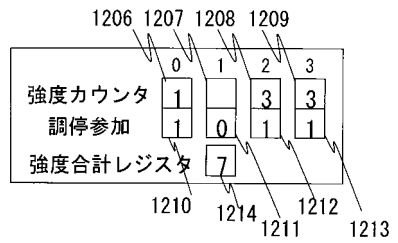
【図11A】



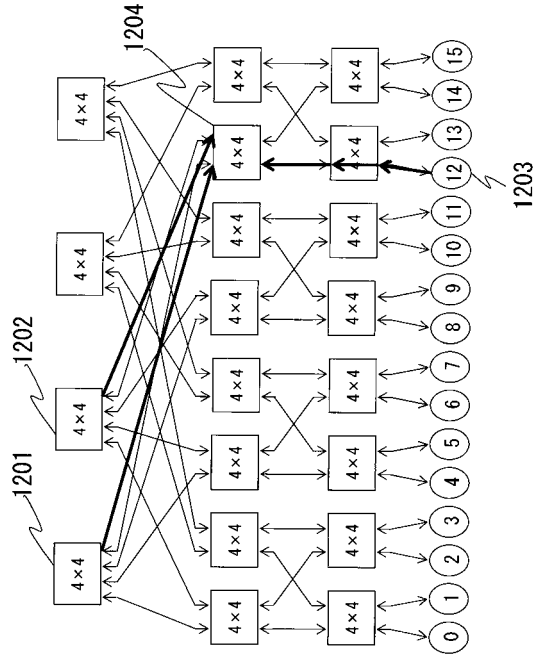
【図11B】



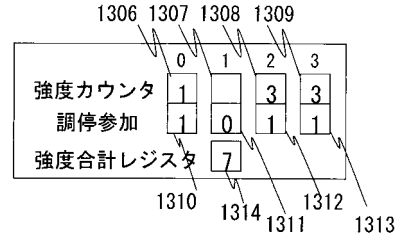
【図12A】



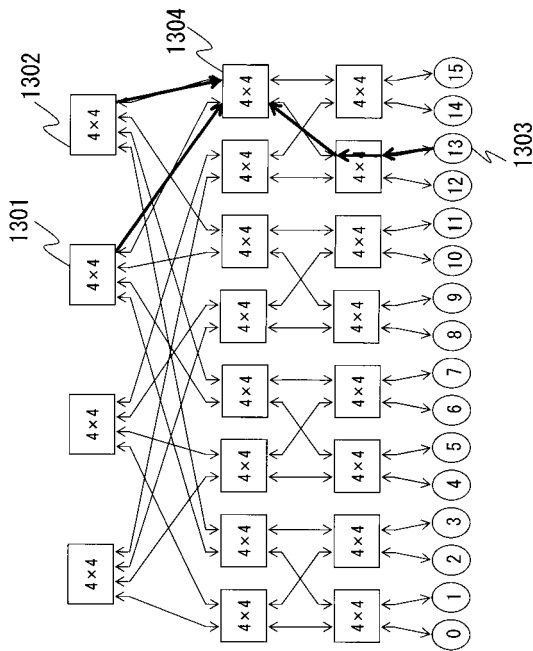
【図 1 2 B】



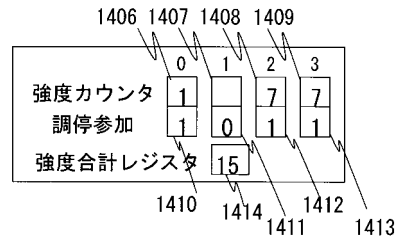
【図 1 3 A】



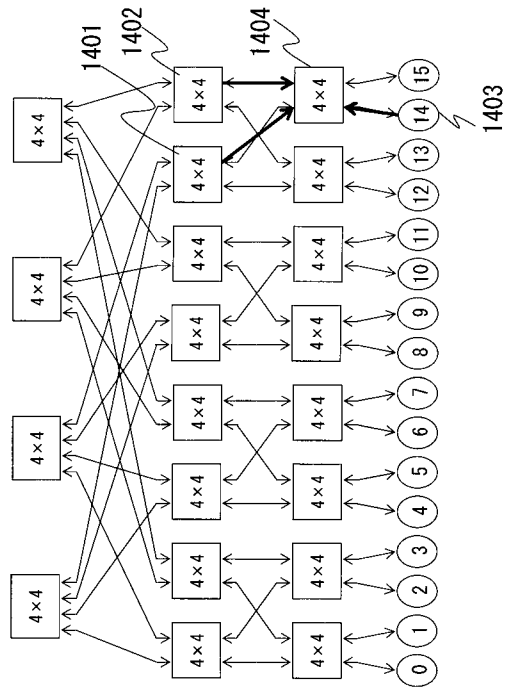
【図 1 3 B】



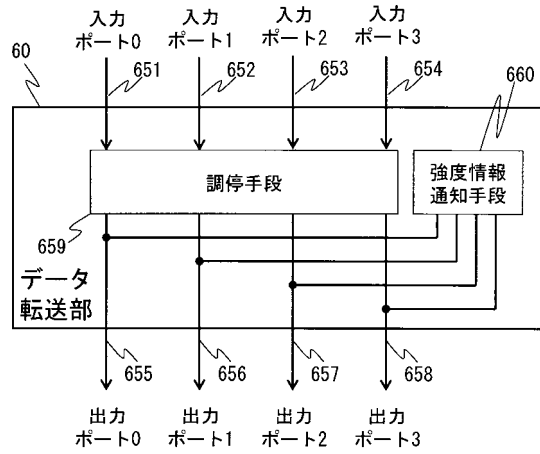
【図 1 4 A】



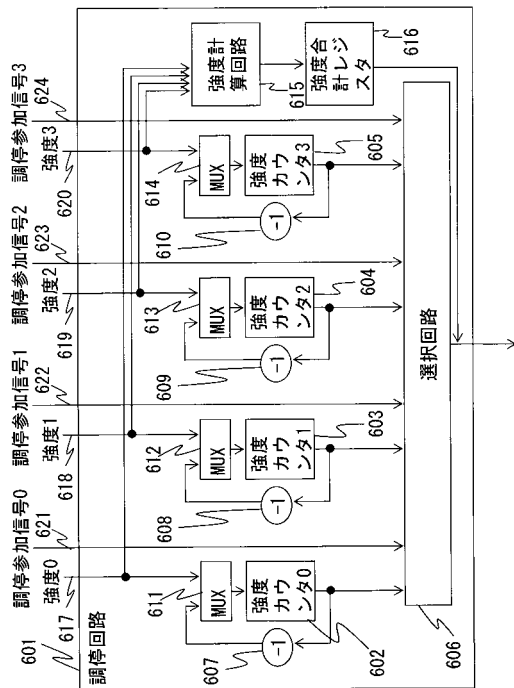
【図14B】



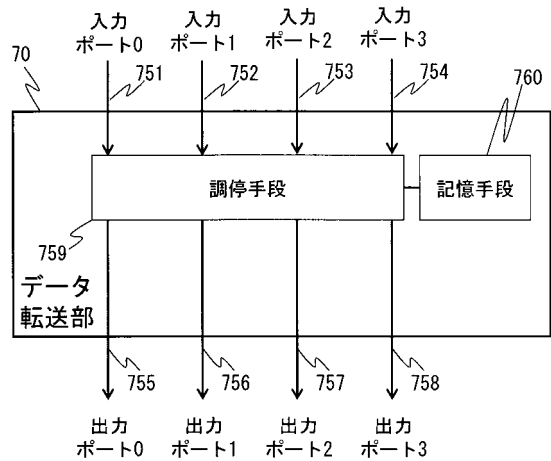
【図15】



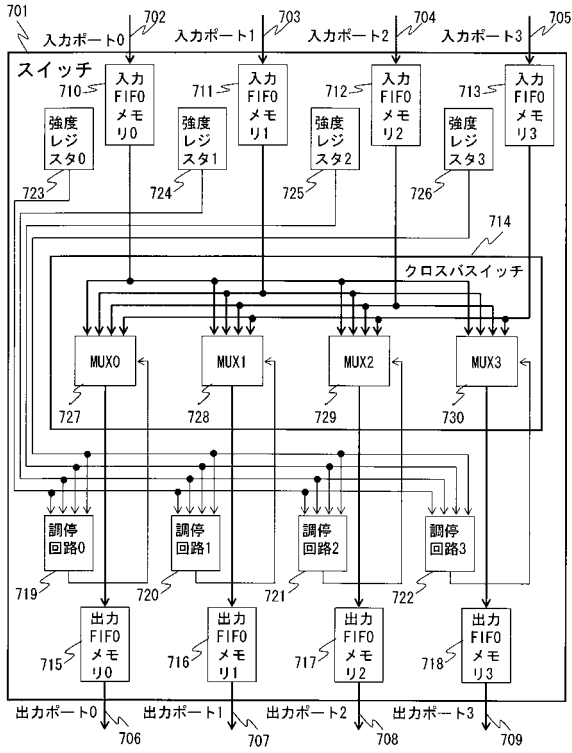
【図16】



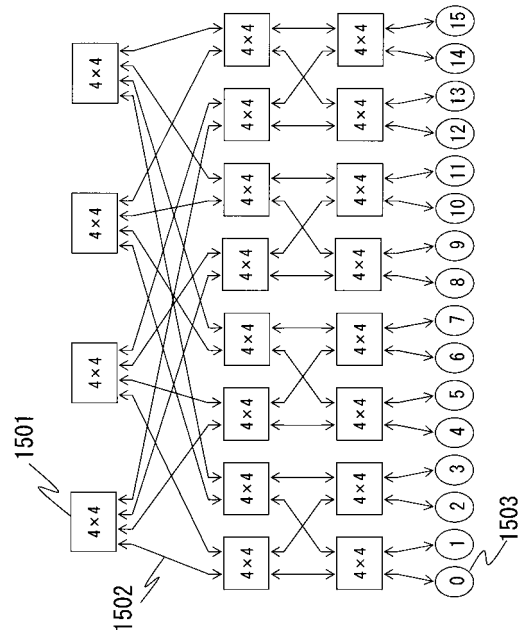
【図17】



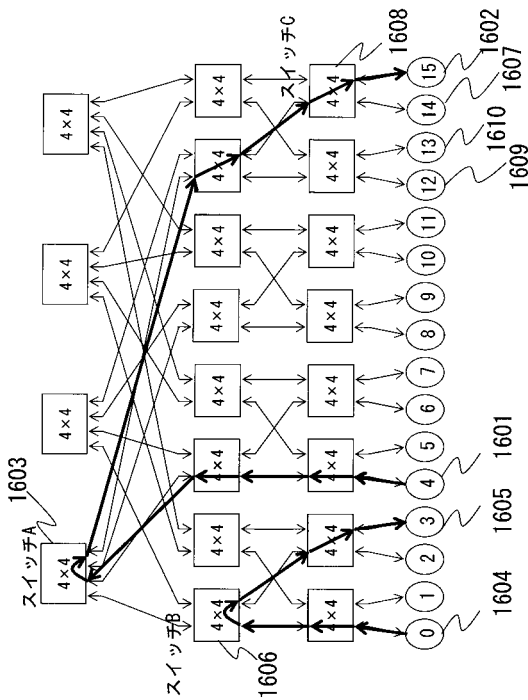
【図18】



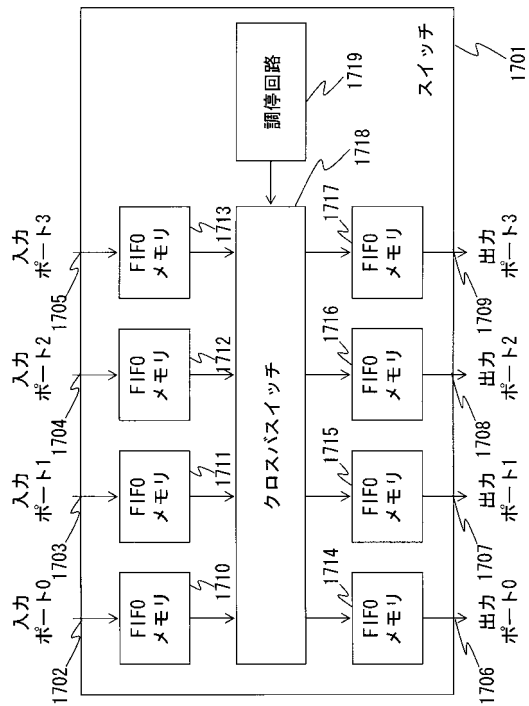
【図19】



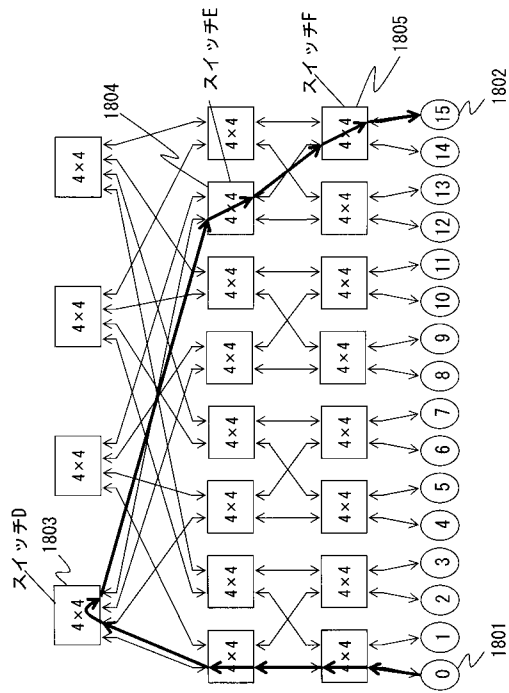
【図20】



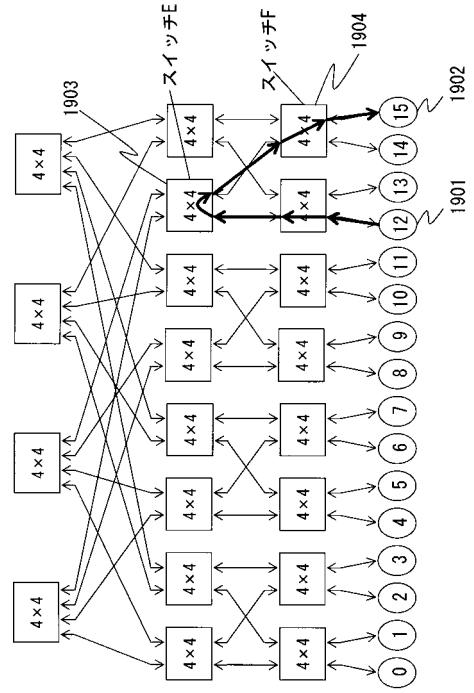
【図21】



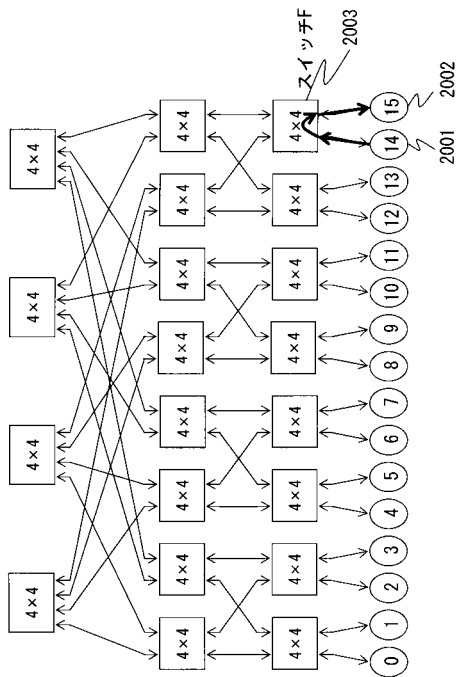
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

- (56)参考文献 特開2004-086304(JP,A)
国際公開第2010/086906(WO,A1)
特開2004-078713(JP,A)
米国特許出願公開第2003/0188065(US,A1)
米国特許出願公開第2007/0260792(US,A1)
米国特許出願公開第2003/0225737(US,A1)
米国特許第05835482(US,A)

(58)調査した分野(Int.Cl., DB名)

G06F15/16 - 15/177
G06F13/20 - 13/378
H04L12/00 - 12/26
H04L12/50 - 12/955
H04L12/28
H04W 8/26
H04W24/00
H04W28/02
H04W72/04
H04W74/04
H04W74/08
H04W84/12
H04W88/08
H04L12/44 - 12/46