

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5947099号
(P5947099)

(45) 発行日 平成28年7月6日(2016.7.6)

(24) 登録日 平成28年6月10日(2016.6.10)

(51) Int.Cl.			F I		
HO3K	19/0944	(2006.01)	HO3K	19/094	A
HO1L	29/786	(2006.01)	HO1L	29/78	618B
HO1L	21/8234	(2006.01)	HO1L	29/78	613Z
HO1L	27/088	(2006.01)	HO1L	27/08	102E
HO1L	21/822	(2006.01)	HO1L	27/08	102B

請求項の数 3 (全 82 頁) 最終頁に続く

(21) 出願番号	特願2012-107703 (P2012-107703)	(73) 特許権者	000153878
(22) 出願日	平成24年5月9日(2012.5.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-9312 (P2013-9312A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年1月10日(2013.1.10)	(72) 発明者	西島 辰司
審査請求日	平成27年4月13日(2015.4.13)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-113080 (P2011-113080)		半導体エネルギー研究所内
(32) 優先日	平成23年5月20日(2011.5.20)		
(33) 優先権主張国	日本国(JP)	審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

トランジスタとインバータを有し、
前記インバータの出力は前記トランジスタのゲートに入力され、
前記トランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、

前記インバータはP型トランジスタ及びN型トランジスタを有し、
前記インバータを構成する前記P型トランジスタ及び前記N型トランジスタのチャンネル領域はシリコンを有し、

前記インバータにハイ電圧を入力すると、前記インバータからロー電圧が出力されるとともに前記トランジスタの前記ゲートにロー電圧が入力されて前記トランジスタはオフし

10

、
前記インバータにロー電圧を入力すると、前記インバータからハイ電圧が出力されるとともに前記トランジスタの前記ゲートにハイ電圧が入力されて前記トランジスタはオンすることを特徴とする半導体装置。

【請求項2】

第1のトランジスタ、第2のトランジスタ及びインバータを有し、
前記インバータの出力は前記第1のトランジスタのゲートに入力され、
前記インバータへの入力は前記第2のトランジスタのゲートにも入力され、
前記第1のトランジスタのチャンネル領域及び前記第2のトランジスタのチャンネル領域は

20

In、Zn若しくはSnを含む酸化物半導体膜を有し、
前記インバータはP型トランジスタ及びN型トランジスタを有し、
 前記インバータを構成する前記P型トランジスタ及び前記N型トランジスタのチャンネル領域はシリコンを有し、
 前記インバータ及び前記第2のトランジスタの前記ゲートにハイ電圧を入力すると、
 前記インバータからロー電圧が出力され、前記第1のトランジスタの前記ゲートにロー電圧が入力されて前記第1のトランジスタはオフし、
 前記第2のトランジスタはオンし、
 前記インバータ及び前記第2のトランジスタの前記ゲートにロー電圧を入力すると、
 前記インバータからハイ電圧が出力され、前記第1のトランジスタの前記ゲートにハイ電圧が入力されて前記第1のトランジスタはオンし、
 前記第2のトランジスタはオフする、
 ことを特徴とする半導体装置。

10

【請求項3】

第1のトランジスタ、第2のトランジスタ及びインバータを有し、
 前記インバータの出力は前記第1のトランジスタのゲートに入力され、
 前記インバータへの入力は前記第2のトランジスタのゲートにも入力され、
 前記第1のトランジスタのチャンネル領域及び前記第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、
前記インバータはP型トランジスタ及びN型トランジスタを有し、
 前記インバータを構成する前記P型トランジスタ及び前記N型トランジスタのチャンネル領域はシリコンを有し、
 前記インバータ及び前記第2のトランジスタの前記ゲートにハイ電圧を入力すると、
 前記インバータからロー電圧が出力され、前記第1のトランジスタの前記ゲートにロー電圧が入力されて前記第1のトランジスタはオフし、
 前記第2のトランジスタはオンしてハイ電圧又はロー電圧を出力し、
 前記インバータ及び前記第2のトランジスタの前記ゲートにロー電圧を入力すると、
 前記インバータからハイ電圧が出力され、前記第1のトランジスタの前記ゲートにハイ電圧が入力されて前記第1のトランジスタはオンしてハイ電圧又はロー電圧を出力し、
 前記第2のトランジスタはオフする、
 ことを特徴とする半導体装置。

20

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明はIn、Zn若しくはSnを含む酸化物半導体膜をチャンネル領域に有するトランジスタに関し、当該トランジスタを有する半導体装置に関する。特に当該トランジスタを用いた論理回路を有する半導体装置に関する。

【背景技術】

【0002】

特許文献1は非晶質酸化物をチャンネル領域に用いているトランジスタを有する回路を開示する。当該非晶質酸化物はIn-Ga-Zn-Oなどを含んでいる。当該トランジスタはノーマリーオフ型であり、電子移動度が $1\text{ cm}^2/\text{V}\cdot\text{秒}$ 以上であり、及びゲート電極に電圧を印加しない時(オフ時)のソース及びドレイン間の電流(以下、オフリーク電流ともいう)は10マイクロアンペア未満である。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-165532号公報

【特許文献2】特開2010-141230号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0004】

特許文献1は、N型トランジスタ及びP型トランジスタを有する回路を開示する。しかしP型トランジスタのチャネル領域はInやZn若しくはSnを含む非晶質酸化物ではなく、ドーブしたSiなどの無機半導体、ペンタセンなどの低分子有機化合物、ポリチオフェンなどの高分子有機化合物、Cu₂Oなどの酸化物半導体である。したがってN型トランジスタのチャネル領域に用いる材料とP型トランジスタのチャネル領域に用いる材料は異なっている。そうすると、P型トランジスタの有する性能はN型トランジスタの有する性能と異なってくる。このためN型トランジスタのチャネル領域に用いる材料とP型トランジスタのチャネル領域に用いる材料を同じにする必要がある。

10

【0005】

しかし現時点では、InやZn若しくはSnを含む酸化物半導体をチャネル領域に用いたトランジスタにおいて、従来のP型トランジスタ、換言するとゲート電極に低電圧の信号を入力したときにオンするトランジスタ、は実現できていない。

【0006】

本発明の一態様は、InやZn若しくはSnを含む酸化物半導体をチャネル領域に用いたトランジスタを、P型トランジスタのように駆動できる半導体装置を提供する。

【課題を解決するための手段】

【0007】

本発明者は、In、Zn若しくはSnを含む酸化物半導体をチャネル領域に用いたトランジスタ（以下、酸化物半導体系トランジスタともいう）のゲートに、シリコンなどの半導体をチャネル領域に用いたトランジスタ（以下、シリコン系トランジスタともいう）で構成されるインバータの出力を電氣的に接続させることにより、上記課題を解決した。インバータの出力をトランジスタ（酸化物半導体系トランジスタ）のゲートに接続することにより、トランジスタをP型トランジスタのように駆動させることが可能である。

20

【0008】

本発明の第1の態様は、トランジスタとインバータを有し、インバータの出力はトランジスタのゲートに入力され、トランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、インバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。

30

【0009】

インバータにハイ電圧（以下、H電圧ともいう）を入力すると、ロー電圧（以下、L電圧ともいう）が出力される。トランジスタのゲートにL電圧が入力されると、トランジスタはオフする。

【0010】

インバータにL電圧を入力すると、H電圧が出力される。トランジスタのゲートにH電圧が入力されると、トランジスタはオンとなる。

【0011】

H電圧によってトランジスタをオフさせ、L電圧によってトランジスタをオンさせることができるから、トランジスタを擬似的にP型トランジスタとして駆動させることができる。

40

【0012】

本発明の第2の態様は、第1のトランジスタ、第2のトランジスタ及びインバータを有し、インバータの出力は第1のトランジスタのゲートに入力され、インバータへの入力第2のトランジスタのゲートにも入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、インバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。

【0013】

インバータ及び第2のトランジスタのゲートにH電圧を入力すると、インバータからはL電圧が出力される。インバータからのL電圧が第1のトランジスタのゲートに入力される

50

と、第1のトランジスタはオフする。

【0014】

一方、第2のトランジスタはオンとなる。例えば第2のトランジスタのソース及びドレインの一方に、接地電位や基準電位（以下、 V_{ss} ともいう）が印加される場合には、第2のトランジスタのソース及びドレインの他方から V_{ss} のようなL電圧が出力される。

【0015】

インバータ及び第2のトランジスタのゲートにL電圧を入力すると、インバータからはH電圧が出力される。インバータからのH電圧が第1のトランジスタのゲートに入力されると、第1のトランジスタはオンとなる。例えば第1のトランジスタのソース及びドレインの一方に、バイアス電圧や電源電位（以下、 V_{dd} ともいう）が印加される場合には、第1のトランジスタのソース及びドレインの他方から V_{dd} のようなH電圧が出力される。

10

【0016】

一方、第2のトランジスタはオフする。

【0017】

本発明の第2の態様の半導体装置は、H電圧の入力によりL電圧が出力され、L電圧の入力によりH電圧が出力されることができ、よって半導体装置はインバータとして機能させることができる。

【0018】

本発明の第3の態様は、第1のトランジスタ、第2のトランジスタ及びインバータを有し、インバータの出力は第2のトランジスタのゲートに入力され、インバータへの入力第1のトランジスタのゲートにも入力され、第1のトランジスタのチャネル領域及び前記第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、インバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。

20

【0019】

インバータ及び第1のトランジスタのゲートにH電圧を入力すると、インバータからはL電圧が出力される。インバータからのL電圧が第2のトランジスタのゲートに入力されると、第2のトランジスタはオフする。

【0020】

一方、第1のトランジスタはオンとなる。例えば第1のトランジスタのソース及びドレインの一方に、バイアス電圧や電源電位（以下、 V_{dd} ともいう）が印加される場合には、第1のトランジスタのソース及びドレインの他方から V_{dd} のようなH電圧が出力される。

30

【0021】

インバータ及び第1のトランジスタのゲートにL電圧を入力すると、インバータからはH電圧が出力される。インバータからのH電圧が第2のトランジスタのゲートに入力されると、第2のトランジスタはオンとなる。

例えば、第2のトランジスタのソース及びドレインの一方に、接地電位や基準電位（以下、 V_{ss} ともいう）が印加される場合には、第2のトランジスタのソース及びドレインの他方から V_{ss} のようなL電圧が出力される。

40

【0022】

一方、第1のトランジスタはオフする。

【0023】

本発明の第3の態様の半導体装置は、H電圧の入力によりH電圧が出力され、L電圧の入力によりL電圧が出力されることができ、よって半導体装置はバッファとして機能することができる。

【0024】

本発明の第4の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ及び第2のインバータを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第2のトラ

50

ンジスタのゲートに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ及び第2のインバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置である。半導体装置はバッファとして機能することができる。

【0025】

または本発明の第4の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及び第3のインバータを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第2のトランジスタのゲートに入力され、第3のインバータの出力は第2のインバータに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及び第3のインバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置である。半導体装置はインバータとして機能することができる。

10

【0026】

本発明の第5の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ及び第2のインバータを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ及び第2のインバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置である。半導体装置はインバータとして機能することができる。

20

【0027】

または本発明の第5の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及び第3のインバータを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、第3のインバータの出力は第2のインバータに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及び第3のインバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置である。半導体装置はバッファとして機能することができる。

30

【0028】

本発明の第6の態様は、第1のトランジスタ、第2のトランジスタ、インバータ及びNANDゲートを有し、インバータの出力は第1のトランジスタのゲートに入力され、NANDゲートの出力は、インバータへ入力されるとともに第2のトランジスタのゲートに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、インバータ及びNANDゲートを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置である。半導体装置はANDゲートとして機能することができる。

【0029】

または本発明の第6の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNANDゲートを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第2のトランジスタのゲートに入力され、NANDゲートの出力は第2のインバータに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNANDゲートを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置である。半導体装置はNANDゲートとして機能することができる。

40

【0030】

本発明の第7の態様は、第1のトランジスタ、第2のトランジスタ、インバータ及びNANDゲートを有し、インバータの出力は第2のトランジスタのゲートに入力され、NAND

50

Dゲートの出力は、インバータへ入力されるとともに第1のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、インバータ及びNANDゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。半導体装置はNANDゲートとして機能することができる。

【0031】

または本発明の第7の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNANDゲートを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、NANDゲートの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNANDゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。半導体装置はANDゲートとして機能することができる。

10

【0032】

本発明の第8の態様は、第1のトランジスタ及び第2のトランジスタ、インバータ及びNORゲートを有し、インバータの出力は第1のトランジスタのゲートに入力され、NORゲートの出力は、インバータへ入力されるとともに第2のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、インバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。半導体装置はORゲートとして機能することができる。

20

【0033】

または本発明の第8の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNORゲートを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第2のトランジスタのゲートに入力され、NORゲートの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。当該半導体装置はNORゲートとして機能することができる。

30

【0034】

本発明の第9の態様は、第1のトランジスタ、第2のトランジスタ、インバータ及びNORゲートを有し、インバータの出力は第2のトランジスタのゲートに入力され、NORゲートの出力は、インバータへ入力されるとともに第1のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、インバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。当該半導体装置はNORゲートとして機能することができる。

【0035】

または本発明の第9の態様は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNORゲートを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、NORゲートの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置である。当該半導体装置はORゲートとして機能することができる。

40

【0036】

本発明のその他の態様としては、上記の態様で示した半導体装置を有するRSフリップフ

50

ロップである。

【0037】

本発明のその他の態様としては、上記のRSフリップフロップを有するDフリップフロップである。

【発明の効果】

【0038】

本発明の第1の態様では、酸化物半導体系トランジスタを擬似的にP型トランジスタとして駆動させることができる。よって本発明の第1の態様の半導体装置は高移動度を有し、オフリーク電流が少ない擬似P型トランジスタを有する。

【0039】

本発明の第2の態様では、2つの酸化物半導体系トランジスタのうち、一方を擬似的にP型トランジスタとして駆動させ、他方をN型トランジスタとして駆動させることができる。よって本発明の第2の態様の半導体装置は高移動度を有し、オフリーク電流が少ない擬似P型トランジスタ及びN型トランジスタを有する。

【0040】

本発明の第2-9の態様の半導体装置は、インバータ、バッファ、NANDゲート、ANDゲート、NORゲート又はORゲートとして機能することができ、出力電圧の保持特性が優れている。

【0041】

本発明のその他の態様のRSフリップフロップ、Dフリップフロップは出力保持特性が優

れている。

【図面の簡単な説明】

【0042】

【図1】実施形態1の半導体装置を説明する図。

【図2】実施形態1の半導体装置の動作を説明する図。

【図3】実施形態1の半導体装置の動作を説明する図。

【図4】実施形態2の半導体装置を説明する図。

【図5】実施形態2の半導体装置の動作を説明する図。

【図6】実施形態2の半導体装置の動作を説明する図。

【図7】実施形態3の半導体装置を説明する図。

【図8】実施形態3の半導体装置の動作を説明する図。

【図9】実施形態3の半導体装置の動作を説明する図。

【図10】実施形態4の半導体装置を説明する図。

【図11】実施形態4の半導体装置の動作を説明する図。

【図12】実施形態4の半導体装置を説明する図。

【図13】実施形態4の半導体装置の動作を説明する図。

【図14】実施形態5の半導体装置を説明する図。

【図15】実施形態5の半導体装置の動作を説明する図。

【図16】実施形態5の半導体装置を説明する図。

【図17】実施形態5の半導体装置の動作を説明する図。

【図18】実施形態6の半導体装置を説明する図。

【図19】実施形態6の半導体装置の動作を説明する図。

【図20】実施形態6の半導体装置を説明する図。

【図21】実施形態6の半導体装置の動作を説明する図。

【図22】実施形態7の半導体装置を説明する図。

【図23】実施形態7の半導体装置の動作を説明する図。

【図24】実施形態7の半導体装置を説明する図。

【図25】実施形態7の半導体装置の動作を説明する図。

【図26】実施形態8の半導体装置を説明する図。

【図27】実施形態8の半導体装置の動作を説明する図。

10

20

30

40

50

- 【図28】実施形態8の半導体装置を説明する図。
- 【図29】実施形態8の半導体装置の動作を説明する図。
- 【図30】実施形態9の半導体装置を説明する図。
- 【図31】実施形態9の半導体装置の動作を説明する図。
- 【図32】実施形態9の半導体装置を説明する図。
- 【図33】実施形態9の半導体装置の動作を説明する図。
- 【図34】実施形態10のRS-FFを説明する図。
- 【図35】実施形態10のRS-FFを説明する図。
- 【図36】実施形態10のRS-FFを説明する図。
- 【図37】実施形態11のD-FFを説明する図。 10
- 【図38】実施形態12の半導体装置の作製方法を説明する図。
- 【図39】実施形態12の半導体装置の作製方法を説明する図。
- 【図40】酸化物半導体の結晶を説明する図。
- 【図41】酸化物半導体の結晶を説明する図。
- 【図42】酸化物半導体の結晶を説明する図。
- 【図43】半導体装置の作製方法を説明する図。
- 【図44】実施形態13のトランジスタを説明する図。
- 【図45】実施形態14のトランジスタを説明する図。
- 【図46】計算によって得られた移動度のゲート電圧依存性を説明する図である。
- 【図47】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図 20
である。
- 【図48】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図
である。
- 【図49】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図
である。
- 【図50】計算に用いたトランジスタの断面構造を説明する図である。
- 【図51】酸化物半導体膜を用いたトランジスタ特性のグラフ。
- 【図52】試料1のトランジスタのBT試験後の $V_{gs} - I_{ds}$ 特性を示す図。
- 【図53】試料2であるトランジスタのBT試験後の $V_{gs} - I_{ds}$ 特性を示す図。
- 【図54】 I_{ds} および電界効果移動度の V_{gs} 依存性を示す図。 30
- 【図55】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す
図。
- 【図56】試料Aおよび試料BのXRDスペクトルを示す図。
- 【図57】トランジスタのオフ電流と測定時基板温度との関係を示す図。
- 【図58】トランジスタを説明する図。
- 【図59】トランジスタを説明する図。
- 【図60】携帯用の電子機器のブロック図。
- 【図61】電子書籍のブロック図。
- 【図62】実施形態2の半導体装置を説明する図。
- 【図63】実施形態2の半導体装置の動作を説明する図。 40
- 【図64】実施形態2の半導体装置の動作を説明する図。
- 【図65】酸化物半導体の結晶を説明する図。
- 【発明を実施するための形態】
- 【0043】

以下に、本発明の実施形態を説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお以下において、同一部分又は同様な機能を有する部分には、異なる図面において同一の符号を共通して用い、繰り返しの説明を省略することがある。

【0044】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0045】

「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

10

【0046】

回路図上は独立している構成要素どうしが電氣的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0047】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

20

【0048】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等において開示された位置、大きさ、範囲などに限定されない。

【0049】

「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものである。

【0050】

(実施形態1)

本実施形態は、トランジスタとインバータを有し、インバータの出力はトランジスタのゲートに入力され、トランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化半導体膜、又は、 I_n 、 Z_n 若しくは S_n を含む酸化半導体膜を有し、インバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。

30

【0051】

図1(A)に半導体装置1を示す。半導体装置1はトランジスタ2及びインバータ3を有する。トランジスタ2のチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化半導体膜からなる。インバータ3のチャネル領域はシリコンを含む。なおチャネル領域が I_n 、 Z_n 若しくは S_n を含む酸化半導体膜からなるトランジスタを酸化半導体系トランジスタやOSトランジスタといい、チャネル領域がシリコンなどの半導体を有するトランジスタをシリコン系トランジスタやSiトランジスタということもある。また図面において、 I_n 、 Z_n 若しくは S_n を含む酸化半導体膜からなるチャネル領域を有するトランジスタを「OS」と表記することもある。

40

【0052】

トランジスタ2はOSトランジスタであり、従来N型トランジスタと呼ばれているものに相当し、H電圧を印加したときにトランジスタ2はオンする。以下、トランジスタ2はOSトランジスタ2と表記することもある。

【0053】

インバータ3の出力はOSトランジスタ2のゲートに電氣的に接続される。図1(B)にインバータ3の構成を示した半導体装置1を示す。インバータ3はP型のSiトランジスタ

50

タ4及びN型のSiトランジスタ5から構成される。

【0054】

P型のSiトランジスタ4のゲートは信号入力部6に電氣的に接続され、ソース及びドレインの一方にはバイアス電圧や電源電位(以下、V_{dd}ともいう)が印加されてもよい。ソース及びドレインの他方は信号出力部7に電氣的に接続される。以下、信号入力部や信号出力部をノードと呼ぶこともある。

【0055】

N型のSiトランジスタ5のゲートは信号入力部6に電氣的に接続され、ソース及びドレインの一方には接地電位や基準電位(以下、V_{ss}ともいう)が印加されてもよい。ソース及びドレインの他方は信号出力部7に電氣的に接続される。

10

【0056】

信号出力部7はO_Sトランジスタ2のゲートに電氣的に接続される。したがってP型のSiトランジスタ4のソース及びドレインの他方かつN型のSiトランジスタ5のソース及びドレインの他方はO_Sトランジスタ2のゲートに電氣的に接続される。

【0057】

半導体装置1はO_Sトランジスタ2をP型トランジスタのように駆動させることができる。すなわち、半導体装置1にH電圧を入力したときにはO_Sトランジスタ2がオフし、半導体装置1にL電圧を入力したときにはO_Sトランジスタ2がオンする。以下、図2(A)(B)、図3(A)(B)を用いて、半導体装置1の動作について説明する。

【0058】

20

図2(A)(B)のように、半導体装置1の信号入力部6にH電圧が入力される。

【0059】

インバータ3のP型のSiトランジスタ4のゲートにはH電圧が入力され、P型のSiトランジスタ4はオフする。

【0060】

インバータ3のN型のSiトランジスタ5のゲートにはH電圧が入力され、N型のSiトランジスタ5はオンする。インバータ3の信号出力部7にはL電圧が出力される。

【0061】

そうするとO_Sトランジスタ2のゲートにはL電圧が入力される。O_Sトランジスタ2はオフする。

30

【0062】

図3(A)(B)のように、半導体装置1の信号入力部6にL電圧が入力される。

【0063】

インバータ3のP型のSiトランジスタ4のゲートにはL電圧が入力され、P型のSiトランジスタ4はオンする。インバータ3の信号出力部7にはH電圧が出力される。

【0064】

そうするとO_Sトランジスタ2のゲートにはH電圧が入力される。O_Sトランジスタ2はオンする。

【0065】

一方、インバータ3のN型のSiトランジスタ5のゲートにはL電圧が入力され、N型のSiトランジスタ5はオフする。

40

【0066】

以上のように、信号入力部6にL電圧を入力することにより、O_Sトランジスタ2がオンし、信号入力部6にH電圧を入力することにより、O_Sトランジスタ2がオフする。よってO_Sトランジスタ2をP型のトランジスタのように駆動させることができる。O_Sトランジスタ2は、高移動度を有し、オフリーク電流はシリコンのような半導体に比べて極めて少ない。よって半導体装置1は高移動度を有し、オフリーク電流が少ない擬似P型トランジスタを有する。

【0067】

なおO_Sトランジスタ2のチャンネル領域の酸化物半導体は結晶化されていると、さらに高

50

移動度を有する。また酸化物半導体中の水素などの不純物を除去すると、オフリーク電流を低減させることができる。これらについては後述する。

【0068】

(実施形態2)

本実施形態は、第1のトランジスタ、第2のトランジスタ及びインバータを有し、インバータの出力は第1のトランジスタのゲートに入力され、インバータへの入力は第2のトランジスタのゲートにも入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はI_n、Z_n若しくはS_nを含む酸化物半導体膜を有し、インバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。

【0069】

図62(A)(B)に実施形態2の半導体装置11を示す。半導体装置11は第1のトランジスタ14、第2のトランジスタ15及びインバータ13を有する。第1のトランジスタ14及び第2のトランジスタ15はOSトランジスタから構成される。インバータ13はSiトランジスタから構成される。

【0070】

第1のトランジスタ14及び第2のトランジスタ15の両方はOSトランジスタである。以下、第1のトランジスタ14を第1のOSトランジスタ14と、第2のトランジスタ15を第2のOSトランジスタ15と表記することもある。

【0071】

第1のOSトランジスタ14のゲートはインバータ13の信号出力部20に電氣的に接続される。

【0072】

第2のOSトランジスタ15のゲートは信号入力部16に電氣的に接続される。

【0073】

インバータ13はP型のSiトランジスタ18及びN型のSiトランジスタ19から構成される。

【0074】

P型のSiトランジスタ18のゲートは信号入力部16に電氣的に接続される。P型のSiトランジスタ18のソース及びドレインの一方にはV_{dd}が印加される。P型のSiトランジスタ18のソース及びドレインの他方は信号出力部20に電氣的に接続される。

【0075】

N型のSiトランジスタ19のゲートは信号入力部16に電氣的に接続される。N型のSiトランジスタ19のソース及びドレインの一方にはV_{ss}が印加される。N型のSiトランジスタ19のソース及びドレインの他方は信号出力部20に電氣的に接続される。

【0076】

以下、図63、図64を用いて、半導体装置11の動作について説明する。

【0077】

図63のように、半導体装置11の信号入力部16にH電圧が入力される。

【0078】

インバータ13のP型のSiトランジスタ18のゲートにはH電圧が入力され、P型のSiトランジスタ18はオフする。

【0079】

インバータ13のN型のSiトランジスタ19のゲートにはH電圧が入力され、N型のSiトランジスタ19はオンする。インバータ13の信号出力部20にはV_{ss}のようなL電圧が出力される。

【0080】

そうすると第1のOSトランジスタ14のゲートにはL電圧が入力される。第1のOSトランジスタ14はオフする。

【0081】

一方、第2のOSトランジスタ15のゲートにはH電圧が入力される。第2のOSトラン

10

20

30

40

50

ジスタ 15 はオンする。

【0082】

図 64 のように、半導体装置 11 の信号入力部 16 に L 電圧が入力される。

【0083】

インバータ 13 の P 型の Si トランジスタ 18 のゲートには L 電圧が入力され、P 型の Si トランジスタ 18 はオンする。インバータ 13 の信号出力部 20 には V_{dd} のような H 電圧が出力される。

【0084】

インバータ 13 の N 型の Si トランジスタ 19 のゲートには L 電圧が入力され、N 型の Si トランジスタ 19 はオフする。

【0085】

そうすると第 1 の OS トランジスタ 14 のゲートには H 電圧が入力される。第 1 の OS トランジスタ 14 はオンする。

【0086】

一方、第 2 の OS トランジスタ 15 のゲートには L 電圧が入力される。第 2 の OS トランジスタ 15 はオフする。

【0087】

以上のように、信号入力部 16 に L 電圧を入力することにより、第 1 の OS トランジスタ 14 をオンさせ、第 2 の OS トランジスタ 15 をオフさせることができる。また信号入力部 16 に H 電圧を入力することにより、第 1 の OS トランジスタ 14 をオフさせ、第 2 の OS トランジスタ 15 をオンさせることができる。よって第 1 の OS トランジスタ 14 を P 型のトランジスタのように駆動させ、第 2 の OS トランジスタ 15 を N 型のトランジスタのように駆動させることができる。

【0088】

第 1 の OS トランジスタ 14 及び第 2 の OS トランジスタ 15 は、高移動度を有し、オフリーク電流はシリコンのような半導体に比べて極めて少ない。よって半導体装置 11 は高移動度を有し、オフリーク電流が少ない。

【0089】

半導体装置 11 はインバータやバッファとして機能させることができる。以下に半導体装置 11 がインバータとして機能する例を示す。また半導体装置 11 がバッファとして機能する例を実施形態 3 に示す。

【0090】

図 4 (A) (B) にインバータとして機能する半導体装置 11 を示す。半導体装置 11 は第 1 のトランジスタ 14、第 2 のトランジスタ 15 及びインバータ 13 を有する。第 1 のトランジスタ 14 及び第 2 のトランジスタ 15 は OS トランジスタから構成される。インバータ 13 は Si トランジスタから構成される。

【0091】

第 1 のトランジスタ 14 及び第 2 のトランジスタ 15 の両方は OS トランジスタである。以下、第 1 のトランジスタ 14 を第 1 の OS トランジスタ 14 と、第 2 のトランジスタ 15 を第 2 の OS トランジスタ 15 と表記することもある。

【0092】

第 1 の OS トランジスタ 14 のゲートはインバータ 13 の信号出力部 20 に電氣的に接続される。第 1 の OS トランジスタ 14 のソース及びドレインの一方には V_{dd} が印加されてもよい。第 1 の OS トランジスタ 14 のソース及びドレインの他方は信号出力部 17 に電氣的に接続されてもよい。

【0093】

第 2 の OS トランジスタ 15 のゲートは信号入力部 16 に電氣的に接続される。第 2 の OS トランジスタ 15 のソース及びドレインの一方には V_{ss} が印加されてもよい。第 2 の OS トランジスタ 15 のソース及びドレインの他方は、第 1 の OS トランジスタ 14 のソース及びドレインの他方に電氣的に接続され、信号出力部 17 に電氣的に接続されてもよ

10

20

30

40

50

い。

【0094】

インバータ13はP型のSiトランジスタ18及びN型のSiトランジスタ19から構成される。

【0095】

P型のSiトランジスタ18のゲートは信号入力部16に電氣的に接続される。P型のSiトランジスタ18のソース及びドレインの一方にはV_{dd}が印加される。P型のSiトランジスタ18のソース及びドレインの他方は信号出力部20に電氣的に接続される。なおV_{dd}は、第1のO_Sトランジスタ14のソース及びドレインの一方に印加されるV_{dd}と同じ電圧でもよいし、異なる電圧であってもよい。

10

【0096】

N型のSiトランジスタ19のゲートは信号入力部16に電氣的に接続される。N型のSiトランジスタ19のソース及びドレインの一方にはV_{ss}が印加される。N型のSiトランジスタ19のソース及びドレインの他方は信号出力部20に電氣的に接続される。なおV_{ss}は、第2のO_Sトランジスタ15のソース及びドレインの一方に印加されるV_{ss}と同じ電圧でもよいし、異なる電圧であってもよい。

【0097】

半導体装置11はインバータとして機能することができる。すなわち、半導体装置11にH電圧を入力したときにはL電圧が出力され、L電圧を入力したときにはH電圧が出力される。以下、図5、図6を用いて、半導体装置11の動作について説明する。

20

【0098】

図5のように、半導体装置11の信号入力部16にH電圧が入力される。

【0099】

インバータ13のP型のSiトランジスタ18のゲートにはH電圧が入力され、P型のSiトランジスタ18はオフする。

【0100】

インバータ13のN型のSiトランジスタ19のゲートにはH電圧が入力され、N型のSiトランジスタ19はオンする。インバータ13の信号出力部20にはL電圧が出力される。

【0101】

そうすると第1のO_Sトランジスタ14のゲートにはL電圧が入力される。第1のO_Sトランジスタ14はオフする。

30

【0102】

一方、第2のO_Sトランジスタ15のゲートにはH電圧が入力される。第2のO_Sトランジスタ15はオンし、信号出力部17にはV_{ss}のようなL電圧が出力される。

【0103】

図6のように、半導体装置11の信号入力部16にL電圧が入力される。

【0104】

インバータ13のP型のSiトランジスタ18のゲートにはL電圧が入力され、P型のSiトランジスタ18はオンする。インバータ13の信号出力部20にはH電圧が出力される。

40

【0105】

インバータ13のN型のSiトランジスタ19のゲートにはL電圧が入力され、N型のSiトランジスタ19はオフする。

【0106】

そうすると第1のO_Sトランジスタ14のゲートにはH電圧が入力される。第1のO_Sトランジスタ14はオンし、信号出力部17にはV_{dd}のようなH電圧が出力される。

【0107】

一方、第2のO_Sトランジスタ15のゲートにはL電圧が入力される。第2のO_Sトランジスタ15はオフする。

50

【 0 1 0 8 】

以上のように、信号入力部 1 6 に L 電圧を入力することにより、H 電圧が信号出力部 1 7 から出力され、信号入力部 1 6 に H 電圧を入力することにより、L 電圧が信号出力部 1 7 から出力される。よって半導体装置 1 1 はインバータとして機能することができる。

【 0 1 0 9 】

従来、インバータは S i トランジスタから構成されているが、S i トランジスタのオフリーク電流は大きい。同様にインバータ 1 3 もオフリーク電流は大きい。このため信号出力部 2 0 の電位は P 型のトランジスタ 1 8 のソース及びドレイン間及び N 型のトランジスタ 1 9 のソース及びドレイン間を通してリークする。

【 0 1 1 0 】

しかし第 1 のトランジスタ 1 4 及び第 2 のトランジスタ 1 5 は O S トランジスタであるため、オフリーク電流が小さい。したがって信号出力部 1 7 の電位の保持特性は信号出力部 2 0 の電位の保持特性よりも優れている。その結果、本実施形態の半導体装置は出力電圧の保持特性が優れている。

【 0 1 1 1 】

なお第 1 の O S トランジスタ 1 4 及び第 2 の O S トランジスタ 1 5 のチャンネル領域の酸化物半導体は結晶化されていると、高移動度を有する。また酸化物半導体中の水素などの不純物を除去すると、さらにオフリーク電流を低減させることができる。これらについては後述する。

【 0 1 1 2 】

(実施形態 3)

本実施形態は、第 1 のトランジスタ、第 2 のトランジスタ及びインバータを有し、インバータの出力は第 2 のトランジスタのゲートに入力され、インバータへの入力は第 1 のトランジスタのゲートにも入力され、第 1 のトランジスタのチャンネル領域及び第 2 のトランジスタのチャンネル領域は I n、Z n 若しくは S n を含む酸化物半導体膜を有し、インバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置を開示する。

【 0 1 1 3 】

図 7 (A) (B) に半導体装置 4 1 を示す。半導体装置 4 1 は、インバータ 4 3 の出力が第 2 の O S トランジスタ 4 5 のゲートに電氣的に接続されている点が、実施形態 2 の半導体装置 1 1 と異なる。

【 0 1 1 4 】

半導体装置 4 1 は第 1 の O S トランジスタ 4 4、第 2 の O S トランジスタ 4 5 及びインバータ 4 3 を有する。インバータ 4 3 は S i トランジスタから構成される。

【 0 1 1 5 】

第 1 の O S トランジスタ 4 4 のゲートは信号入力部 4 6 に電氣的に接続される。第 1 の O S トランジスタ 4 4 のソース及びドレインの一方には V d d が印加される。第 1 の O S トランジスタ 4 4 のソース及びドレインの他方は信号出力部 4 7 に電氣的に接続される。

【 0 1 1 6 】

第 2 の O S トランジスタ 4 5 のゲートはインバータ 4 3 の信号出力部 5 0 に電氣的に接続される。第 2 の O S トランジスタ 4 5 のソース及びドレインの一方には V s s が印加される。第 2 の O S トランジスタ 4 5 のソース及びドレインの他方は、第 1 の O S トランジスタ 4 4 のソース及びドレインの他方に電氣的に接続され、信号出力部 4 7 に電氣的に接続される。

【 0 1 1 7 】

インバータ 4 3 は P 型の S i トランジスタ 4 8 及び N 型の S i トランジスタ 4 9 から構成される。

【 0 1 1 8 】

P 型の S i トランジスタ 4 8 のゲートは信号入力部 4 6 に電氣的に接続される。P 型の S i トランジスタ 4 8 のソース及びドレインの一方には V d d が印加される。P 型の S i トランジスタ 4 8 のソース及びドレインの他方は信号出力部 5 0 に電氣的に接続される。な

10

20

30

40

50

おV d dは、第1のO Sトランジスタ44のソース及びドレインの一方に印加されるV d dと同じ電圧でもよいし、異なる電圧であってもよい。

【0119】

N型のS iトランジスタ49のゲートは信号入力部46に電氣的に接続される。N型のS iトランジスタ49のソース及びドレインの一方にはV s sが印加される。N型のS iトランジスタ49のソース及びドレインの他方は信号出力部50に電氣的に接続される。なおV s sは、第2のO Sトランジスタ45のソース及びドレインの一方に印加されるV s sと同じ電圧でもよいし、異なる電圧であってもよい。

【0120】

半導体装置41はバッファとして機能する。すなわち、半導体装置41にH電圧を入力したときにはH電圧が出力され、L電圧を入力したときにはL電圧が出力される。以下、図8、図9を用いて、半導体装置41の動作について説明する。

10

【0121】

図8のように、半導体装置41の信号入力部46にH電圧が入力される。

【0122】

インバータ43のP型のS iトランジスタ48のゲートにはH電圧が入力され、P型のS iトランジスタ48はオフする。

【0123】

インバータ43のN型のS iトランジスタ49のゲートにはH電圧が入力され、N型のS iトランジスタ49はオンする。インバータ43の信号出力部50にはL電圧が出力される。

20

【0124】

そうすると第2のO Sトランジスタ45のゲートにはL電圧が入力される。第2のO Sトランジスタ45はオフする。

【0125】

一方、第1のO Sトランジスタ44のゲートにはH電圧が入力される。第1のO Sトランジスタ44はオンし、信号出力部47にはH電圧が出力される。

【0126】

図9のように、半導体装置41の信号入力部46にL電圧が入力される。

【0127】

インバータ43のP型のS iトランジスタ48のゲートにはL電圧が入力され、P型のS iトランジスタ48はオンする。インバータ43の信号出力部50にはH電圧が出力される。

30

【0128】

インバータ43のN型のS iトランジスタ49のゲートにはL電圧が入力され、N型のS iトランジスタ49はオフする。

【0129】

そうすると第2のO Sトランジスタ45のゲートにはH電圧が入力される。第2のO Sトランジスタ45はオンし、信号出力部47にはL電圧が出力される。

【0130】

一方、第1のO Sトランジスタ44のゲートにはL電圧が入力される。第1のO Sトランジスタ44はオフする。

40

【0131】

以上のように、信号入力部46にL電圧を入力することにより、L電圧が信号出力部47から出力され、信号入力部46にH電圧を入力することにより、H電圧が信号出力部47から出力される。よって半導体装置41はバッファとして機能する。

【0132】

従来、バッファやインバータはS iトランジスタから構成されているが、S iトランジスタのオフリーク電流は大きい。同様にインバータ43もオフリーク電流は大きい。このため信号出力部50の電位はP型のトランジスタ48のソース及びドレイン間及びN型のト

50

ランジスタ 49 のソース及びドレイン間を通してリークする。

【0133】

しかし第1のトランジスタ44及び第2のトランジスタ45はOSトランジスタであるため、オフリーク電流が小さい。したがって信号出力部47の電位の保持特性は信号出力部50の電位の保持特性よりも優れている。その結果、本実施形態の半導体装置は出力電圧の保持特性が優れている。

【0134】

なお第1のOSトランジスタ44及び第2のOSトランジスタ45のチャンネル領域の酸化物半導体は結晶化されていると、高移動度を有する。また酸化物半導体中の水素などの不純物を除去すると、さらにオフリーク電流を低減させることができる。これらについては後述する。

【0135】

(実施形態4)

本実施形態は、実施形態2の半導体装置11の信号入力部16の前段にインバータを設けた半導体装置に関する。インバータを設けることにより、バッファやインバータとして機能する半導体装置を提供することができる。

【0136】

実施形態4は第1のトランジスタ、第2のトランジスタ、第1のインバータ及び第2のインバータを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第2のトランジスタのゲートに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ及び第2のインバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置を開示する。半導体装置はバッファとして機能する。

【0137】

さらに実施形態4は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及び第3のインバータを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに前記第2のトランジスタのゲートに入力され、第3のインバータの出力は第2のインバータに入力され、第1のトランジスタのチャンネル領域及び第2のトランジスタのチャンネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及び第3のインバータを構成するトランジスタのチャンネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はインバータとして機能する。

【0138】

図10にバッファとして機能する半導体装置71を示す。半導体装置71は第1のOSトランジスタ74、第2のOSトランジスタ75、第1のインバータ73及び第2のインバータ78を有する。第1のインバータ73及び第2のインバータ78はSiトランジスタから構成される。

【0139】

第1のOSトランジスタ74のゲートは第1のインバータ73の信号出力部79に電氣的に接続される。第1のOSトランジスタ74のソース及びドレインの一方にはVddが印加される。第1のOSトランジスタ74のソース及びドレインの他方は信号出力部77に電氣的に接続される。

【0140】

第2のOSトランジスタ75のゲートは信号入力部80に電氣的に接続される。第2のOSトランジスタ75のソース及びドレインの一方にはVssが印加される。第2のOSトランジスタ75のソース及びドレインの他方は信号出力部77に電氣的に接続される。

【0141】

実施形態1-3と同様に、第1のインバータ73及び第2のインバータ78はそれぞれP型のSiトランジスタ及びN型のSiトランジスタから構成される。なおP型のSiトラ

10

20

30

40

50

ンジスタ及びN型のSiトランジスタは図示しない。P型のSiトランジスタ及びN型のSiトランジスタは実施形態1-3と同様に接続させる。

【0142】

半導体装置71はバッファとして機能する。すなわち、半導体装置71にH電圧を入力したときにはH電圧が出力され、L電圧を入力したときにはL電圧が出力される。以下、図11(A)(B)を用いて、半導体装置71の動作について説明する。

【0143】

図11(A)のように、信号入力部76にH電圧が入力される。第2のインバータ78からはL電圧が出力される。

【0144】

信号入力部80から第1のインバータ73にはL電圧が入力され、H電圧が出力される。H電圧は第1のOSTランジスタ74のゲートに入力され、第1のOSTランジスタ74はオンし、信号出力部77にH電圧が出力される。

【0145】

一方、第2のOSTランジスタ75のゲートにはL電圧が入力され、第2のOSTランジスタ75はオフする。

【0146】

図11(B)のように、信号入力部76にL電圧が入力される。第2のインバータ78からはH電圧が出力される。

【0147】

信号入力部80から第1のインバータ73にはH電圧が入力され、L電圧が出力される。L電圧は第1のOSTランジスタ74のゲートに入力されて第1のOSTランジスタ74はオフする。

【0148】

一方、第2のOSTランジスタ75のゲートにはH電圧が入力されて第2のOSTランジスタ75はオンし、信号出力部77にL電圧が出力される。

【0149】

以上のように、信号入力部76にH電圧を入力することにより、H電圧が信号出力部77から出力され、信号入力部76にL電圧を入力することにより、L電圧が信号出力部77から出力される。よって半導体装置71はバッファとして機能する。

【0150】

次に図12にインバータとして機能する半導体装置71を示す。半導体装置71は第1のOSTランジスタ74、第2のOSTランジスタ75、第1のインバータ73、第2のインバータ78及び第3のインバータ82を有する。第1のインバータ73、第2のインバータ78及び第3のインバータ82はSiトランジスタから構成される。図10に示した半導体装置71に対して、第3のインバータ82が付加されている。

【0151】

第3のインバータ82の構成及び接続関係については、第1のインバータ73及び第2のインバータ78と同様である。

【0152】

半導体装置71はインバータとして機能する。すなわち、半導体装置71にH電圧を入力したときにはL電圧が出力され、L電圧を入力したときにはH電圧が出力される。以下、図13(A)(B)を用いて、半導体装置71の動作について説明する。

【0153】

図13(A)のように、信号入力部76にH電圧が入力される。第3のインバータ82からはL電圧が出力される。

【0154】

信号入力部81から第2のインバータ78にはL電圧が入力され、H電圧が出力される。

【0155】

信号入力部80から第1のインバータ73にはH電圧が入力され、L電圧が出力される。

10

20

30

40

50

L電圧は第1のOSトランジスタ74のゲートに入力されて第1のOSトランジスタ74はオフする。

【0156】

一方、第2のOSトランジスタ75のゲートにはH電圧が入力され、第2のOSトランジスタ75はオンし、信号出力部77にL電圧が出力される。

【0157】

図13(B)のように、信号入力部76にL電圧が入力される。第3のインバータ82からはH電圧が出力される。

【0158】

信号入力部81から第2のインバータ78にH電圧が入力され、第2のインバータ78からはL電圧が出力される。

10

【0159】

信号入力部80から第1のインバータ73にはL電圧が入力され、H電圧が出力される。H電圧は第1のOSトランジスタ74のゲートに入力されて第1のOSトランジスタ74はオンし、信号出力部77にH電圧が出力される。

【0160】

一方、第2のOSトランジスタ75のゲートにはL電圧が入力されて第2のOSトランジスタ75はオフする。

【0161】

以上のように、信号入力部76にH電圧を入力することにより、L電圧が信号出力部77から出力され、信号入力部76にL電圧を入力することにより、H電圧が信号出力部77から出力される。よって半導体装置71はインバータとして機能する。

20

【0162】

(実施形態5)

本実施形態は、実施形態3の半導体装置41の信号入力部46の前段にインバータを設けた半導体装置に関する。インバータを設けることにより、インバータやバッファとして機能する半導体装置を提供することができる。

【0163】

実施形態5は、第1のトランジスタ、第2のトランジスタ、第1のインバータ及び第2のインバータを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ及び第2のインバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はインバータとして機能する。

30

【0164】

さらに実施形態5は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及び第3のインバータを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、第3のインバータの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及び第3のインバータを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はバッファとして機能する。

40

【0165】

図14にインバータとして機能する半導体装置101を示す。半導体装置101は第1のOSトランジスタ104、第2のOSトランジスタ105、第1のインバータ103及び第2のインバータ108を有する。第1のインバータ103及び第2のインバータ108はSiトランジスタから構成される。

【0166】

50

第1のOSトランジスタ104及び第2のOSトランジスタ105の接続関係、第1のインバータ103、第2のインバータ108の構成及び接続関係については、上記実施形態と同様である。

【0167】

半導体装置101はインバータとして機能する。すなわち、半導体装置101にH電圧を入力したときにはL電圧が出力され、L電圧を入力したときにはH電圧が出力される。以下、図15(A)(B)を用いて、半導体装置101の動作について説明する。

【0168】

図15(A)のように、信号入力部106にH電圧が入力される。第2のインバータ108からはL電圧が出力される。

10

【0169】

信号入力部110から第1のインバータ103にはL電圧が入力され、H電圧が出力される。H電圧は第2のOSトランジスタ105のゲートに入力され、第2のOSトランジスタ105はオンし、信号出力部107にL電圧が出力される。

【0170】

一方、第1のOSトランジスタ104のゲートにはL電圧が入力され、第1のOSトランジスタ104はオフする。

【0171】

図15(B)のように、信号入力部106にL電圧が入力される。第2のインバータ108からはH電圧が出力される。

20

【0172】

信号入力部110から第1のインバータ103にはH電圧が入力され、L電圧が出力される。L電圧は第2のOSトランジスタ105のゲートに入力されて第2のOSトランジスタ105はオフする。

【0173】

一方、第1のOSトランジスタ104のゲートにはH電圧が入力されて第1のOSトランジスタ104はオンし、信号出力部107にH電圧が出力される。

【0174】

以上のように、信号入力部106にH電圧を入力することにより、L電圧が信号出力部107から出力され、信号入力部106にL電圧を入力することにより、H電圧が信号出力部107から出力される。よって半導体装置101はインバータとして機能する。

30

【0175】

次に図16にバッファとして機能する半導体装置101を示す。半導体装置101は第1のOSトランジスタ104、第2のOSトランジスタ105、第1のインバータ103、第2のインバータ108及び第3のインバータ111を有する。第1のインバータ103、第2のインバータ108及び第3のインバータ111はSiトランジスタから構成される。図14に示した半導体装置101に対して、第3のインバータ111が付加されている。

【0176】

第3のインバータ111の構成及び接続関係については、第1のインバータ103及び第2のインバータ108と同様である。

40

【0177】

半導体装置101はバッファとして機能する。すなわち、半導体装置101にH電圧を入力したときにはH電圧が出力され、L電圧を入力したときにはL電圧が出力される。以下、図17(A)(B)を用いて、半導体装置101の動作について説明する。

【0178】

図17(A)のように、信号入力部106にH電圧が入力される。第3のインバータ111からはL電圧が出力される。

【0179】

信号入力部112から第2のインバータ108にはL電圧が入力され、H電圧が出力され

50

る。

【0180】

信号入力部110から第1のインバータ103にはH電圧が入力され、L電圧が出力される。L電圧は第2のOSトランジスタ105のゲートに入力されて第2のOSトランジスタ105はオフする。

【0181】

一方、第1のOSトランジスタ104のゲートにはH電圧が入力される。第1のOSトランジスタ104はオンし、信号出力部107にH電圧が出力される。

【0182】

図17(B)のように、信号入力部106にL電圧が入力される。第3のインバータ111からはH電圧が出力される。

10

【0183】

信号入力部112から第2のインバータ108にH電圧が入力され、第2のインバータ108からはL電圧が出力される。

【0184】

信号入力部110から第1のインバータ103にはL電圧が入力され、H電圧が出力される。H電圧は第2のOSトランジスタ105のゲートに入力されて第2のOSトランジスタ105はオンし、信号出力部107にL電圧が出力される。

【0185】

一方、第1のOSトランジスタ104のゲートにはL電圧が入力されて第1のOSトランジスタ104はオフする。

20

【0186】

以上のように、信号入力部106にH電圧を入力することにより、H電圧が信号出力部107から出力され、信号入力部106にL電圧を入力することにより、L電圧が信号出力部107から出力される。よって半導体装置101はバッファとして機能する。

【0187】

(実施形態6)

本実施形態は、実施形態2の半導体装置11の信号入力部16の前段にNANDゲートを設けた半導体装置に関する。NANDゲートを設けることにより、ANDゲートやNANDゲートとして機能する半導体装置を提供することができる。

30

【0188】

実施形態6は第1のトランジスタ、第2のトランジスタ、インバータ及びNANDゲートを有し、インバータの出力は第1のトランジスタのゲートに入力され、NANDゲートの出力は、インバータへ入力されるとともに第2のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、インバータ及びNANDゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はANDゲートとして機能する。

【0189】

さらに実施形態6は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNANDゲートを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに前記第2のトランジスタのゲートに入力され、NANDゲートの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNANDゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はNANDゲートとして機能する。

40

【0190】

図18(A)にANDゲートとして機能する半導体装置121を示す。半導体装置121は第1のOSトランジスタ124、第2のOSトランジスタ125、インバータ123及

50

びNANDゲート128を有する。インバータ123及びNANDゲート128はSiトランジスタから構成される。

【0191】

第1のOSTランジスタ124及び第2のOSTランジスタ125の接続関係、インバータ123の構成及び接続関係は実施形態2と同様である。

【0192】

NANDゲート128は従来知られている構成を用いることができる。図18(B)にNANDゲート128の一例を示す。NANDゲート128はP型のSiトランジスタ140、141及びN型のSiトランジスタ142、143を有する。

【0193】

半導体装置121はANDゲートとして機能する。すなわち、信号入力部126及び信号入力部131の両方にH電圧を入力したときにはH電圧が出力され、その他の場合にはL電圧が出力される。以下、図19(A)(B)を用いて、半導体装置121の動作について説明する。

【0194】

図19(A)のように、信号入力部126にH電圧が入力され、信号入力部131にH電圧が入力される。NANDゲート128からはL電圧が出力される。

【0195】

信号入力部130からインバータ123にはL電圧が入力され、H電圧が出力される。H電圧は第1のOSTランジスタ124のゲートに入力され、第1のOSTランジスタ124はオンし、信号出力部127にH電圧が出力される。

【0196】

一方、第2のOSTランジスタ125のゲートにはL電圧が入力され、第2のOSTランジスタ125はオフする。

【0197】

図19(B)に示したように、信号入力部126及び信号入力部131に電圧が入力される。NANDゲート128からはH電圧が出力される。

【0198】

信号入力部130からインバータ123にはH電圧が入力され、L電圧が出力される。L電圧は第1のOSTランジスタ124のゲートに入力されて第1のOSTランジスタ124はオフする。

【0199】

一方、第2のOSTランジスタ125のゲートにはH電圧が入力されて第2のOSTランジスタ125はオンし、信号出力部127にL電圧が出力される。

【0200】

以上のように、信号入力部126及び信号入力部131の両方にH電圧を入力したときにはH電圧が出力され、その他の場合にはL電圧が出力される。よって半導体装置121はANDゲートとして機能する。

【0201】

次に図20にNANDゲートとして機能する半導体装置121を示す。半導体装置121は第1のOSTランジスタ124、第2のOSTランジスタ125、第1のインバータ123、第2のインバータ132及びNANDゲート128を有する。第1のインバータ123、第2のインバータ132及びNANDゲート128はSiトランジスタから構成される。図18に示した半導体装置121に対して、第2のインバータ132が付加されている。

【0202】

半導体装置121はNANDゲートとして機能する。信号入力部126及び信号入力部131の両方にH電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。以下、図21(A)(B)を用いて、半導体装置121の動作について説明する。

10

20

30

40

50

【0203】

図21(A)のように、信号入力部126にH電圧が入力され、信号入力部131にH電圧が入力される。NANDゲート128からはL電圧が出力される。

【0204】

信号入力部133から第2のインバータ132にはL電圧が入力され、H電圧が出力される。

【0205】

信号入力部130から第1のインバータ123にはH電圧が入力され、L電圧が出力される。L電圧は第1のOSトランジスタ124のゲートに入力され、第1のOSトランジスタ124はオフする。

10

【0206】

一方、第2のOSトランジスタ125のゲートにはH電圧が入力され、第2のOSトランジスタ125はオンし、信号出力部127にL電圧が出力される。

【0207】

図21(B)のように、信号入力部126及び信号入力部131に電圧が入力される。NANDゲート128からはH電圧が出力される。

【0208】

信号入力部133から第2のインバータ132にはH電圧が入力され、L電圧が出力される。

【0209】

20

信号入力部130から第1のインバータ123にはL電圧が入力され、H電圧が出力される。H電圧は第1のOSトランジスタ124のゲートに入力されて第1のOSトランジスタ124はオンし、信号出力部127にH電圧が出力される。

【0210】

一方、第2のOSトランジスタ125のゲートにはL電圧が入力されて第2のOSトランジスタ125はオフする。

【0211】

以上のように、信号入力部126及び信号入力部131の両方にH電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。よって半導体装置121はNANDゲートとして機能する。

30

【0212】

(実施形態7)

本実施形態は、実施形態3の半導体装置41の信号入力部46の前段にNANDゲートを設けた半導体装置に関する。NANDゲートを設けることにより、NANDゲートやANDゲートとして機能する半導体装置を提供することができる。

【0213】

実施形態7は第1のトランジスタ、第2のトランジスタ、インバータ及びNANDゲートを有し、インバータの出力は第2のトランジスタのゲートに入力され、NANDゲートの出力は、インバータへ入力されるとともに第1のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、インバータ及びNANDゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はNANDゲートとして機能する。

40

【0214】

さらに実施形態7は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNANDゲートを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに前記第1のトランジスタのゲートに入力され、NANDゲートの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2の

50

インバータ及びNANDゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はANDゲートとして機能する。

【0215】

図22にNANDゲートとして機能する半導体装置161を示す。半導体装置161は第1のOSTランジスタ164、第2のOSTランジスタ165、インバータ163及びNANDゲート168を有する。インバータ163及びNANDゲート168はSiトランジスタから構成される。

【0216】

第1のOSTランジスタ164及び第2のOSTランジスタ165の接続関係、インバータ163の構成及び接続関係は実施形態3と同様である。またNANDゲート168の構成は実施形態6と同様である。

10

【0217】

半導体装置161はNANDゲートとして機能する。すなわち、信号入力部166及び信号入力部171の両方にH電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。以下、図23(A)(B)を用いて、半導体装置161の動作について説明する。

【0218】

図23(A)のように、信号入力部166にH電圧が入力され、信号入力部171にH電圧が入力される。NANDゲート168からはL電圧が出力される。

【0219】

信号入力部170からインバータ163にはL電圧が入力され、H電圧が出力される。H電圧は第2のOSTランジスタ165のゲートに入力され、第2のOSTランジスタ165はオンし、信号出力部167にL電圧が出力される。

20

【0220】

一方、第1のOSTランジスタ164のゲートにはL電圧が入力され、第1のOSTランジスタ164はオフする。

【0221】

図23(B)に示したように、信号入力部166及び信号入力部171に電圧が入力される。NANDゲート168からはH電圧が出力される。

【0222】

信号入力部170からインバータ163にはH電圧が入力され、L電圧が出力される。L電圧は第2のOSTランジスタ165のゲートに入力されて第2のOSTランジスタ165はオフする。

30

【0223】

一方、第1のOSTランジスタ164のゲートにはH電圧が入力されて第1のOSTランジスタ164はオンし、信号出力部167にH電圧が出力される。

【0224】

以上のように、信号入力部166及び信号入力部171の両方にH電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。よって半導体装置161はNANDゲートとして機能する。

40

【0225】

次に図24にANDゲートとして機能する半導体装置161を示す。半導体装置161は第1のOSTランジスタ164、第2のOSTランジスタ165、第1のインバータ163、第2のインバータ172及びNANDゲート168を有する。第1のインバータ163、第2のインバータ172及びNANDゲート168はSiトランジスタから構成される。図22に示した半導体装置161に対して、第2のインバータ172が付加されている。

【0226】

半導体装置161はANDゲートとして機能する。信号入力部166及び信号入力部171の両方にH電圧を入力したときにはH電圧が出力され、その他の場合にはL電圧が出力

50

される。以下、図25(A)(B)を用いて、半導体装置161の動作について説明する。

【0227】

図25(A)のように、信号入力部166にH電圧が入力され、信号入力部171にH電圧が入力される。NANDゲート168からはL電圧が出力される。

【0228】

信号入力部173から第2のインバータ172にはL電圧が入力され、H電圧が出力される。

【0229】

信号入力部170から第1のインバータ163にはH電圧が入力され、L電圧が出力される。L電圧は第2のOSトランジスタ165のゲートに入力され、第2のOSトランジスタ165はオフする。

10

【0230】

一方、第1のOSトランジスタ164のゲートにはH電圧が入力され、第1のOSトランジスタ164はオンし、信号出力部167にH電圧が出力される。

【0231】

図25(B)のように、信号入力部166及び信号入力部171に電圧が入力される。NANDゲート168からはH電圧が出力される。

【0232】

信号入力部173から第2のインバータ172にはH電圧が入力され、L電圧が出力される。

20

【0233】

信号入力部170から第1のインバータ163にはL電圧が入力され、H電圧が出力される。H電圧は第2のOSトランジスタ165のゲートに入力されて第2のOSトランジスタ165はオンし、信号出力部167にL電圧が出力される。

【0234】

一方、第1のOSトランジスタ164のゲートにはL電圧が入力されて第1のOSトランジスタ164はオフする。

【0235】

以上のように、信号入力部166及び信号入力部171の両方にH電圧を入力したときにはH電圧が出力され、その他の場合にはL電圧が出力される。よって半導体装置161はANDゲートとして機能する。

30

【0236】

(実施形態8)

本実施形態は、実施形態2の半導体装置11の信号入力部16の前段にNORゲートを設けた半導体装置に関する。NORゲートを設けることにより、ORゲートやNORゲートとして機能する半導体装置を提供することができる。

【0237】

実施形態8は第1のトランジスタ及び第2のトランジスタ、インバータ及びNORゲートを有し、インバータの出力は第1のトランジスタのゲートに入力され、NORゲートの出力は、インバータへ入力されるとともに第2のトランジスタのゲートに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化半導体膜を有し、インバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はORゲートとして機能する。

40

【0238】

さらに実施形態8は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNORゲートを有し、第1のインバータの出力は第1のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第2のトランジスタのゲートに入力され、NORゲートの出力は第2のインバータに入

50

力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はNORゲートとして機能する。

【0239】

図26(A)にORゲートとして機能する半導体装置191を示す。半導体装置191は第1のOSTランジスタ194、第2のOSTランジスタ195、インバータ193及びNORゲート198を有する。インバータ193及びNORゲート198はSiトランジスタから構成される。

【0240】

第1のOSTランジスタ194及び第2のOSTランジスタ195の接続関係、インバータ193の構成及び接続関係は実施形態2と同様である。

【0241】

NORゲート198は従来知られている構成を用いることができる。図26(B)にNORゲート198の一例を示す。NORゲート198はP型のSiトランジスタ210、211及びN型のSiトランジスタ212、213を有する。

【0242】

半導体装置191はORゲートとして機能する。すなわち、信号入力部196及び信号入力部201の両方にL電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。以下、図27(A)(B)を用いて、半導体装置191の動作について説明する。

【0243】

図27(A)のように、信号入力部196にL電圧が入力され、信号入力部201にL電圧が入力される。NORゲート198からはH電圧が出力される。

【0244】

信号入力部200からインバータ193にはH電圧が入力され、L電圧が出力される。L電圧は第1のOSTランジスタ194のゲートに入力され、第1のOSTランジスタ194はオフする。

【0245】

一方、第2のOSTランジスタ195のゲートにはH電圧が入力され、第2のOSTランジスタ195はオンし、信号出力部197にL電圧が出力される。

【0246】

図27(B)に示したように、信号入力部196及び信号入力部201に電圧が入力される。NORゲート198からはL電圧が出力される。

【0247】

信号入力部200からインバータ193にはL電圧が入力され、H電圧が出力される。H電圧は第1のOSTランジスタ194のゲートに入力されて第1のOSTランジスタ194はオンし、信号出力部197にH電圧が出力される。

【0248】

一方、第2のOSTランジスタ195のゲートにはL電圧が入力されて第2のOSTランジスタ195はオフする。

【0249】

以上のように、信号入力部196及び信号入力部201の両方にL電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。よって半導体装置191はORゲートとして機能する。

【0250】

次に図28にNORゲートとして機能する半導体装置191を示す。半導体装置191は第1のOSTランジスタ194、第2のOSTランジスタ195、第1のインバータ193、第2のインバータ202及びNORゲート198を有する。第1のインバータ193、第2のインバータ202及びNORゲート198はSiトランジスタから構成される。

10

20

30

40

50

図 26 に示した半導体装置 191 に対して、第 2 のインバータ 202 が付加されている。

【0251】

半導体装置 191 は NOR ゲートとして機能する。信号入力部 196 及び信号入力部 201 の両方に L 電圧を入力したときには H 電圧が出力され、その他の場合には L 電圧が出力される。以下、図 29 (A) (B) を用いて、半導体装置 191 の動作について説明する。

【0252】

図 29 (A) のように、信号入力部 196 に L 電圧が入力され、信号入力部 201 に L 電圧が入力される。NOR ゲート 198 からは H 電圧が出力される。

【0253】

信号入力部 203 から第 2 のインバータ 202 には H 電圧が入力され、L 電圧が出力される。

【0254】

信号入力部 200 から第 1 のインバータ 193 には L 電圧が入力され、H 電圧が出力される。H 電圧は第 1 の O S トランジスタ 194 のゲートに入力され、第 1 の O S トランジスタ 194 はオンし、信号出力部 197 に H 電圧が出力される。

【0255】

一方、第 2 の O S トランジスタ 195 のゲートには L 電圧が入力され、第 2 の O S トランジスタ 195 はオフする。

【0256】

図 29 (B) のように、信号入力部 196 及び信号入力部 201 に電圧が入力される。NOR ゲート 198 からは L 電圧が出力される。

【0257】

信号入力部 203 から第 2 のインバータ 202 には L 電圧が入力され、H 電圧が出力される。

【0258】

信号入力部 200 から第 1 のインバータ 193 には H 電圧が入力され、L 電圧が出力される。L 電圧は第 1 の O S トランジスタ 194 のゲートに入力されて第 1 の O S トランジスタ 194 はオフする。

【0259】

一方、第 2 の O S トランジスタ 195 のゲートには H 電圧が入力されて第 2 の O S トランジスタ 195 はオンし、信号出力部 197 に L 電圧が出力される。

【0260】

以上のように、信号入力部 196 及び信号入力部 201 の両方に L 電圧を入力したときには H 電圧が出力され、その他の場合には L 電圧が出力される。よって半導体装置 191 は NOR ゲートとして機能する。

【0261】

(実施形態 9)

本実施形態は、実施形態 3 の半導体装置 41 の信号入力部 46 の前段に NOR ゲートを設けた半導体装置に関する。NOR ゲートを設けることにより、NOR ゲートや OR ゲートとして機能する半導体装置を提供することができる。

【0262】

実施形態 9 は第 1 のトランジスタ、第 2 のトランジスタ、インバータ及び NOR ゲートを有し、インバータの出力は第 2 のトランジスタのゲートに入力され、NOR ゲートの出力は、インバータへ入力されるとともに第 1 のトランジスタのゲートに入力され、第 1 のトランジスタのチャネル領域及び第 2 のトランジスタのチャネル領域は I_n 、 Z_n 若しくは S_n を含む酸化化合物半導体膜を有し、インバータ及び NOR ゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置は NOR ゲートとして機能する。

【0263】

10

20

30

40

50

さらに実施形態9は、第1のトランジスタ、第2のトランジスタ、第1のインバータ、第2のインバータ及びNORゲートを有し、第1のインバータの出力は第2のトランジスタのゲートに入力され、第2のインバータの出力は、第1のインバータへ入力されるとともに第1のトランジスタのゲートに入力され、NORゲートの出力は第2のインバータに入力され、第1のトランジスタのチャネル領域及び第2のトランジスタのチャネル領域はIn、Zn若しくはSnを含む酸化物半導体膜を有し、第1のインバータ、第2のインバータ及びNORゲートを構成するトランジスタのチャネル領域はシリコンを有する半導体装置を開示する。当該半導体装置はORゲートとして機能する。

【0264】

図30にNORゲートとして機能する半導体装置221を示す。半導体装置221は第1のOSTランジスタ224、第2のOSTランジスタ225、インバータ223及びNORゲート228を有する。インバータ223及びNORゲート228はSiトランジスタから構成される。

10

【0265】

第1のOSTランジスタ224及び第2のOSTランジスタ225の接続関係、インバータ223の構成及び接続関係は実施形態3と同様である。またNORゲート228の構成は実施形態8と同様である。

【0266】

半導体装置221はNORゲートとして機能する。すなわち、信号入力部226及び信号入力部231の両方にL電圧を入力したときにはH電圧が出力され、その他の場合にはL電圧が出力される。以下、図31(A)(B)を用いて、半導体装置221の動作について説明する。

20

【0267】

図31(A)のように、信号入力部226にL電圧が入力され、信号入力部231にL電圧が入力される。NORゲート228からはH電圧が出力される。

【0268】

信号入力部230からインバータ223にはH電圧が入力され、L電圧が出力される。L電圧は第2のOSTランジスタ225のゲートに入力され、第2のOSTランジスタ225はオフする。

【0269】

一方、第1のOSTランジスタ224のゲートにはH電圧が入力され、第1のOSTランジスタ224はオンし、信号出力部227にH電圧が出力される。

30

【0270】

図31(B)に示したように、信号入力部226及び信号入力部231に電圧が入力される。NORゲート228からはL電圧が出力される。

【0271】

信号入力部230からインバータ223にはL電圧が入力され、H電圧が出力される。H電圧は第2のOSTランジスタ225のゲートに入力されて第2のOSTランジスタ225はオンし、信号出力部227にL電圧が出力される。

【0272】

一方、第1のOSTランジスタ224のゲートにはL電圧が入力されて第1のOSTランジスタ224はオフする。

40

【0273】

以上のように、信号入力部226及び信号入力部231の両方にL電圧を入力したときにはH電圧が出力され、その他の場合にはL電圧が出力される。よって半導体装置221はNORゲートとして機能する。

【0274】

次に図32にORゲートとして機能する半導体装置221を示す。半導体装置221は第1のOSTランジスタ224、第2のOSTランジスタ225、第1のインバータ223、第2のインバータ232及びNORゲート228を有する。第1のインバータ223、

50

第2のインバータ232及びNORゲート228はSiトランジスタから構成される。図30に示した半導体装置221に対して、第2のインバータ232が付加されている。

【0275】

半導体装置221はORゲートとして機能する。信号入力部226及び信号入力部231の両方にL電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。以下、図33(A)(B)を用いて、半導体装置221の動作について説明する。

【0276】

図33(A)のように、信号入力部226にL電圧が入力され、信号入力部231にL電圧が入力される。NORゲート228からはH電圧が出力される。

【0277】

信号入力部233から第2のインバータ232にはH電圧が入力され、L電圧が出力される。

【0278】

信号入力部230から第1のインバータ223にはL電圧が入力され、H電圧が出力される。H電圧は第2のOSTランジスタ225のゲートに入力され、第2のOSTランジスタ225はオンし、信号出力部227にL電圧が出力される。

【0279】

一方、第1のOSTランジスタ224のゲートにはL電圧が入力され、第1のOSTランジスタ224はオフする。

【0280】

図33(B)のように、信号入力部226及び信号入力部231に電圧が入力される。NORゲート228からはL電圧が出力される。

【0281】

信号入力部233から第2のインバータ232にはL電圧が入力され、H電圧が出力される。

【0282】

信号入力部230から第1のインバータ223にはH電圧が入力され、L電圧が出力される。L電圧は第2のOSTランジスタ225のゲートに入力されて第2のOSTランジスタ225はオフする。

【0283】

一方、第1のOSTランジスタ224のゲートにはH電圧が入力されて第1のOSTランジスタ224はオンし、信号出力部227にH電圧が出力される。

【0284】

以上のように、信号入力部226及び信号入力部231の両方にL電圧を入力したときにはL電圧が出力され、その他の場合にはH電圧が出力される。よって半導体装置221はORゲートとして機能する。

【0285】

(実施形態10)

実施形態10はRSフリップフロップ(以下、RS-FFともいう)を示す。RS-FFは、図30に示した半導体装置221、図26に示した半導体装置191又は図28に示した半導体装置191を用いて形成される。

【0286】

図34に半導体装置221(図30)を用いたRS-FF301を示す。RS-FF301は、少なくとも第1のOSTランジスタ304、第2のOSTランジスタ305、第1のインバータ303及び第1のNORゲート306、かつ第3のOSTランジスタ314及び第4のOSTランジスタ315、第2のインバータ313及び第2のNORゲート316を有する。

【0287】

第1のインバータ303及び第1のNORゲート306はSiトランジスタから構成される。第2のインバータ313及び第2のNORゲート316はSiトランジスタから構成

10

20

30

40

50

される。

【0288】

第1のOSトランジスタ304及び第2のOSトランジスタ305の接続関係、第3のOSトランジスタ314及び第4のOSトランジスタ315の接続関係、第1のインバータ303及び第1のNORゲート306の構成及び接続関係、第2のインバータ313及び第2のNORゲート316の構成及び接続関係は上記実施形態と同様である。

【0289】

第2のNORゲート316にはSET信号が入力され、第1のNORゲート306にはRESET信号が入力される。

【0290】

信号出力部320及び信号出力部321からRS-FF301の信号が出力される。

【0291】

バッファ307、バッファ317、インバータ308及びインバータ318は必要に応じて適宜設ければよい。

【0292】

RS-FF301はオフリーク電流が小さいOSトランジスタを有しているため、ノード322、ノード323の電位の保持特性は優れている。よって保持特性の優れたRS-FFを提供できる。

【0293】

次に、図35に半導体装置191(図26)を用いたRS-FF301を示す。RS-FF301は、少なくとも第1のOSトランジスタ304、第2のOSトランジスタ305、第1のインバータ303、第1のNORゲート306及び第3のインバータ309、かつ第3のOSトランジスタ314、第4のOSトランジスタ315、第2のインバータ313、第2のNORゲート316及び第4のインバータ319を有する。

【0294】

第1のインバータ303、第1のNORゲート306及び第3のインバータ309はSiトランジスタから構成される。第2のインバータ313、第2のNORゲート316及び第4のインバータ319はSiトランジスタから構成される。

【0295】

第1のOSトランジスタ304及び第2のOSトランジスタ305の接続関係、第3のOSトランジスタ314及び第4のOSトランジスタ315の接続関係、第1のインバータ303、第1のNORゲート306及び第3のインバータ309の構成及び接続関係、第2のインバータ313、第2のNORゲート316及び第4のインバータ319の構成及び接続関係は上記実施形態と同様である。

【0296】

第2のNORゲート316にはRESET信号が入力され、第1のNORゲート306にはSET信号が入力される。

【0297】

信号出力部320及び信号出力部321からRS-FF301の信号が出力される。

【0298】

インバータ308及びインバータ318は必要に応じて適宜設ければよい。

【0299】

RS-FF301はオフリーク電流が小さいOSトランジスタを有しているため、ノード322、ノード323の電位の保持特性は優れている。よって保持特性の優れたRS-FFを提供できる。

【0300】

次に、図36に半導体装置191(図28)を用いたRS-FF301を示す。RS-FF301は、少なくとも第1のOSトランジスタ304、第2のOSトランジスタ305、第1のインバータ303、第3のインバータ309及び第1のNORゲート306、かつ第3のOSトランジスタ314、第4のOSトランジスタ315、第2のインバータ3

10

20

30

40

50

13、第4のインバータ319及び第2のNORゲート316を有する。

【0301】

第1のインバータ303、第3のインバータ309、第1のNORゲート306はS iトランジスタから構成される。第2のインバータ313、第4のインバータ319及び第2のNORゲート316はS iトランジスタから構成される。

【0302】

第1のO Sトランジスタ304及び第2のO Sトランジスタ305の接続関係、第3のO Sトランジスタ314及び第4のO Sトランジスタ315の接続関係、第1のインバータ303、第3のインバータ309及び第1のNORゲート306の構成及び接続関係、第2のインバータ313、第4のインバータ319及び第2のNORゲート316の構成及び接続関係は上記実施形態と同様である。

10

【0303】

第2のNORゲート316にはS E T信号が入力され、第1のNORゲート306にはR E S E T信号が入力される。

【0304】

信号出力部320及び信号出力部321からR S - F F 301の信号が出力される。

【0305】

バッファ307、バッファ317、インバータ308及びインバータ318は必要に応じて適宜設ければよい。

【0306】

R S - F F 301はオフリーク電流が小さいO Sトランジスタを有しているので、ノード322、ノード323の電位の保持特性は優れている。よって保持特性の優れたR S - F Fを提供できる。

20

【0307】

(実施形態11)

実施形態11は実施形態10に示したR S - F Fを用いたDフリップフロップ(以下、D - F Fともいう)を開示する。

【0308】

図37に示すように、D - F F 351は、少なくとも第1のR S - F F 352、第1のNORゲート353、第2のNORゲート354、第2のR S - F F 357、第3のNORゲート358、第4のNORゲート359、第1のインバータ360、第2のインバータ361、第3のインバータ362、第4のインバータ363を有する。

30

【0309】

第1のR S - F F 352、第2のR S - F F 357の一方あるいは両方に実施形態10に示したR S - F F 301を用いることができる。第1のNORゲート353、第2のNORゲート354、第3のNORゲート358、第4のNORゲート359、第1のインバータ360、第2のインバータ361、第3のインバータ362、第4のインバータ363はS iトランジスタから構成される。

【0310】

第1のNORゲート353、第2のNORゲート354、第3のNORゲート358、第4のNORゲート359、第1のインバータ360、第2のインバータ361、第3のインバータ362、第4のインバータ363の構成及び接続関係は上記実施形態と同様である。

40

【0311】

第2のインバータ361にはD信号が入力され、第4のインバータ363にはC L K信号が入力される。

【0312】

信号出力部355及び信号出力部356からD - F F 351の信号が出力される。

【0313】

第1のR S - F F 352及び第2のR S - F F 357のいずれか、または両方は、オフリ

50

ーク電流が小さいOSトランジスタを有しているので、保持特性の優れたD - F Fを提供できる。

【0314】

(実施形態12)

半導体装置の作製方法について説明する。本実施形態では、図1に示したトランジスタ2とインバータ3の作製方法を開示する。本実施形態ではインバータ3のうちP型のSiトランジスタ4を作製することを説明する。N型のSiトランジスタ5はP型の不純物元素の代わりにN型の不純物元素を添加して作製することができる。

【0315】

まず、図38(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

【0316】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

【0317】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、P型のSiトランジスタ4を作製する。

【0318】

なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板700の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、半導体膜702を形成することができる。

【0319】

半導体膜702には、しきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのP型の導電性を付与する不純物元素、若しくはリン、砒素などのN型の導電性を付与する不純物元素を添加しても良い。しきい値電圧を制御するための不純物元素の添加は、所定の形状にエッチング加工する前の半導体膜に対して行っても良いし、所定の形状にエッチング加工した後の半導体膜702に対して行っても良い。また、しきい値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、しきい値電圧を大まかに調整するためにボンド基板に対して行った上で、しきい値電圧を微調整するために、所定の形状にエッチング加工する前の半導体膜に対して、又は所定の形状にエッチング加工した後の半導体膜702に対しても行っても良い。

【0320】

なお、本実施形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、STI(Shallow Trench Isolation)等により素子分離したバルクの半導体基板を用いてもよい。例えば、絶縁膜7

10

20

30

40

50

01上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、950程度の高温度加熱法を組み合わせる結晶化法を用いても良い。

【0321】

次に、図38(B)に示すように、半導体膜702を用いて半導体層704を形成する。そして、半導体層704上にゲート絶縁膜703を形成する。なお半導体層704の他に、N型のSiトランジスタ5用に半導体層を形成してもよい。

10

【0322】

ゲート絶縁膜703は、例えば、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))等を含む膜を、単層で、又は積層させることで、形成することができる。

【0323】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

20

【0324】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

【0325】

次いで、図38(C)に示すように、ゲート電極707を形成する。

【0326】

ゲート電極707は、導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピコート法などを用いることができる。また、導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)などを用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

30

【0327】

なお、本実施の形態ではゲート電極707を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707は積層された複数の導電膜で形成されていても良い。

40

【0328】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンを用いることができる。上記例の他に、2つの導電膜の組み合わせとして、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、N型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、N型の導電性を付与する不純

50

物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

【0329】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0330】

また、ゲート電極707に酸化インジウム、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0331】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

10

【0332】

また、ゲート電極707は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

20

【0333】

次に、図38(D)に示すように、ゲート電極707をマスクとして一導電性を付与する不純物元素を半導体層704に添加することで、ゲート電極707と重なるチャネル形成領域710と、チャネル形成領域710を間に挟む一対の不純物領域709とが、半導体層704に形成される。

【0334】

本実施形態では、半導体層704にP型を付与する不純物元素(例えばボロン)を添加する場合を例に挙げる。N型のSiトランジスタを作製するときはN型を付与する不純物元素(例えばリン)を添加する。

30

【0335】

次いで、図39(A)に示すように、ゲート絶縁膜703、ゲート電極707を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なり起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

40

【0336】

本実施形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施形態では、ゲート電極707上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していても良い。

【0337】

次いで、図39(B)に示すように、絶縁膜713にCMP(化学的機械研磨)処理やエッチング処理を行うことにより、絶縁膜713の上面を平坦化する。なお、後に形成されるトランジスタ2の特性を向上させるために、絶縁膜713の表面は可能な限り平坦にし

50

ておくことが好ましい。

【0338】

以上の工程により、P型のSiトランジスタ4を形成することができる。

【0339】

次いで、OSTランジスタ2の作製方法について説明する。まず、図39(C)に示すように、絶縁膜713上に酸化物半導体膜716を形成する。

【0340】

用いる酸化物半導体としては、少なくともインジウム(In)、亜鉛(Zn)あるいはスズ(Sn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

10

【0341】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

20

【0342】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

【0343】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0344】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

40

【0345】

例えば、 $In:Ga:Zn = 1:1:1$ 、 $2:2:1$ 、 $4:2:3$ 、 $3:1:2$ 、 $1:1:2$ 、 $2:1:3$ または $3:1:4$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1$ 、 $2:1:3$ 、 $1:2:2$ 、 $2:1:5$ または $20:40:35$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

50

【0346】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0347】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0348】

なお、例えば、In、Ga、Znの原子数比がIn:Ga:Zn=a:b:c(a+b+c=1)である酸化物の組成が、原子数比がIn:Ga:Zn=A:B:C(A+B+C=1)の酸化物の組成の近傍であるとは、a、b、cが、 $(\frac{a-A}{r})^2 + (\frac{b-B}{r})^2 + (\frac{c-C}{r})^2$ を満たすことを言う。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0349】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0350】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0351】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0352】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0353】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0354】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、 (x_2, y_2) で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0355】

なお、酸化物半導体膜716は、電子供与体(ドナー)となる水分又は水素などの不純物が低減されて高純度化される(i型化又はi型に限りなく近い状態にされる)ことが好ましい。これにより、酸化物半導体膜716にチャネルが形成されない状態において生じる電流を低減することが可能となるからである。具体的には、高純度化された酸化物半導体膜716は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)による水素濃度の測定値が、 $5 \times 10^{-9} / \text{cm}^3$ 以下、

10

20

30

40

50

好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下である。また、ホール効果測定により測定できる酸化半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、更に好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0356】

ここで、酸化半導体膜中の、水素濃度の分析について触れておく。半導体層中の水素濃度測定は、二次イオン質量分析法で行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる層との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、層中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる層が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる層の厚さが小さい場合、隣接する層内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該層が存在する領域における、水素濃度の極大値又は極小値を、当該層中の水素濃度として採用する。更に、当該層が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

10

【0357】

酸化半導体膜716は、絶縁膜713上に形成した酸化半導体膜を所望の形状に加工することで、形成することができる。上記酸化半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化半導体膜は、酸化半導体をターゲットとして用い、スパッタリング法により成膜する。また、酸化半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタリング法により形成することができる。

20

【0358】

スパッタリング法を用いて酸化半導体膜716を作製する場合には、ターゲット中の水素濃度のみならず、チャンパー内に存在する水、水素を極力低減しておくことが重要である。具体的には、当該形成以前にチャンパー内をベークする、チャンパー内に導入されるガス中の水、水素濃度を低減する、及びチャンパーからガスの排気する排気系における逆流を防止するなどを行うことが効果的である。

30

【0359】

スパッタリング法その他、蒸着法、PCVD法、PLD法、ALD法またはMBE法などを用いて酸化半導体膜716を成膜してもよい。

【0360】

また、酸化半導体膜716をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、絶縁膜713の表面に付着している塵埃を除去してもよい。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

40

【0361】

また、酸化半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜712及び絶縁膜713までが形成された基板700を予備加熱し、基板700に吸着した水分又は水素などの不純物を脱離し排気してもよい。なお、予備加熱の温度は、100以上400以下、好ましくは150以上300以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜721の成膜前に、導電層719、導電層720まで形成した基板700にも同様に行ってもよい。

50

【0362】

酸化物半導体膜716は、好ましくはスパッタリング法により、基板加熱温度を100以上600以下、好ましくは150以上550以下、さらに好ましくは200以上500以下とし、酸素ガス雰囲気中で成膜する。酸化物半導体膜716の厚さは、1nm以上40nm以下、好ましくは3nm以上20nm以下とする。成膜時の基板加熱温度が高いほど、得られる酸化物半導体膜716の不純物濃度は低くなる。また、酸化物半導体膜716中の原子配列が整い、高密度化され、多結晶またはCAAC（CAACは後述する）が形成されやすくなる。さらに、酸素ガス雰囲気中で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶またはCAACが形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は30体積%以上、好ましくは50体積%以上、さらに好ましくは80体積%以上とする。なお、酸化物半導体膜716は薄いほど、トランジスタの短チャネル効果が低減される。ただし、薄くしすぎると界面散乱の影響が強くなり、電界効果移動度の低下が起こることがある。

10

【0363】

酸化物半導体膜716としてIn-Ga-Zn-O系材料をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn-Oターゲットを用いる。前述の原子数比を有するIn-Ga-Zn-Oターゲットを用いて酸化物半導体膜716を成膜することで、多結晶またはCAACが形成されやすくなる。

20

【0364】

また、酸化物半導体膜716としてIn-Sn-Zn-O系材料をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Sn:Zn=1:1:1、2:1:3、1:2:2、または20:45:35で示されるIn-Sn-Zn-Oターゲットを用いる。前述の原子数比を有するIn-Sn-Zn-Oターゲットを用いて酸化物半導体膜716を成膜することで、多結晶またはCAACが形成されやすくなる。

【0365】

なお処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

30

【0366】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0367】

また、スパッタリング装置の処理室のリークレートを 1×10^{-10} Pa・m³/秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

40

【0368】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0369】

50

なお、スパッタリング等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体膜 716 に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が 20 ppm（露点換算で -55）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）雰囲気下で、酸化物半導体膜 716 に加熱処理を施す。

【0370】

酸化物半導体膜 716 に加熱処理を施すことで、酸化物半導体膜 716 中の水分又は水素を脱離させることができる。具体的には、250 以上 750 以下、好ましくは 400 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3 分間以上 6 分間以下で行えばよい。加熱処理に RTA 法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0371】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0372】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等の RTA（Rapid Thermal Anneal）装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0373】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは 7N（99.99999%）以上、（即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【0374】

加熱処理は、減圧雰囲気または不活性雰囲気で行った後、温度を保持しつつ酸化性雰囲気にて切り替えてさらに加熱処理を行うと好ましい。これは、減圧雰囲気または不活性雰囲気にて加熱処理を行うと、酸化物半導体膜 716 中の不純物濃度を低減することができるが、同時に酸素欠損も生じてしまうためであり、このとき生じた酸素欠損を、酸化性雰囲気での加熱処理により低減することができる。

【0375】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウム（Na）のようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633.）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうち Na は、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na⁺ となる。また、Na は、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の

10

20

30

40

50

結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

10

【0376】

以上の工程により、酸化物半導体膜 716 中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。その他、トランジスタの電界効果移動度を後述する理想的な電界効果移動度近くまで高めることが可能となる。上記加熱処理は、酸化物半導体膜の成膜以降であれば、いつでも行うことができる。

20

【0377】

なお、酸化物半導体膜は非晶質であっても良いが、結晶性を有していても良い。結晶性を有する酸化物半導体膜としては、c 軸配向し、かつ a b 面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、a b 面においては a 軸または b 軸の向きが異なる (c 軸を中心に回転した) 結晶 (CAAC: C Axis Aligned Crystal) ともいう。) を含む酸化物であっても、トランジスタの信頼性を高めるという効果を得ることができるので、好ましい。

【0378】

CAAC は、非晶質の酸化物半導体と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって配位数が異なることも有り得るが、CAAC では金属原子の配位数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子 (水素イオンを含む) やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

30

【0379】

従って、CAAC で構成された酸化物半導体膜を用いてトランジスタを作製することで、トランジスタへの光照射またはバイアス - 熱ストレス (BT) の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

40

【0380】

ここで、CAAC を詳細に説明する。CAAC を含む酸化物とは、広義に、非単結晶であって、その a b 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0381】

CAAC は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC は結晶化した部分 (結晶部分) を含むが、1 つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0382】

50

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。または、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）を向いていてもよい。

【 0 3 8 3 】

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【 0 3 8 4 】

このような C A A C の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【 0 3 8 5 】

C A A C に含まれる結晶構造の一例について図 4 0 乃至図 4 2 を用いて詳細に説明する。なお、特に断りがない限り、図 4 0 乃至図 4 2 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 4 0 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

【 0 3 8 6 】

図 4 0 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 4 0 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 4 0 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 4 0 (A) に示す小グループは電荷が 0 である。

【 0 3 8 7 】

図 4 0 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O ）と、近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 4 0 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 4 0 (B) に示す構造をとりうる。図 4 0 (B) に示す小グループは電荷が 0 である。

【 0 3 8 8 】

図 4 0 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 4 0 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 4 0 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 4 0 (C) に示す小グループは電荷が 0 である。

【 0 3 8 9 】

図 4 0 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 4 0 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 4 0 (D) に示す小グループは電荷が + 1 となる。

【 0 3 9 0 】

図 4 0 (E) に、2 個の Z n を含む小グループを示す。図 4 0 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 4 0 (E) に示す小グループは電荷が - 1 となる。

【 0 3 9 1 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【 0 3 9 2 】

ここで、これらの小グループ同士が結合する規則について説明する。図 4 0 (A) に示す

10

20

30

40

50

6配位の I_n の上半分の3個のOは、下方向にそれぞれ3個の近接 I_n を有し、下半分の3個のOは、上方向にそれぞれ3個の近接 I_n を有する。図40(B)に示す5配位のGaの上半分の1個のOは、下方向に1個の近接Gaを有し、下半分の1個のOは、上方向に1個の近接Gaを有する。図40(C)に示す4配位の Z_n の上半分の1個のOは、下方向に1個の近接 Z_n を有し、下半分の3個のOは、上方向にそれぞれ3個の近接 Z_n を有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(I_n または S_n)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(Gaまたは I_n)、または4配位の金属原子(Z_n)のいずれかと結合することになる。

10

【0393】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0394】

図41(A)に、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループのモデル図を示す。図41(B)に、3つの中グループで構成される大グループを示す。なお、図41(C)は、図41(B)の層構造をc軸方向から観察した場合の原子配列を示す。

20

【0395】

図41(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、 S_n の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図41(A)において、 I_n の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図41(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがある Z_n と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある Z_n とを示している。

30

【0396】

図41(A)において、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある S_n が、4配位のOが1個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に3個の4配位のOがある Z_n と結合し、その Z_n の下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に1個の4配位のOがある Z_n 2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある S_n と結合している構成である。この中グループが複数結合して大グループを構成する。

【0397】

40

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、 I_n (6配位または5配位)、 Z_n (4配位)、 S_n (5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、 S_n を含む小グループは電荷が+1となる。そのため、 S_n を含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図40(E)に示すように、2個の Z_n を含む小グループが挙げられる。例えば、 S_n を含む小グループが1個に対し、2個の Z_n を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0398】

具体的には、図41(B)に示した大グループが繰り返されることで、 $I_n - S_n - Z_n$

50

- O系の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。なお、得られる In-Sn-Zn-O 系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m は0または自然数。) とする組成式で表すことができる。

【0399】

また、このほかにも、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物や、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する。)、 In-Al-Zn 系酸化物、 Sn-Ga-Zn 系酸化物、 Al-Ga-Zn 系酸化物、 Sn-Al-Zn 系酸化物や、 In-Hf-Zn 系酸化物、 In-La-Zn 系酸化物、 In-Ce-Zn 系酸化物、 In-Pr-Zn 系酸化物、 In-Nd-Zn 系酸化物、 In-Sm-Zn 系酸化物、 In-Eu-Zn 系酸化物、 In-Gd-Zn 系酸化物、 In-Tb-Zn 系酸化物、 In-Dy-Zn 系酸化物、 In-Ho-Zn 系酸化物、 In-Er-Zn 系酸化物、 In-Tm-Zn 系酸化物、 In-Yb-Zn 系酸化物、 In-Lu-Zn 系酸化物や、二元系金属の酸化物である In-Zn 系酸化物、 Sn-Zn 系酸化物、 Al-Zn 系酸化物、 Zn-Mg 系酸化物、 Sn-Mg 系酸化物、 In-Mg 系酸化物や、 In-Ga 系酸化物、一元系金属の酸化物である In 系酸化物、 Sn 系酸化物、 Zn 系酸化物などを用いた場合も同様である。

【0400】

例えば、図42(A)に、 In-Ga-Zn-O 系の層構造を構成する中グループのモデル図を示す。

【0401】

図42(A)において、 In-Ga-Zn-O 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0402】

図42(B)に3つの中グループで構成される大グループを示す。なお、図42(C)は、図42(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0403】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0404】

また、 In-Ga-Zn-O 系の層構造を構成する中グループは、図42(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0405】

具体的には、図42(B)に示した大グループが繰り返されることで、 In-Ga-Zn-O 系の結晶を得ることができる。なお、得られる In-Ga-Zn-O 系の層構造は、 $\text{InGaO}_3(\text{ZnO})_n$ (n は自然数。) とする組成式で表すことができる。

【0406】

$n=1$ (InGaZnO_4) の場合は、例えば、図65(A)に示す結晶構造を取りうる。なお、図65(A)に示す結晶構造において、図40(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0407】

また、 $n=2$ ($\text{InGaZn}_2\text{O}_5$) の場合は、例えば、図65(B)に示す結晶構造を取りうる。なお、図65(B)に示す結晶構造において、図40(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0408】

C A A Cで構成された酸化物半導体膜（以下、C A A C膜ともいう）は、スパッタリング法によって作製することができる。スパッタリング法を用いてC A A C膜を成膜する場合には、雰囲気中の酸素ガス比が高い方が好ましい。例えば、アルゴン及び酸素の混合ガス雰囲気中でスパッタリング法を行う場合には、酸素ガス比を30%以上とすることが好ましく、40%以上とすることがより好ましい。雰囲気中からの酸素の補充によって、C A A Cの結晶化が促進されるからである。

【0409】

また、スパッタリング法を用いてC A A C膜を成膜する場合には、C A A C膜が成膜される基板を150℃以上に加熱しておくことが好ましく、170℃以上に加熱しておくことがより好ましい。基板温度の上昇に伴って、C A A Cの結晶化が促進されるからである。

10

【0410】

また、C A A C膜に対して、窒素雰囲気中又は真空中において熱処理を行った後は、酸素雰囲気中又は酸素と他のガスとの混合雰囲気中において熱処理を行うことが好ましい。先の熱処理で生じる酸素欠損を後の熱処理における雰囲気中からの酸素供給によって復元することができるからである。

【0411】

また、C A A C膜が成膜される膜表面（被成膜面）は平坦であることが好ましい。C A A C膜は、当該被成膜面に概略垂直となるc軸を有するため、当該被成膜面に存在する凹凸は、C A A C膜における結晶粒界の発生を誘発することになるからである。よって、C A A C膜が成膜される前に当該被成膜表面に対して化学機械研磨（Chemical Mechanical Polishing：CMP）などの平坦化処理を行うことが好ましい。また、当該被成膜面の平均ラフネスは、0.5nm以下であることが好ましく、0.3nm以下であることがより好ましい。

20

【0412】

上述のように形成した酸化物半導体でなる膜をエッチングして酸化物半導体膜716を島状にする。酸化物半導体膜716を島状にするためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（Cl₂）、三塩化硼素（BCl₃）、四塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF₄）、六弗化硫黄（SF₆）、三弗化窒素（NF₃）、トリフルオロメタン（CHF₃）など）、臭化水素（HBr）、酸素（O₂）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いることができる。

30

【0413】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

40

【0414】

ウェットエッチングに用いるエッチング液として、燐酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

【0415】

酸化物半導体膜716を島状にするためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0416】

なお、次工程の導電膜を形成する前に逆スパッタリングを行い、酸化物半導体膜716及

50

び絶縁膜 713 の表面に付着しているレジスト残渣などを除去することが好ましい。

【0417】

次いで、図 43 (A) に示すように、酸化物半導体膜 716 と接する導電層 719 と、酸化物半導体膜 716 と接する導電層 720 とを形成する。導電層 719 及び導電層 720 は、ソース電極又はドレイン電極として機能する。

【0418】

具体的に、導電層 719 及び導電層 720 は、スパッタリング法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。

【0419】

導電層 719 及び導電層 720 となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム、イットリウム等を用いることができる。

【0420】

また、導電層 719 及び導電層 720 となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する 3 層構造などが挙げられる。また、Cu-Mg-Al 合金、Mo-Ti 合金、Ti、Mo、は、酸化膜との密着性が高い。よって、下層に Cu-Mg-Al 合金、Mo-Ti 合金、Ti、或いは Mo で構成される導電膜、上層に Cu で構成される導電膜を積層し、上記積層された導電膜を導電層 719 及び導電層 720 に用いることで、酸化膜である絶縁膜と、導電層 719 及び導電層 720 との密着性を高めることができる。

【0421】

また、導電層 719 及び導電層 720 となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0422】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0423】

なお、導電膜のエッチングの際に、酸化物半導体膜 716 がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体膜 716 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0424】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比 5 : 2 : 2 で混合したアンモニア過水を用いる。或いは、塩素 (Cl₂)、塩化硼素 (BCl₃) などを含むガスを用いて、導電膜をドライエッチングしても良い。

【0425】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数

10

20

30

40

50

の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0426】

また、酸化物半導体膜716と、ソース電極又はドレイン電極として機能する導電層719及び導電層720との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

10

【0427】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッチング加工と、導電層719及び導電層720を形成するためのエッチング加工とを一括で行うようにしても良い。

【0428】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体膜716と導電層719及び導電層720の間の抵抗を下げるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

20

【0429】

次いで、 N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体層の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0430】

なお、プラズマ処理を行った後、図43(B)に示すように、導電層719及び導電層720と、酸化物半導体膜716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体膜716と重なる位置にゲート電極722を形成する。

30

【0431】

そして、ゲート電極722が形成された後にゲート電極722をマスクとして酸化物半導体膜716にn型の導電性を付与するドーパントを添加し、一对の高濃度領域908を形成する。なお、酸化物半導体膜716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャンネル形成領域となる。酸化物半導体膜716では、一对の高濃度領域908の間にチャンネル形成領域が設けられている。高濃度領域908を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体膜716中の他の領域に比べて導電性が高くなる。よって、高濃度領域908を酸化物半導体膜716に設けることで、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を下げるができる。

40

【0432】

そして、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を下げることで、トランジスタ2の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ2の微細化により、半導体装置1を小型化することができる。

【0433】

50

また、In-Ga-Zn-O系酸化物半導体を酸化物半導体膜716に用いた場合、窒素を添加した後、300以上600以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域908中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極とドレイン電極(導電層719と導電層720)の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7 atoms %以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体

10

【0434】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜721は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜721に水素が含まれると、その水素が酸化物半導体膜716へ侵入し、又は水素が酸化物半導体膜716中の酸素を引き抜き、酸化物半導体膜716が低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、ゲート絶縁膜721はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜721には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜716に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電層719及び導電層720及び酸化物半導体膜716と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜716内、ゲート絶縁膜721内、或いは、酸化物半導体膜716と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜716に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜716に接するのを防ぐことができる。

20

30

【0435】

本実施の形態では、スパッタリング法で形成された膜厚200nmの酸化珪素膜上に、スパッタリング法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、ゲート絶縁膜721を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0436】

なお、ゲート絶縁膜721を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、導電層719及び導電層720を形成する前に、水分又は水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含むゲート絶縁膜721が設けられた後に、加熱処理が施されることによって、酸化物半導体膜716に対して行った先の加熱処理により、酸化物半導体膜716に酸素欠損が発生していたとしても、ゲート絶縁膜721から酸化物半導体膜716に酸素が供与される。そして、酸化物半導体膜716に酸素が供与されることで、酸化物半導体膜716において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体膜716には、化学量論的組成比を超える量の

40

50

酸素が含まれていることが好ましい。その結果、酸化物半導体膜 716 を i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜 721 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体膜 716 を i 型に近づけることができる。

【0437】

また、酸素雰囲気下で酸化物半導体膜 716 に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体膜 716 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 以上 350 未満、好ましくは 150 以上 250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0438】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体膜 716 に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を酸化物半導体膜 716 に添加すれば良い。

【0439】

また、ゲート電極 722 は、ゲート絶縁膜 721 上に導電膜を形成した後、該導電膜をエッチング加工することで形成することができる。ゲート電極 722 は、ゲート電極 707、或いは導電層 719 及び導電層 720 と同様の材料を用いて形成することが可能である。

20

【0440】

ゲート電極 722 の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、タングステンターゲットを用いたスパッタリング法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工することで、ゲート電極 722 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソを使用しないため、製造コストを低減できる。

30

【0441】

以上の工程により、トランジスタ 2 が形成される。

【0442】

トランジスタ 2 は、ソース電極及びドレイン電極(導電層 719 及び導電層 720)と、ゲート電極 722 とが重なっていない。すなわち、ソース電極及びドレイン電極(導電層 719 及び導電層 720)とゲート電極 722 との間には、ゲート絶縁膜 721 の膜厚よりも大きい間隔が設けられている。よって、トランジスタ 2 は、ソース電極及びドレイン電極とゲート電極との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0443】

また、トランジスタ 2 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

40

【0444】

なお、酸化物半導体膜 716 に接する絶縁膜(本実施の形態においては、ゲート絶縁膜 721 及び絶縁膜 713 が該当する。)は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0445】

50

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0446】

例えば、ガリウムを含有する酸化物半導体膜に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

10

【0447】

また、酸化物半導体膜716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

20

【0448】

例えば、酸化物半導体膜716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_x ($x = 3 +$ 、 $0 < < 1$) とすることができる。

【0449】

また、酸化物半導体膜716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($x = 3 +$ 、 $0 < < 1$) とすることができる。

30

【0450】

また、酸化物半導体膜716に接する絶縁膜として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $Ga_xAl_{2-x}O_3$ ($0 < x < 2$ 、 $0 < < 1$) とすることができる。

【0451】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、又は酸化物半導体膜と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体膜をi型化又はi型に限りなく近くすることができる。

40

【0452】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体膜716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体膜716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜716を挟む構成とすることで、上記効果をより高めることができる。

【0453】

50

また、酸化物半導体膜 716 の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_x ($X = 3 +$ 、 $0 < < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_x ($X = 3 +$ 、 $0 < < 1$) の酸化ガリウムとし、他方を組成が Al_2O_x ($X = 3 +$ 、 $0 < < 1$) の酸化アルミニウムとしても良い。

【0454】

また、酸化物半導体膜 716 に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体膜 716 の上層に組成が Ga_2O_x ($X = 3 +$ 、 $0 < < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_xAl_{2-x}O_{3+y}$ ($0 < X < 2$ 、 $0 < < 1$) の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、酸化物半導体膜 716 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体膜 716 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

10

【0455】

次に、図 43 (C) に示すように、ゲート絶縁膜 721、ゲート電極 722 を覆うように、絶縁膜 724 を形成する。絶縁膜 724 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜 724 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁膜 724 の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜 724 を単層構造としているが、本発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

20

【0456】

次に、ゲート絶縁膜 721、絶縁膜 724 に開口部を形成し、導電層 720 の一部を露出させる。その後、絶縁膜 724 上に、上記開口部において導電層 720 と接する配線 726 を形成する。

【0457】

配線 726 は、PVD 法や、CVD 法を用いて導電膜を形成した後、当該導電膜をエッチング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジウム、スカンジウムのいずれか、又はこれらを複数組み合わせ合わせた材料を用いてもよい。

30

【0458】

より具体的には、例えば、絶縁膜 724 の開口を含む領域に PVD 法によりチタン膜を薄く形成し、PVD 法によりチタン膜を薄く（5 nm 程度）形成した後に、開口部に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは導電層 720）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

40

【0459】

またゲート電極 722 と、一对の不純物領域 709 の一方と電氣的に接続させる必要がある。上記の方法を用いればよい。

【0460】

次に、図 43 (D) に示すように、配線 726 を覆うように絶縁膜 727 を形成する。更に絶縁膜 727 上に導電膜を形成し、当該導電膜をエッチング加工することによって導電

50

層 7301 を形成する。その後、導電層 7301 を覆うように絶縁膜 7302 を形成し、絶縁膜 7302 上に導電膜 7303 を形成する。こうして容量素子 12 を形成することができる。容量素子 12 の一对の電極のうち的一方が導電層 7301 に対応し、一对の電極のうち他方が導電膜 7303 に対応し、誘電体層が絶縁膜 7302 に対応する。ここで、絶縁膜 727、導電層 7301、絶縁膜 7302、導電膜 7303 の材料は、その他絶縁膜や導電層と同様の材料を用いることができる。

【0461】

上述した一連の工程により、半導体装置を作製することができる。

【0462】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

10

【0463】

なお基板 700 に半導体基板を用いる場合には、例えば特許文献 2 の図 2 のように、半導体基板に Si トランジスタ 5 を作製し、Si トランジスタ 5 上にトランジスタ 2 を作製することも可能である。

【0464】

(実施形態 13)

本実施の形態では、実施の形態 12 とは異なる構造を有した、酸化物半導体膜を用いたトランジスタ 2 について説明する。なお、図 43 と同じ部分は同じ符号を用いて示し、説明は省略する。

【0465】

図 44 (A) に示すトランジスタ 2 は、ゲート電極 722 が酸化物半導体膜 716 の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層 719 及び導電層 720) が酸化物半導体膜 716 の下に形成されているボトムコンタクト型である。

20

【0466】

また、酸化物半導体膜 716 は、ゲート電極 722 が形成された後に酸化物半導体膜 716 に N 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 918 を有する。また、酸化物半導体膜 716 のうち、ゲート絶縁膜 721 を間に挟んでゲート電極 722 と重なる領域がチャネル形成領域 919 である。酸化物半導体膜 716 では、一对の高濃度領域 918 の間にチャネル形成領域 919 が設けられている。

30

【0467】

高濃度領域 918 は、実施形態 12 において説明した高濃度領域 908 と同様に形成することができる。

【0468】

図 44 (B) に示すトランジスタ 2 は、ゲート電極 722 が酸化物半導体膜 716 の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層 719 及び導電層 720) が酸化物半導体膜 716 の上に形成されているトップコンタクト型である。そして、ゲート電極 722 の側部に設けられた、絶縁膜で形成されたサイドウォール 930 を有する。

【0469】

また、酸化物半導体膜 716 は、ゲート電極 722 が形成された後に酸化物半導体膜 716 に N 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域 928 と、一对の低濃度領域 929 とを有する。また、酸化物半導体膜 716 のうち、ゲート絶縁膜 721 を間に挟んでゲート電極 722 と重なる領域がチャネル形成領域 931 である。酸化物半導体膜 716 では、一对の高濃度領域 928 の間に一对の低濃度領域 929 が設けられ、一对の低濃度領域 929 の間にチャネル形成領域 931 が設けられている。そして、一对の低濃度領域 929 は、酸化物半導体膜 716 中の、ゲート絶縁膜 721 を間に挟んでサイドウォール 930 と重なる領域に設けられている。

40

【0470】

高濃度領域 928 及び低濃度領域 929 は、実施形態 12 において説明した高濃度領域 9

50

08と同様に形成することができる。

【0471】

図44(C)に示すトランジスタ2は、ゲート電極722が酸化物半導体膜716の上に形成されているトップゲート型であり、なおかつ、ソース電極及びドレイン電極(導電層719及び導電層720)が酸化物半導体膜716の下に形成されているボトムコンタクト型である。そして、ゲート電極722の側部に設けられた、絶縁膜で形成されたサイドウォール950を有する。

【0472】

また、酸化物半導体膜716は、ゲート電極722が形成された後に酸化物半導体膜716にN型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域948と、一对の低濃度領域949とを有する。また、酸化物半導体膜716のうち、ゲート絶縁膜721を間に挟んでゲート電極722と重なる領域がチャネル形成領域951である。酸化物半導体膜716では、一对の高濃度領域948の間に一对の低濃度領域949が設けられ、一对の低濃度領域949の間にチャネル形成領域951が設けられている。そして、一对の低濃度領域949は、酸化物半導体膜716中の、ゲート絶縁膜721を間に挟んでサイドウォール950と重なる領域に設けられている。

【0473】

高濃度領域948及び低濃度領域949は、実施形態12において説明した高濃度領域908と同様に形成することができる。

【0474】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体膜の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている(S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504-507, 2010.)。

【0475】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体膜も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまふ。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0476】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体膜とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【0477】

例えば、酸化物半導体膜が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を200nm以下とする場合には、短チャネル効果を防止する上で、チャネル形成領域となる部分の酸化物半導体膜の厚さは20nm以下、好ましくは10nm以下であることが求められる。そのような薄い酸化物半導体膜を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0478】

しかし、本発明の一態様のように、酸化物半導体膜へのドーパントの添加を、酸化物半導体膜を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体膜のオーバーエッチングを防ぎ、酸化物半導体膜への過剰なダメージを軽減することができる。また、加

10

20

30

40

50

えて、酸化物半導体膜とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【0479】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0480】

(実施形態14)

本実施の形態では、実施形態12や実施形態13とは異なる構造を有した、酸化物半導体膜を用いたトランジスタについて説明する。なお、図43と同じ部分は同じ符号を用いて示し、説明は省略する。本実施の形態において示すトランジスタ2は、ゲート電極722が導電層719及び導電層720と重なる様に設けられている。また、実施の形態12や実施の形態13に示したトランジスタ2とは異なり、酸化物半導体膜716に対して、ゲート電極722をマスクとした導電型を付与する不純物元素の添加が行われていない点

10

【0481】

図45(A)に示すトランジスタ2は、導電層719及び導電層720の下方に酸化物半導体膜716が設けられる例であり、図45(B)に示すトランジスタ2は、導電層719及び導電層720の上方に酸化物半導体膜716が設けられる例である。なお、図45(A)及び図45(B)において、絶縁膜724の上面が平坦化されていない構成を示したがこれに限定されない。絶縁膜724の上面が平坦化されていてもよい。

【0482】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

20

【0483】

(実施形態15)

本実施形態はチャネル領域に酸化物半導体膜を有するトランジスタの電気的特性(特に電界効果移動度)について説明する。

【0484】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

30

【0485】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表現できる。

【0486】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0487】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

40

【0488】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0489】

ここで、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 μ_0 は半導体の誘電率、nは単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半導

50

体層であれば、チャネルの厚さは半導体層の厚さと同じとして差し支えない。
線形領域におけるドレイン電流 I_d は、以下の式となる。

【0490】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0491】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L = W = 10 \mu\text{m}$ である。
また、 V_d はドレイン電圧である。

上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0492】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0493】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、
横軸を $1 / V_g$ とする直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタ
の $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム (In)、
スズ (Sn)、亜鉛 (Zn) の比率が、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のものでは
欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0494】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$
が導出される。欠陥のある $\text{In} - \text{Sn} - \text{Zn}$ 酸化物で測定される移動度は $35 \text{ cm}^2 / \text{Vs}$
程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半
導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0495】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によっ
てトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた
場所における移動度 μ_1 は、以下の式で表される。

【0496】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0497】

ここで、 D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果よ
り求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10$
 nm (界面散乱が及ぶ深さ) である。 D が増加する (すなわち、ゲート電圧が高くなる)
と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0498】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度
 μ_2 を計算した結果を図46に示す。なお、計算にはシノプシス社製デバイスシミュレー
ションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャ
ップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、
15、15 nmとした。これらの値は、スパッタリング法により形成された薄膜を測定し
て得られたものである。

【0499】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電
子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100 nm、比誘電率
は4.1とした。チャネル長およびチャネル幅はともに10 μm 、ドレイン電圧 V_d は0
.1 Vである。

10

20

30

40

50

【0500】

図46で示されるように、ゲート電圧1V強で移動度 $1000\text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること(Atomic Layer Flatness)が望ましい。

【0501】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図47乃至図49に示す。なお、計算に用いたトランジスタの断面構造を図50に示す。図50に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域1030aおよび半導体領域1030cを有する。半導体領域1030aおよび半導体領域1030cの抵抗率は $2 \times 10^{-3}\text{ cm}$ とする。

10

【0502】

図50(A)に示すトランジスタは、下地絶縁層1010と、下地絶縁層1010に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1020の上に形成される。トランジスタは半導体領域1030a、半導体領域1030cと、それらに挟まれ、チャンネル形成領域となる真性の半導体領域1030bと、ゲート1050を有する。ゲート1050の幅を33nmとする。

【0503】

ゲート1050と半導体領域1030bの間には、ゲート絶縁膜1040を有し、また、ゲート1050の両側面には側壁絶縁物1060aおよび側壁絶縁物1060b、ゲート1050の上部には、ゲート1050と他の配線との短絡を防止するための絶縁物1070を有する。側壁絶縁物の幅は5nmとする。また、半導体領域1030aおよび半導体領域1030cに接して、ソース1080aおよびドレイン1080bを有する。なお、このトランジスタにおけるチャンネル幅を40nmとする。

20

【0504】

図50(B)に示すトランジスタは、下地絶縁層1010と、酸化アルミニウムよりなる埋め込み絶縁物1020の上に形成され、半導体領域1030a、半導体領域1030cと、それらに挟まれた真性の半導体領域1030bと、幅33nmのゲート1050とゲート絶縁膜1040と側壁絶縁物1060aおよび側壁絶縁物1060bと絶縁物1070とソース1080aおよびドレイン1080bを有する点で図50(A)に示すトランジスタと同じである。

30

【0505】

図50(A)に示すトランジスタと図50(B)に示すトランジスタの相違点は、側壁絶縁物1060aおよび側壁絶縁物1060bの下の半導体領域の導電型である。図50(A)に示すトランジスタでは、側壁絶縁物1060aおよび側壁絶縁物1060bの下の半導体領域は n^+ の導電型を呈する半導体領域1030aおよび半導体領域1030cであるが、図50(B)に示すトランジスタでは、真性の半導体領域1030bである。すなわち、半導体領域1030a(半導体領域1030c)とゲート1050がLoffだけ重ならない領域ができています。この領域をオフセット領域といい、その幅Loffをオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物1060a(側壁絶縁物1060b)の幅と同じである。

40

【0506】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図47は、図50(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)および移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

【0507】

図47(A)はゲート絶縁膜の厚さを15nmとしたものであり、図47(B)は10nm

50

mとしたものであり、図47(C)は5nmとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。ゲート電圧1V前後で、ドレイン電流は半導体装置で必要とされる $10\mu A$ を超えることが示された。なお $1 \cdot E - 03$ は 1×10^{-3} を示す。その他も同じである。またその他の図面でも同様である。

【0508】

図48は、図50(B)に示される構造のトランジスタで、オフセット長 L_{off} を5nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図48(A)はゲート絶縁膜の厚さを15nmとしたものであり、図48(B)は10nmとしたものであり、図48(C)は5nmとしたものである。

10

【0509】

また、図49は、図50(B)に示される構造のトランジスタで、オフセット長 L_{off} を15nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図49(A)はゲート絶縁膜の厚さを15nmとしたものであり、図49(B)は10nmとしたものであり、図49(C)は5nmとしたものである。

20

【0510】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0511】

なお、移動度 μ のピークは、図47では $80\text{cm}^2/\text{Vs}$ 程度であるが、図48では $60\text{cm}^2/\text{Vs}$ 程度、図49では $40\text{cm}^2/\text{Vs}$ と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレイン電流は半導体装置で必要とされる $10\mu A$ を超えることが示された。

30

【0512】

(実施形態16)

本実施形態は、In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタの特性について説明する。

【0513】

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5atomic%以上含まれる元素をいう。

【0514】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

40

【0515】

例えば、図51(A)~(C)は、In、Sn、Znを主成分とし、チャネル長 L が $3\mu m$ 、チャネル幅 W が $10\mu m$ である酸化物半導体膜と、厚さ 100nm のゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は 10V とした。

【0516】

図51(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動

50

度は $18.8 \text{ cm}^2 / \text{V s e c}$ が得られている。一方、基板を意図的に加熱して In、Sn、Zn を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図 5 1 (B) は基板を 200 に加熱して In、Sn、Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2 \text{ cm}^2 / \text{V s e c}$ が得られている。

【 0 5 1 7 】

電界効果移動度は、In、Sn、Zn を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図 5 1 (C) は、In、Sn、Zn を主成分とする酸化物半導体膜を 200 でスパッタリング成膜した後、 650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5 \text{ cm}^2 / \text{V s e c}$ が得られている。

10

【 0 5 1 8 】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{V s e c}$ を超える電界効果移動度を実現することも可能になると推定される。

20

【 0 5 1 9 】

In、Sn、Zn を主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【 0 5 2 0 】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成された In、Sn、Zn を主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図 5 1 (A) と図 5 1 (B) の対比からも確認することができる。

30

【 0 5 2 1 】

なお、しきい値電圧は In、Sn 及び Zn の比率を変えることによっても制御することが可能であり、組成比として $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【 0 5 2 2 】

意図的な基板加熱温度若しくは熱処理温度は、 150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

40

【 0 5 2 3 】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2 \text{ MV} / \text{cm}$ 、 150 、1 時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

【 0 5 2 4 】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料 1 と、 650 の加熱処理

50

を行った試料2のトランジスタに対してBT試験を行った。

【0525】

まず基板温度を25℃とし、 V_{ds} を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行った。次に、基板温度を150℃とし、 V_{ds} を0.1Vとした。次に、ゲート絶縁膜608に印加される電界強度が2MV/cmとなるように V_{gs} に20Vを印加し、そのまま1時間保持した。次に、 V_{gs} を0Vとした。次に、基板温度25℃とし、 V_{ds} を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 測定を行った。これをプラスBT試験と呼ぶ。

【0526】

同様に、まず基板温度を25℃とし、 V_{ds} を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 特性の測定を行った。次に、基板温度を150℃とし、 V_{ds} を0.1Vとした。次に、ゲート絶縁膜608に印加される電界強度が-2MV/cmとなるように V_{gs} に-20Vを印加し、そのまま1時間保持した。次に、 V_{gs} を0Vとした。次に、基板温度25℃とし、 V_{ds} を10Vとし、トランジスタの $V_{gs} - I_{ds}$ 測定を行った。これをマイナスBT試験と呼ぶ。

【0527】

試料1のプラスBT試験の結果を図52(A)に、マイナスBT試験の結果を図52(B)に示す。また、試料2のプラスBT試験の結果を図53(A)に、マイナスBT試験の結果を図53(B)に示す。

【0528】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0529】

プラスBT試験及びマイナスBT試験はトランジスタの劣化具合を判別する試験であるが、図52(A)及び図53(A)を参照すると少なくともプラスBT試験の処理を行うことにより、しきい値電圧をプラスシフトさせることができることがわかった。

【0530】

特に、図52(A)ではプラスBT試験の処理を行うことにより、トランジスタがノーマリーオフ型になったことがわかる。

【0531】

よって、トランジスタの作製時の加熱処理に加えて、プラスBT試験の処理を行うことにより、しきい値電圧のプラスシフト化を促進でき、ノーマリーオフ型のトランジスタを形成することができることがわかった。

【0532】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0533】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度 $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0534】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで

10

20

30

40

50

、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $I n : S n : Z n = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0535】

実際に、 $I n - S n - Z n - O$ 膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

10

【0536】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0537】

脱水素化処理済みの石英基板上に $I n - S n - Z n - O$ 膜を 100 nm の厚さで成膜した。

【0538】

$I n - S n - Z n - O$ 膜は、スパッタリング装置を用い、酸素雰囲気中で電力を 100 W (DC) として成膜した。ターゲットは、 $I n : S n : Z n = 1 : 1 : 1$ [原子数比] の $I n - S n - Z n - O$ ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。

20

【0539】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0540】

図56に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、 2θ が 35 deg 近傍および $37\text{ deg} \sim 38\text{ deg}$ に結晶由来のピークが観測された。

【0541】

このように、 $I n$ 、 $S n$ 、 $Z n$ を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

30

【0542】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含まないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1\text{ aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1\ \mu\text{m}$ あたりの電流値を示す。

40

【0543】

図57に、トランジスタのオフ電流と測定時の基板温度 (絶対温度) の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値 ($1000 / T$) を横軸としている。

【0544】

具体的には、図57に示すように、基板温度が 125 ($1000 / T$ が約 2.51) の場合には $0.1\text{ aA} / \mu\text{m}$ ($1 \times 10^{-19}\text{ A} / \mu\text{m}$) 以下、 85 ($1000 / T$ が約 2.79) の場合には $10\text{ zA} / \mu\text{m}$ ($1 \times 10^{-20}\text{ A} / \mu\text{m}$) 以下であった。電流値の対数が温度の逆数に比例することから、室温 (27 、($1000 / T$ が約 3.33)) の場合には $0.1\text{ zA} / \mu\text{m}$ ($1 \times 10^{-22}\text{ A} / \mu\text{m}$) 以下であると予想される。従

50

って、オフ電流を $1.25 \times 10^{-18} \text{ A}/\mu\text{m}$ ($1 \times 10^{-18} \text{ A}/\mu\text{m}$) 以下に、 $8.5 \times 10^{-19} \text{ A}/\mu\text{m}$ ($1 \times 10^{-19} \text{ A}/\mu\text{m}$) 以下に、室温において $1 \times 10^{-21} \text{ A}/\mu\text{m}$ ($1 \times 10^{-21} \text{ A}/\mu\text{m}$) 以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。

【0545】

なお、温度が低いほどオフ電流が低下するため、常温であればより低いオフ電流であることは明らかである。

【0546】

もっとも、酸化半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0547】

また、酸化半導体膜成膜後に 650 の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0548】

測定に用いたトランジスタは、チャネル長 L が $3 \mu\text{m}$ 、チャネル幅 W が $10 \mu\text{m}$ 、 L_{ov} が $0 \mu\text{m}$ 、 dW が $0 \mu\text{m}$ である。なお、 V_{ds} は 10 V とした。なお、基板温度は -40 、 -25 、 25 、 75 、 125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅を L_{ov} と呼び、酸化半導体膜に対する一对の電極のはみ出しを dW と呼ぶ。

【0549】

図54に、 I_{ds} (実線) および電界効果移動度 (点線) の V_{gs} 依存性を示す。また、図55 (A) に基板温度としきい値電圧の関係を、図55 (B) に基板温度と電界効果移動度の関係を示す。

【0550】

図55 (A) より、基板温度が高いほどしきい値電圧は低くなることわかる。なお、その範囲は $-40 \sim 150$ で $1.09 \text{ V} \sim -0.23 \text{ V}$ であった。

【0551】

また、図55 (B) より、基板温度が高いほど電界効果移動度が低くなることわかる。なお、その範囲は $-40 \sim 150$ で $36 \text{ cm}^2/\text{Vs} \sim 32 \text{ cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことわかる。

【0552】

上記のようなIn、Sn、Znを主成分とする酸化半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2/\text{Vs}$ 以上、好ましくは $40 \text{ cm}^2/\text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2/\text{Vs}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm}/40 \text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0553】

(実施形態17)

本実施形態は、 $In-Sn-Zn-O$ 膜を酸化物半導体膜に用いたトランジスタの例について、図58 - 図59を用いて説明する。

【0554】

図58は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図58(A)にトランジスタの上面図を示す。また、図58(B)に図58(A)の一点鎖線A-Bに対応する断面A-Bを示す。

【0555】

図58(B)に示すトランジスタは、基板500と、基板500上に設けられた下地絶縁膜502と、下地絶縁膜502の周辺に設けられた保護絶縁膜504と、下地絶縁膜502および保護絶縁膜504上に設けられた高抵抗領域506aおよび低抵抗領域506bを有する酸化物半導体膜506と、酸化物半導体膜506上に設けられたゲート絶縁膜508と、ゲート絶縁膜508を介して酸化物半導体膜506と重畳して設けられたゲート電極510と、ゲート電極510の側面と接して設けられた側壁絶縁膜512と、少なくとも低抵抗領域506bと接して設けられた一对の電極514と、少なくとも酸化物半導体膜506、ゲート電極510および一对の電極514を覆って設けられた層間絶縁膜516と、層間絶縁膜516に設けられた開口部を介して少なくとも一对の電極514の一方と接続して設けられた配線518と、を有する。

【0556】

なお、図示しないが、層間絶縁膜516および配線518を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜516の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

【0557】

図59は、トランジスタの構造を示す上面図および断面図である。図59(A)はトランジスタの上面図である。また、図59(B)は図59(A)の一点鎖線A-Bに対応する断面図である。

【0558】

図59(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁膜602と、下地絶縁膜602上に設けられた酸化物半導体膜606と、酸化物半導体膜606と接する一对の電極614と、酸化物半導体膜606および一对の電極614上に設けられたゲート絶縁膜608と、ゲート絶縁膜608を介して酸化物半導体膜606と重畳して設けられたゲート電極610と、ゲート絶縁膜608およびゲート電極610を覆って設けられた層間絶縁膜616と、ゲート絶縁膜608および層間絶縁膜616に設けられた開口部を介して一对の電極614と接続する配線618と、層間絶縁膜616および配線618を覆って設けられた保護膜620と、を有する。

【0559】

基板600としてはガラス基板を、下地絶縁膜602としては酸化シリコン膜を、酸化物半導体膜606としては $In-Sn-Zn-O$ 膜を、一对の電極614としてはタングステン膜を、ゲート絶縁膜608としては酸化シリコン膜を、ゲート電極610としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜620としてはポリイミド膜を、それぞれ用いた。

【0560】

なお、図59(A)に示す構造のトランジスタにおいて、ゲート電極610と一对の電極614との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜606に対する一对の電極614のはみ出しを dW と呼ぶ。

【0561】

(実施形態18)

本発明の一態様に係る半導体装置を利用することで、消費電力の低い電子機器を提供する

10

20

30

40

50

ことが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【0562】

本発明の一態様に係る半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）

10

【0563】

本発明の一態様に係る半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0564】

図60は、携帯用の電子機器のブロック図である。図60に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ

20

【0565】

図61は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452、マイクロプロセッサ453、フラッシュメモリ454、音声回路455、キーボード456、メモリ回路457、タッチパネル458、ディスプレイ459、ディスプレイコントローラ460によって構成される。マイクロプロセッサ453はCPU461、DSP462、インターフェース463を有している。例えば、CPU461、音声回路455、メモリ回路457、ディスプレイコントローラ460、DSP462、インターフェース463のいずれかまたは全てに上記実施の形態で示した半導体装置を採用することで、消費電力を低減することが可能になる。

30

【0566】

本実施形態は、上記実施形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

40

【0567】

- | | |
|----|-------------|
| 1 | 半導体装置 |
| 2 | トランジスタ |
| 3 | インバータ |
| 4 | P型のSiトランジスタ |
| 5 | N型のSiトランジスタ |
| 6 | 信号入力部 |
| 7 | 信号出力部 |
| 11 | 半導体装置 |
| 13 | インバータ |

50

1 4	第 1 の O S トランジスタ	
1 5	第 2 の O S トランジスタ	
1 6	信号入力部	
1 7	信号出力部	
1 8	P 型の S i トランジスタ	
1 9	N 型の S i トランジスタ	
2 0	信号出力部	
4 1	半導体装置	
4 3	インバータ	
4 4	第 1 の O S トランジスタ	10
4 5	第 2 の O S トランジスタ	
4 6	信号入力部	
4 7	信号出力部	
4 8	P 型の S i トランジスタ	
4 9	N 型の S i トランジスタ	
5 0	信号出力部	
7 1	半導体装置	
7 3	第 1 のインバータ	
7 4	第 1 の O S トランジスタ	
7 5	第 2 の O S トランジスタ	20
7 6	信号入力部	
7 7	信号出力部	
7 8	第 2 のインバータ	
7 9	信号出力部	
8 0	信号入力部	
8 1	信号入力部	
8 2	第 3 のインバータ	
1 0 1	半導体装置	
1 0 3	第 1 のインバータ	
1 0 4	第 1 の O S トランジスタ	30
1 0 5	第 2 の O S トランジスタ	
1 0 6	信号入力部	
1 0 7	信号出力部	
1 0 8	第 2 のインバータ	
1 1 0	信号入力部	
1 1 1	第 3 のインバータ	
1 1 2	信号入力部	
1 2 1	半導体装置	
1 2 3	インバータ又は第 1 のインバータ	
1 2 4	第 1 の O S トランジスタ	40
1 2 5	第 2 の O S トランジスタ	
1 2 6	信号入力部	
1 2 7	信号出力部	
1 2 8	N A N D ゲート	
1 3 0	信号入力部	
1 3 1	信号入力部	
1 3 2	第 2 のインバータ	
1 3 3	信号入力部	
1 4 0、1 4 1	P 型の S i トランジスタ	
1 4 2、1 4 3	N 型の S i トランジスタ	50

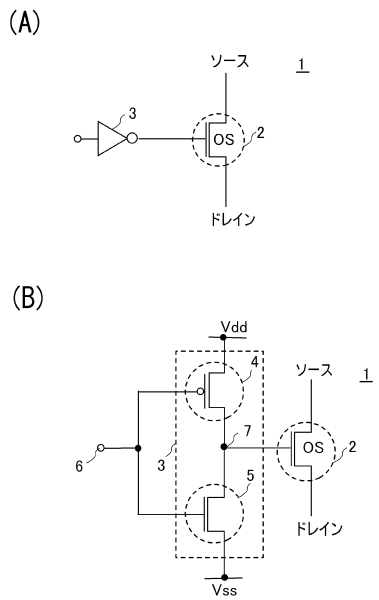
1 6 1	半導体装置	
1 6 3	インバータ又は第 1 のインバータ	
1 6 4	第 1 の O S トランジスタ	
1 6 5	第 2 の O S トランジスタ	
1 6 6	信号入力部	
1 6 7	信号出力部	
1 6 8	N A N D ゲート	
1 7 0	信号入力部	
1 7 1	信号入力部	
1 7 2	第 2 のインバータ	10
1 7 3	信号入力部	
1 9 1	半導体装置	
1 9 3	インバータ又は第 1 のインバータ	
1 9 4	第 1 の O S トランジスタ	
1 9 5	第 2 の O S トランジスタ	
1 9 6	信号入力部	
1 9 7	信号出力部	
1 9 8	N O R ゲート	
2 0 0	信号入力部	
2 0 1	信号入力部	20
2 0 2	第 2 のインバータ	
2 0 3	信号入力部	
2 1 0、2 1 1	P 型の S i トランジスタ	
2 1 2、2 1 3	N 型の S i トランジスタ	
2 2 1	半導体装置	
2 2 3	インバータ又は第 1 のインバータ	
2 2 4	第 1 の O S トランジスタ	
2 2 5	第 2 の O S トランジスタ	
2 2 6	信号入力部	
2 2 7	信号出力部	30
2 2 8	N O R ゲート	
2 3 0	信号入力部	
2 3 1	信号入力部	
2 3 2	第 2 のインバータ	
2 3 3	信号入力部	
3 0 1	R S - F F	
3 0 3	第 1 のインバータ 3 0 3	
3 0 4	第 1 の O S トランジスタ	
3 0 5	第 2 の O S トランジスタ	
3 0 6	第 1 の N O R ゲート	40
3 0 7、3 1 7	バッファ	
3 0 8、3 1 8	インバータ	
3 0 9	第 3 のインバータ	
3 1 3	第 2 のインバータ	
3 1 4	第 3 の O S トランジスタ	
3 1 5	第 4 の O S トランジスタ	
3 1 6	第 2 の N O R ゲート	
3 1 9	第 4 のインバータ	
3 2 0、3 2 1	信号出力部	
3 2 2、3 2 3	ノード	50

3 5 1	D - F F	
3 5 2	第 1 の R S - F F	
3 5 3	第 1 の N O R ゲート	
3 5 4	第 2 の N O R ゲート	
3 5 5	信号出力部	
3 5 6	信号出力部	
3 5 7	第 2 の R S - F F	
3 5 8	第 3 の N O R ゲート	
3 5 9	第 4 の N O R ゲート	
3 6 0	第 1 の インバータ	10
3 6 1	第 2 の インバータ	
3 6 2	第 3 の インバータ	
3 6 3	第 4 の インバータ	
4 2 1	R F 回路	
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	C P U	20
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	30
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	
4 5 4	フラッシュメモリ	
4 5 5	音声回路	
4 5 6	キーボード	
4 5 7	メモリ回路	
4 5 8	タッチパネル	40
4 5 9	ディスプレイ	
4 6 0	ディスプレイコントローラ	
4 6 1	C P U	
4 6 2	D S P	
4 6 3	インターフェース	
5 0 0	基板	
5 0 2	下地絶縁膜	
5 0 4	保護絶縁膜	
5 0 6	酸化物半導体膜	
5 0 6 a	高抵抗領域	50

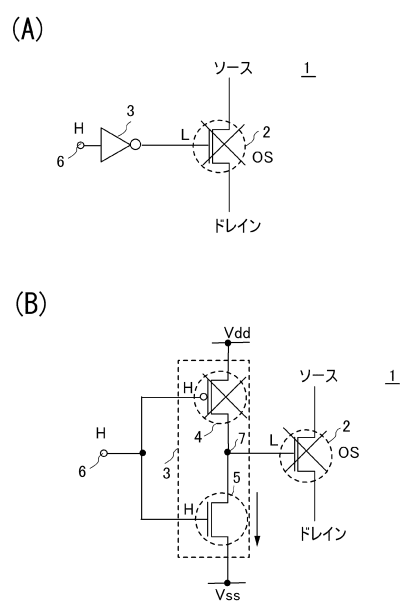
5 0 6 b	低抵抗領域	
5 0 8	ゲート絶縁膜	
5 1 0	ゲート電極	
5 1 2	側壁絶縁膜	
5 1 4	電極	
5 1 6	層間絶縁膜	
5 1 8	配線	
6 0 0	基板	
6 0 2	下地絶縁膜	
6 0 6	酸化物半導体膜	10
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 4	電極	
6 1 6	層間絶縁膜	
6 1 8	配線	
6 2 0	保護膜	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	20
7 0 4	半導体層	
7 0 7	ゲート電極	
7 0 9	不純物領域	
7 1 0	チャンネル形成領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 6	酸化物半導体膜	
7 1 9	導電層	
7 2 0	導電層	
7 2 1	ゲート絶縁膜	30
7 2 2	ゲート電極	
7 2 4	絶縁膜	
7 2 6	配線	
7 2 7	絶縁膜	
9 0 8	高濃度領域	
9 1 8	高濃度領域	
9 1 9	チャンネル形成領域	
9 2 8	高濃度領域	
9 2 9	低濃度領域	
9 3 0	サイドウォール	40
9 3 1	チャンネル形成領域	
9 4 8	高濃度領域	
9 4 9	低濃度領域	
9 5 0	サイドウォール	
9 5 1	チャンネル形成領域	
1 0 1 0	下地絶縁層	
1 0 2 0	埋め込み絶縁物	
1 0 3 0 a	半導体領域	
1 0 3 0 b	半導体領域	
1 0 3 0 c	半導体領域	50

- 1 0 4 0 ゲート絶縁膜
- 1 0 5 0 ゲート
- 1 0 6 0 a 側壁絶縁物
- 1 0 6 0 b 側壁絶縁物
- 1 0 7 0 絶縁物
- 1 0 8 0 a ソース
- 1 0 8 0 b ドレイン

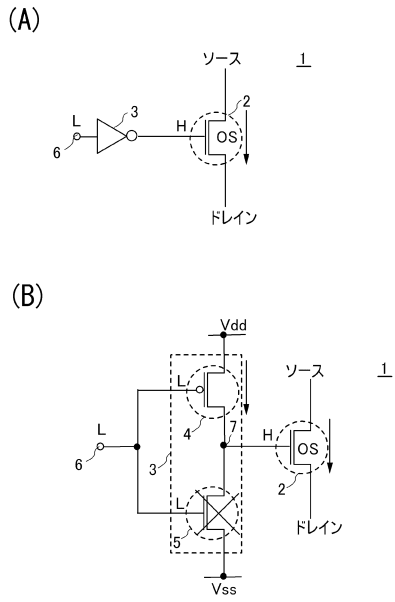
【図1】



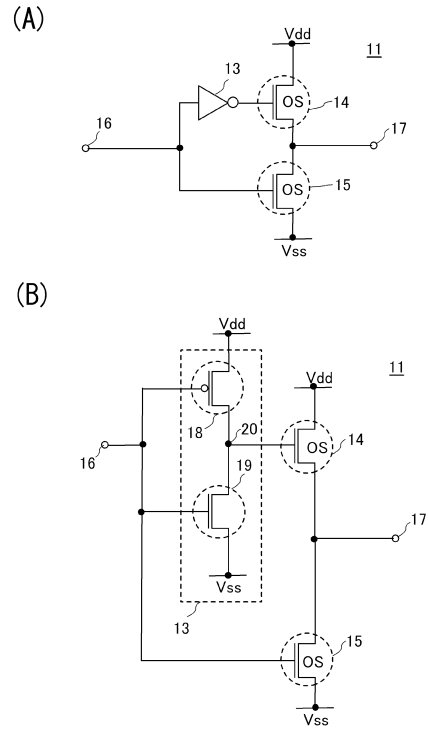
【図2】



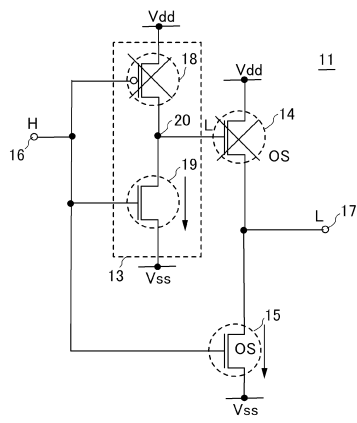
【図3】



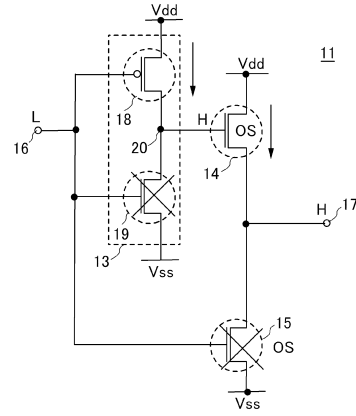
【図4】



【図5】

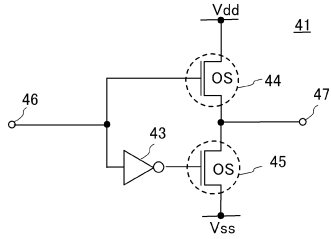


【図6】

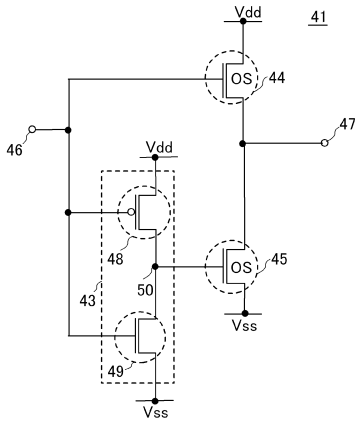


【 図 7 】

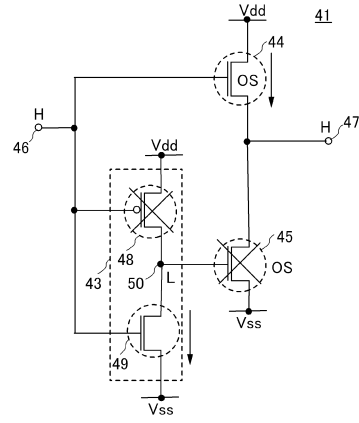
(A)



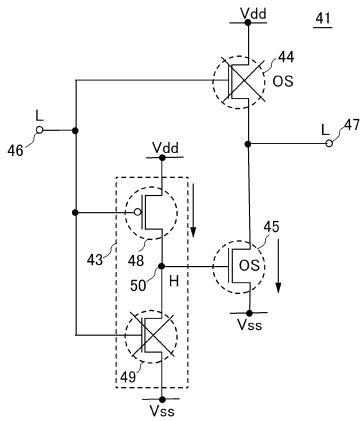
(B)



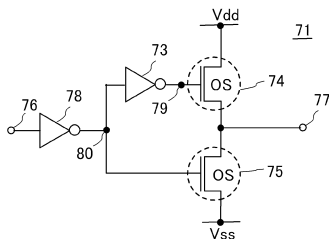
【 図 8 】



【 図 9 】

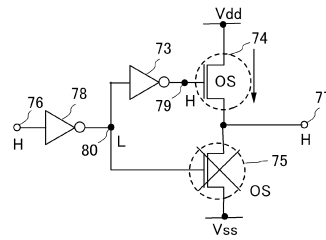


【 図 10 】

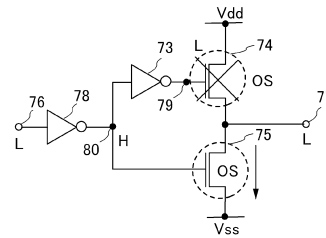


【 図 11 】

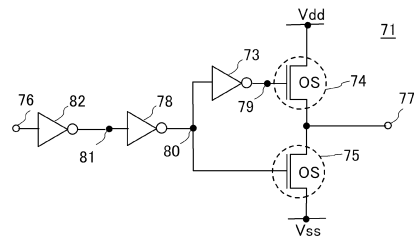
(A)



(B)

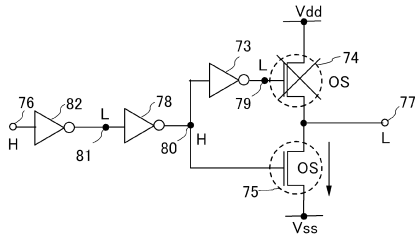


【 図 12 】

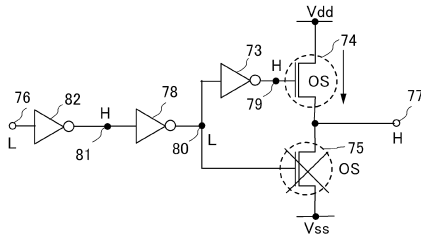


【 図 1 3 】

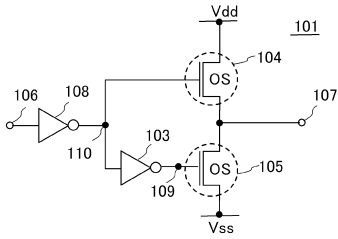
(A)



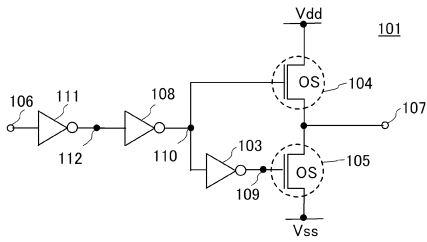
(B)



【 図 1 4 】

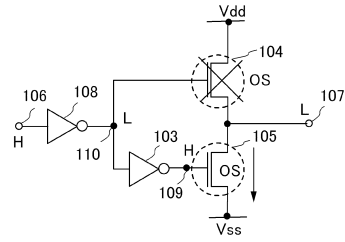


【 図 1 6 】

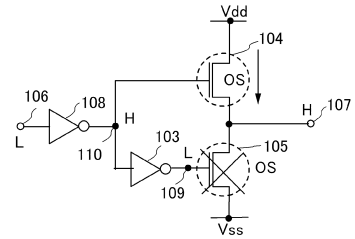


【 図 1 5 】

(A)

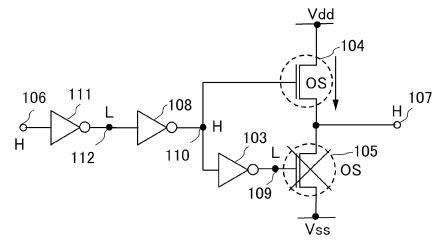


(B)

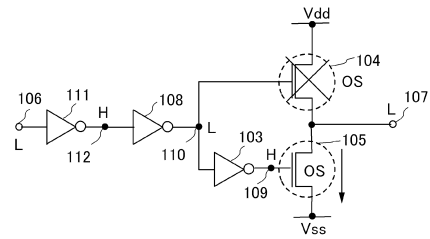


【 図 1 7 】

(A)

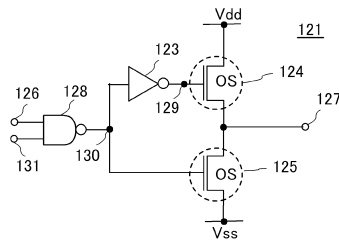


(B)

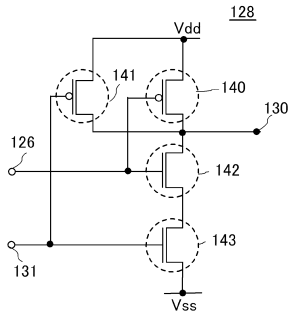


【 図 18 】

(A)

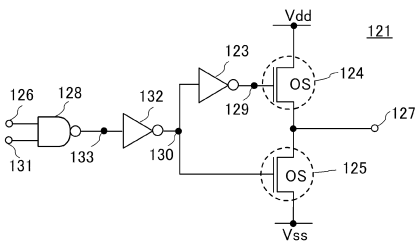


(B)



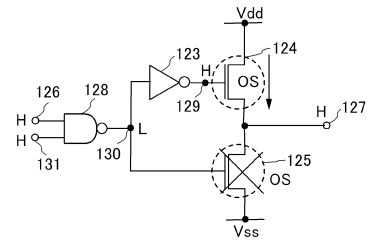
【 図 20 】

(A)

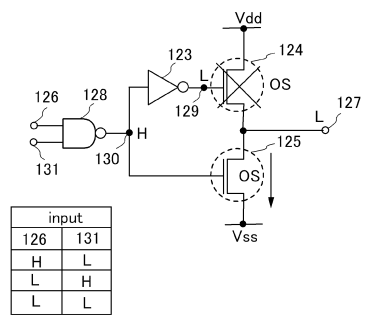


【 図 19 】

(A)

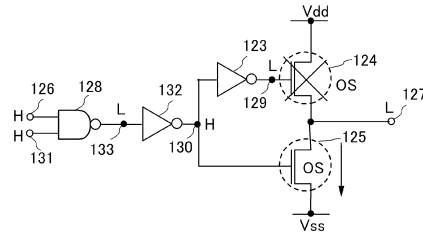


(B)

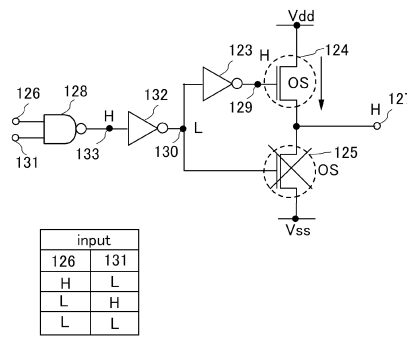


【 図 21 】

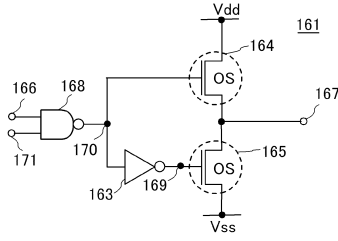
(A)



(B)

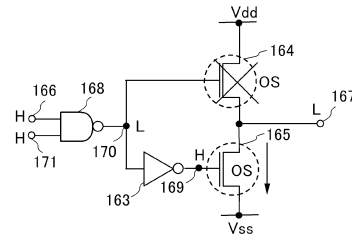


【図 2 2】

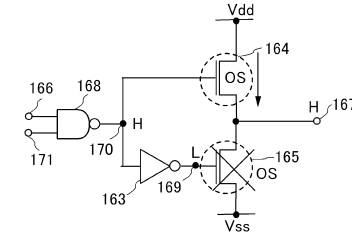


【図 2 3】

(A)

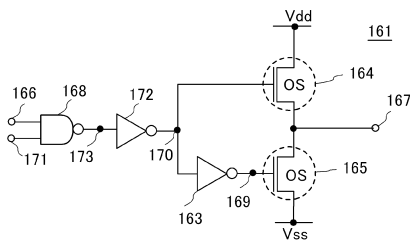


(B)



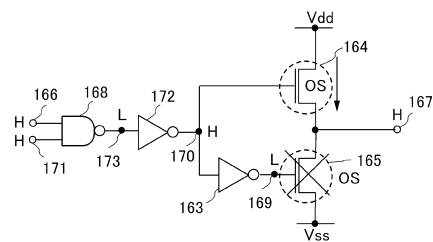
input	
126	131
H	L
L	H
L	L

【図 2 4】

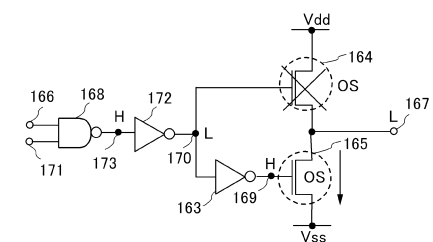


【図 2 5】

(A)



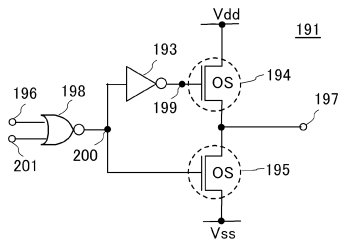
(B)



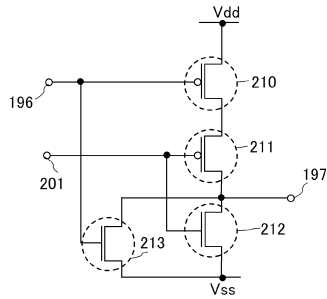
input	
126	131
H	L
L	H
L	L

【 図 2 6 】

(A)

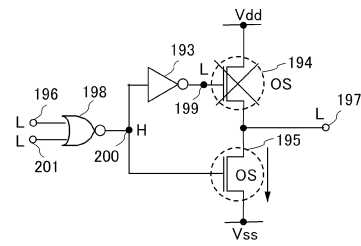


(B)

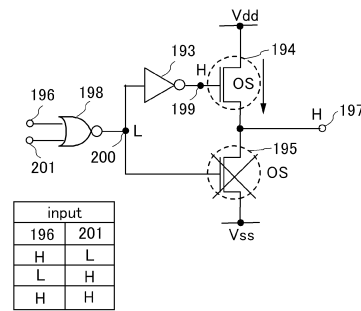


【 図 2 7 】

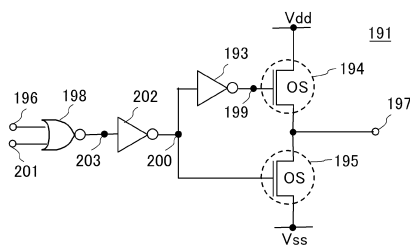
(A)



(B)

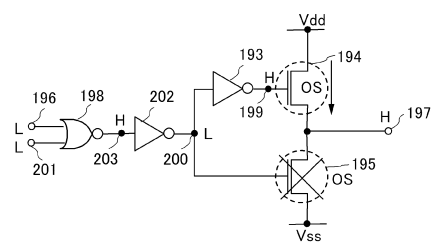


【 図 2 8 】

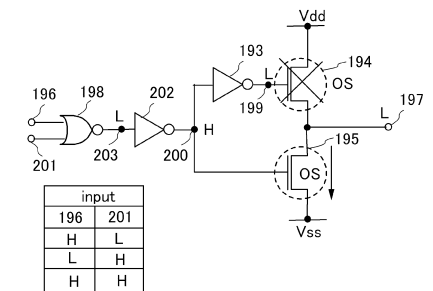


【 図 2 9 】

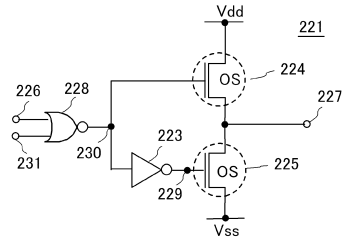
(A)



(B)

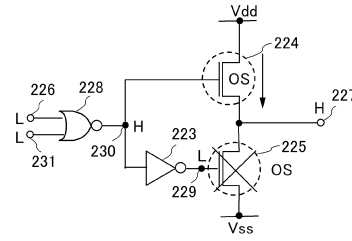


【図30】

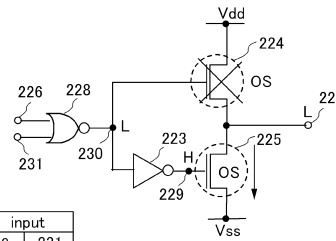


【図31】

(A)

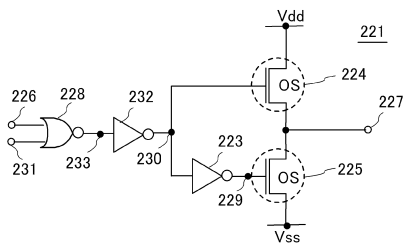


(B)



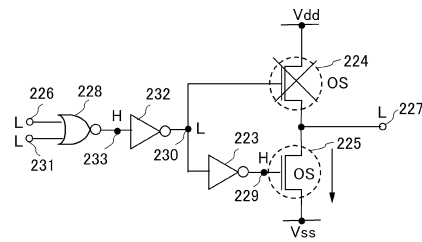
input	
226	231
H	L
L	H
H	H

【図32】

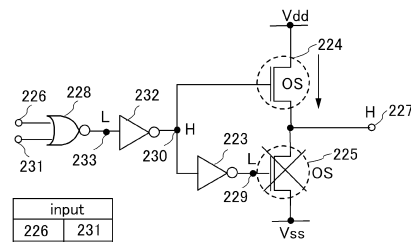


【図33】

(A)

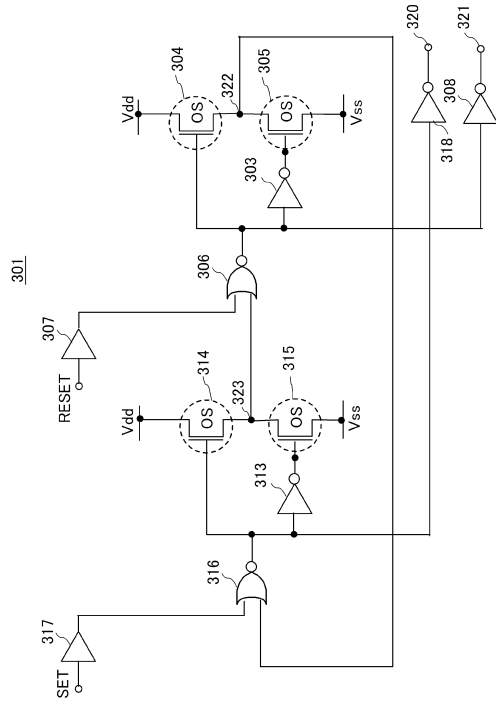


(B)

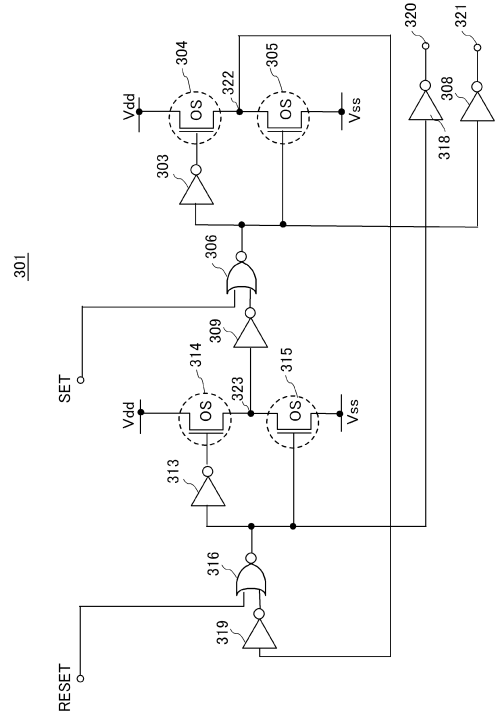


input	
226	231
H	L
L	H
H	H

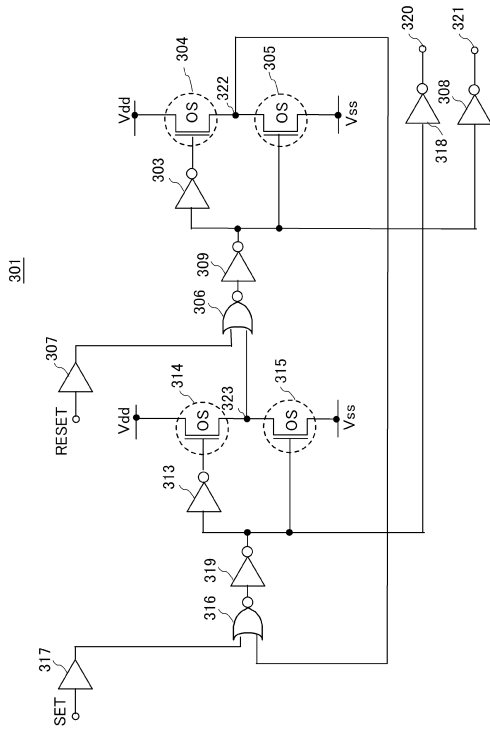
【 3 4 】



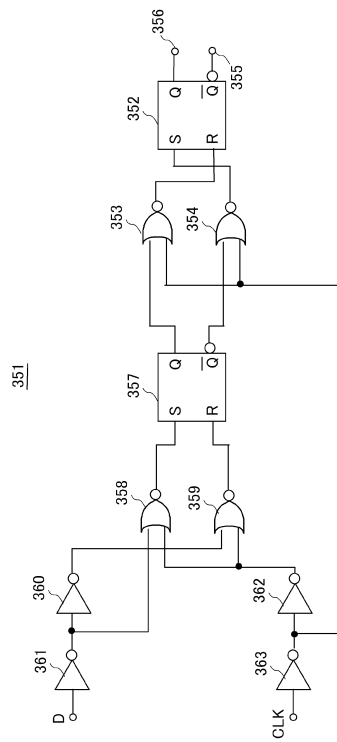
【 3 5 】



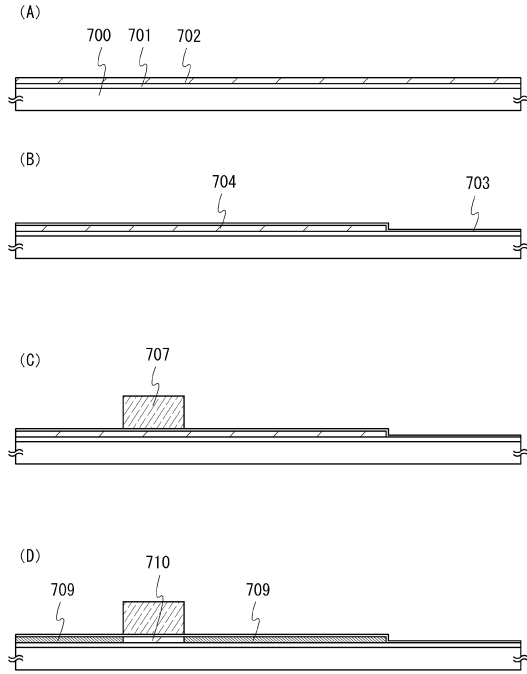
【 3 6 】



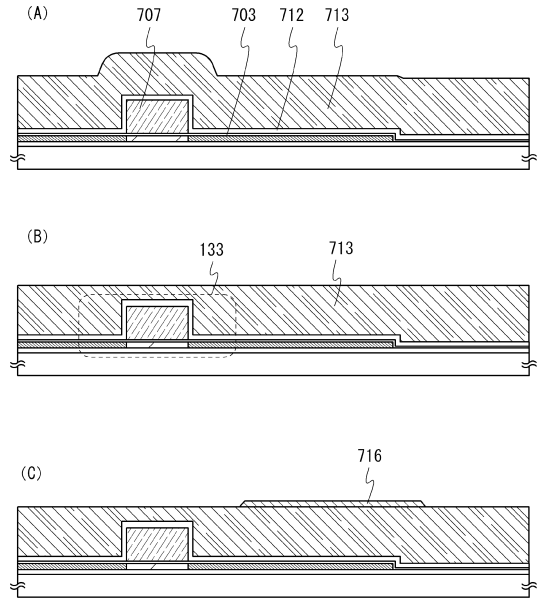
【 3 7 】



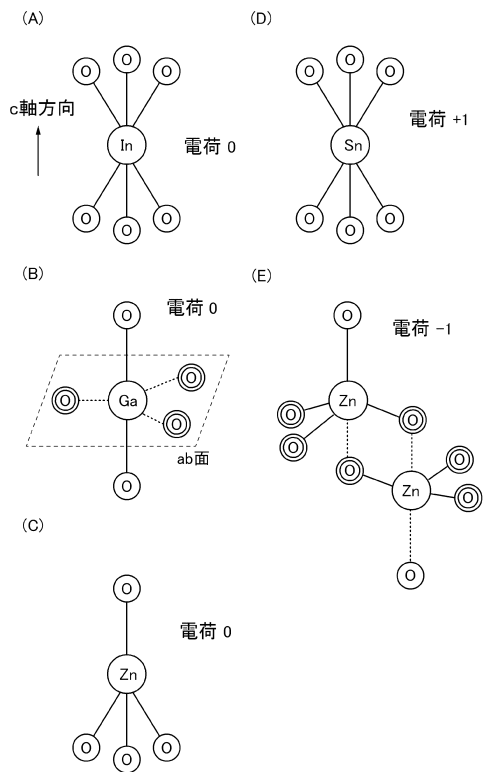
【図38】



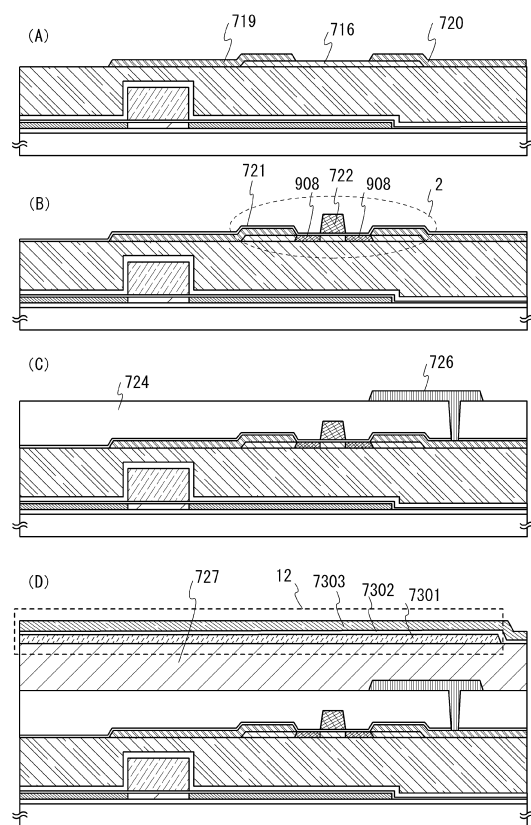
【図39】



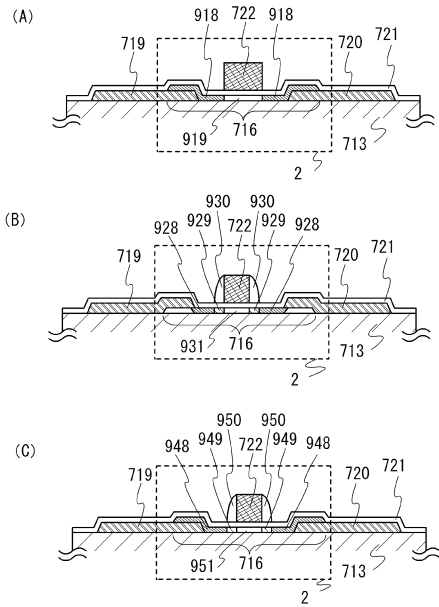
【図40】



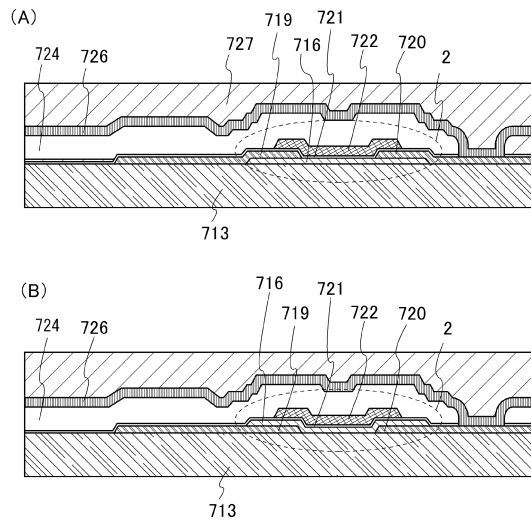
【図43】



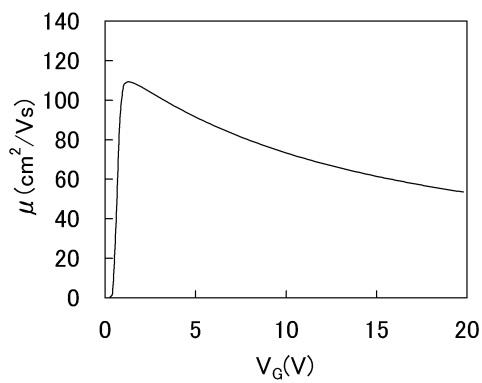
【 4 4 】



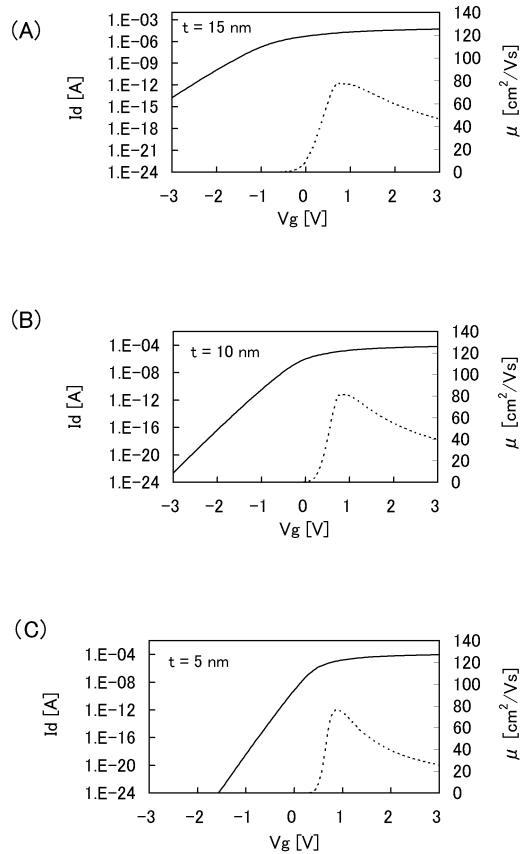
【 4 5 】



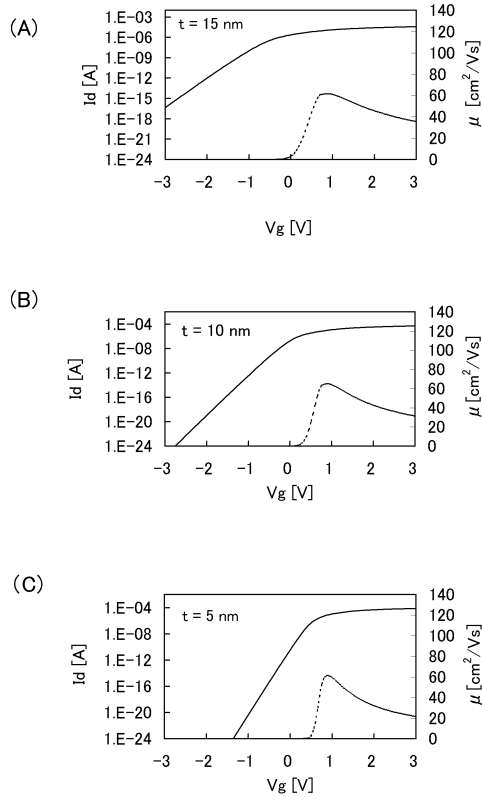
【 4 6 】



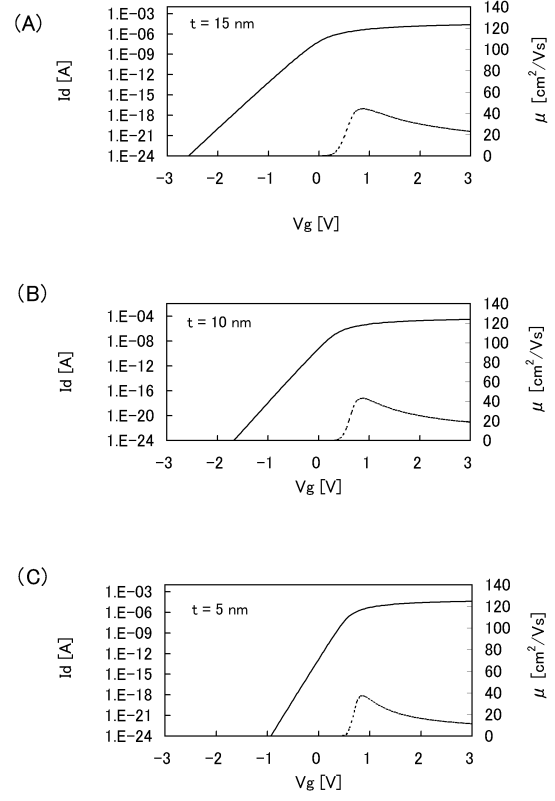
【 4 7 】



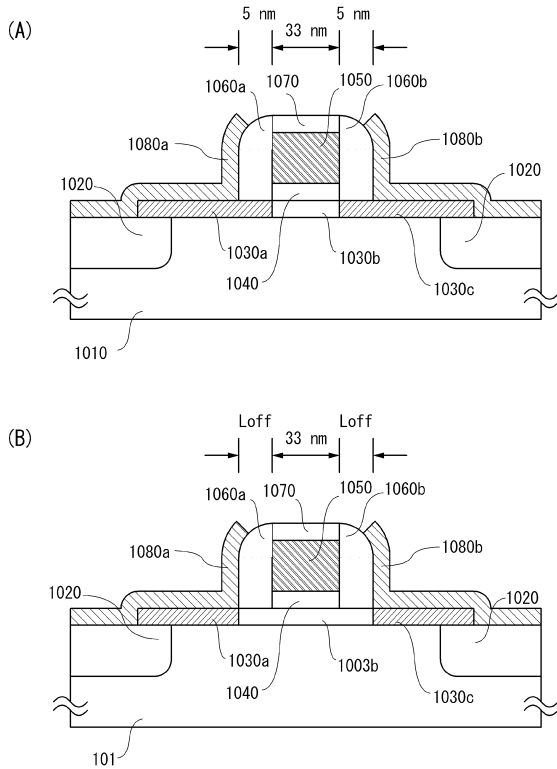
【 図 4 8 】



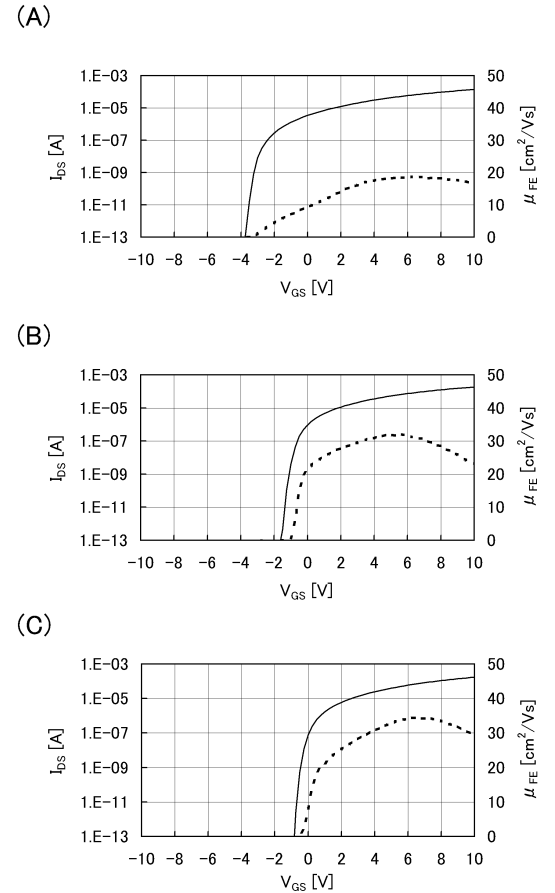
【 図 4 9 】



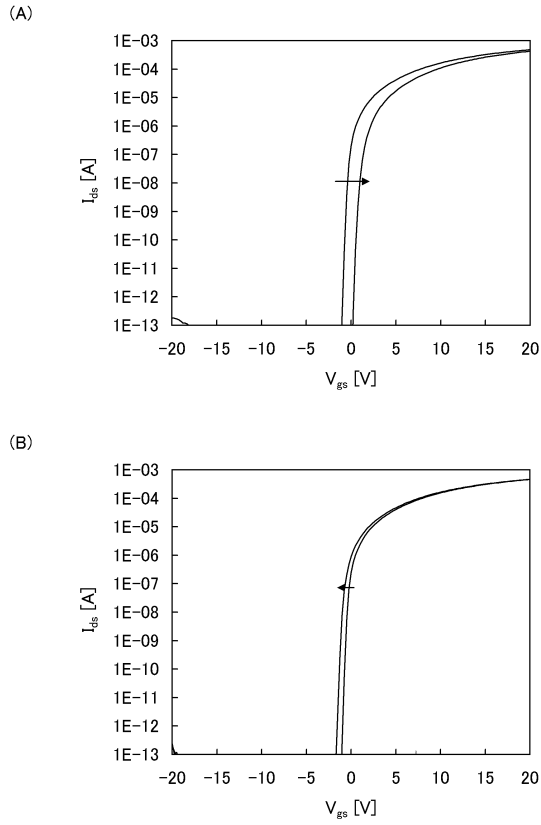
【 図 5 0 】



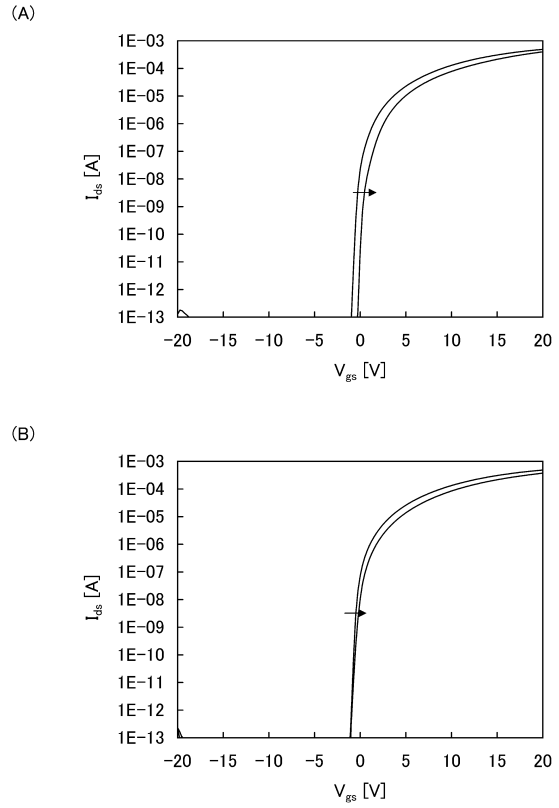
【 図 5 1 】



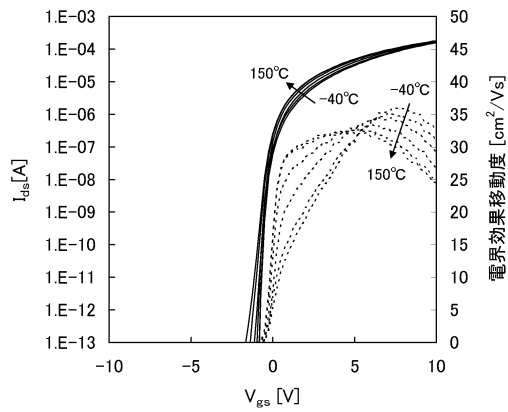
【 図 5 2 】



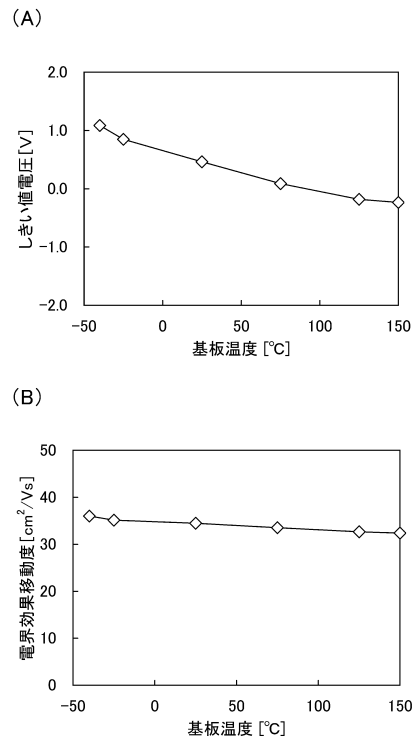
【 図 5 3 】



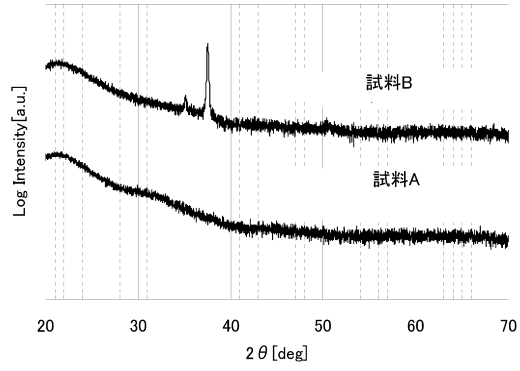
【 図 5 4 】



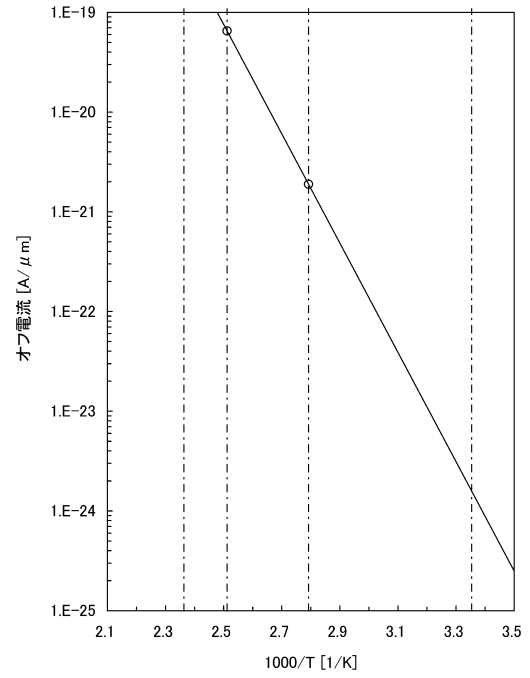
【 図 5 5 】



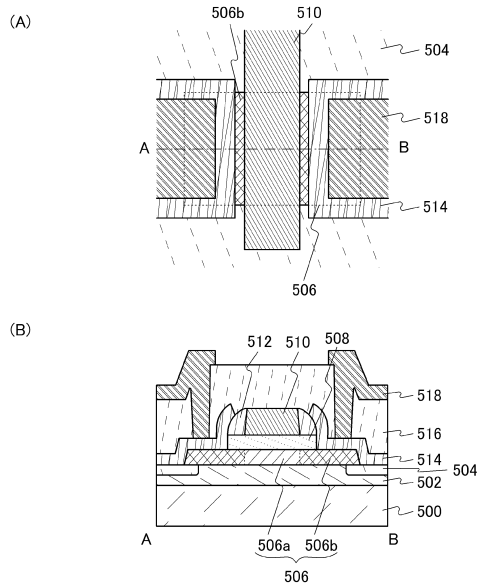
【図56】



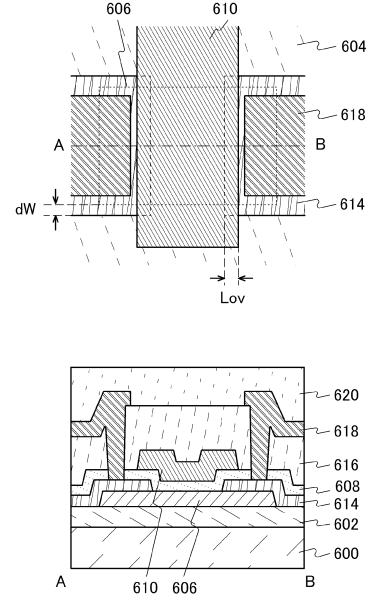
【図57】



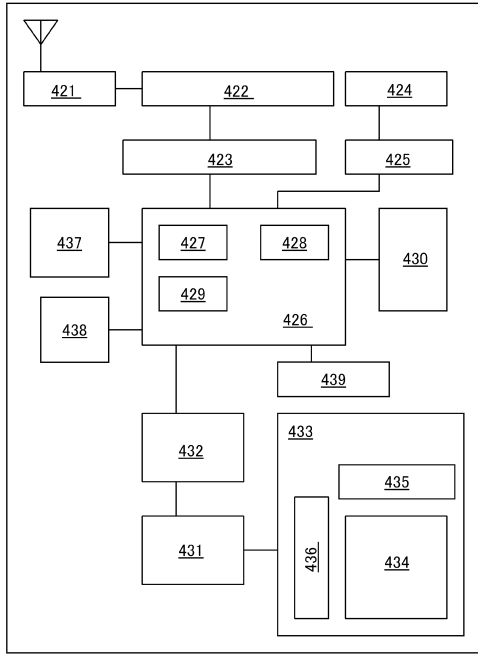
【図58】



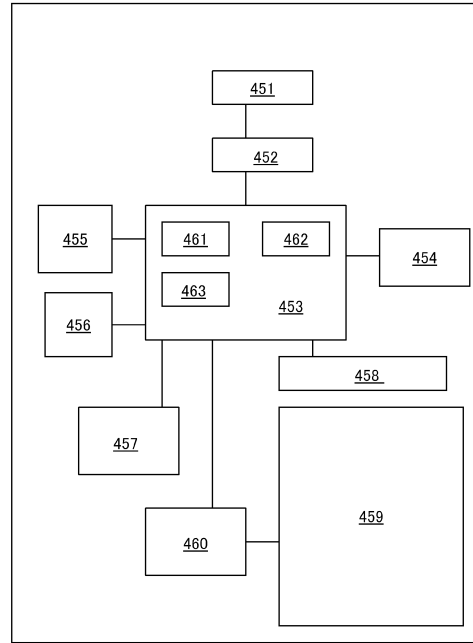
【図59】



【 図 6 0 】

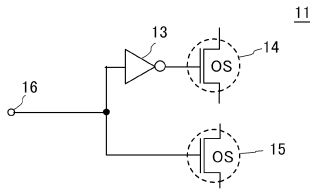


【 図 6 1 】

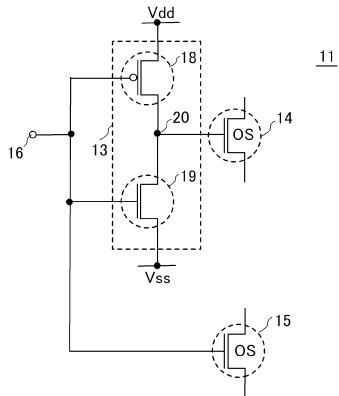


【 図 6 2 】

(A)

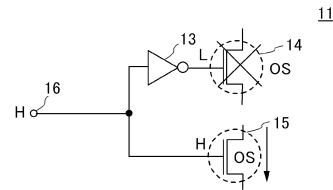


(B)

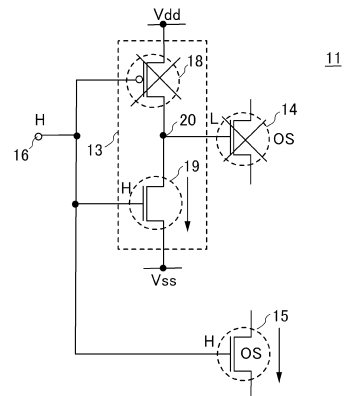


【 図 6 3 】

(A)

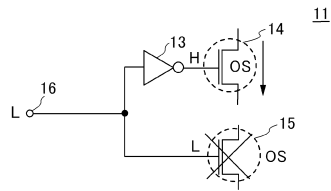


(B)

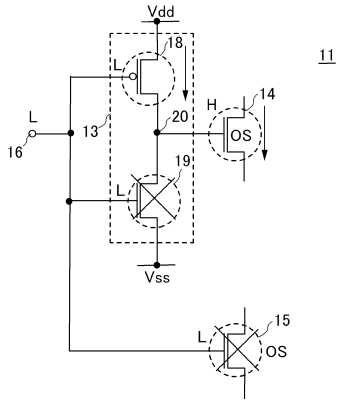


【 6 4 】

(A)

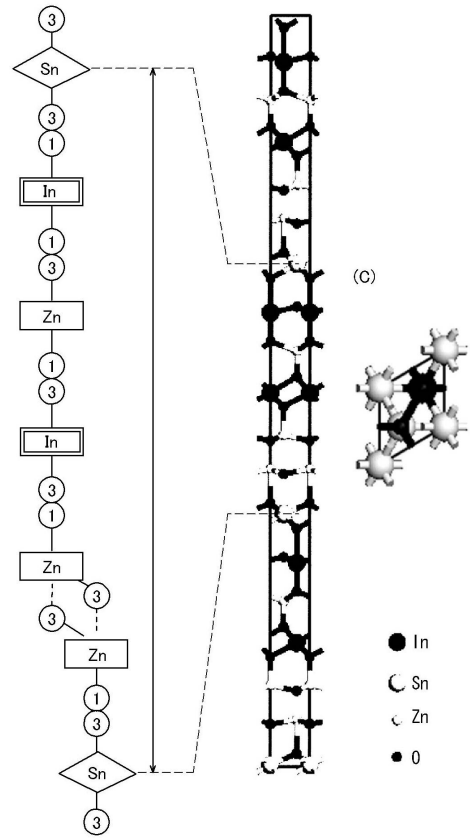


(B)

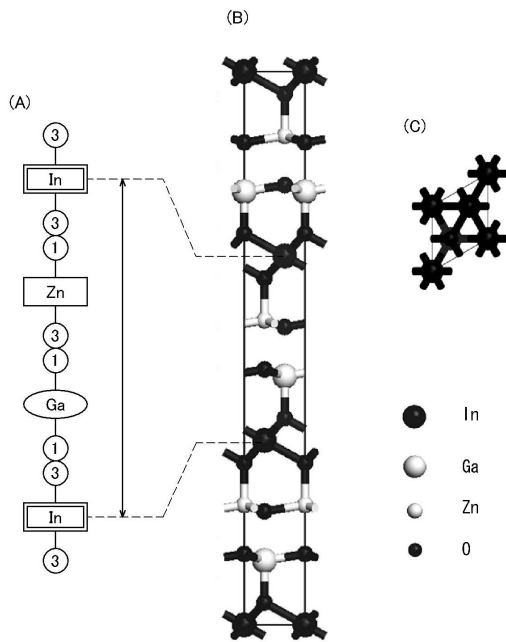


【 4 1 】

(A)

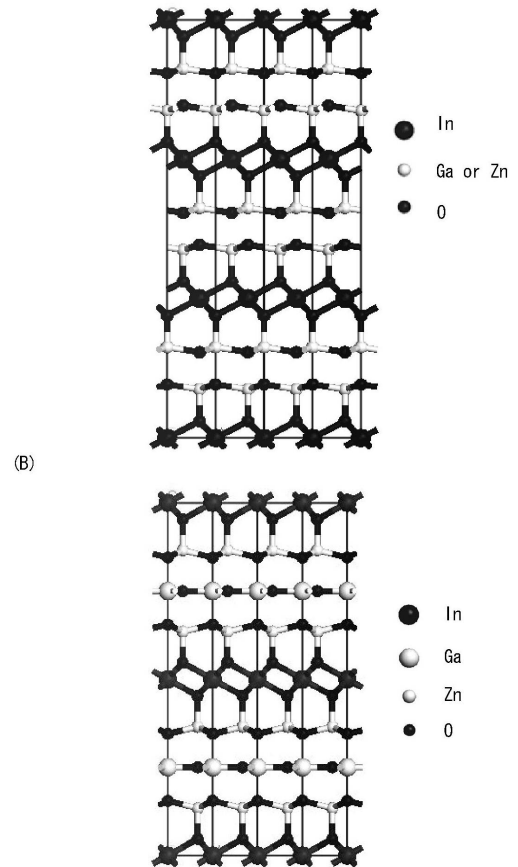


【 4 2 】



【 6 5 】

(A)



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	27/04	(2006.01)	H 0 1 L	27/04	F
H 0 3 K	17/687	(2006.01)	H 0 3 K	17/687	F

- (56)参考文献 特開2011-059682(JP,A)
米国特許出願公開第2011/101351(US,A1)
特開2010-171404(JP,A)
特開2006-165532(JP,A)
特開平05-218849(JP,A)
特開平05-235729(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 3 K 1 9 / 0 9 4 4
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 9 / 7 8 6
H 0 3 K 1 7 / 6 8 7