

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4854456号
(P4854456)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl.		F I		
GO 1 R 31/28	(2006.01)	GO 1 R 31/28	V	
HO 1 L 27/04	(2006.01)	GO 1 R 31/28	G	
HO 1 L 21/822	(2006.01)	HO 1 L 27/04	T	

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2006-273370 (P2006-273370)	(73) 特許権者	308014341
(22) 出願日	平成18年10月4日(2006.10.4)		富士通セミコンダクター株式会社
(65) 公開番号	特開2008-89518 (P2008-89518A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成20年4月17日(2008.4.17)	(74) 代理人	100070150
審査請求日	平成21年8月24日(2009.8.24)		弁理士 伊東 忠彦
		(72) 発明者	武井 一弘
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	大槻 浩一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	藤原 伸二

最終頁に続く

(54) 【発明の名称】 半導体集積回路及び試験方法

(57) 【特許請求の範囲】

【請求項1】

伝搬遅延試験時にキャプチャされるパスに含まれ、出力バス上の出力段のバッファを有する入出力セルと、

該入出力セルの該出力バス及び入力バスに接続された、外部負荷又は試験装置が接続可能な端子と、

試験信号を生成する、IEEE std 1149.1 Standard Test Access Port and Boundary-Scan Architectureなる規格に適合したTAPC (Test Access Port Controller) と、

複数のフリップフロップで構成されたバウンダリスキャンチェーンを備え、

該入出力セルは、該試験信号にตอบสนองして該出力段のバッファの出力側でループバックする第1のパスと、該出力段のバッファの入力側でループバックする第2のパスとを切り替え可能な切り替え手段を有し、

該伝搬遅延試験以外の動作時には該第1のパスが選択され、該伝搬遅延試験時には該第2のパスが選択され、

該伝搬遅延試験時にキャプチャされるパスの始点及び終点は、該バウンダリスキャンチェーン中の任意の異なる2つのフリップフロップで構成され

該入出力セルは、

該出力バス上に設けられた入力段のバッファ及び該出力段のバッファと、

該入力バス上に設けられた入力段のバッファ及び出力段のバッファとを有し、

該第1のパスは、該出力バス上の該入力段のバッファと該出力段のバッファ及び該入力

10

20

バス上の該入力段のバッファと該出力段のバッファを含み、

該第 2 のバスは、該出力バス上の該入力段のバッファ及び該入力バス上の該出力段のバッファのみを含み、

該出力バス上の該出力段のバッファは、該バウンダリスキャンチェーン中の任意の 1 つのフリップフロップの出力で制御されることを特徴とする半導体集積回路。

【請求項 2】

伝搬遅延試験時にキャプチャされるバスに含まれ、出力バス上の出力段のバッファを有する入出力セルと、

該入出力セルの該出力バス及び入力バスに接続された、外部負荷又は試験装置が接続可能な端子と、

試験信号を生成する、IEEE std 1149.1 Standard Test Access Port and Boundary-Scan Architectureなる規格に適合した T A P C (Test Access Port Controller) と、

複数のフリップフロップで構成されたバウンダリスキャンチェーンを備え、

該入出力セルは、該試験信号にตอบสนองして該出力段のバッファの出力側でループバックする第 1 のバスと、該出力段のバッファの入力側でループバックする第 2 のバスとを切り替え可能な切り替え手段を有し、

該伝搬遅延試験以外の動作時には該第 1 のバスが選択され、該伝搬遅延試験時には該第 2 のバスが選択され、

該伝搬遅延試験時にキャプチャされるバスの始点及び終点は、該バウンダリスキャンチェーン中の任意の異なる 2 つのフリップフロップで構成され、

該入出力セルは、

該出力バス上に設けられた入力段のバッファ及び該出力段のバッファと、

該入力バス上に設けられた出力段のバッファとを有し、

該第 1 のバスは、該出力バス上の該入力段のバッファと該出力段のバッファ及び該入力バス上の該出力段のバッファを含み、

該第 2 のバスは、該出力バス上の該入力段のバッファ及び該入力バス上の該出力段のバッファのみを含み、

該出力バス上の該出力段のバッファは、該バウンダリスキャンチェーン中の任意の 1 つのフリップフロップの出力で制御されることを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路及び試験方法に係り、特に入出力セル経由のバスの高速試験を行う半導体集積回路及び試験方法に関する。

【背景技術】

【0002】

図 1 は、従来の半導体集積回路の一例の要部を示す図である。LSI 回路 1 は、図 1 に示す如く接続されたバウンダリスキャンチェーン 2、システム回路 3 - 1 ~ 3 - 4、入出力 (I O : Input Output) セル 4 及び I O パッド 5 を有する。バウンダリスキャンチェーン 2 は、バウンダリスキャン試験機能を実現するためのレジスタ (又は、バウンダリスキャン内蔵レジスタ) を構成するフリップフロップ 6 - 1 ~ 6 - 5 (F F 1 ~ F F 5) を有する。各フリップフロップ 6 - 1 ~ 6 - 5 のクロック入力端子にはスキャンテストクロック S T C L K が入力され、 I O セル 4 の制御端子にはフリップフロップ 6 - 5 からシステム回路 3 - 4 を介してバス制御信号 P C N T が入力される。 I O パッド 5 と接地との間には、外部負荷 (図示せず) が接続される。

【0003】

伝搬遅延試験 (又は、トランジションディレイ試験) では、高速の、即ち、短周期のスキャンテストクロック S T C L K を入力することで、フリップフロップ 6 - 1 ~ 6 - 5 間のデータバスの伝搬遅延故障を検出する。スキャンテストクロック S T C L K の周波数は例えば約 1 0 0 M H z である。このような伝搬遅延試験時にキャプチャされるバスには、

10

20

30

40

50

上記システム回路 3 - 1 ~ 3 - 3 等と I O セル 4 が含まれる。

【 0 0 0 4 】

図 2 は、従来の I O セル及びその周辺構造を示す図である。図 2 に示すように、伝搬遅延試験で I O セル 4 を含むパス 5 0 0 を試験する場合、パス 5 0 0 の途中に I O セル 4 があるために、L S I 回路 1 の試験時の外部負荷 8、即ち、試験装置の負荷（容量）の影響が、黒矢印で示すように、パス遅延と信号反射になって現れる。試験装置の負荷は、L S I 回路 1 の通常動作時の外部負荷 8 と比べて大きいため、試験時の I O セル 4 を含むパス 5 0 0 の遅延も、通常動作時のパス 5 0 0 の遅延より長くなり、伝搬遅延試験の動作周波数を下げる要因になる。尚、図 2 において、伝搬遅延試験時にキャプチャされるパス 5 0 0 にはシステム回路 3 - 2、3 - 3 が含まれ、フリップフロップ 6 - 3 はパス 5 0 0 の始点、フリップフロップ 6 - 4 はパス 5 0 0 の終点を構成する。

10

【 0 0 0 5 】

例えば、高速インタフェースの入力データを出力部にループバックするセレクタを備えた半導体集積回路が特許文献 1 にて提案されている。又、入力機能を有する端子の入力特性の試験を、他の入力端子の状態や内部回路のロジックに依存することなく行うことが特許文献 2 にて提案されている。

【特許文献 1】特開平 8 - 6 2 2 9 8 号公報

【特許文献 2】特開平 1 0 - 2 6 6 5 4 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 0 6 】

従来の半導体集積回路では、伝搬遅延試験を外部負荷の影響を受けずに行うことが難しいという問題があった。

【 0 0 0 7 】

そこで、本発明は、外部負荷の影響を受けず伝搬遅延試験を行うことが可能な半導体集積回路及び試験方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上記の課題は、伝搬遅延試験時にキャプチャされるパスに含まれ、出力バス上の出力段のバッファを有する入出力セルと、該入出力セルの該出力バス及び入力バスに接続された外部負荷又は試験装置が接続可能な端子とを備え、該入出力セルは、該出力段のバッファの出力側でループバックする第 1 のパスと、該出力段のバッファの出力側でループバックする第 2 のパスとを切り替え可能な切り替え手段を有し、通常動作時には該第 1 のパスが選択され、該伝搬遅延試験時には該第 2 のパスが選択されることを特徴とする半導体集積回路によって達成できる。

30

【 0 0 0 9 】

上記の課題は、伝搬遅延試験時にキャプチャされるパスに含まれ出力バス上の出力段のバッファを有する入出力セルと、該入出力セルの該出力バス及び入力バスに接続された外部負荷又は試験装置が接続可能な端子とを備えた半導体集積回路の試験方法であって、通常動作時には該出力段のバッファの出力側でループバックする第 1 のパスが選択され、該伝搬試験時には該出力段のバッファの出力側でループバックする第 2 のパスが選択されるように該入出力セル内の切り替え手段を制御することを特徴とする試験方法によって達成できる。

40

【発明の効果】

【 0 0 1 0 】

本発明によれば、外部負荷の影響を受けず伝搬遅延試験を行うことが可能な半導体集積回路及び試験方法を実現することができる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

本発明の半導体集積回路では、I O セルが出力段のバッファの出力側でループバックす

50

る第1のパスと出力段のバッファの入力側でループバックする第2のパスとを切り替え可能な切り替え手段を有する。通常動作時には、出力段のバッファの出力側をループバックする第1のパスが選択され、伝搬遅延試験時には、出力段のバッファの入力側をループバックする第2のパスが選択される。

【0012】

これにより、外部負荷の影響を受けずに伝搬遅延試験を行うことが可能となる。又、外部負荷の影響が、I/Oセルを含むパスのパス遅延と信号反射になって現れることを抑制し、試験装置が接続されたことによる試験装置の負荷(容量)に起因する試験速度への影響を抑制することができる。

以下に、本発明の半導体集積回路及び試験方法の各実施例を、図3以降と共に説明する

10

【実施例1】

【0013】

図3は、本発明の半導体集積回路の第1実施例の要部を示す図である。図3中、図1及び図2と同一部分には同一符号を付し、その説明は省略する。LSI回路11は、半導体装置の単一基板上に形成されている。制御パッド(又は、制御端子)18には、伝搬遅延試験を示す試験信号TSTが、LSI回路11内部或いはLSI回路11外部から入力される。

【0014】

I/Oセル14は、I/Oパッド5への出力バスとI/Oパッド5からの入力バスを有する。出力バスには、入力段を構成するプレバッファ21と、出力段を構成するファイナルバッファ22が設けられている。他方、入力バスには、入力段を構成するプレバッファ23と、出力段を構成するファイナルバッファ24が設けられている。バッファ22は、フリップフロップ(FF5)6-5から出力されるバス制御信号BCTLにより制御される。バッファ21, 22を接続する出力バス上のノードと、バッファ23, 24を接続する入力バス上のノードとは、切り替え部SW1を介して接続されている。入力バス上で、バッファ23と、切り替え部SW1及び入力バスを接続するノードとは、切り替え部SW2を介して接続されている。切り替え部SW1のオン/オフ(閉成/開成)状態は、制御パッド18からインバータ25を介して供給される試験信号TST(反転試験信号/TST)により制御される。切り替え部SW2のオン/オフ状態は、制御パッド18から供給される試験信号TSTにより制御される。切り替え部SW1, SW2及びインバータ25は、切り替え手段を構成する。

20

30

【0015】

LSI回路11の通常動作時には、試験信号TSTにตอบสนองして切り替え部SW1はオフ状態に、切り替え部SW2はオン状態に制御される。他方、LSI回路11の伝搬遅延試験時には、試験信号TSTにตอบสนองして切り替え部SW1はオン状態に、切り替え部SW2はオフ状態に制御される。これにより、伝搬遅延試験時には、I/Oセル14を含むパス100を試験する場合、パス100の途中にI/Oセル14があるものの、LSI回路11の試験時の外部負荷8、即ち、試験装置の負荷(容量)の影響は、黒矢印で示すように、パス遅延と信号反射になって現れることがない。試験装置の負荷は、LSI回路11の通常動作時の外部負荷8と比べて大きい。試験時のI/Oセル14を含むパス100の遅延は、通常動作時のパス100の遅延と略同じとなり、伝搬遅延試験の動作周波数を下げる要因にはならない。尚、図3において、伝搬遅延試験時にキャプチャされるパス100にはシステム回路3-2, 3-3とI/Oセル14が含まれ、フリップフロップ6-3はパス100の始点、フリップフロップ6-4はパス100の終点を構成する。

40

【0016】

このように、I/Oセル14が出力段のバッファ22の入力側でループバックする切り替え部SW1を経由するパスと出力側でループバックする切り替え部SW2を経由するパスとを切り替え可能な構成とし、通常動作時には出力段のバッファ22の出力側をループバックするパスが選択され、伝搬遅延試験時には出力段のバッファ22の入力側をループバ

50

ックするパスが選択されるので、外部負荷の影響を受けずに伝搬遅延試験を行うことが可能となる。又、外部負荷の影響が、I Oセル14を含むパス100のパス遅延と信号反射になって現れることを抑制し、試験装置が接続されたことによる試験装置の負荷(容量)に起因する試験速度への影響を抑制することができる。

【0017】

図4は、I Oセル14の他の構成を示す図である。図4では、切り替え部SW1がトランジスタ31で構成され、切り替え部SW2がトランジスタ32で構成されている。トランジスタ31, 32及びインバータ25は、切り替え手段を構成する。

【0018】

図5は、I Oセル14の他の構成を示す図である。図5では、切り替え部SW1, SW2及びインバータ25の機能が、セレクタ41により実現される。セレクタ41の入力端子には、バッファ21の出力と、バッファ23の出力とが入力される。セレクタ41のセレクト端子には、制御パッド18から供給される試験信号TSTが入力される。LSI回路11の通常動作時には、試験信号TSTにตอบสนองしてセレクタ41はバッファ21の出力を選択出力するように制御される。他方、LSI回路11の伝搬遅延試験時には、試験信号TSTにตอบสนองしてセレクタ41はバッファ23の出力を選択出力するように制御される。セレクタ41は、切り替え手段を構成する。

【0019】

図6は、I Oセル14の他の構成を示す図である。図6では、切り替え部SW1, SW2及びインバータ25の機能が、トランジスタ51及びオア(OR)回路52により実現される。又、バッファ23が省略される。トランジスタ51は、バッファ21の出力とバッファ24の入力との間に設けられ、試験信号TSTによりオン/オフ状態が制御される。オア回路の一方の入力端子にはバッファ22の出力が入力され、他方の入力端子には試験信号TSTが入力される。LSI回路11の通常動作時には、試験信号TSTにตอบสนองしてトランジスタ51がオフ状態に制御され、オア回路52からはバッファ22の出力が出力される。他方、LSI回路11の伝搬遅延試験時には、試験信号TSTにตอบสนองしてトランジスタ51がオン状態に制御され、オア回路52からはバッファ22の出力が出力されない。トランジスタ51及びオア回路52は、切り替え手段を構成する。

【実施例2】

【0020】

図7は、本発明の半導体集積回路の第2実施例の要部を示す図である。図7中、図3と同一部分には同一符号を付し、その説明は省略する。図7において、I Oセル14Aは、LSI回路11Aに設けられた伝搬遅延試験専用の制御パッド(又は、試験端子)18から入力された試験信号TSTを入力する構成を有する。

【実施例3】

【0021】

図8は、本発明の半導体集積回路の第3実施例の要部を示す図である。図8中、図3と同一部分には同一符号を付し、その説明は省略する。図8において、I Oセル14Bは、LSI回路11B内で生成された試験信号TSTを入力する構成を有する。試験信号TSTは、LSI回路11内に設けられたJTAGTAPC61により生成される。JTAGTAPC61は、IEEE std 1149.1 Standard Test Access Port and Boundary-Scan Architectureなる規格に適合したTAPC(Test Access Port Controller)であり、バウンダリスキャン試験機能を実現するためのレジスタ、即ち、フリップフロップ6-1~6-5により構成されるバウンダリスキャン内蔵レジスタを制御する。JTAGTAPC61は、LSI回路11のパッド(又は、端子)19-1~19-4から入力される信号TCK, TRST, TDI, TMSに基づいて試験信号TSTを生成する。JTAGTAPC61には、上記レジスタへのデータ設定やJTAGTAPC61の制御のためにTCK, TMS, TDI, TDO, TRSTなる5つの信号が用意されており、上記信号TCK, TRST, TDI, TMSはそのうちの4つの入力信号であり、上記試験信号TSTはそのうちの出力信号TDOに相当する。信号TCKは、システム回路(又は、デバイス)間

10

20

30

40

50

を接続するシリアルデータバスのシステムクロック (Test Clock Input) であり、L S I 回路 1 1 B の試験動作及び通常動作はこのシステムクロックに同期して行われる。信号 T M S は、試験論理を制御する入力信号 (Test Mode Select input) である。信号 T D I は、試験論理に対して命令やデータのシリアル入力信号 (Test Data Input) である。信号 T D O は、試験論理からのデータのシリアル出力信号 (Test Data Output) である。信号 T R S T は、J T A G T A P C 6 1 の非同期リセットを行う入力信号であり、オプションである。

【 0 0 2 2 】

尚、本発明は、以下に付記する発明をも包含するものである。

(付記 1) 伝搬遅延試験時にキャプチャされるパスに含まれ、出力バス上の出力段のバッファを有する入出力セルと、

10

該入出力セルの該出力バス及び入力バスに接続された、外部負荷又は試験装置が接続可能な端子とを備え、

該入出力セルは、該出力段のバッファの出力側でループバックする第 1 のパスと、該出力段のバッファの出力側でループバックする第 2 のパスとを切り替え可能な切り替え手段を有し、

通常動作時には該第 1 のパスが選択され、該伝搬遅延試験時には該第 2 のパスが選択されることを特徴とする半導体集積回路。

(付記 2) 該切り替え手段は、該半導体集積回路内部或いは外部から入力される試験信号に応答して該第 1 及び第 2 のパスを切り替えることを特徴とする付記 1 記載の半導体集積回路。

20

(付記 3) 複数のフリップフロップで構成されたバウンダリスキャンチェーンを備え、

該伝搬遅延試験時にキャプチャされるパスの始点及び終点は、該バウンダリスキャンチェーン中の任意の異なる 2 つのフリップフロップで構成されることを特徴とする付記 1 又は 2 記載の半導体集積回路。

(付記 4) 該入出力セルは、

該出力バス上に設けられた入力段のバッファ及び該出力段のバッファと、

該入力バス上に設けられた入力段のバッファ及び出力段のバッファとを有し、

該第 1 のパスは、該出力バス上の該入力段のバッファと該出力段のバッファ及び該入力バス上の該入力段のバッファと該出力段のバッファを含み、

30

該第 2 のパスは、該出力バス上の該入力段のバッファ及び該入力バス上の該出力段のバッファのみを含むことを特徴とする付記 3 記載の半導体集積回路。

(付記 5) 該入出力セルは、

該出力バス上に設けられた入力段のバッファ及び該出力段のバッファと、

該入力バス上に設けられた出力段のバッファとを有し、

該第 1 のパスは、該出力バス上の該入力段のバッファと該出力段のバッファ及び該入力バス上の該出力段のバッファを含み、

該第 2 のパスは、該出力バス上の該入力段のバッファ及び該入力バス上の該出力段のバッファのみを含むことを特徴とする付記 3 記載の半導体集積回路。

(付記 6) 該出力バス上の該出力段のバッファは、該バウンダリスキャンチェーン中の任意の 1 つのフリップフロップの出力で制御されることを特徴とする付記 4 又は 5 記載の半導体集積回路。

40

(付記 7) 該試験信号を生成する、IEEE std 1149.1 Standard Test Access Port and Boundary-Scan Architecture なる規格に適合した T A P C (Test Access Port Controller) を更に備えたことを特徴とする、付記 2 記載の半導体集積回路。

(付記 8) 伝搬遅延試験時にキャプチャされるパスに含まれ出力バス上の出力段のバッファを有する入出力セルと、該入出力セルの該出力バス及び入力バスに接続された外部負荷又は試験装置が接続可能な端子とを備えた半導体集積回路の試験方法であって、

通常動作時には該出力段のバッファの出力側でループバックする第 1 のパスが選択され、該伝搬試験時には該出力段のバッファの出力側でループバックする第 2 のパスが選択さ

50

れるように該入出力セル内の切り替え手段を制御することを特徴とする試験方法。

(付記 9) 該半導体集積回路内部或いは外部から試験信号を該切り替え手段に入力して、該伝搬遅延試験時には該第 2 のパスを選択させることを特徴とする付記 8 記載の試験方法。

(付記 10) 該半導体集積回路は複数のフリップフロップで構成されたバウンダリスキャンチェーンを備え、

該伝搬遅延試験時にキャプチャされるパスの始点及び終点を該バウンダリスキャンチェーン中の任意の異なる 2 つのフリップフロップで構成することを特徴とする付記 8 又は 9 記載の試験方法。

(付記 11) 該試験信号は、該半導体集積回路内に設けられた IEEE std 1149.1 Standard Test Access Port and Boundary-Scan Architecture なる規格に適合した TAPC (Test Access Port Controller) により生成することを特徴とする、付記 9 記載の試験方法

10

【 0 0 2 3 】

以上、本発明を実施例により説明したが、本発明は上記実施例に限定されるものではなく、本発明の範囲内で種々の変形及び改良が可能であることは言うまでもない。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 従来の半導体集積回路の一例の要部を示す図である。

【 図 2 】 従来の I O セル及びその周辺構造を示す図である。

20

【 図 3 】 本発明の半導体集積回路の第 1 実施例の要部を示す図である。

【 図 4 】 I O セルの他の構成を示す図である。

【 図 5 】 I O セルの他の構成を示す図である。

【 図 6 】 I O セルの他の構成を示す図である。

【 図 7 】 本発明の半導体集積回路の第 2 実施例の要部を示す図である。

【 図 8 】 本発明の半導体集積回路の第 3 実施例の要部を示す図である。

【 符号の説明 】

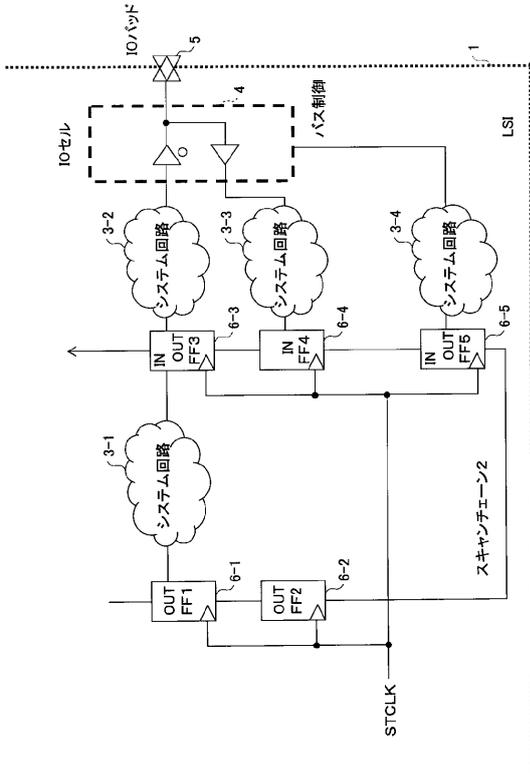
【 0 0 2 5 】

2 バウンダリスキャンチェーン
 3 - 1 ~ 3 - 4 システム回路
 5 I O パッド
 8 外部負荷
 6 - 1 ~ 6 - 5 フリップフロップ
 11 L S I 回路
 14 I O セル
 18 制御パッド
 S W 1 , S W 2 切り替え部

30

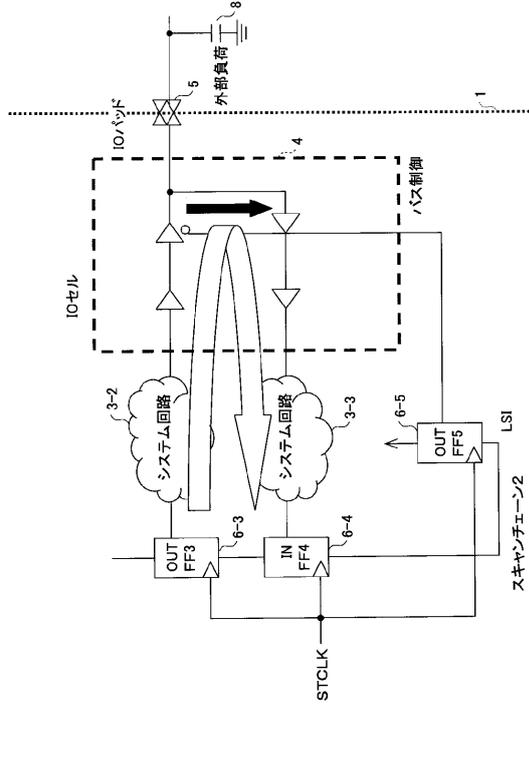
【 図 1 】

従来の半導体集積回路の一例の要部を示す図



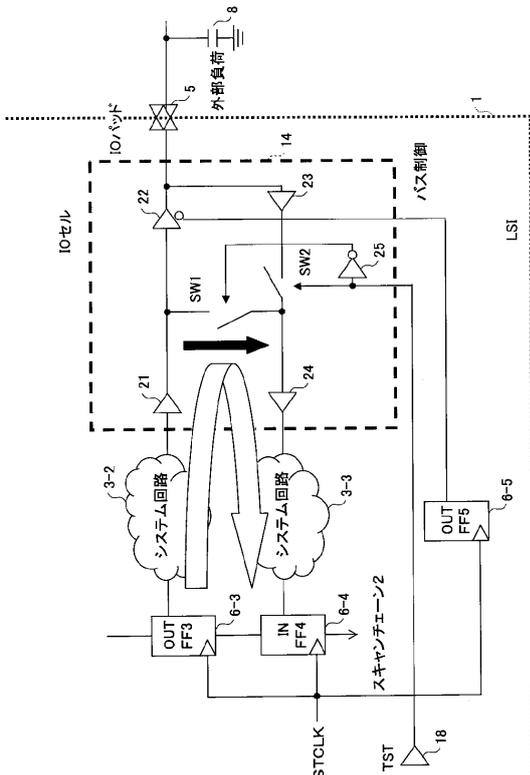
【 図 2 】

従来のIOセル及びその周辺構造を示す図



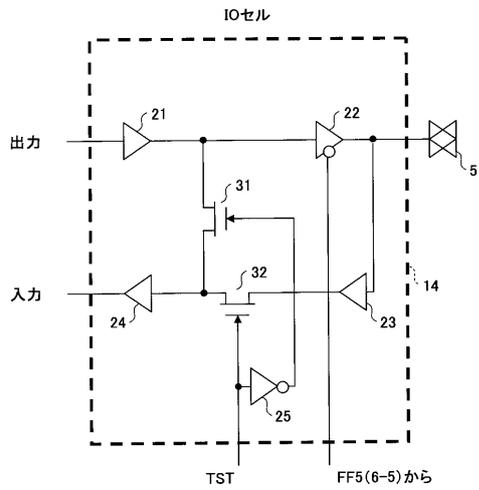
【 図 3 】

本発明の半導体集積回路の第1実施例の要部を示す図



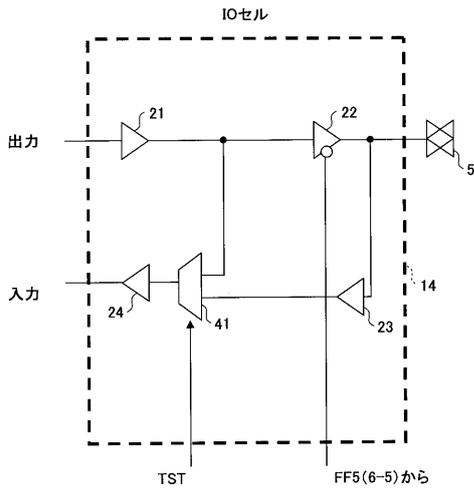
【 図 4 】

IOセルの他の構成を示す図



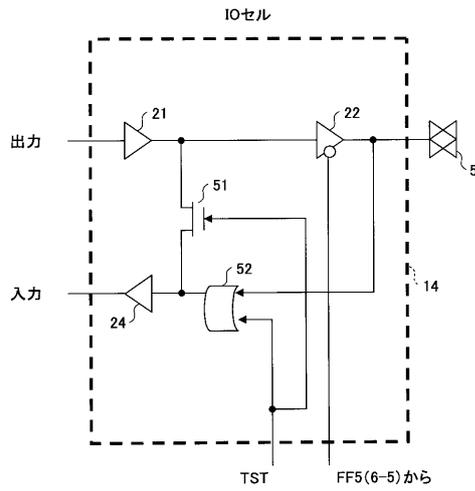
【図5】

IOセルの他の構成を示す図



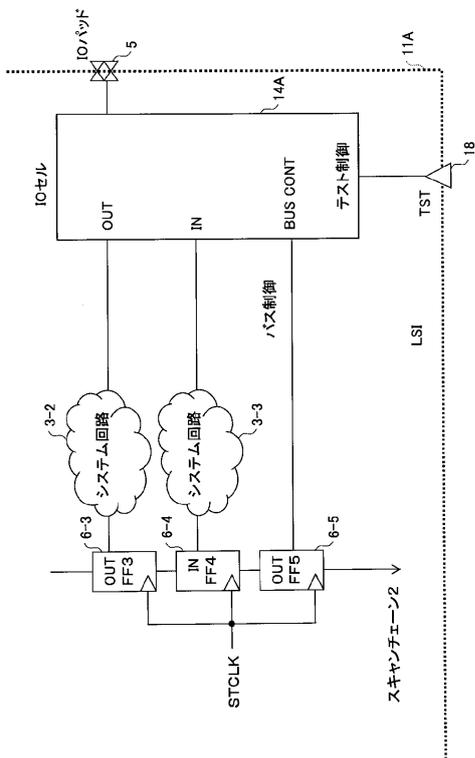
【図6】

IOセルの他の構成を示す図



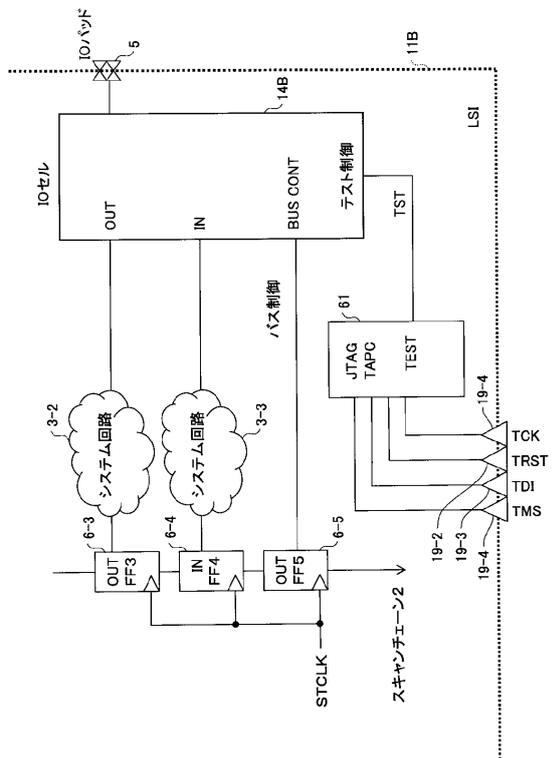
【図7】

本発明の半導体集積回路の第2実施例の要部を示す図



【図8】

本発明の半導体集積回路の第3実施例の要部を示す図



フロントページの続き

- (56)参考文献 特開平05 - 090945 (JP, A)
特開2004 - 069650 (JP, A)
特開平11 - 083952 (JP, A)
特開平09 - 008641 (JP, A)
特開2001 - 281304 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28 - 31/3193
H01L 21/822
H01L 27/04
G06F 11/22 - 11/26