

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월28일 10-0564608 2006년03월21일
--	-------------------------------------	--

(21) 출원번호	10-2004-0005649	(65) 공개번호	10-2005-0078273
(22) 출원일자	2004년01월29일	(43) 공개일자	2005년08월05일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김영태
 경기도수원시영통구망포동동수원엘지빌리지103-508

 황영남
 경기도화성군태안읍반월리신영통현대아파트303-904

 김태경
 경기도안양시동안구범계동목련우성아파트707-505

 정원영
 경기도화성군태안읍반월리신영통현대아파트402-201

 이근호
 서울특별시서초구서초4동유원아파트103-1309

(74) 대리인 리엔목특허법인
 이혜영

심사관 : 조지은

(54) 상변화 메모리 소자

요약

가변적인 단면적의 상변화 메모리층을 가지는 상변화 메모리 소자에 관하여 개시한다. 본 발명에 따른 상변화 메모리 소자는 반도체 기판상에 형성된 제1 도전층과, 상기 반도체 기판상에서 상기 제1 도전층과 이격되어 형성된 제2 도전층과, 상기 제1 도전층과 제2 도전층과의 사이에 연장되어 있는 상변화 메모리층을 포함한다. 상변화 메모리층은 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 가변적인 단면적을 가진다. 제1 도전층 및 제2 도전층이 반도체 기판상의 동일한 레벨에 형성되어 있는 경우, 상변화 메모리층은 기판에 평행하고 큰 단면적을 가지는 제1 부분과 기판에 평행하지 않고 작은 단면적을 가지는 제2 부분이 교대로 반복되는 구조를 가진다. 제1 도전층 및 제2 도전층이 반도체 기판상에서 서로 다른 레벨에 형성되어 있는 경우, 상변화 메모리층은 큰 폭을 가지는 제1 부분과, 작은 폭을 가지는 제2 부분이 수직 방향으로 교대로 반복되는 구조를 가진다.

대표도

도 1

색인어

PRAM, 상변화 메모리층, 칼코게나이드, 전류 밀도, 상변화 영역

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 상변화 메모리 소자의 구조를 도시한 단면도이다.

도 2는 도 1의 상변화 메모리 소자의 상변화 메모리층에 전류가 공급됨으로써 상변화 부분이 형성된 상태를 도시한 단면도이다.

도 3은 본 발명의 제2 실시예에 따른 상변화 메모리 소자의 구조를 도시한 단면도이다.

도 4는 도 2의 상변화 메모리 소자의 상변화 메모리층에 전류가 공급됨으로써 상변화 부분이 형성된 상태를 도시한 단면도이다.

도 5는 본 발명의 제3 실시예에 따른 상변화 메모리 소자의 구조를 도시한 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

10: 반도체 기판, 20: 제1 도전층, 30: 제2 도전층, 40: 상변화 메모리층, 42: 제1 부분, 44: 제2 부분, 46: 상변화 부분, 52: 제1 절연막, 54: 제2 절연막, 140: 상변화 메모리층, 142: 제1 부분, 144: 제2 부분, 146: 상변화 부분, 200: 반도체 기판, 220: 제1 도전층, 230: 제2 도전층, 240: 상변화 메모리층, 240a, 240b: 폭 변화부, 242: 제1 부분, 244: 제2 부분.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상변화 메모리 소자에 관한 것으로, 특히 칼코게나이드 (chalcogenide) 물질의 특성을 이용하는 PRAM (phase-change random access memory)에 관한 것이다.

PRAM은 칼코게나이드 물질로 이루어지는 상변화 물질이 그 결정상에 따라 전기적 저항이 변화되는 특성을 이용하는 메모리 소자이다. 칼코게나이드 물질로 이루어지는 상변화 물질막은 인가되는 전류 프로파일의 차이에 의해 적어도 그 일부가 결정 상태 또는 비정질 상태로 변화된다. 상변화 물질막의 결정 상태는 예를 들면 온도 변화에 의하여 선택적으로 변화시킬 수 있다. 즉, 상변화 물질막에 인가되는 전류 프로파일을 제어함으로써 온도를 변화시켜 상변화 물질막의 적어도 일부의 결정 상태를 변화시킬 수 있다. 예를 들면, 비교적 높은 전류 펄스를 단시간 동안 인가하여 상변화 물질막의 온도를 그 녹는점까지 높인 후 급속히 냉각시키면 상기 상변화 물질막은 저항이 높은 비정질 상태, 즉 리세트(RESET) 상태로 되고, 비교적 낮은 전류 펄스를 인가하여 냉각시키면 저항이 낮은 결정 상태, 즉 세트(SET) 상태로 된다.

상변화 메모리 소자에 있어서, 구동시의 전력 소모를 줄이고 신뢰성을 향상시키기 위하여 가장 중요한 것은 상변화 물질막의 결정 상태를 변화시키기 위하여 요구되는 전류의 크기를 줄이는 것이다. 그에 따라, 상변화 물질막과 콘택 플러그 사이의 접촉 면적을 줄임으로써 주울 히팅(Joule heating) 효율을 높이려는 다양한 시도들이 있었다.

종래 기술에 따른 대표적인 상변화 메모리 소자는 기본적으로 하부 전극, 상변화 물질막 및 상부 전극을 가지며, 이들이 수직으로 차례로 연결되어 있는 수직 콘택 구조(vertical contact structure)를 가진다. (예를 들면, Stefan Lai, Tyler Lowrey, "OUM - A 180nm Nonvolatile Memory Cell Element Technology For Stand Alone and Embedded

Applications", IEDM Tech. Dig. (2001) 참조) 이와 같은 구조에서는 상변화 물질막과 하부 전극과의 접촉 면적을 가능한 한 작게 만들어줌으로써 두 접촉면에서의 전류 밀도가 급격하게 증가되게 하고, 이를 이용하여 주열 히팅(Joule heating)을 일으키도록 한다.

그러나, 지금까지 알려진 종래 기술에 따른 상변화 메모리 소자의 구조에서는 상변화 물질막이 하부 전극과 상부 전극과의 사이에서 평면적으로 연장되어 있는 구조를 채용하고 있어서 열 손실을 억제하는 데 한계가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 바와 같은 종래 기술에서의 문제점을 해결하고자 하는 것으로, 상변화 물질막을 리셋 상태로 하는데 필요한 전류 크기를 줄이면서 주열 히팅 효율을 높일 수 있도록 상변화 물질막과 하부 전극의 접촉 면적을 가능한 한 작게 하면서 프로그래밍시의 전류 밀도를 증가시킬 수 있는 구조를 가지는 상변화 메모리 소자를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 상변화 메모리 소자는 반도체 기판상에 형성된 제1 도전층과, 상기 반도체 기판상에서 상기 제1 도전층과 이격되어 형성된 제2 도전층과, 상기 제1 도전층과 제2 도전층과의 사이에 연장되어 있는 상변화 메모리층을 포함한다. 상기 상변화 메모리층은 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 가변적인 단면적을 가진다.

본 발명에 따른 상변화 메모리 소자의 일 양태에 있어서, 상기 제1 도전층 및 제2 도전층은 상기 반도체 기판으로부터의 이격 거리가 상호 동일한 레벨에 형성되어 있고, 상기 반도체 기판의 주면 연장 방향과 평행한 방향으로 서로 이격되어 있을 수 있다. 이 때 상기 상변화 메모리층은 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 상기 반도체 기판으로부터의 이격 거리가 가변되도록 연장되어 있다. 또한, 상기 상변화 메모리층은 상기 반도체 기판으로부터의 이격 거리가 변화되는 단차 부분을 가진다. 그리고, 상기 상변화 메모리층은 상기 반도체 기판의 주면 연장 방향과 평행한 방향으로 연장되고 제1 단면적을 가지는 제1 부분과, 상기 반도체 기판의 주면 연장 방향에 평행하지 않은 방향으로 연장되고 상기 제1 단면적보다 작은 제2 단면적을 가지는 제2 부분을 포함한다. 상기 상변화 메모리층은 상기 제1 부분 및 제2 부분이 교대로 반복되는 구조를 가진다.

상기 제2 부분은 상기 반도체 기판의 주면 연장 방향과의 사이에 예각을 이루는 경사 방향으로 연장되거나, 또는 상기 반도체 기판의 주면 연장 방향에 수직인 방향으로 연장되도록 구성될 수 있다.

본 발명에 따른 상변화 메모리 소자의 다른 양태에 있어서, 상기 제1 도전층 및 제2 도전층은 각각 상기 반도체 기판으로부터의 이격 거리가 서로 다른 레벨에 형성되어 있고, 상기 반도체 기판의 주면 연장 방향에 수직인 방향으로 서로 이격되어 있을 수 있다. 이 때, 상기 상변화 메모리층은 상기 반도체 기판의 주면 연장 방향과 평행한 방향에 따라 연장되는 폭이 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 가변되도록 연장되어 있다. 또한, 상기 상변화 메모리층은 상기 반도체 기판의 주면 연장 방향과 평행한 방향에 따라 연장되는 폭이 변화되는 폭 변화부를 가진다. 그리고, 상기 상변화 메모리층은 상기 반도체 기판의 주면 연장 방향과 평행한 방향에 따라 제1 폭을 가지도록 연장되는 제1 부분과, 상기 반도체 기판의 주면 연장 방향과 평행한 방향에 따라 상기 제1 폭보다 작은 제2 폭을 가지도록 연장되는 제2 부분을 포함한다.

상기 상변화 메모리층은 칼코젠 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어진다. 바람직하게는, 상기 상변화 메모리층은 Ge, Sb 및 Te의 조합, 또는 In, Sb, Te 및 Ag의 조합으로 이루어진다.

본 발명에 의하면, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 프로그래밍을 위해 트랜지스터로부터 요구되는 전류의 크기를 종래 기술의 경우에 비해 작게 줄일 수 있으며, 그에 따라 신뢰성이 향상된 상변화 메모리 소자를 얻을 수 있다.

다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다.

도 1은 본 발명의 제1 실시예에 따른 상변화 메모리 소자의 구조를 개략적으로 도시한 단면도이다.

도 1을 참조하면, 본 발명에 따른 상변화 메모리 소자는 기본적으로 트랜지스터(도시 생략)를 구비한 반도체 기판(10)상에 각각 형성되어 있는 하부 전극 즉 제1 도전층(20)과, 상기 반도체 기판(10)상에서 상기 제1 도전층(20)과 이격되어 형성된 제2 도전층(30)을 포함한다. 상기 제1 도전층(20)과 제2 도전층(30)과의 사이에는 상변화 메모리층(phase-change memory layer)(40)이 연장되어 있다. 상기 상변화 메모리층(40)은 상기 제1 도전층(20)과 제2 도전층(30)과의 사이의 전류 흐름 경로에 따라 가변적인 단면적을 가지도록 형성되어 있다.

상기 제1 도전층(20) 및 제2 도전층(30)은 상기 반도체 기판(10)으로부터의 이격 거리가 상호 동일한 레벨에 형성되어 있으며, 상기 반도체 기판(10)의 주면 연장 방향과 평행한 방향으로 서로 이격되어 있다.

상기 제1 도전층(20) 및 제2 도전층(30)은 각각 금속, 합금, 금속 산화질화물, 또는 도전성 탄소화합물로 이루어질 수 있으며, 예를 들면 W, TiN, TaN, WN, MoN, NbN, TiSiN, TiAlN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoSiN, MoAlN, TaSiN, TaAlN, Ti, W, Mo, Ta, TiSi, TaSi, TiW, TiON, TiAlON, WON, TaON 등으로 이루어질 수 있다. 예를 들면, 상기 제1 도전층(20) 및 제2 도전층(30)은 각각 TiN으로 구성될 수 있다.

상기 상변화 메모리층(40)은 상기 반도체 기판(10) 위에서 상기 제1 도전층(20)과 제2 도전층(30)과의 사이에 개재되어 있는 제1 절연막(52)과 제2 절연막(54)과의 사이에 형성되어 있으며, 상기 제1 절연막(52) 위에서 상기 제1 도전층(20)과 제2 도전층(30)과의 사이의 전류 흐름 경로에 따라 상기 반도체 기판(10)으로부터의 이격 거리가 가변되도록 연장되어 있다.

상기 상변화 메모리층(40)은 칼코젠 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어진다. 예를 들면, 상기 상변화 메모리층(40)은 Te, Se, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O 및 이들의 혼합물 또는 합금으로 구성되는 군에서 선택되는 물질을 포함한다. 바람직하게는, 상기 상변화 메모리층(40)은 Ge, Sb 및 Te의 조합, 또는 In, Sb, Te 및 Ag의 조합으로 이루어진다.

상기 상변화 메모리층(40)은 상기 반도체 기판(10)의 주면 연장 방향과 평행한 방향으로 연장되고 제1 단면적을 가지는 제1 부분(42)과, 상기 반도체 기판(10)의 주면 연장 방향과 평행하지 않은 방향으로 연장되고 상기 제1 단면적보다 작은 제2 단면적을 가지는 제2 부분(44)을 포함한다. 즉, 상기 상변화 메모리층(40)의 제1 부분(42)의 두께(d_1) 보다 상기 제2 부분(44)의 두께(d_2)가 더 작다. 따라서, 상기 제2 부분(44)에서는 상기 제1 부분(42)에서 보다 작은 단면적을 제공하게 된다.

도 1에 있어서, 상기 제2 부분(44)은 상기 반도체 기판(10)의 주면 연장 방향과의 사이에 예각을 이루는 경사 방향으로 연장되어 있다. 이와 같은 구조에 의하여, 상기 상변화 메모리층(40)의 제2 부분(44)은 상기 반도체 기판(10)으로부터의 이격 거리가 변화되는 단차 부분을 구성하게 된다. 상기 상변화 메모리층(40)은 상기 제1 부분(42) 및 제2 부분(44)이 교대로 반복되는 구조를 가진다.

도 2는 도 1에 도시한 상변화 메모리 소자의 상변화 메모리층(40)에 전류가 공급될 때 상기 상변화 메모리층(40)에서 상변화 부분(46)이 형성되는 양상을 보여주는 단면도이다.

도 2에 도시한 바와 같이, 상기 제1 전극(20)과 제2 전극(30)과의 사이에서 전류 흐름 경로에 따라 연장되어 있는 상기 상변화 메모리층(40)에서 상기 제2 부분(44)에 의하여 형성되는 단차 부분으로 인하여 상기 제1 부분(42) 중 일부가 상기 제1 전극(20) 및 제2 전극(30)으로부터 멀리 이격되어 있게 된다. 이와 같이, 상기 제2 부분(44)에 형성되는 상변화 부분(46)의 히트 코어(heat core) 영역이 비교적 열전도율이 큰 도전 물질로 이루어지는 상기 제1 전극(20) 및 제2 전극(30)으로부터 멀리 이격되어 있으므로 상기 상변화 부분(46)에 형성된 열 확산을 제한(confine)하는 효과가 극대화될 수 있다. 따라서, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 프로그래밍을 위해 트랜지스터로부터 요구되는 전류의 크기를 종래 기술의 경우에 비해 작게 줄일 수 있다. 또한, 종래 기술에 비하여 낮은 수준의 전류를 이용한 메모리 소자의 동작이 가능하므로 소자의 신뢰성이 향상될 수 있다.

도 3은 본 발명의 제2 실시예에 따른 상변화 메모리 소자의 구조를 개략적으로 도시한 단면도이다.

제2 실시예는 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 상변화 메모리층(140)의 제2 부분(144)이 상기 반도체 기판(10)의 주면 연장 방향에 수직인 방향으로 연장되어 있으며, 상기 제2 부분(144)에 의하여 형성되는 단차 부분이 4개 부분에 형성되어 있다는 것이다. 도 3에 도시한 제2 실시예에 있어서 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타낸다.

도 3에 있어서, 상기 상변화 메모리층(140)은 도 1에서의 상변화 메모리층(40)과 마찬가지로 상기 반도체 기판(10)의 주면 연장 방향과 평행한 방향으로 연장되는 제1 부분(142)과 수직인 방향으로 연장되는 상기 제2 부분(144)이 제1 절연막(52) 위에서 교대로 반복되는 구조를 가진다. 상기 상변화 메모리층(140)은 도 1을 참조하여 상기 상변화 메모리층(40)에 대하여 설명한 바와 같은 구성 물질로 이루어질 수 있다. 또한, 상기 상변화 메모리층(140)의 제1 부분(142)의 두께(d_3) 보다 상기 제2 부분(144)의 두께(d_4)가 더 작다. 따라서, 상기 제2 부분(144)에서는 상기 제1 부분(142)에서 보다 작은 단면적을 제공하게 된다.

도 4는 도 3에 도시한 상변화 메모리 소자의 상변화 메모리층(140)에 전류가 공급될 때 상기 상변화 메모리층(140)에서 상변화 부분(146)이 형성되는 양상을 보여주는 단면도이다.

도 4에 도시한 바와 같이, 상기 제1 전극(20)과 제2 전극(30)과의 사이에서 전류 흐름 경로에 따라 연장되어 있는 상기 상변화 메모리층(140)에서는 상기 제1 부분(142) 및 상기 제2 부분(144)에서의 두께 조절을 통하여 상변화 메모리층(140)의 복수의 영역에서 전류 밀도가 증가되거나 감소되는 영역이 많아져서 상변화 부분(146)이 형성되는 영역이 증가된다. 따라서, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 프로그래밍을 위해 트랜지스터로부터 요구되는 전류의 크기를 종래 기술의 경우에 비해 작게 줄일 수 있고, 리셋 저항이 증가되어 센싱 마진 (sensing margin)을 향상시킬 수 있다.

도 5는 본 발명의 제3 실시예에 따른 상변화 메모리 소자의 구조를 개략적으로 도시한 단면도이다.

제3 실시예는 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 하부 전극인 제1 도전층(220)과 상부 전극인 제2 도전층(230)이 각각 상기 반도체 기판(200)으로부터의 이격 거리가 서로 다른 레벨에 형성되어 있고, 상기 반도체 기판(200)의 주면 연장 방향에 수직인 방향으로 서로 이격되어 있다.

도 5를 참조하여 보다 상세히 설명하면, 상기 상변화 메모리층(240)은 상기 반도체 기판(200)의 주면 연장 방향과 평행한 방향에 따라 연장되는 폭이 상기 제1 도전층(220)과 제2 도전층(230)과의 사이의 전류 흐름 경로에 따라 가변되도록 연장되어 있다. 그리고, 상기 상변화 메모리층(240)은 상기 반도체 기판(200)상에서 수직 방향으로 서로 이격되어 있는 상기 제1 도전층(220)과 제2 도전층(240)과의 사이에 개재되어 있는 절연막(250)을 관통하는 형상으로 형성되어 있다.

상기 제1 도전층(220) 및 제2 도전층(230)은 각각 금속, 합금, 금속 산화질화물, 또는 도전성 탄소화합물로 이루어질 수 있으며, 예를 들면 W, TiN, TaN, WN, MoN, NbN, TiSiN, TiAlN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoSiN, MoAlN, TaSiN, TaAlN, Ti, W, Mo, Ta, TiSi, TaSi, TiW, TiON, TiAlON, WON, TaON 등으로 이루어질 수 있다. 예를 들면, 상기 제1 도전층(220) 및 제2 도전층(230)은 각각 TiN으로 구성될 수 있다.

상기 상변화 메모리층(240)은 칼코젠 원소를 포함하는 상변화 물질층으로 이루어진다. 예를 들면, 상기 상변화 메모리층(240)은 Te, Se, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O 및 이들의 혼합물 또는 합금으로 구성되는 군에서 선택되는 물질을 포함한다. 바람직하게는, 상기 상변화 메모리층(240)은 Ge, Sb 및 Te의 조합, 또는 In, Sb, Te 및 Ag의 조합으로 이루어진다.

상기 상변화 메모리층(240)은 상기 반도체 기판(200)의 주면 연장 방향과 평행한 방향에 따라 제1 폭(W_1)을 가지도록 연장되는 제1 부분(242)과, 상기 반도체 기판(200)의 주면 연장 방향과 평행한 방향에 따라 상기 제1 폭(W_1) 보다 작은 제2 폭(W_2)을 가지도록 연장되는 제2 부분(244)을 포함한다. 따라서, 상기 상변화 메모리층(240)의 제2 부분(244)에서는 상기 제1 부분(242)에서 보다 작은 단면적을 제공하게 된다.

도 5에 있어서, 상기 상변화 메모리층(240)은 상기 제1 부분(242) 및 제2 부분(244)이 교대로 반복되는 구조를 가지며, 상기 제1 부분(242)과 제2 부분(244)과의 사이에는 각각 상기 반도체 기판(200)의 주면 연장 방향과 평행한 방향에 따라 연장되는 폭이 변화되는 폭 변화부(240a, 240b)를 가진다. 상기 폭 변화부(240a, 240b)에서는 전류 밀도가 상대적으로 높고 열 손실이 적다. 따라서, 상기 상변화 메모리층(240)에 전류가 공급될 때 상기 상변화 메모리층(240)의 폭 변화부(240a, 240b)에서 상변화 부분이 형성된다.

도 5에 도시한 바와 같이, 상기 제1 전극(220)과 제2 전극(230)과의 사이에서 전류 흐름 경로에 따라 연장되어 있는 상기 상변화 메모리층(240)에서는 상기 제1 부분(242) 및 상기 제2 부분(244)에서의 폭 조절을 통하여 상변화 메모리층(240)

의 복수의 영역에서 전류 밀도가 증가되거나 감소되는 영역이 많아져서 상변화 부분이 형성되는 영역이 증가된다. 따라서, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 프로그래밍을 위해 트랜지스터로부터 요구되는 전류의 크기를 종래 기술의 경우에 비해 작게 줄일 수 있고, 리셋 저항이 증가되어 센싱 마진을 향상시킬 수 있다.

발명의 효과

본 발명에 따른 상변화 메모리 소자에서는 양 전극 사이에서 전류 흐름 경로에 따라 연장되어 있는 상변화 메모리층을 복수의 부분으로 구분하고, 각 부분에서 단면적을 변화시킴으로써 전류 밀도를 증가시키거나 감소시켜 전류 밀도에 변화를 가하여 상변화 영역을 증가시킨다. 그리고, 상변화 메모리층 내에서 상변화 부분의 히트 코어(heat core) 영역이 전극으로부터 멀리 이격되어 있으므로 상기 상변화 부분에 형성된 열 확산을 제한(confine)하는 효과가 극대화될 수 있다. 따라서, 동일한 크기의 전류를 이용하여 프로그래밍할 때, 프로그래밍을 위해 트랜지스터로부터 요구되는 전류의 크기를 종래 기술의 경우에 비해 작게 줄일 수 있으며, 그에 따라 신뢰성이 향상된 상변화 메모리 소자를 얻을 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

(57) 청구의 범위

청구항 1.

반도체 기판상에 형성된 제1 도전층과,

상기 반도체 기판상에서 상기 제1 도전층과 이격되어 형성된 제2 도전층과,

상기 제1 도전층과 제2 도전층과의 사이에 연장되어 있는 상변화 메모리층을 포함하고,

상기 상변화 메모리층은 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 가변적인 단면적을 가지고,

상기 제1 도전층 및 제2 도전층은 상기 반도체 기판으로부터의 이격 거리가 상호 동일한 레벨에 형성되어 있고, 상기 반도체 기판의 주면 연장 방향과 평행한 방향으로 서로 이격되어 있는 것을 특징으로 하는 상변화 메모리 소자.

청구항 2.

삭제

청구항 3.

제1항에 있어서,

상기 상변화 메모리층은 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 상기 반도체 기판으로부터의 이격 거리가 가변되도록 연장되어 있는 것을 특징으로 하는 상변화 메모리 소자.

청구항 4.

제1항 또는 제3항에 있어서,

상기 상변화 메모리층은 상기 반도체 기판으로부터의 이격 거리가 변화되는 단차 부분을 가지는 것을 특징으로 하는 상변화 메모리 소자.

청구항 5.

제1항 또는 제3항에 있어서,

상기 상변화 메모리층은 상기 반도체 기관의 주면 연장 방향과 평행한 방향으로 연장되고 제1 단면적을 가지는 제1 부분과, 상기 반도체 기관의 주면 연장 방향에 평행하지 않은 방향으로 연장되고 상기 제1 단면적보다 작은 제2 단면적을 가지는 제2 부분을 포함하는 것을 특징으로 하는 상변화 메모리 소자.

청구항 6.

제5항에 있어서,

상기 상변화 메모리층은 상기 제1 부분 및 제2 부분이 교대로 반복되는 구조를 가지는 것을 특징으로 하는 상변화 메모리 소자.

청구항 7.

제5항에 있어서,

상기 제2 부분은 상기 반도체 기관의 주면 연장 방향과의 사이에 예각을 이루는 경사 방향으로 연장되어 있는 것을 특징으로 하는 상변화 메모리 소자.

청구항 8.

제5항에 있어서,

상기 제2 부분은 상기 반도체 기관의 주면 연장 방향에 수직인 방향으로 연장되어 있는 것을 특징으로 하는 상변화 메모리 소자.

청구항 9.

반도체 기관상에 형성된 제1 도전층과,

상기 반도체 기관상에서 상기 제1 도전층과 이격되어 형성된 제2 도전층과,

상기 제1 도전층과 제2 도전층과의 사이에 연장되어 있는 상변화 메모리층을 포함하고,

상기 제1 도전층 및 제2 도전층은 각각 상기 반도체 기관으로부터의 이격 거리가 서로 다른 레벨에 형성되어 있고, 상기 반도체 기관의 주면 연장 방향에 수직인 방향으로 서로 이격되어 있고,

상기 상변화 메모리층은 상기 제1 도전층과 제2 도전층과의 사이의 전류 흐름 경로에 따라 가변적인 단면적을 가지도록 상기 반도체 기관의 주면 연장 방향과 평행한 방향에 따라 제1 폭을 가지도록 연장되는 제1 부분과, 상기 반도체 기관의 주면 연장 방향과 평행한 방향에 따라 상기 제1 폭보다 작은 제2 폭을 가지도록 연장되는 제2 부분을 포함하고, 상기 제1 부분 및 제2 부분이 교대로 반복되는 구조를 가지는 것을 특징으로 하는 상변화 메모리 소자.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

제1항 또는 제9항에 있어서,

상기 상변화 메모리층은 칼코겐 원소 (chalcogen element)를 포함하는 상변화 물질층으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

청구항 15.

제1항 또는 제9항에 있어서,

상기 상변화 메모리층은 Te, Se, Ge, Sb, Bi, Pb, Sn, As, S, Si, P, O 및 이들의 혼합물 또는 합금으로 구성되는 군에서 선택되는 물질을 포함하는 것을 특징으로 하는 상변화 메모리 소자.

청구항 16.

제15항에 있어서,

상기 상변화 메모리층은 Ge, Sb 및 Te의 조합으로 이루어지는 것을 특징으로 하는 상변화 메모리소자.

청구항 17.

제15항에 있어서,

상기 상변화 메모리층은 In, Sb, Te 및 Ag의 조합으로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

청구항 18.

제1항 또는 제9항에 있어서,

상기 제1 도전층 및 제2 도전층은 각각 금속, 합금, 금속 산화질화물, 또는 도전성 탄소화합물로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

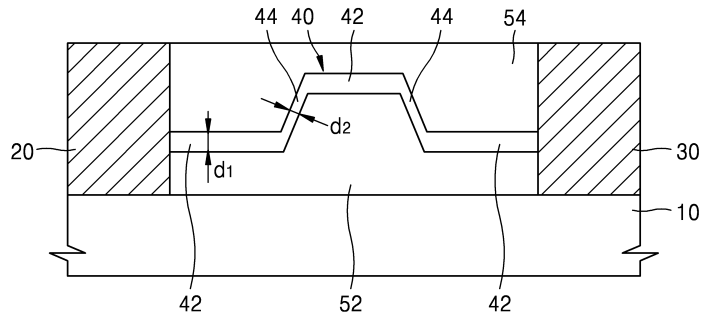
청구항 19.

제18항에 있어서,

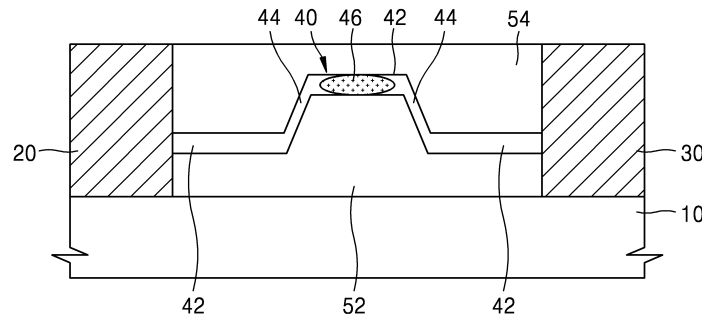
상기 제1 도전층 및 제2 도전층은 각각 W, TiN, TaN, WN, MoN, NbN, TiSiN, TiAlN, TiBN, ZrSiN, WSiN, WBN, ZrAlN, MoSiN, MoAlN, TaSiN, TaAlN, Ti, W, Mo, Ta, TiSi, TaSi, TiW, TiON, TiAlON, WON, 및 TaON에서 선택되는 물질로 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

도면

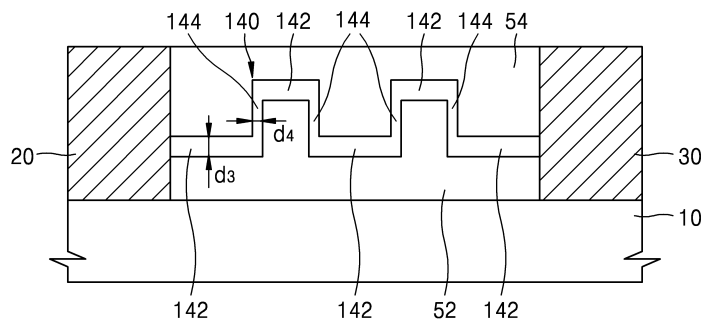
도면1



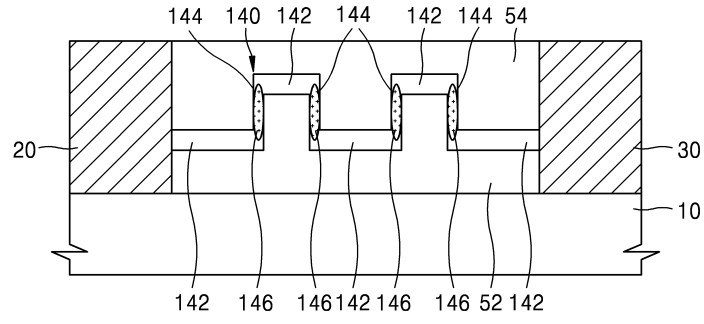
도면2



도면3



도면4



도면5

