

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5198245号
(P5198245)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int.Cl.

F I

G06F 12/16 (2006.01)

G06F 12/16 310A

請求項の数 3 (全 27 頁)

<p>(21) 出願番号 特願2008-335567 (P2008-335567) (22) 出願日 平成20年12月27日(2008.12.27) (65) 公開番号 特開2010-157141 (P2010-157141A) (43) 公開日 平成22年7月15日(2010.7.15) 審査請求日 平成23年3月18日(2011.3.18)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100089118 弁理士 酒井 宏明 (72) 発明者 矢野 浩邦 東京都港区芝浦一丁目1番1号 株式会社 東芝内 (72) 発明者 檜田 敏克 東京都港区芝浦一丁目1番1号 株式会社 東芝内 審査官 野田 佳邦</p>
---	--

最終頁に続く

(54) 【発明の名称】 メモリシステム

(57) 【特許請求の範囲】

【請求項1】

揮発性の第1の記憶部と、
 不揮発性の第2の記憶部と、
 前記第1の記憶部を介してホスト装置と前記第2の記憶部との間のデータ転送を行うコントローラとを備えるメモリシステムにおいて、
 前記第2の記憶部には、
 ホスト装置から指定された論理アドレスを前記第2の記憶部での記憶位置に対応付ける正引き情報を管理するため第1のアドレス変換テーブルと、
 前記第2の記憶部での記憶位置を前記論理アドレスに対応付ける逆引き情報を管理するための第2のアドレス変換テーブルと、
 が記憶され、
 前記コントローラは、
 前記第2の記憶部に記憶された第1および第2のアドレス変換テーブルを起動時にマスターテーブルとして前記第1の記憶部に転送するテーブル転送手段と、
 前記マスターテーブルを更新すべき事象が発生した際、第1の記憶部に記憶されている前記第1および第2のアドレス変換テーブルのうちの何れか一方についての更新前後の差分情報をログとして第1の記憶部に記憶するログ制御手段と、
 所定の条件が成立したときに前記第1の記憶部に記憶されたログを前記第2の記憶部に保存するとともに前記第1の記憶部に記憶されたログの内容を前記第1の記憶部に記憶さ

10

20

れている前記マスターテーブルとしての第 1 および第 2 のアドレス変換テーブルに反映するログ反映手段と、

前記第 1 の記憶部に記憶されているマスターテーブルおよびログを用いて前記データ転送制御を行う読み書き制御部と、

を備えることを特徴とするメモリシステム。

【請求項 2】

ログ制御手段は、所定の第 2 の条件が成立したときに、前記マスターテーブルを前記第 2 の記憶部にスナップショットとして保存し、

前記ログ反映手段は、起動時、第 2 の記憶部に記憶されたログが、前記第 2 の記憶部に記憶されたスナップショットよりも新しい場合、第 2 の記憶部に記憶されたログの内容を用いて前記第 1 の記憶部に記憶されている前記マスターテーブルとしての第 1 および第 2 のアドレス変換テーブルを復元することを特徴とする請求項 1 に記載のメモリシステム。

10

【請求項 3】

前記ログ制御手段が第 1 の記憶部に記憶するログは、第 2 のアドレス変換テーブルによって管理される逆引き情報についての更新前後の差分情報であることを特徴とする請求項 1 または 2 に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリを備えたメモリシステムに関する。

20

【背景技術】

【0002】

ハードディスク装置を 2 次記憶装置として用いたパーソナルコンピュータにおいては、ハードディスク装置に格納されるデータが何らかの障害によって無効なデータとなってしまうことを防ぐためにバックアップをとる技術が知られている。たとえば、ハードディスク装置中のデータの変更を検出すると、そのデータの変更前のバックアップコピーであるスナップショットをとり、そのデータに対する更新を記録したログをとる。その後、所定の時間ごとにスナップショットをとるとともに、スナップショットをとる前の過去のログを無効にし、新しいログを生成するという処理が繰り返し行われる（たとえば、特許文献 1 参照）。このような処理を行うことで、データが無効になってしまった場合には、スナップショットとログを基にそのデータを復元することができる。

30

【0003】

ところで、近年では、不揮発性半導体記憶装置である NAND 型フラッシュメモリの大容量化が進行し、この NAND 型フラッシュメモリを搭載したメモリシステムとしての SSD (Solid State Drive) が注目されている。フラッシュメモリは、磁気ディスク装置に比べ、高速、軽量などの利点を有している。しかし、このような NAND 型フラッシュメモリを 2 次記憶装置とするパーソナルコンピュータに格納されるデータのバックアップに対して、ハードディスク装置を 2 次記憶装置とするパーソナルコンピュータに格納されるデータのバックアップの場合と同様に上記特許文献 1 の技術を適用することはできない。それは、NAND 型フラッシュメモリの大容量化には、1 つのメモリセルに 2 ビット以上の複数のデータ（多値データ）を記憶することが可能な多値メモリ技術（MLC）が使用されているからである（たとえば、特許文献 2 参照）。

40

【0004】

多値メモリを構成するメモリセルは、チャンネル領域上にゲート絶縁膜、浮遊ゲート電極、ゲート間絶縁膜および制御ゲート電極が順に積層された積層ゲート構造を有する電界効果型トランジスタ構造を有し、浮遊ゲート電極に蓄積される電子の数に応じて、複数の閾値電圧を設定可能な構成を有している。そして、この複数の閾値電圧によって、多値記憶を可能とするために、1 つのデータに対応する閾値電圧の分布を非常に狭く制御する必要がある。

【0005】

50

また、パーソナルコンピュータなどのホスト機器が記録するデータは、時間的局所性、及び領域的局所性を兼ね備えている。そのため、データを記録する際に外部から指定されたアドレスにそのまま記録していくと、特定の領域に短時間に書き換え、すなわち消去処理が集中し、消去回数の偏りが大きくなる。そのため、NAND型フラッシュメモリを利用するメモリシステムでは、データ更新箇所を均等に分散させるウェアレベリングと呼ばれる処理が行われる。ウェアレベリング処理では、例えば、ホスト機器から指定される論理アドレスを、データ更新箇所が均等に分散されるように不揮発性半導体メモリの物理アドレスにアドレス変換している。

【0006】

このようなアドレス変換の際には、外部から供給される論理アドレス(LBA)と、NANDフラッシュメモリ上でデータが記憶されている位置を示す物理アドレス(NANDアドレス)の対応関係を表すアドレス変換テーブルなどの管理テーブルを用いて、データの記憶位置を管理することが多い。この管理テーブルは、起動時、不揮発性のNANDフラッシュメモリから揮発性のDRAMなどのメモリに展開され、展開された管理テーブルはデータが書き込まれるたびに更新される。アドレス変換テーブルの対応関係は、電源断をまたいでも使用するために、例えば、上記スナップショットおよびログなどのバックアップ技術を用いてバックアップすることが必要となる。

【0007】

ところが、SSDの高性能化のために、NANDフラッシュメモリの並列書き込みなどを行えるようにすると、ある一定処理単位中のNANDフラッシュメモリへのデータ書き込み量も増え、その分アドレス変換テーブルの更新量も増え、ログも増える。そのため、ログの量の増大によるNANDフラッシュメモリの書き込み回数の増大や、性能劣化を招いてしまう。

【0008】

【特許文献1】米国特許出願公開第2006/0224636号明細書

【特許文献2】特開2004-192789号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、ログの量を削減することが可能なメモリシステムを提供する。

【課題を解決するための手段】

【0010】

本願発明の一態様によれば、揮発性の第1の記憶部と、不揮発性の第2の記憶部と、前記第1の記憶部を介してホスト装置と前記第2の記憶部との間のデータ転送を行うコントローラとを備えるメモリシステムにおいて、前記第2の記憶部には、ホスト装置から指定された論理アドレスを前記第2の記憶部での記憶位置に対応付ける正引き情報を管理するため第1のアドレス変換テーブルと、前記第2の記憶部での記憶位置を前記論理アドレスに対応付ける逆引き情報を管理するための第2のアドレス変換テーブルとが記憶され、前記コントローラは、前記第2の記憶部に記憶された第1および第2のアドレス変換テーブルを起動時にマスターテーブルとして前記第1の記憶部に転送するテーブル転送手段と、前記マスターテーブルを更新すべき事象が発生した際、第1の記憶部に記憶されている前記第1および第2のアドレス変換テーブルのうちの何れか一方についての更新前後の差分情報をログとして第1の記憶部に記憶するログ制御手段と、第1の条件が成立したときに前記第1の記憶部に記憶されたログを前記第2の記憶部に保存するとともに前記第1の記憶部に記憶されたログの内容を前記第1の記憶部に記憶されている前記マスターテーブルとしての第1および第2のアドレス変換テーブルに反映するログ反映手段と、前記第1の記憶部に記憶されているマスターテーブルおよびログを用いて前記データ転送制御を行う読み書き制御部とを備えることを特徴とする。

【発明の効果】

【0011】

10

20

30

40

50

本発明によれば、ログの量を削減することが可能なメモリシステムを提供できる。

【発明を実施するための最良の形態】

【0012】

以下に添付図面を参照して、この発明にかかるメモリシステムの実施の形態を詳細に説明する。

【0013】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能および構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0014】

先ず、本明細書で用いる用語について定義しておく。

・物理ページ：NAND型フラッシュメモリ内部において一括して書き込み/読み出しが可能な単位のこと。

・論理ページ：SSD内部で設定される書き込み/読み出し単位であり、1以上の物理ページを組み合わせて構成される。

・物理ブロック：NAND型フラッシュメモリ内部において独立して消去可能な最小単位のことであり、複数の物理ページから構成される。

・論理ブロック：SSD内部で設定される消去単位であり、1以上の物理ブロックを組み合わせて構成される。論理ブロックは、複数の論理ページから構成される。

・セクタ：ホストからの最小アクセス単位のこと。セクタサイズは、例えば512B。

・クラスタ：SSD内部で「小さなデータ」を管理する管理単位。クラスタサイズはセクタサイズ以上であり、ホストのOSが採用するファイルシステムのデータ管理単位、または、論理ページサイズと等しくなるように定められる。例えば、クラスタサイズの2以上の自然数倍が論理ページサイズとなるように定められてもよい。

・トラック：SSD内部で「大きなデータ」を管理する管理単位。クラスタサイズの2以上の自然数倍がトラックサイズとなるように定められる。例えば、トラックサイズが論理ブロックサイズと等しくなるように定められてもよい。

・フリーブロック(FB)：内部に有効データを含まない、用途未割り当ての論理ブロックのこと。以下の、CFB、FFBの2種類がある。

・コンプリートフリーブロック(CFB)：再利用のために消去動作を行う必要があるFBのこと。消去動作の実行後は、論理ブロックの先頭に位置する論理ページから書き込むことが可能である。

・フラグメントフリーブロック(FFB)：未書き込みの論理ページが残っており、消去動作を実行することなく再利用が可能なFBのこと。残りの未書き込み状態のままの論理ページに書き込むことが可能である。

・バッドブロック(BB)：NAND型フラッシュメモリ上の、誤りが多いなど記憶領域として使用できない物理ブロックのこと。例えば、消去動作が正常に終了しなかった物理ブロックがバッドブロックBBとして登録される。

・書き込み効率：所定期間内における、ホストから書き込んだデータ量に対する、論理ブロックの消去量の統計値のこと。小さいほどNAND型フラッシュメモリの消耗度が小さい。

・有効クラスタ：論理アドレスに対応するクラスタサイズの最新データ。

・無効クラスタ：同一論理アドレスのデータが他の場所に書きこまれ、参照されることがなくなったクラスタサイズのデータ。

・有効トラック：論理アドレスに対応するトラックサイズの最新データ。

・無効トラック：同一論理アドレスのデータが他の場所に書きこまれ、参照されることがなくなったトラックサイズのデータ。

・MLC(Multi Level Cell)モード：多値記憶が可能なNAND型フラッシュメモリにおいて、通常通り、上位ページおよび下位ページを使用して書き込みを行うモード。MLCモードで使用する1以上の物理ブロックを組み合わせて、MLCモードの論理ブ

10

20

30

40

50

ックが構成される。

・擬似 S L C (Single Level Cell) モード：多値記憶が可能な N A N D 型フラッシュメモリにおいて、下位ページのみを使用して書き込みを行うモード。擬似 S L C モードで使用する 1 以上の物理ブロックを組み合わせ、擬似 S L C モードの論理ブロックが構成される。一度擬似 S L C モードで使用した物理ブロックであっても、消去動作後は M L C モードで 사용할ことが可能である。

[第 1 の実施形態]

【 0 0 1 5 】

図 1 は、S S D (Solid State Drive) 1 0 0 の構成例を示すブロック図である。S S D 1 0 0 は、A T A インタフェース (A T A I / F) 2 などのメモリ接続インタフェースを介してパーソナルコンピュータあるいは C P U コアなどのホスト装置 (以下、ホストと略す) 1 と接続され、ホスト 1 の外部メモリとして機能する。また、S S D 1 0 0 は、R S 2 3 2 C インタフェース (R S 2 3 2 C I / F) などの通信インタフェース 3 を介して、デバッグ用 / 製造検査用機器 2 0 0 との間でデータを送受信することができる。S S D 1 0 0 は、不揮発性半導体メモリとしての N A N D 型フラッシュメモリ (以下、N A N D メモリと略す) 1 0 と、コントローラとしてのドライブ制御回路 4 と、揮発性半導体メモリとしての D R A M 2 0 と、電源回路 5 と、状態表示用の L E D 6 と、ドライブ内部の温度を検出する温度センサ 7 と、フューズ 8 とを備えている。

【 0 0 1 6 】

電源回路 5 は、ホスト 1 側の電源回路から供給される外部直流電源から複数の異なる内部直流電源電圧を生成し、これら内部直流電源電圧を S S D 1 0 0 内の各回路に供給する。また、電源回路 5 は、外部電源の立ち上がりを検知し、パワーオンリセット信号を生成して、ドライブ制御回路 4 に供給する。フューズ 8 は、ホスト 1 側の電源回路と S S D 1 0 0 内部の電源回路 5 との間に設けられている。外部電源回路から過電流が供給された場合フューズ 8 が切断され、内部回路の誤動作を防止する。

【 0 0 1 7 】

N A N D メモリ 1 0 は、この場合、4 並列動作を行う 4 つの並列動作要素 1 0 a ~ 1 0 d を有し、4 つの並列動作要素 1 0 a ~ 1 0 d は、4 つのチャンネル (c h 0 ~ c h 3) によってドライブ制御回路 4 に接続されている。各並列動作要素 1 0 a ~ 1 0 d は、バンクインターリーブが可能な複数のバンク (この場合、4 バンク、B a n k 0 ~ B a n k 3) によって構成されており、各バンクは、複数の N A N D メモリチップ (この場合、2 メモリチップ、C h i p 0、C h i p 1) によって構成されている。各メモリチップは、例えば、それぞれ複数の物理ブロックを含むプレーン 0、プレーン 1 の 2 つの領域 (D i s t r i c t) に分割されている。プレーン 0 およびプレーン 1 は、互いに独立した周辺回路 (例えば、ロウデコーダ、カラムデコーダ、ページバッファ、データキャッシュ等) を備えており、倍速モードを使用することで、同時に消去 / 書き込み / 読み出しを行うことが可能である。このように、N A N D メモリ 1 0 の各 N A N D メモリチップは、複数のチャンネルによる並列動作、複数のバンクによるバンクインターリーブ動作、複数のプレーンを用いた倍速モードによる並列動作が可能である。なお、各メモリチップは、4 つのプレーンに分割された構成であってもよいし、あるいは、全く分割されていなくてもよい。

【 0 0 1 8 】

D R A M 2 0 は、ホスト 1 と N A N D メモリ 1 0 間でのデータ転送用キャッシュおよび作業領域用メモリなどとして機能する。D R A M 2 0 の作業領域用メモリに記憶されるものとしては、N A N D メモリ 1 0 に記憶されている各種管理テーブル (後述する) が起動時などに展開されたマスターテーブル (スナップショット)、管理テーブルの変更差分であるログ情報などがある。D R A M 2 0 の代わりに、F e R A M (Ferroelectric Random Access Memory)、M R A M (Magnetoresistive Random Access Memory)、P R A M (Phase change Random Access Memory) などを使用しても良い。ドライブ制御回路 4 は、ホスト 1 と N A N D メモリ 1 0 との間で D R A M 2 0 を介してデータ転送制御を行うとともに、S S D 1 0 0 内の各構成要素を制御する。また、ドライブ制御回路 4 は

10

20

30

40

50

、状態表示用LED6にステータス表示用信号を供給するとともに、電源回路5からのパワーオンリセット信号を受けて、リセット信号およびクロック信号を自回路内およびSSD100内の各部に供給する機能も有している。

【0019】

各NANDメモリチップは、データ消去の単位である物理ブロックを複数配列して構成されている。図2(a)は、NANDメモリチップに含まれる1個の物理ブロックの構成例を示す等価回路図である。各物理ブロックは、X方向に沿って順に配列された(p+1)個のNANDストリングを備えている(pは、0以上の整数)。(p+1)個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BL0~BLpに接続され、ゲートが選択ゲート線SGDに共通接続されている。また、選択トランジスタST2は、ソースがソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

10

【0020】

各メモリセルトランジスタMTは、半導体基板上に形成された積層ゲート構造を備えたMOSFET(Metal Oxide Semiconductor Field Effect Transistor)から構成される。積層ゲート構造は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層(浮遊ゲート電極)、および電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲート電極を含んでいる。メモリセルトランジスタMTは、浮遊ゲート電極に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じてデータを記憶する。メモリセルトランジスタMTは、1ビットを記憶するように構成されていてもよいし、多値(2ビット以上のデータ)を記憶するように構成されていてもよい。

20

【0021】

また、メモリセルトランジスタMTは、浮遊ゲート電極を有する構造に限らず、MONOS(Metal-Oxide-Nitride-Oxide-Silicon)型など、電荷蓄積層としての窒化膜界面に電子をトラップさせることでしきい値調整可能な構造であってもよい。MONOS構造のメモリセルトランジスタMTについても同様に、1ビットを記憶するように構成されていてもよいし、多値(2ビット以上のデータ)を記憶するように構成されていてもよい。

【0022】

各NANDストリングにおいて、(q+1)個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。すなわち、複数のメモリセルトランジスタMTは、隣接するもの同士で拡散領域(ソース領域若しくはドレイン領域)を共有するような形でY方向に直列接続される。

30

【0023】

そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート電極がワード線WL0~WLqにそれぞれ接続されている。従って、ワード線WL0に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WLqに接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

【0024】

ワード線WL0~WLqは、物理ブロック内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、ブロック内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される(p+1)個のメモリセルトランジスタMTは1ページ(物理ページ)として取り扱われ、この物理ページごとにデータの書き込みおよびデータの読み出しが行われる。

40

【0025】

また、ビット線BL0~BLpは、ブロック間で、選択トランジスタST1のドレインを共通に接続している。つまり、複数のブロック内において同一列にあるNANDストリングは、同一のビット線BLに接続される。

50

【 0 0 2 6 】

図2 (b) は、例えば、1個のメモリセルトランジスタMTに2ビットの記憶を行う4値データ記憶方式でのしきい値分布を示す模式図である。4値データ記憶方式では、上位ページデータ“ x ”と下位ページデータ“ y ”で定義される4値データ“ x y ”の何れか1つをメモリセルトランジスタMTに保持可能である。

【 0 0 2 7 】

この、4値データ“ x y ”は、メモリセルトランジスタMTのしきい値電圧の順に、例えば、データ“ 1 1 ”、“ 0 1 ”、“ 0 0 ”、“ 1 0 ”が割り当てられる。データ“ 1 1 ”は、メモリセルトランジスタMTのしきい値電圧が負の消去状態である。なお、データの割り当て規則はこれに限らない。また、1個のメモリセルトランジスタMTに3ビット以上の記憶を行う構成であってもよい。

10

【 0 0 2 8 】

下位ページ書き込み動作においては、データ“ 1 1 ”(消去状態)のメモリセルトランジスタMTに対して選択的に、下位ビットデータ“ y ”の書き込みによって、データ“ 1 0 ”が書き込まれる。上位ページ書き込み前のデータ“ 1 0 ”のしきい値分布は、上位ページ書き込み後のデータ“ 0 1 ”とデータ“ 0 0 ”のしきい値分布の中間程度に位置しており、上位ページ書き込み後のしきい値分布よりブロードであってもよい。上位ページ書き込み動作においては、データ“ 1 1 ”のメモリセルと、データ“ 1 0 ”のメモリセルに対して、それぞれ選択的に上位ビットデータ“ x ”の書き込みが行われて、データ“ 0 1 ”およびデータ“ 0 0 ”が書き込まれる。擬似SLCモードでは、下位ページのみを使用して書き込みを行う。下位ページの書き込みは、上位ページの書き込みに比べて高速である。

20

【 0 0 2 9 】

図3は、ドライブ制御回路4のハードウェア的な内部構成例を示すブロック図である。ドライブ制御回路4は、データアクセス用バス101、第1の回路制御用バス102、および第2の回路制御用バス103を備えている。第1の回路制御用バス102には、ドライブ制御回路4全体を制御するプロセッサ104が接続されている。第1の回路制御用バス102には、NANDメモリ10に記憶された各管理プログラム(FW:ファームウェア)をブートするブート用プログラムが格納されたブートROM105がROMコントローラ106を介して接続されている。また、第1の回路制御用バス102には、図1に示した電源回路5からのパワーオンリセット信号を受けて、リセット信号およびクロック信号を各部に供給するクロックコントローラ107が接続されている。

30

【 0 0 3 0 】

第2の回路制御用バス103は、第1の回路制御用バス102に接続されている。第2の回路制御用バス103には、図1に示した温度センサ7からのデータを受け取るためのI²C回路108、状態表示用LED6にステータス表示用信号を供給するパラレルIO(PIO)回路109、RS232C I/F3を制御するシリアルIO(SIO)回路110が接続されている。

【 0 0 3 1 】

ATAインタフェースコントローラ(ATAコントローラ)111、第1のECC(Error Checking and Correction)回路112、NANDコントローラ113、およびDRAMコントローラ114は、データアクセス用バス101と第1の回路制御用バス102との両方に接続されている。ATAコントローラ111は、ATAインタフェース2を介してホスト1との間でデータを送受信する。データアクセス用バス101には、データ作業領域およびファームウェア展開領域として使用されるSRAM115がSRAMコントローラ116を介して接続されている。NANDメモリ10に記憶されているファームウェアは起動時、ブートROM105に記憶されたブート用プログラムによってSRAM115に転送される。

40

【 0 0 3 2 】

NANDコントローラ113は、NANDメモリ10とのインタフェース処理を行うN

50

AND I/F 117、第2のECC回路118、およびNANDメモリ10 - DRAM 20間のアクセス制御を行うDMA転送制御用DMAコントローラ119を備えている。第2のECC回路118は第2の訂正符号のエンコードを行い、また、第1の誤り訂正符号のエンコードおよびデコードを行う。第1のECC回路112は、第2の誤り訂正符号のデコードを行う。第1の誤り訂正符号、第2の誤り訂正符号は、例えば、ハミング符号、BCH (Bose Chaudhuri Hocqenghem) 符号、RS (Reed Solomon) 符号、或いはLDPC (Low Density Parity Check) 符号等であり、第2の誤り訂正符号の訂正能力は、第1の誤り訂正符号の訂正能力よりも高いとする。

【0033】

図1に示したように、NANDメモリ10においては、4つの並列動作要素10a~10dが各複数ビットの4チャンネル(4ch)を介して、ドライブ制御回路4内部のNANDコントローラ112に並列接続されており、4つの並列動作要素10a~10dを並列動作させることが可能である。また、各チャンネルのNANDメモリ10は、バンクインターリーブが可能な4つのバンクに分割されており、各メモリチップのプレーン0およびプレーン1に対しても、同時にアクセスを行うことが可能である。したがって、1チャンネルにつき、最大8物理ブロック(4バンク×2プレーン)、ほぼ同時に書き込みなどの処理を実行可能である。

【0034】

図4は、プロセッサ104により実現されるファームウェアの機能構成例を示すブロック図である。プロセッサ104により実現されるファームウェアの各機能は、大きく、データ管理部120、ATAコマンド処理部121、セキュリティ管理部122、ブートローダ123、初期化管理部124、デバッグサポート部125に分類される。

【0035】

データ管理部120は、NANDコントローラ113、第1のECC回路112を介して、NANDメモリ10 - DRAM 20間のデータ転送、NANDメモリ10に関する各種機能を制御する。ATAコマンド処理部121は、ATAコントローラ111、およびDRAMコントローラ114を介して、データ管理部120と協働してDRAM 20 - ホスト1間のデータ転送処理を行う。セキュリティ管理部122は、データ管理部120およびATAコマンド処理部121と協働して各種のセキュリティ情報を管理する。

【0036】

ブートローダ123は、パワーオン時、各管理プログラム(ファームウェア)をNANDメモリ10からSRAM 115にロードする。初期化管理部124は、ドライブ制御回路4内の各コントローラ/回路の初期化を行う。デバッグサポート部125は、外部からRS 232Cインタフェースを介して供給されたデバッグ用データを処理する。主に、データ管理部120、ATAコマンド処理部121、およびセキュリティ管理部122が、SRAM 115に記憶される各管理プログラムをプロセッサ104が実行することによって実現される機能部である。

【0037】

本実施形態では、主としてデータ管理部120が実現する機能について説明する。データ管理部120は、ATAコマンド処理部121が記憶デバイスであるNANDメモリ10やDRAM 20に対して要求する機能の提供(ホストからのWrite要求、Cache Flush要求、Read要求等の各種コマンドへの応答)と、ホスト1から与えられる論理アドレスとNANDメモリ10との対応関係の管理と、スナップショット、ログによる管理情報の保護と、DRAM 10およびNANDメモリ10を利用した高速で効率の良いデータ読み出し/書き込み機能の提供と、NANDメモリ10の信頼性の確保などを行う。

【0038】

図5は、NANDメモリ10およびDRAM 20内に形成された機能ブロックを示すものである。ホスト1とNANDメモリ10の間には、DRAM 20上に構成されたライトキャッシュ(WC) 21およびリードキャッシュ(RC) 22が介在している。WC 21はホスト1からのWriteデータを一時保存し、RC 22はNANDメモリ10からのRea

10

20

30

40

50

dデータを一時保存する。NANDメモリ10内のブロックは、書き込み時のNANDメモリ10に対する消去の量を減らすために、データ管理部120により、前段ストレージ領域(FS:Front Storage)12、中段ストレージ領域(IS:Intermediate Storage)13およびメインストレージ領域(MS:Main Storage)11という各管理領域に割り当てられている。FS12は、WC21からのデータを「小さな単位」であるクラスタ単位に管理するものであり、小データを短期間保存する。IS13は、FS12から溢れたデータを「小さな単位」であるクラスタ単位に管理するものであり、小データを長期間保存する。MS11は、WC21、FS12、IS13からのデータを「大きな単位」であるトラック単位で管理する。

【0039】

つぎに、図5の各構成要素の具体的な機能構成について詳述する。ホスト1はSSD100対し、ReadまたはWriteする際には、ATAインタフェースを介して論理アドレスとしてのLBA(Logical Block Addressing)を入力する。LBAは、図6に示すように、セクタ(サイズ:512B)に対して0からの通し番号をつけた論理アドレスである。本実施の形態においては、図5の各構成要素であるWC21、RC22、FS12、IS13、MS11の管理単位として、LBAの下位(s+1)ビット目から上位のビット列で構成されるクラスタアドレスと、LBAの下位(s+t+1)ビットから上位のビット列で構成されるトラックアドレスとを定義する。この実施の形態では、トラックと論理ブロックのサイズは同じとする。論理ブロックとは、NANDメモリ10のチップ上の物理ブロックを複数組み合わせる構成される仮想的なブロックのことであり、この実施の形態では、論理ブロックは1つの物理ブロックを並列チャネル数分(この場合、図1に示すように4ch)まとめた単位のことをいう。論理ページも同様であり、物理ページを4ch分まとめた単位のことをいう。また、論理ブロックは、バンクインターリーブを有効利用するため、同じバンクに属する物理ブロックから選択される。

【0040】

・リードキャッシュ(RC)22

RC22は、ホスト1からのRead要求に対して、NANDメモリ10(FS12、IS13、MS11)からのReadデータを一時的に保存するための領域である。ホスト1へのデータ転送は、基本的に、RC22から行う。なお、WC21からNANDメモリ10へのデータの書き込みを行う際には、同一論理アドレスのRC22上のデータを無効にする。

【0041】

・ライトキャッシュ(WC)21

WC21は、ホスト1からのWrite要求に対して、ホスト1からのWriteデータを一時的に保存するための領域である。WC21上のデータは、クラスタ単位で管理し、書き込みと有効データの管理はセクタ単位で行う。WC21のリソースが不足した場合、WC21の記憶データをNAND10に追い出す。ホスト1からRC22上のデータと同一の論理アドレスに対する書き込みが行われた場合、その最新データはWC21上に保存される。そのため、同一の論理アドレスに対応するデータが、WC21、RC22、NANDメモリ10上にある場合には、データの新鮮さは、WC21、RC22、NANDメモリ10の順となるため、ホスト1に返すデータもWC21上のデータを優先する。

【0042】

・メインストレージ領域(MS)11

MS11はトラック単位でデータの管理が行われ、ほとんどのユーザデータが格納される。WC21上で有効クラスタの多いトラック(高密度トラック)は、WC12から直接MS11に書き込まれる。その他、MS11には、FS12、IS13で管理しきれなくなったデータが入力される。MS11に入力されたトラックと同一LBAのトラックについては、論理ブロック内で無効化し、この論理ブロックを解放する。MS11に入力されたトラックと同一LBAのトラックに属するクラスタについては、論理ブロック内で無効化し、論理ブロック内の全クラスタが無効になった論理ブロックは解放する。MS11は、MLCモードの複数の論理ブロックで構成される。この実施の形態では、トラックと論理

10

20

30

40

50

ブロックのサイズは同じとしているので、F S 1 2 や I S 1 3 で行われる追記処理や、I S 1 3 で行われるコンパクション（有効クラスタのみを集めて新しい論理ブロックを作り、無効なクラスタ部分を解放する処理）は不要となる。もしトラックサイズが論理ブロックサイズよりも小さい場合は、F S 1 2 や I S 1 3 で行われる追記処理や、I S 1 3 で行われるコンパクションを適用してもよい。

【 0 0 4 3 】

・前段ストレージ領域（F S）1 2

F S 1 2 はクラスタ単位でデータを管理される F I F O 構造のバッファであり、入力は複数のクラスタをまとめた論理ページ単位で行われる。F S 1 2 には、W C 2 1 上で有効クラスタ数の少ないトラック（低密度トラック）が最初に書き込まれる。データの書き込み順序で論理ブロックが並んだ F I F O 構造となっている。F S 1 2 に存在するクラスタと同一 L B A のクラスタが F S 1 2 に入力された場合、F S 1 2 内のクラスタを無効化するだけでよく、書き換え動作を伴わない。F S 1 2 に入力されたクラスタと同一 L B A のクラスタについては、論理ブロック内で無効化し、論理ブロック内の全クラスタが無効になった論理ブロックは解放する。F S 1 1 の F I F O 構造の最後まで到達した論理ブロックに格納されたクラスタは、ホスト 1 から再書き込みされる可能性の低いクラスタとみなし、論理ブロックごと I S 1 3 の管理下に移動する。F S 1 2 は、この実施の形態では、書き込みの高速化を図るため擬似 S L C モードの複数の論理ブロックで構成される。なお、F S 1 2 は、M L C モードの複数の論理ブロックで構成されてもよい。更新頻度の高いデータは F S 1 2 を通過している最中に無効化され、更新頻度の低いデータだけが F S 1 2 から溢れていくため、更新頻度の高いデータと低いデータとを F S 1 2 で選り分けることができる。これにより、後段の I S 1 3 でコンパクションが頻繁に発生する可能性を低減させることが可能である。

【 0 0 4 4 】

・中段ストレージ領域（I S）1 3

I S 1 3 は、再書き込みされる可能性の低いクラスタを格納するためのバッファであり、F S 1 3 と同様にクラスタ単位でデータの管理が行われる。I S 1 3 に存在するクラスタと同一 L B A のクラスタが F S 1 2、I S 1 3 に入力された場合、I S 1 3 内のクラスタを無効化するだけでよく、書き換え動作を伴わない。I S 1 3 においては、F S 1 2 と同様、データの書き込まれた順序（F S 1 2 から移動された順序）が古い論理ブロックから並んだリスト構造をとるが、コンパクションを行う点が F S 1 2 と異なる。I S 1 3 の容量や管理テーブルの都合で飽和した場合は、コンパクション（I S 1 3 から有効クラスタを集めて I S 1 3 へ書き戻すこと）やデフラグ（F S 1 2 および I S 1 3 のクラスタをトラックに統合して、M S 1 1 へ追い出すこと）を行う。I S 1 3 は、この実施の形態では、M L C モードの論理ブロックと擬似 S L C モードの論理ブロックの混在で構成される。すなわち、F S 1 2 から I S 1 3 に移動されるブロックは擬似 S L C モードの論理ブロックであるが、I S 1 3 内でコンパクションする際に、M L C モードの論理ブロックに書き直す。なお、F S 1 2 が M L C モードの論理ブロックで構成される場合は、I S 1 3 も M L C モードの論理ブロックのみで構成されることになる。

【 0 0 4 5 】

図 7 は、データ管理部 1 2 0 が図 5 に示した各構成要素を制御管理するための管理テーブルを示すものである。D R A M 2 0 を管理するためのテーブルとしては、R C 管理テーブル 2 3、W C トラックテーブル 2 4、W C トラック情報テーブル 2 5、W C 高密度トラック情報テーブル 2 6、W C 低密度トラック情報テーブル 2 7 などがある。N A N D メモリ 1 0 を管理するためのテーブルとしては、トラックテーブル 3 0、クラスタディレクトリテーブル 3 1、クラスタテーブル 3 2、クラスタブロック情報テーブル 3 3、論物変換テーブル 4 0 などがある。N A N D メモリ 1 0 を管理するためのテーブルは、正引きアドレス変換で参照するテーブル、逆引きアドレス変換で参照するテーブルに分けられる。正引きアドレス変換とは、データの L B A から実際にデータが記憶されている論理ブロックアドレス + クラスタ位置を求めることである。逆引きアドレス変換とは、論理ブロックア

ドレス+クラスタ位置からデータのLBAを求めることである。

【0046】

・RC管理テーブル23

RC管理テーブル23は、NANDメモリ10からRC22に転送されたデータを管理するためのものである。

【0047】

・WCトラックテーブル24

WC21上に記憶されたデータに関するWCトラック情報をLBAからルックアップするためのハッシュテーブルであり、LBAのトラックアドレスのLSB数ビットをインデックスとし、インデックス毎に複数のエントリ(タグ)を有する。各タグには、LBAトラックアドレスと該トラックアドレスに対応するWCトラック情報へのポインタが記憶されている。

10

【0048】

・WCトラック情報テーブル25

WCトラック情報テーブル25には、アクセスのあったWCトラック情報の新旧の順序をLRU(Least Recently used)で双方向リストで管理するためのWCトラックLRU情報テーブル25aと、空いているWCトラック情報の番号を管理するWCトラック空き情報テーブル25bとがある。WC21からNANDにデータを追い出すときに、WCトラックLRU情報テーブル25aを用いて最も古くにアクセスされたトラックを取り出す。

20

【0049】

WCトラック情報は、WC21内に存在する複数のトラックの1つに対応する。

WCトラック情報には、

(1)WC21内に存在するトラックアドレス、トラック内のWC21上の有効クラスタの個数、各クラスタが有効であるかどうかの情報、各クラスタがWC21のどこに存在するかを示すWC内クラスタ位置情報、

(2)1クラスタに含まれる複数のセクタのうちどのセクタに有効なデータを保持しているかを示す情報(セクタビットマップ)、

(3)トラックの状態情報(有効、無効、ATAからのデータ転送中、NANDに書き込み中など)

30

などが含まれている。なお、上記のWCトラック情報では、有効クラスタが存在する記憶位置で自トラック内に存在するクラスタアドレスのLSB(t)ビットを管理するようにしたが、クラスタアドレスの管理方法は任意であり、例えば、自トラック内に存在するクラスタアドレスのLSB(t)ビット自体を管理するようにしてもよい(図6参照)。

【0050】

・WC高密度トラック情報テーブル26

MS11に書き込むことになる高密度(トラック内で有効クラスタ数が所定パーセント以上)のトラック情報を管理するためのもので、高密度トラックに関するWCトラック情報とその個数を管理している。

【0051】

・WC低密度トラック情報テーブル27

FS12に書き込むことになる低密度(トラック内で有効クラスタ数が所定パーセント未満)のトラック情報を管理するためのもので、低密度トラックのクラスタ数の合計を管理している。

40

【0052】

・トラックテーブル30(正引き)

LBAのトラックアドレスからトラック情報を取得するためのテーブルである。トラック情報としては、

(1)論理ブロックアドレス(トラックのデータが記憶されている論理ブロックを示す情報である)

50

(2)クラスタディレクトリ番号(トラック内のデータの少なくとも一部がF S 1 2またはI S 1 3に記憶されている場合に有効となる情報であり、トラック内のデータがF S 1 2またはI S 1 3に記憶されている場合に、トラック毎に存在するクラスタディレクトリテーブルのテーブル番号を示す情報である)

(3)F S / I Sクラスタ数(このトラック内のクラスタが、いくつF S 1 2またはI S 1 3に記憶されているかを示す情報であり、デフラグするかどうかを決めるために使用する)。

【0053】

・クラスタディレクトリテーブル31(正引き)

トラック内のデータがF S 1 2またはI S 1 3に記憶されている場合に、その論理ブロックまでたどるための中間的なテーブルであり、トラック別に備えられている。各クラスタディレクトリテーブル31に登録されるクラスタディレクトリ情報は、クラスタテーブル32のテーブル番号を示す情報(クラスタテーブル番号情報)の配列からなる。L B AのクラスタアドレスのL S B (t)ビット中の上位数ビットで、1つのクラスタディレクトリテーブル31中に配列されている複数のクラスタテーブル番号情報からひとつの情報を選択する。

10

【0054】

このクラスタディレクトリテーブル31としては、書き込み時刻を基準として、クラスタディレクトリ情報(クラスタテーブル番号情報の配列)の新旧の順序を、対応するトラックアドレスとともに、L R U (Least Recently used)で双方向リストで管理するためのクラスタディレクトリL R Uテーブル31 aと、空いているクラスタディレクトリを、対応するトラックアドレスとともに、双方向リストで管理するクラスタディレクトリ空き情報テーブル31 bとがある。

20

【0055】

・クラスタテーブル32(正引き)

クラスタディレクトリテーブル31と関連し、トラック内のデータがF S 1 2またはI S 1 3に記憶されている場合に、どの論理ブロックのどのクラスタ位置にデータが記憶されているかを管理するテーブルである。トラックテーブル30からクラスタディレクトリテーブル31を経由して間接参照される。実体は、複数クラスタ分の論理ブロックアドレス+クラスタ位置の配列である。L B AのクラスタアドレスのL S B (t)ビット中の下位数ビットで、1つのクラスタテーブル32中に配列されている複数の(論理ブロックアドレス+クラスタ位置)からひとつの情報を選択する。後述のクラスタブロック情報の番号とその中のクラスタ位置の情報も配列としてもつ。

30

【0056】

・クラスタブロック情報テーブル33(逆引き)

クラスタブロックとは、論理ブロックのうちクラスタ単位でデータを記憶するものをいう。クラスタブロック情報は、F S 1 2、I S 1 3の論理ブロックを管理するための情報であり、論理ブロック内にどのようなクラスタが入っているかを示す情報である。クラスタブロック情報同士を双方向リストとしてF S 1 2、I S 1 3内のF I F Oの順序で連結される。

40

クラスタブロック情報は、

(1)論理ブロックアドレス

(2)有効クラスタ数

(3)当該論理ブロックに含まれるクラスタのL B A

を有する。

クラスタブロック情報テーブル33は、使われていないクラスタブロック情報を管理する空き情報管理用のクラスタブロック情報テーブル33 a、F S 1 2に含まれるクラスタブロック情報を管理するF S用のクラスタブロック情報テーブル33 b、I S 1 3に含まれるクラスタブロック情報を管理するI S用のクラスタブロック情報テーブル33 cを有し、各テーブル33 a ~ 33 cは、双方向リストとして管理されている。逆引きアドレス

50

変換の主な用途は I S 1 3 のコンパクションであり、コンパクション対象の論理ブロックにどのようなクラスタが記憶されているかを調べ、データを他の場所へ書き直すために使用する。よって、本実施の形態では、逆引きアドレス変換はクラスタ単位でデータを記憶している F S 1 2、I S 1 3 のみを対象としている。

【 0 0 5 7 】

・論物変換テーブル 4 0 (正引き)

論物変換テーブル 4 0 は、論理ブロックアドレスと物理ブロックアドレスとの変換、寿命に関する情報を管理するためのテーブルである。論理ブロックアドレス毎に、当該論理ブロックに所属する複数の物理ブロックアドレスを示す情報、当該論理ブロックアドレスの消去回数を示す消去回数情報、クラスタブロック情報の番号などの情報を有している。ある L B A のデータを他の場所へ書き直すには、元のクラスタブロック内の L B A を無効にする必要があり、L B A からクラスタブロックをたどる必要がある。そのために、論物変換テーブル 4 0 で管理する論理ブロックの管理情報に、クラスタブロック情報の識別子を記憶している。

10

【 0 0 5 8 】

(スナップショット、ログ)

上記各管理テーブルで管理される管理情報によって、ホスト 1 で使用される L B A と、S S D 1 0 0 で使用される論理 N A N D アドレス (論理ブロックアドレス + オフセット) と、N A N D メモリ 1 0 で使用される物理 N A N D アドレス (物理ブロックアドレス + オフセット) との間を対応付けることができ、ホスト 1 と N A N D メモリ 1 0 との間のデータのやり取りを行うことが可能となる。

20

【 0 0 5 9 】

上記各管理テーブルのうち N A N D 管理用のテーブル (図 7 のトラックテーブル 3 0、クラスタディレクトリテーブル 3 1、クラスタテーブル 3 2、クラスタブロック情報テーブル 3 3、論物変換テーブル 4 0 など) は、不揮発性の N A N D メモリ 1 0 の所定の領域に記憶されており、起動時に、N A N D メモリ 1 0 に記憶されていた各管理テーブルを揮発性の D R A M 2 0 の作業領域に展開して、この展開された管理テーブルをデータ管理部 1 2 0 が使用することで、各管理テーブルは更新されていく。D R A M 2 0 上に展開された各管理テーブルをマスターテーブルと呼ぶ。このマスターテーブルは、電源が切れても、電源が切れる以前の状態に復元する必要があり、このためマスターテーブルを不揮発性の N A N D メモリ 1 0 に保存する仕組みが必要となる。スナップショットは、N A N D メモリ 1 0 上の不揮発性の管理テーブルの全体を指し、D R A M 2 0 に展開されたマスターテーブルをそのまま N A N D メモリ 1 0 に保存することを、スナップショットをとるとも表現する。ログは、管理テーブルの変更差分のことである。マスターテーブルの更新の度に、スナップショットをとっていたのでは、速度も遅く、N A N D メモリ 1 0 への書き込み数が増えるために、通常は変更差分としてのログだけを N A N D メモリ 1 0 に記録していく。ログをマスターテーブルに反映し、N A N D メモリ 1 0 に保存することを、コミットすると表現する。

30

【 0 0 6 0 】

図 8 に、データ更新時に、スナップショットとログがどのように更新されるかを示す。データ管理部 1 2 0 がデータ更新する際に、マスターテーブルに加えた変更内容を D R A M 2 0 上のログ (D R A M ログと呼ぶ) に蓄積する。管理テーブルの種類によっては、マスターテーブルを直接更新し、更新内容を D R A M ログに蓄積したり、マスターテーブルには直接変更を加えず、変更領域を D R A M ログ上に確保して、その領域に更新内容を記録したりする。データの読み書き処理の際には、マスターテーブルの他に蓄積された D R A M ログも参照する。

40

【 0 0 6 1 】

データの更新が安定したら、ログのコミットを行う。コミット処理では、D R A M ログの内容を必要に応じてマスターテーブルに反映させ、さらに D R A M ログの内容を N A N D メモリ 1 0 に保存して不揮発化する。スナップショットを N A N D メモリ 1 0 に保存す

50

るのは、正常な電源断シーケンスの際、ログの保存領域が不足した場合などとする。ログまたはスナップショットがNANDメモリ10に書き終わった時点で、管理テーブルの不揮発化が完了する。

【0062】

・Read処理

つぎに、読み出し処理の概要について説明する。ATAコマンド処理部121から、Readコマンドおよび読み出しアドレスとしてのLBAが入力されると、データ管理部120は、RC管理テーブル23とWCトラックテーブル24を検索することで、WC21またはRC22にLBAに対応するデータが存在しているか否かを探索し、キャッシュヒットの場合は、該当LBAに対応するWC21またはRC22のデータを読み出して、ATAコマンド処理部121に送る。

10

【0063】

データ管理部120は、RC22またはWC21でヒットしなかった場合は、検索対象のデータがNANDメモリ10のどこに格納されているかを検索する。データがMS11に記憶されている場合は、データ管理部120は、LBAトラックテーブル30論物変換テーブル40と辿ることで、MS11上のデータを取得する。一方、データがFS12, IS13に記憶されている場合は、データ管理部120は、LBAトラックテーブル30クラスタディレクトリテーブル31クラスタテーブル32論物変換テーブル40と辿ることで、FS12, IS13上のデータを取得する。

【0064】

・Write処理

(WC21での処理)

つぎに、書き込み処理の概要について説明する。書き込み処理では、ATAコマンド処理部121からWriteコマンドおよび書き込みアドレスとしてのLBAが入力されると、LBAで指定されたデータをWC21に書き込む。WC21に空き領域がない場合は、DRAM管理用の各種管理テーブルを参照してWC21からデータを追い出して、NANDメモリ10に書き込み、空き領域を作成する。トラック内の有効クラスタ数が所定パーセント未満のトラックは低密度トラックとし、クラスタサイズデータとしてFS12を追い出し先とする。FS12が追い出し先の場合は、トラック内の有効クラスタを論理ページ単位で書き込む。

20

30

【0065】

トラック内の有効クラスタ数が所定パーセント以上のトラックは高密度トラックとし、トラックサイズのデータとしてMS11を追い出し先とする。MS11が追い出し先の場合は、トラックサイズのデータのまま論理ブロック全体に書き込む。書き込み対象の論理ブロック数が複数の場合は、倍速モードやバンクインターリーブを利用して転送効率を上げる。WC21に書き込まれたデータに応じて、またNANDメモリ10へのデータ追い出しに応じて、DRAM管理用の各種管理テーブルを更新する。

【0066】

(MS11への書き込み)

MS11への書き込みは、図9に示すように、次の手順で実行される。

40

1. DRAM20上にトラックのデータイメージを作成(穴埋め処理)する。すなわち、WC21に存在しないクラスタ、WC21に全セクタを保持していないクラスタに関しては、NANDメモリ10から読み出して、WC21のデータと統合する。

2. MS11用に、論理ブロック(トラックブロック)をCFBから確保する。トラックブロックとは、論理ブロックのうちトラック単位でデータを記憶するものをいう。

3. 作成したトラックのデータイメージを確保した論理ブロックに書き込む。

4. トラックのLBAからトラック情報を調べ、トラック情報と書き込んだ論理ブロックに対応する論理ブロックアドレスとを関連付け、NAND管理用の所要のテーブルに登録する。

5. WC21, NANDメモリ10の古いデータを無効化する。

50

【 0 0 6 7 】

(F S 1 2 への書き込み)

F S 1 2 への書き込みは、 D R A M 2 0 上にクラスタのデータイメージを作成 (穴埋め処理) し、新たに確保する論理ブロック (クラスタブロック) に対し論理ページ単位の書き込みを、擬似 S L C モードを使用して行う。確保する論理ブロックは、書き込むデータイメージ以上の書き込み可能な論理ページをもつフラグメントフリーブロック (F F B) を優先し、ない場合はコンプリートフリーブロック (C F B) を使用する。F S 1 2 への書き込みは、図 1 0 に示すように、以下の手順で実行する。

【 0 0 6 8 】

W C 2 1 から F S 1 2 に低密度トラックのデータを書き込むための論理ブロック (クラスタブロック) のことを F S Input Buffer (以下、 F S I B) と呼ぶ。 10

1 . W C 2 1 から入力された低密度トラック内の総データ量が小さい場合、すなわち有効クラスタ数が所定の閾値よりも少ない場合には、それを書き込める F F B を確保し、 F S I B とする。

2 . W C 2 1 から渡された低密度トラック内の総データ量が大きい場合、すなわち有効クラスタ数が所定の閾値以上の場合には、 C F B を確保し、 F S I B とする。このとき、並列で書き込むことが出来る複数の論理ブロックを確保し、 F S I B とする。

3 . D R A M 2 0 上で、書き込むクラスタのデータイメージを作成する。すなわち、 W C 2 1 に全セクタを保持していないクラスタに関しては、 W C 2 1 上に存在しないセクタのデータを N A N D メモリ 1 0 から読み出し、 W C 2 1 上のセクタのデータと統合する。 20

4 . W C 2 1 上のクラスタと、作業領域上に作ったクラスタイメージを F S I B に書き込む。

5 . F S I B を F S 1 2 のリストに追加する。

6 . 書き込んだトラックを、クラスタディレクトリ L R U テーブル 3 1 a の末尾に挿入しなおす。

【 0 0 6 9 】

(F S 1 2 から I S 1 3 への移動)

F S 1 2 管理下の論理ブロック数が所定の最大論理ブロック数を越えている場合は、図 1 1 に示すように、 F S 1 2 から溢れた論理ブロックをそのまま I S 1 3 に移動する。一度の処理単位で移動する論理ブロック数は、溢れた論理ブロック内の有効クラスタ数に応じて、以下のルールで決定する。 30

- ・溢れた論理ブロック内のクラスタ数が M L C モードの 1 論理ブロック分の境界に近くなるように、 F S 1 2 の最も古い論理ブロックから移動する論理ブロックを追加する。 M L C モードの 1 論理ブロック分の境界に近くするのは、コンパクション後の論理ブロックに、なるべく多くの有効クラスタを収容することを目的とする。

- ・クラスタ数が I S 1 3 で同時にコンパクションできるクラスタ数を超える場合は、 I S 1 3 で同時にコンパクションできるクラスタ数以下になるようなブロック数とする。

- ・移動ブロック数には、上限値を設ける。

【 0 0 7 0 】

(I S 1 3 でのコンパクションとデフラグ) 40

I S 1 3 では、 I S 管理下の論理ブロック数が最大論理ブロック数を越えた場合に、 M S 1 1 へのデータ移動 (デフラグ処理) と、コンパクション処理によって、管理下の論理ブロック数を最大数以下に抑える。データの消去単位 (論理ブロック) と、データの管理単位 (クラスタ) が異なる場合、 N A N D メモリ 1 0 の書き換えが進むと、無効なデータによって、論理ブロックは穴あき状態になる。このような穴あき状態の論理ブロックが増えると、実質的に使用可能な論理ブロックが少なくなり、 N A N D メモリ 1 0 の記憶領域を有効利用できないので、有効クラスタを集めて、違う論理ブロックに書き直すことをコンパクションという。デフラグ処理とは、 F S 1 2 , I S 1 3 のクラスタをトラックに統合して、 M S 1 1 に追い出す処理をいう。

【 0 0 7 1 】 50

つぎに、本実施の形態の要部について説明する。まず、正引き管理テーブルを用いた正引きアドレス変換と、逆引き管理テーブルを用いた逆引きアドレス変換について説明する。

【0072】

(正引きアドレス変換)

正引きアドレス変換とは、LBAから、実際にデータが記録されている論理NANDクラスタアドレス(論理ブロック番号とオフセット)を求めることである。正引きアドレス変換の主な用途は、NANDメモリ10からDRAM20へのデータの読み出しである。より具体的には、ATAコマンド処理部121から要求されたデータの読み出しと、NANDへの書き込みおよびNANDの整理の際の穴埋めデータの読み出しである。正引きアドレス変換を行うには、LBAトラックテーブル30 クラスタディレクトリテーブル31 クラスタテーブル32 論理NANDアドレスというように、トラックテーブル30から2段階のテーブルをたどって論理NANDアドレスを求める。

10

【0073】

具体的には、LBAを $(s + t + 1)$ ビット目から上位のトラックアドレスに変換し、変換したトラックアドレスをインデックスとして、トラックテーブル30からトラック情報を取得し、トラック情報中のクラスタディレクトリ番号を得る。このクラスタディレクトリ番号が無効値であった場合は、MS11にデータが記憶されていると判断し、このトラック情報中から論理ブロックアドレスを得る。取得した論理ブロックアドレスを論物変換テーブル40によって物理ブロックアドレスに変換し、さらにLBAのクラスタアドレスのLSB(t)ビットから、前記算出した物理ブロックIDからのオフセットを算出することで、物理ブロック中のクラスタデータを取得する。

20

【0074】

一方、トラック情報中のクラスタディレクトリ番号が有効値であった場合は、クラスタディレクトリ番号に対応するクラスタディレクトリを取得し、クラスタアドレスのLSB(t)ビット中の上位側数ビットを取得したクラスタディレクトリに対するインデックス(クラスタディレクトリindex)としてクラスタディレクトリからクラスタテーブルの識別子(クラスタテーブル番号)を取得し、この識別子に対応するクラスタテーブルを取得する。LBAのLSB(t)ビット中の下位側数ビットをインデックス(クラスタテーブルindex)とし、クラスタテーブルから論理クラスタアドレス(論理ブロックとオフセット)を得る。取得した論理ブロックアドレスを論物変換テーブル40によって物理ブロックアドレスに変換し、クラスタデータを取得する。

30

【0075】

(逆引きアドレス変換)

逆引きアドレス変換とは、データが記録されている論理NANDクラスタアドレス(論理ブロック番号とオフセット)から、データのLBAを求めることである。逆引きアドレス変換の主な用途は、IS13のコンパクション処理である。コンパクション対象の論理ブロック内にどのようなデータ(トラック、クラスタ)が記憶されているかを調べ、データを他の論理ブロックに書き直すために使用する。その他に、データをNANDに書き込んだり、NANDを整理したりするときには、逆引きの管理情報も更新する。

40

【0076】

この実施の形態では、逆引きアドレス変換は、クラスタ単位でデータを記録しているFS12, IS13内のデータに対してのみ使用し、トラック単位の逆引きアドレス変換には使用しない。クラスタ単位のデータの逆引き情報はクラスタブロック情報テーブル33に記憶する。逆引きアドレス変換を行うには、まず、あるクラスタブロックを特定し、そのクラスタブロック内にどのようなLBAのクラスタが記憶されているかを求める手順は以下のとおりである。

1. IS13に所属するクラスタブロック情報テーブル33のリストからたどる。IS13のコンパクションは、IS13に所属するクラスタブロックの中から、あるルールに従ってクラスタブロックを選択する。IS13に所属するクラスタブロックは、クラスタ

50

ブロック情報テーブル 33 において双方向リンクの構造で管理するため、リンクをたどることによって、クラスタブロック情報にたどり着くことが出来る。

2. 前述したように、クラスタテーブル 32 には、クラスタブロック情報の番号とその中のクラスタ位置の情報(オフセット)も配列としてっており、このクラスタテーブル 32 から取得したクラスタ位置の情報(オフセット)をインデックスとし、クラスタブロック情報内のクラスタアドレスを得る。

【0077】

正引き系のトラックテーブル 30、クラスタディレクトリテーブル 31、クラスタテーブル 32 と、逆引き系のクラスタブロック情報テーブル 33 は、基本的に情報を共有しており、これらの正引き系管理テーブルおよび逆引き系管理テーブルの一方に障害が発生した場合、正引き系管理テーブルから逆引き系管理テーブルを復元することもできるし、逆引き系管理テーブルから正引き系管理テーブルを復元することもできる。但し、この実施の形態では、MS11用のトラック単位の逆引きアドレス変換テーブルは設けず、正引き情報であるトラック情報を管理しているトラックテーブル 30 を走査して、LBAを求める。

10

【0078】

図14は、本実施の形態の要部の機能構成を示すブロック図である。前述したように、NANDメモリ10には、ユーザデータを記憶するMS11、FS12、IS13などのユーザデータ記憶部201と、NANDメモリ10上の所定の記憶領域にスナップショットとして記憶され、図7に示した管理テーブルの中でDRAM管理用のテーブルを除くNAND管理用の各種管理テーブル(図7のトラックテーブル30、クラスタディレクトリテーブル31、クラスタテーブル32、クラスタブロック情報テーブル33、論物変換テーブル40など)202と、NAND管理テーブル202と同様、NANDメモリ10上の所定の記憶領域に記憶され、NAND管理テーブル202の変更差分情報としてのログ(以下、NANDログ)203とが記憶されている。

20

【0079】

DRAM20には、WC21と、RC22と、DRAM20上に展開されたNAND管理テーブル202であるマスターテーブルと204と、マスターテーブル204に加えた変更内容を蓄積記憶するDRAM20上のログであるDRAMログ205とが記憶される。マスターテーブル204は、前述したように、正引きアドレス変換を行うための正引きテーブル204aと、逆引きアドレス変換を行うための正引きテーブル204bとを有する。

30

【0080】

データ管理部であるコントローラ120は、読み書き制御部210、ログ制御部211、ログ反映部212を有する。読み書き制御部210は、マスターテーブル204およびDRAMログ205に基づいて前述した読み書き制御を行う。ログ制御部211は、NANDメモリ10に記憶された各種NAND管理テーブル(スナップショット)202を起動時にマスターテーブル204としてDRAM20に転送する処理、マスターテーブル204を更新すべき事象が発生した際、マスターテーブル204のうちの逆引き情報を管理する逆引きテーブル204bの更新前後の差分情報のみをDRAMログ205に蓄積記憶する処理、正常な電源断シーケンスが発生する、ログの保存領域が不足した場合など所定の条件が成立したときに、DRAM20上のマスターテーブルをNANDメモリ10にスナップショットとして保存する処理などを実行する。ログ反映部212は、ログの量がある値に達するとか、更新した各管理テーブル間で整合がとれる時点に達するなどの所定の条件が成立したときに、DRAM上のDRAMログ205をNANDメモリ10にNANDログ203として保存するとともに、DRAMログ205をマスターテーブル204の正引きテーブル204aおよび逆引きテーブル204bの双方に反映する前述のコミットを実行する。スナップショットまたはコミットが行われると、DRAM20上に積み上げてきたDRAMログ205は、無効化される。

40

【0081】

50

つぎに、図15を用いて、ログの蓄積、コミット、復元動作などについて説明する。初期状態では、読み書き制御部210は、DRAM20上のマスターテーブル204のみに基づいて前述した読み書き制御を行う。NANDメモリ10への書き込みや、NAND整理の作業時（デフラグやコンパクション）などのマスターテーブル204を更新すべき事象が発生した際、マスターテーブル204は直接更新せず、DRAMログ205にマスターテーブル204の変更部分のみの複製（コピー）を確保し、この複製に対して変更差分を記録する更新を行う。

【0082】

このDRAMログ205を作成する際、逆引き情報を管理する逆引きテーブル204bのみを更新し、正引き情報を管理する正引きテーブル204aは参照するだけで変更しないこととする。図7に示したNAND管理テーブルのうち逆引きテーブルに所属するのは、クラスタブロック情報テーブル33である。クラスタブロック情報は、前述したように、FS12、IS13に所属する論理ブロック内にどのようなクラスタアドレス（LBA）が入っているかを示す情報であり、各クラスタLBA情報は、ログへの記録サイズを抑えるために、例えば、論理ページ単位など論理ブロックを一定サイズ（クラスタページ）で区切って管理している。したがって、一定サイズに区切られたクラスタページ内で発生した1～複数の更新は、DRAMログ205の同一エントリに順次蓄積して記録するようにしている。

【0083】

また、前述したように、MS11用のトラック単位の逆引きアドレス変換テーブル（論理ブロック LBAトラックアドレス）は設けてはいないが、この実施の形態では、逆引きテーブルのみのログをとるようにしているので、トラックテーブル30の更新のために、トラックブロック情報と呼ぶ、一時的なトラックの逆引き情報のログをDRAMログ205に記録するようにしている。トラックブロック情報には、トラックを書き込んだ論理ブロックアドレスと、トラックアドレスを格納する。

【0084】

何度も同じ管理テーブルのエントリを参照したり更新したりする場合には、DRAMログ205上の複製を最新の管理情報として参照や更新の対象とする。ログ上の複製を探す手段として、マスターテーブル204にDRAMログ205上の複製へのポインタを埋め込むようにする。そして、参照や更新が来たときには複製のアドレスを、参照や更新の対象になるようにする。これによって、テーブルの参照する際に、マスターテーブル204なのか、DRAMログ205上の複製なのかを透過的に扱うことが出来るようにしている。

【0085】

つぎに、ログの量がある値に達するとか、更新した各管理テーブル間で整合がとれる時点に達するなどの所定の条件が成立したときに、コミット処理が行われる。コミット処理では、逆引き情報のみを蓄積したDRAMログ205をマスターテーブル204の逆引きテーブル204bに反映するとともに、逆引き情報のみを蓄積したDRAMログ205を用いてマスターテーブル204の正引きテーブル204aを復元し、さらに逆引き情報のみを蓄積したDRAMログ205をNANDログ203としてNANDメモリ10に保存して不揮発化する。なお、コミット中において、DRAMログ205をマスターテーブル204に反映する際には、ホストからの割り込みreadを禁止としておく。

【0086】

逆引き情報としてのクラスタブロック情報をコミットする時には、クラスタブロック情報毎に以下の処理を行う。

(1) DRAMログ205上のクラスタブロック情報と対応するマスターテーブル204の、論理ブロック内のクラスタアドレスを比較し、無効から有効になったクラスタアドレスを正引きアドレス変換テーブル（トラックテーブル30，クラスタディレクトリテーブル31，クラスタテーブル32）に反映する。

・トラック情報にクラスタディレクトリテーブル31、クラスタテーブル32が割

10

20

30

40

50

り当てられていなければ、確保する。

・クラスタテーブル32に、クラスタブロック情報に対応する論理ブロックアドレスとクラスタ位置を設定する。

(2) 対応するマスターテーブル204にDRAMログ205上のクラスタブロック情報をコピーする。

【0087】

逆引き情報としてのトラックブロック情報をコミットする時には、トラックブロック情報毎に以下の処理を行う。

(1) DRAMログ205上のトラックブロック情報内のトラックアドレスに対応するトラック情報内のクラスタディレクトリテーブル31とクラスタテーブル32を解放する。

10

(2) 対応するトラック情報にトラックブロック情報内の論理ブロックアドレスを設定する。

【0088】

なお、スナップショットとしてのDRAM20上のマスターテーブル204は、正常な電源断シーケンスが発生する、ログの保存領域が不足した場合など所定の条件が成立したときに、NANDメモリ10にNAND管理テーブル202として保存される。

【0089】

また、正常な電源断シーケンスが行われずに不正な電源断などが発生した場合、NANDメモリ10内のNAND管理テーブル202が最新の状態ではなく、NANDログ203が最新の状態である。例えば、NANDログ203およびNAND管理テーブル202のタイムスタンプ比較などからこのような事態を検出した場合、起動時、NANDメモリ10に記憶されたNAND管理テーブル(スナップショット)202をマスターテーブル204としてDRAM20に転送し、さらにNANDログ(逆引き情報のみ)203をDRAM20に転送してDRAMログ205(逆引き情報のみ)を作成し、作成したDRAMログ205をマスターテーブル204の逆引きテーブル204bに反映するとともに、このDRAMログ205を用いてマスターテーブル204の正引きテーブル204aを復元する。

20

【0090】

正引き情報をログに含めないのは、ログの量を減らすことと、マスターテーブルおよびログの状態が不安定な更新作業時に正引きのマスターテーブルを更新しないようにすることで、正引きのマスターテーブルにDRAMログ205を反映する時以外は正引きのマスターテーブルを常に安定な状態にし、ホストからの割り込みReadに対応して常にマスターテーブルで正引きアドレス変換が出来るようにしておくためである。

30

【0091】

また、データのNANDメモリ10のFS12やIS13への書き込み処理では、論理ブロック単位を意識し、ブロックの空きページを探し、そこにデータを追記書き込みしていく。ブロックの空き領域やブロック中にどのようなデータを保持しているかを示しているのは、逆引きテーブルであり、書き込み処理でもっぱら用いるのは逆引きテーブルである。また、そのような書き込み処理の際に、正引きテーブルは、穴埋め、上書きされたデータの無効化などのみしか使用しない。こういう意味で、正引き情報よりも逆引き情報をログとして記憶しておいたほうが、設計が容易になり、設計コストも低減する。

40

【0092】

このように本実施の形態では、逆引きテーブルの変更内容だけをログに記録し、正引きテーブルは、逆引きテーブルのログから構築するようしており、ログの量を減らすことが可能となる。

【0093】

なお、上記実施の形態では、逆引き情報のみをログとして記録するようにしたが、正引き情報のみを記録することで、ログを削減することも可能である。

【0094】

[第2の実施の形態]

50

図16は、SSD100を搭載したパーソナルコンピュータ1200の一例を示す斜視図である。パーソナルコンピュータ1200は、本体1201、及び表示ユニット1202を備えている。表示ユニット1202は、ディスプレイハウジング1203と、このディスプレイハウジング1203に収容された表示装置1204とを備えている。

【0095】

本体1201は、筐体1205と、キーボード1206と、ポインティングデバイスであるタッチパッド1207とを備えている。筐体1205内部には、メイン回路基板、ODD(optical disk device)ユニット、カードスロット、及びSSD100等が収容されている。

【0096】

カードスロットは、筐体1205の周壁に隣接して設けられている。周壁には、カードスロットに対向する開口部1208が設けられている。ユーザは、この開口部1208を通じて筐体1205の外部から追加デバイスをカードスロットに挿抜することが可能である。

【0097】

SSD100は、従来のHDDの置き換えとして、パーソナルコンピュータ1200内部に実装された状態として使用してもよいし、パーソナルコンピュータ1200が備えるカードスロットに挿入した状態で、追加デバイスとして使用してもよい。

【0098】

図17は、SSDを搭載したパーソナルコンピュータのシステム構成例を示している。パーソナルコンピュータ1200は、CPU1301、ノースブリッジ1302、主メモリ1303、ビデオコントローラ1304、オーディオコントローラ1305、サウスブリッジ1309、BIOS-ROM1310、SSD100、ODDユニット1311、エンベデッドコントローラ/キーボードコントローラIC(EC/KBC)1311、及びネットワークコントローラ1312等を備えている。

【0099】

CPU1301は、パーソナルコンピュータ1200の動作を制御するために設けられたプロセッサであり、SSD100から主メモリ1303にロードされるオペレーティングシステム(OS)を実行する。更に、ODDユニット1311が、装填された光ディスクに対して読み出し処理及び書き込み処理の少なくとも1つの処理の実行を可能にした場合に、CPU1301は、それらの処理の実行をする。

【0100】

また、CPU1301は、BIOS-ROM1310に格納されたシステムBIOS(Basic Input Output System)も実行する。尚、システムBIOSは、パーソナルコンピュータ1200内のハードウェア制御のためのプログラムである。

【0101】

ノースブリッジ1302は、CPU1301のローカルバスとサウスブリッジ1309との間を接続するブリッジデバイスである。ノースブリッジ1302には、主メモリ1303をアクセス制御するメモリコントローラも内蔵されている。

【0102】

また、ノースブリッジ1302は、AGP(Accelerated Graphics Port)バス1314等を介してビデオコントローラ1304との通信、及びオーディオコントローラ1305との通信を実行する機能も有している。

【0103】

主メモリ1303は、プログラムやデータを一時的に記憶し、CPU1301のワークエリアとして機能する。主メモリ1303は、例えばDRAMから構成される。

【0104】

ビデオコントローラ1304は、パーソナルコンピュータ1200のディスプレイモニタとして使用される表示ユニット1202を制御するビデオ再生コントローラである。

【0105】

10

20

30

40

50

オーディオコントローラ 1305 は、パーソナルコンピュータ 1200 のスピーカ 1306 を制御するオーディオ再生コントローラである。

【0106】

サウスブリッジ 1309 は、LPC (Low Pin Count) バス上の各デバイス、及び PCI (Peripheral Component Interconnect) バス 1315 上の各デバイスを制御する。また、サウスブリッジ 1309 は、各種ソフトウェア及びデータを格納する記憶装置である SSD 100 を、ATA インタフェースを介して制御する。

【0107】

パーソナルコンピュータ 1200 は、セクタ単位で SSD 100 へのアクセスを行う。ATA インタフェースを介して、書き込みコマンド、読出しコマンド、フラッシュコマンド等が SSD 100 に入力される。

10

【0108】

また、サウスブリッジ 1309 は、BIOS - ROM 1310、及び ODD ユニット 1311 をアクセス制御するための機能も有している。

【0109】

EC / KBC 1311 は、電力管理のためのエンベデッドコントローラと、キーボード (KB) 1206 及びタッチパッド 1207 を制御するためのキーボードコントローラとが集積された 1 チップマイクロコンピュータである。

【0110】

この EC / KBC 1311 は、ユーザによるパワーボタンの操作に応じてパーソナルコンピュータ 1200 の電源を ON / OFF する機能を有している。ネットワークコントローラ 1312 は、例えばインターネット等の外部ネットワークとの通信を実行する通信装置である。

20

【図面の簡単な説明】

【0111】

【図 1】SSD の構成例を示すブロック図。

【図 2】NAND メモリチップに含まれる 1 個のブロックの構成例と、4 値データ記憶方式でのしきい値分布を示す図。

【図 3】ドライブ制御回路のハードウェア的な内部構成例を示すブロック図。

【図 4】プロセッサの機能構成例を示すブロック図。

30

【図 5】NAND メモリおよび DRAM 内に形成された機能構成を示すブロック図。

【図 6】LBA 論理アドレスを示す図。

【図 7】データ管理部内の管理テーブルの構成例を示す図。

【図 8】スナップショットとログの生成形態を概念的に示す図。

【図 9】MS への書き込み手順を示す図。

【図 10】FS への書き込みを示す図。

【図 11】FS から IS へのブロック移動を示す図。

【図 12】正引きアドレス変換を示す図。

【図 13】逆引きアドレス変換を示す図。

【図 14】本実施の形態の要部構成を示す機能ブロック図。

40

【図 15】ログの蓄積、コミット、復元動作などを説明する図。

【図 16】SSD を搭載したパーソナルコンピュータの全体図。

【図 17】SSD を搭載したパーソナルコンピュータのシステム構成例を示す図。

【符号の説明】

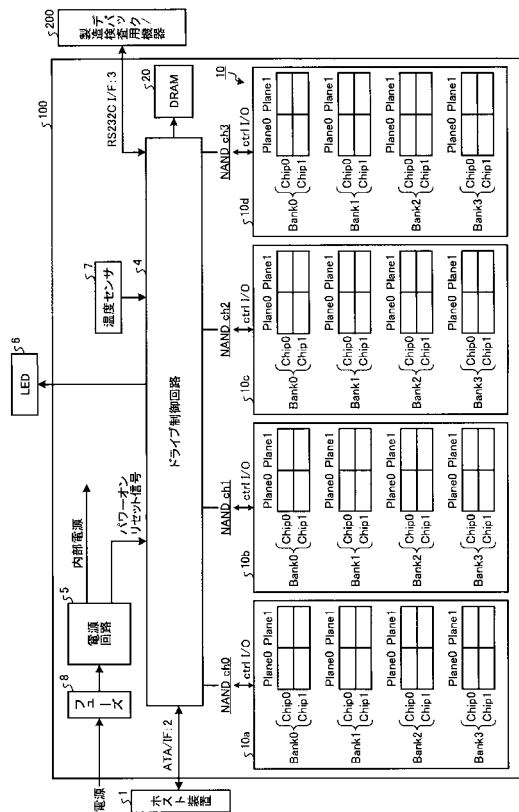
【0112】

1 ホスト装置、2 ATA インタフェース、4 ドライブ制御回路、5 電源回路、7 温度センサ、10 NAND メモリ、11 MS、12 FS、13 IS、20 DRAM、21 WC、22 RC、24 WC トラックテーブル、25 WC トラック情報テーブル、26 高密度トラック情報テーブル、27 低密度トラック情報テーブル、30 トラックテーブル、31 クラスタディレクトリテーブル、32 クラスタ

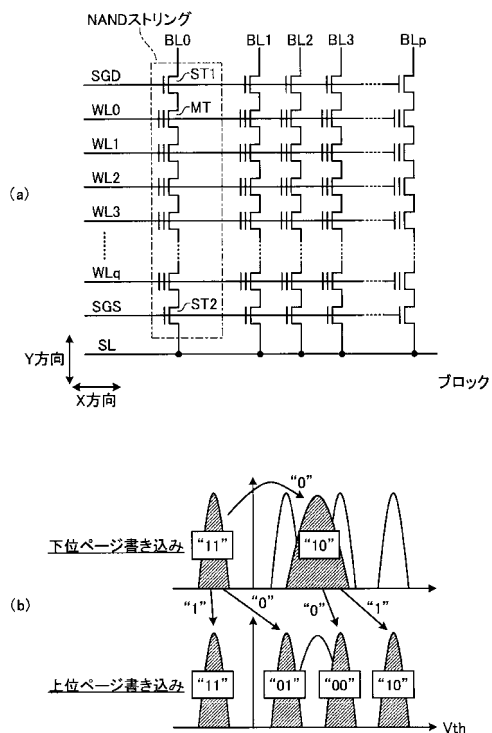
50

ーブル、33 クラスタブロック情報テーブル、40 論物変換テーブル、120 データ管理部、201 ユーザーデータ記憶部、202 NAND管理テーブル、203 NANDログ、204 マスターテーブル、205 DRAMログ、210 読み書き制御部、211 ログ制御部、212 ログ反映部。

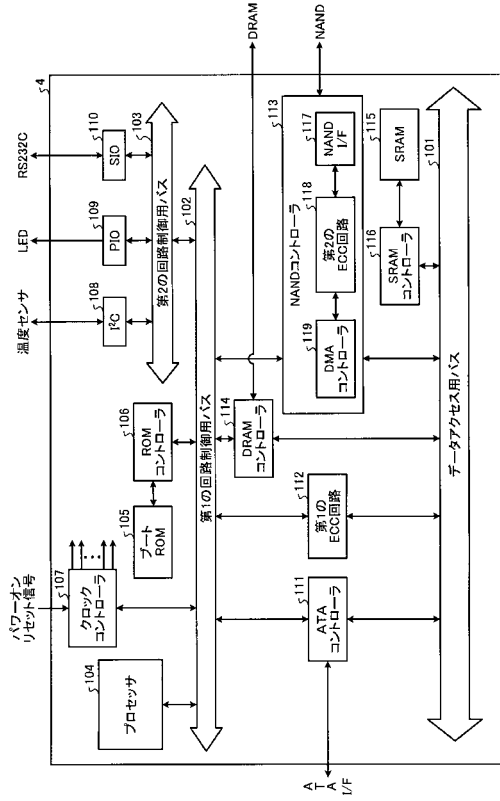
【図1】



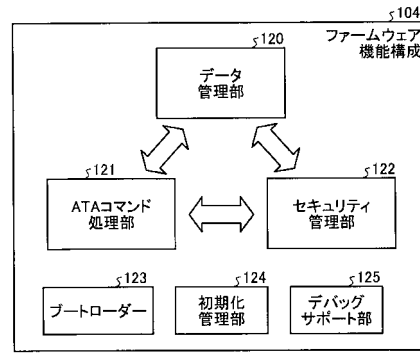
【図2】



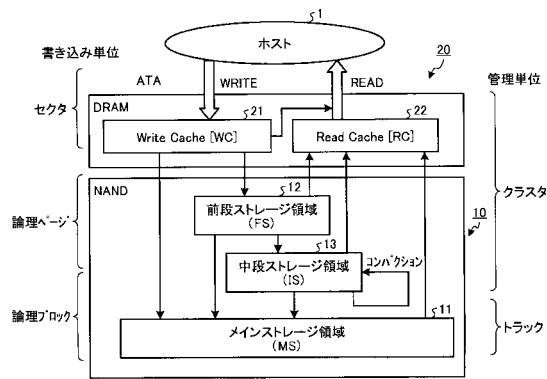
【図3】



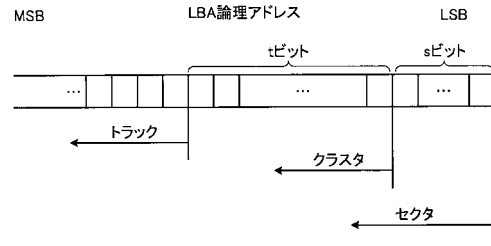
【図4】



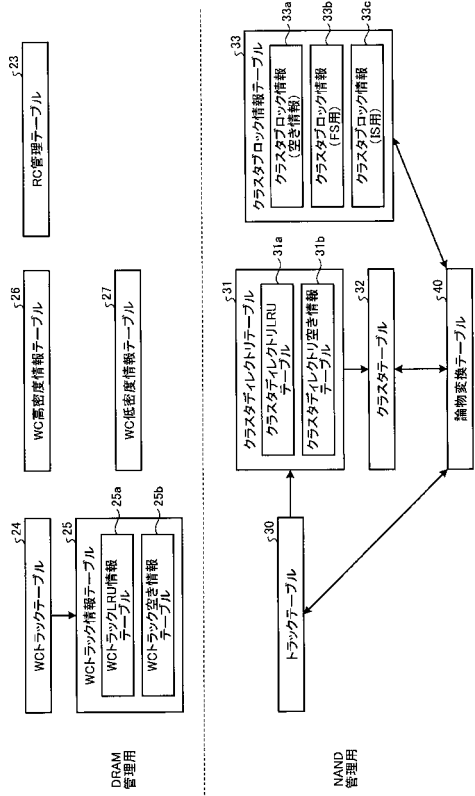
【図5】



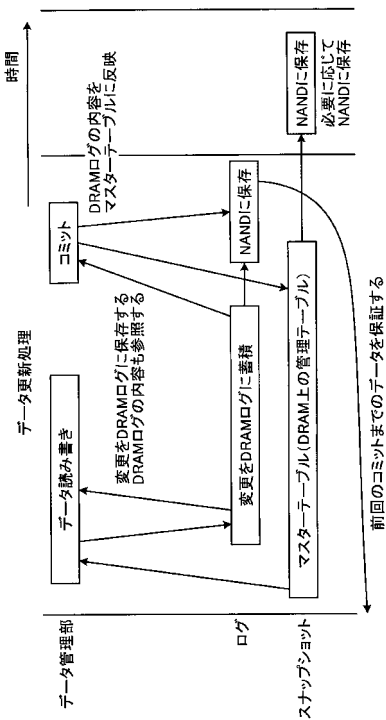
【図6】



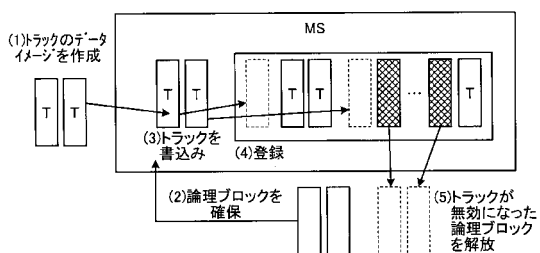
【 図 7 】



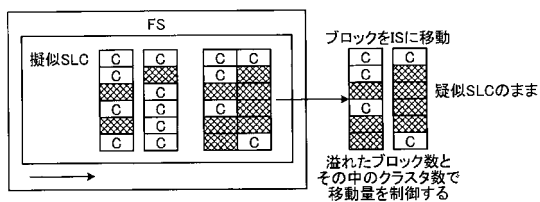
【 図 8 】



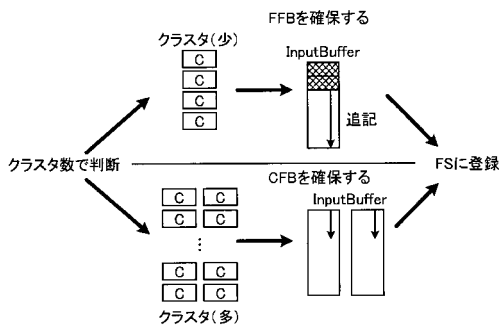
【 図 9 】



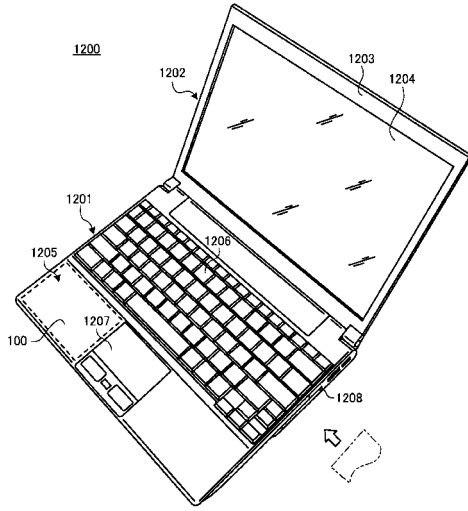
【 図 11 】



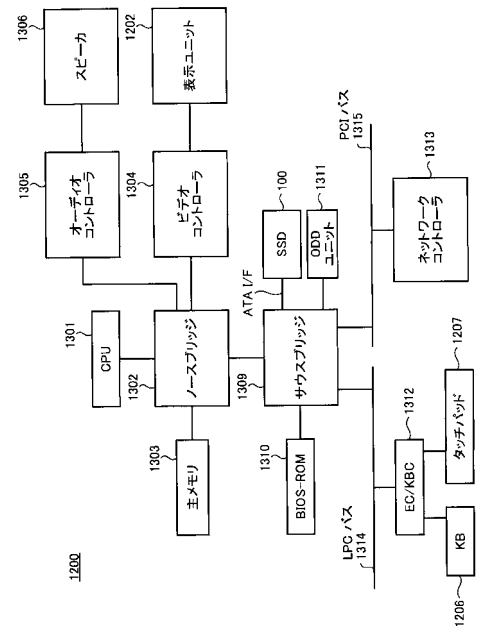
【 図 10 】



【図16】



【図17】



フロントページの続き

- (56)参考文献 特開2006-107379(JP,A)
特開2005-242897(JP,A)
特開2005-115857(JP,A)
特開2006-350572(JP,A)
特開2009-20986(JP,A)
国際公開第99/032977(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16
G06F 12/00 - 12/06