



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월15일
(11) 등록번호 10-2421295
(24) 등록일자 2022년07월12일

- (51) 국제특허분류(Int. Cl.)
H03L 7/085 (2006.01) H03K 19/21 (2006.01)
H04L 7/033 (2006.01)
- (52) CPC특허분류
H03L 7/085 (2013.01)
H03K 19/215 (2013.01)
- (21) 출원번호 10-2020-7024407
- (22) 출원일자(국제) 2019년01월25일
심사청구일자 2020년08월24일
- (85) 번역문제출일자 2020년08월24일
- (65) 공개번호 10-2020-0118072
- (43) 공개일자 2020년10월14일
- (86) 국제출원번호 PCT/US2019/015261
- (87) 국제공개번호 WO 2019/148014
국제공개일자 2019년08월01일
- (30) 우선권주장
15/881,509 2018년01월26일 미국(US)
- (56) 선행기술조사문헌
US20070047689 A1
KR1020170109491 A

- (73) 특허권자
칸도우 랩스 에스에이
스위스 씨에이치-1015 로잔 빌딩 아이 이피에프엘 이노베이션 파크
- (72) 발명자
타잘리 아르민
스위스 로잔 1015 빌딩 아이 이피에프엘 이노베이션 파크 칸도우 랩스 에스에이 내
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 20 항

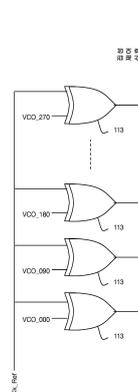
심사관 : 남기영

(54) 발명의 명칭 위상 검출 및 위상 보간을 위한 가중 출력 세그먼트들을 갖는 동적 가중 배타적 논리합 게이트

(57) 요약

복수의 로직 브랜치들을 포함하는 동적 가중 XOR 게이트에서 기준 클럭 신호 및 로컬 오실레이터 신호의 위상을 수신하고, 위상 에러 신호의 복수의 가중 세그먼트들을 생성하고 - 복수의 가중 세그먼트들은 포지티브 가중 세그먼트들 및 네거티브 가중 세그먼트들을 포함하고, 위상 에러 신호의 각각의 가중 세그먼트는, 복수의 로직 브랜치들 중 대응하는 로직 브랜치에 의해 적용되는 각각의 가중치를 가짐 -, 위상 에러 신호의 가중 세그먼트들의 집성에 기초하여 집성 제어 신호를 생성하고, 로컬 오실레이터를 제어하여 로컬 오실레이터 신호의 위상을 생성하기 위한 전류 모드 출력으로서 집성 제어 신호를 출력하기 위한 방법들 및 시스템들이 설명되고, 로컬 오실레이터는 집성 제어 신호에 응답하여 로컬 오실레이터 신호로 위상 오프셋을 유도하도록 구성된다.

대표도 - 도1



(52) CPC특허분류

H03L 7/099 (2013.01)

H04L 7/033 (2013.01)

명세서

청구범위

청구항 1

방법으로서,

복수의 로직 브랜치(logic branch)를 포함하는 동적 가중 XOR 게이트(dynamically-weighted XOR gate)에서 기준 클록 신호 및 로컬 오실레이터 신호의 위상을 수신하는 단계 - 각각의 로직 브랜치는 상기 기준 클록 신호 및 상기 로컬 오실레이터 신호의 위상의 각각의 입력 로직 조합에 응답하여 인에이블링됨(enabled) -;

위상 에러 신호의 복수의 가중 세그먼트를 생성하는 단계 - 상기 복수의 가중 세그먼트는, (i) 상기 기준 클록 신호 및 상기 로컬 오실레이터 신호의 위상이 동일한 로직 레벨을 가질 때 상기 복수의 로직 브랜치의 제1 서브 세트에 의해 생성되는 포지티브 가중 세그먼트 및 (ii) 상기 기준 클록 신호 및 상기 로컬 오실레이터 신호의 위상이 상이한 로직 레벨을 가질 때 상기 복수의 로직 브랜치의 제2 서브 세트에 의해 생성되는 네거티브 가중 세그먼트를 포함하고, 상기 위상 에러 신호의 각각의 가중 세그먼트는, 상기 복수의 로직 브랜치 중 대응하는 로직 브랜치에 의해 선택적으로 적용되는 각각의 가중치를 가지며, 상기 복수의 가중 세그먼트 중 적어도 2개의 가중 세그먼트는 상이한 가중치를 가짐 -;

상기 위상 에러 신호의 가중 세그먼트의 집성(aggregation)에 기초하여 집성 제어 신호를 생성하는 단계; 및

로컬 오실레이터를 제어하여 상기 로컬 오실레이터 신호의 위상을 생성하기 위한 전류 모드 출력으로서 상기 집성 제어 신호를 출력하는 단계

를 포함하고,

상기 로컬 오실레이터는 상기 집성 제어 신호에 응답하여 상기 로컬 오실레이터 신호로 위상 오프셋을 유도하도록 구성되는 것인, 방법.

청구항 2

제1항에 있어서,

각각의 로직 브랜치는, 병렬로 연결된 복수의 브랜치 세그먼트를 포함하는 것인, 방법.

청구항 3

제2항에 있어서,

복수의 비트를 포함하는 위상 제어 신호를 생성하는 단계를 더 포함하고,

각각의 브랜치 세그먼트는 상기 위상 제어 신호의 상기 복수의 비트의 각각의 비트에 따라 인에이블링되는 것인, 방법.

청구항 4

제3항에 있어서,

각각의 브랜치 세그먼트는 입력으로서 상기 각각의 비트를 수신하는 대응하는 인에이블링 트랜지스터에 따라 인에이블링되는 것인, 방법.

청구항 5

제3항에 있어서,

상기 위상 제어 신호를 생성하는 단계는, 룩업 테이블로부터 상기 위상 오프셋에 대응하는 값을 선택하는 단계를 포함하는 것인, 방법.

청구항 6

제2항에 있어서,

주어진 가중 세그먼트에 대한 각각의 가중치는 상기 로직 브랜치에서 인에이블링되는 브랜치 세그먼트의 수에 의해 결정되는 것인, 방법.

청구항 7

제1항에 있어서,

주어진 가중 세그먼트에 대한 각각의 가중치는 상기 로직 브랜치에서의 트랜지스터 치수에 의해 부분적으로 결정되는 것인, 방법.

청구항 8

제1항에 있어서,

주어진 가중 세그먼트에 대한 각각의 가중치는 상기 로직 브랜치에 연결되는 튜닝가능 임피던스에 의해 부분적으로 결정되는 것인, 방법.

청구항 9

제1항에 있어서,

상기 집성 제어 신호는 또한, 상기 로컬 오실레이터 신호의 위상에 인접한 상기 로컬 오실레이터 신호의 제2 위상 및 상기 기준 클록 신호를 사용하여 생성되는 제2 위상 에러 신호에서의 가중 세그먼트에 기초하여 생성되는 것인, 방법.

청구항 10

제9항에 있어서,

상기 제1 및 제2 위상 에러 신호는 역 인에이블링된 브랜치 세그먼트의 세트를 사용하여 생성되는 것인, 방법.

청구항 11

장치로서,

동적 가중 XOR 게이트의 복수의 로직 브랜치 - 상기 복수의 로직 브랜치는 기준 클록 신호 및 로컬 오실레이터 신호의 위상을 수신하도록 그리고 이에 응답하여 위상 에러 신호의 복수의 가중 세그먼트를 생성하도록 구성되고, 상기 위상 에러 신호의 각각의 가중 세그먼트는, 상기 기준 클록 및 상기 로컬 오실레이터의 위상의 각각의 입력 로직 조합에 응답하여 인에이블링되는 대응하는 로직 브랜치에 의해 생성되고, 상기 복수의 로직 브랜치 중 대응하는 로직 브랜치에 의해 선택적으로 적용되는 각각의 가중치를 가지며, 상기 복수의 가중 세그먼트 중 적어도 2개의 가중 세그먼트는 상이한 가중치를 가지며, 상기 복수의 로직 브랜치는:

상기 기준 클록 신호 및 상기 로컬 오실레이터 신호의 위상이 동일한 로직 레벨을 가질 때 포지티브 가중 세그먼트를 생성하도록 구성되는 상기 복수의 로직 브랜치의 제1 서브세트;

상기 기준 클록 신호 및 상기 로컬 오실레이터 신호의 위상이 상이한 로직 레벨을 가질 때 네거티브 가중 세그먼트를 생성하도록 구성되는 상기 복수의 로직 브랜치의 제2 서브세트

를 포함함 -; 및

상기 위상 에러 신호의 가중 세그먼트의 집성에 기초하여 집성 제어 신호를 생성하도록, 그리고 이에 응답하여 로컬 오실레이터를 제어하여 상기 로컬 오실레이터 신호의 위상을 생성하기 위한 전류 모드 출력으로서 상기 집성 제어 신호를 출력하도록 구성되는 상기 복수의 로직 브랜치에 연결되는 공통 노드

를 포함하고,

상기 로컬 오실레이터는 상기 집성 제어 신호에 응답하여 상기 로컬 오실레이터 신호로 위상 오프셋을 유도하도록 구성되는 것인, 장치.

청구항 12

제11항에 있어서,
 각각의 로직 브랜치는, 병렬로 연결된 복수의 브랜치 세그먼트를 포함하는 것인, 장치.

청구항 13

제12항에 있어서,
 복수의 비트를 포함하는 위상 제어 신호를 생성하도록 구성되는 위상 보간기 제어 신호 생성기를 더 포함하고,
 각각의 브랜치 세그먼트는 상기 위상 제어 신호의 상기 복수의 비트의 각각의 비트에 따라 인에이블링되는 것인, 장치.

청구항 14

제13항에 있어서,
 각각의 브랜치 세그먼트는, 입력으로서 상기 각각의 비트를 수신하도록 구성되는 대응하는 인에이블링 트랜지스터를 포함하는 것인, 장치.

청구항 15

제13항에 있어서,
 상기 위상 보간기 제어 신호 생성기는 룩업 테이블로부터 상기 위상 오프셋에 대응하는 값을 선택함으로써 상기 위상 제어 신호를 생성하도록 구성되는 것인, 장치.

청구항 16

제12항에 있어서,
 주어진 가중 세그먼트에 대한 각각의 가중치는 상기 로직 브랜치에서 인에이블링되는 브랜치 세그먼트의 수에 의해 결정되는 것인, 장치.

청구항 17

제11항에 있어서,
 주어진 가중 세그먼트에 대한 각각의 가중치는 상기 로직 브랜치에서의 트랜지스터 치수에 의해 부분적으로 결정되는 것인, 장치.

청구항 18

제11항에 있어서,
 주어진 가중 세그먼트에 대한 각각의 가중치는 상기 로직 브랜치에 연결되는 튜닝가능 임피던스에 의해 부분적으로 결정되는 것인, 장치.

청구항 19

제11항에 있어서,
 상기 집성 제어 신호는 또한, 상기 로컬 오실레이터 신호의 위상에 인접한 상기 로컬 오실레이터 신호의 제2 위상 및 상기 기준 클럭 신호를 사용하여 생성되는 제2 위상 에러 신호에서의 가중 세그먼트에 기초하여 생성되는 것인, 장치.

청구항 20

제19항에 있어서,
 상기 제1 및 제2 위상 에러 신호는 역 인에이블링된 브랜치 세그먼트의 세트를 사용하여 생성되는 것인, 장치.

발명의 설명

기술분야

- [0001] [관련 출원들에 대한 상호 참조] 본 출원은, 2018년 1월 26일자로 출원되고 발명의 명칭이 "Dynamically Weighted Exclusive OR Gate Having Weighted Output Segments for Phase Detection and Phase Interpolation"이며 Armin Tajalli라는 이름이 들어간 미국 비-가출원 제15/881,509호의 이익을 주장하고, 이 미국 비-가출원은 이로써 모든 목적들을 위해 그 전체가 참조로 포함된다.
- [0002] [참조 문헌들] 다음의 선출원들이 모든 목적들을 위해 본 명세서에 그 전체가 참조로 포함된다:
- [0003] 2017년 4월 21일자로 출원되고 Armin Tajalli라는 이름이 들어가며 발명의 명칭이 "High Performance Phase Locked Loop"인 미국 특허 출원 제15/494,439호, 이하 [Tajalli I]로 식별됨.
- [0004] 2017년 5월 22일자로 출원되고 Armin Tajalli라는 이름이 들어가며 발명의 명칭이 "Data-Driven Phase Detector Element for PLL"인 미국 특허 출원 제15/602,080호, 이하 [Tajalli II]로 식별됨.
- [0005] [발명의 분야] 본 실시예들은 일반적으로 통신 시스템 회로들에 관한 것으로, 더 구체적으로는 칩 대 칩 통신(chip-to-chip communication)을 위해 사용되는 고속 멀티-와이어 인터페이스로부터 안정적이고 올바르게 위상 조정되는 수신기 클록 신호를 획득하기 위한 위상 잠금 루프(Phase-Locked Loop)의 활용에 관한 것이다.

배경기술

- [0006] 현대 디지털 시스템들에서, 디지털 정보는 신뢰성있고 효율적인 방식으로 프로세싱되어야 한다. 이러한 맥락에서, 디지털 정보는 이산, 즉, 불연속 값들로 이용가능한 정보로서 이해되어야 한다. 유한 집합(finite set)으로부터의 숫자들뿐만 아니라, 비트들, 비트들의 콜렉션(collection)이 디지털 정보를 표현하는 데 사용될 수 있다.
- [0007] 대부분의 칩 대 칩 또는 디바이스 대 디바이스 통신 시스템들에서, 통신은 복수의 와이어들을 통해 발생하여 집성 대역폭(aggregate bandwidth)을 증가시킨다. 단일의 또는 쌍의 이들 와이어들은 채널 또는 링크라고 지칭될 수도 있고 다수의 채널들이 전자 컴포넌트들 사이에 통신 버스를 생성한다. 물리적 회로부 레벨에서, 칩 대 칩 통신 시스템들에서는, 버스들이 전형적으로 칩들과 마더보드들 사이의 패키지에서, 인쇄 회로 보드들(printed circuit boards)("PCBs") 보드들 상에서 또는 PCB들 사이의 케이블들과 커넥터들에서 전기 전도체들로 이루어진다. 고주파 적용예들에서는, 마이크로스트립 또는 스트립라인 PCB 트레이스들이 사용될 수도 있다.
- [0008] 버스 와이어들을 통해 신호들을 송신하는 통상적인 방법들은 단일 종단 및 차동 시그널링 방법들을 포함한다. 고속 통신들을 요구하는 적용예들에서, 이들 방법들은, 특히 고속 통신들에서, 전력 소비 및 핀 효율의 관점에서 추가로 최적화될 수 있다. 더 최근에는, 칩 대 칩 통신 시스템들의 전력 소비, 핀 효율 및 노이즈 강건성(noise robustness) 사이의 트레이드오프들을 추가로 최적화시키기 위해 벡터 시그널링 방법들이 제안되었다. 이들 벡터 시그널링 시스템들에서, 송신기에서의 디지털 정보가 송신 채널 특성들 및 통신 시스템 디자인 제약들에 기초하여 전력 소비, 핀 효율 및 속도 트레이드오프들을 최적화시키기 위해 선정되는 벡터 코드워드의 형태의 상이한 표현 공간으로 변환된다. 본 명세서에서, 이 프로세스는 "인코딩"이라고 지칭된다. 인코딩된 코드워드는 송신기로부터 하나 이상의 수신기들로 신호들의 그룹으로서 통신된다. 수신기에서, 코드워드에 대응하는 수신된 신호들이 원래의 디지털 정보 표현 공간으로 다시 변환된다. 본 명세서에서, 이 프로세스는 "디코딩"이라고 지칭된다.

- [0009] 사용된 인코딩 방법에 관계없이, 수신 디바이스에 제시되는 수신된 신호들은, 송신 채널 딜레이들, 간섭, 및 노이즈에 관계없이, 원래의 송신된 값들을 가장 잘 표현하는 간격들로 샘플링(또는 그렇지 않으면 이들의 신호 값이 기록)되어야 한다. 이 클록 및 데이터 복원(Clock and Data Recovery)(CDR)은 적절한 샘플 타이밍을 결정해야 할 뿐만 아니라, 연속적으로 그렇게 하는 것을 계속하여, 다양한 신호 전파 조건들에 대한 동적 보상을 제공해야 한다. 많은 알려진 CDR 시스템들은 정확한 수신 데이터 샘플링을 위해 적절한 주파수 및 위상을 갖는 로컬 수신 클록을 합성하기 위해 위상 잠금 루프(PLL) 또는 딜레이 잠금 루프(Delay-Locked Loop)(DLL)를 활용한다.

발명의 내용

- [0010] 복수의 로직 브랜치(logic branch)들을 포함하는 동적 가중 XOR 게이트(dynamically-weighted XOR gate)에서 기준 클록 신호 및 로컬 오실레이터 신호의 위상을 수신하고, 위상 에러 신호의 복수의 가중 세그먼트들을 생성하고 - 복수의 가중 세그먼트들은, (i) 기준 클록 신호 및 로컬 오실레이터 신호의 위상이 동일한 로직 레벨들

을 가질 때 복수의 로직 브랜치들의 제1 서브세트에 의해 생성되는 포지티브 가중 세그먼트들 및 (ii) 기준 클럭 신호 및 로컬 오실레이터 신호의 위상이 상이한 로직 레벨들을 가질 때 복수의 로직 브랜치들의 제2 서브세트에 의해 생성되는 네거티브 가중 세그먼트들을 포함하고, 위상 에러 신호의 각각의 가중 세그먼트는, 복수의 로직 브랜치들 중 대응하는 로직 브랜치에 의해 적용되는 각각의 가중치를 가짐 -, 위상 에러 신호의 가중 세그먼트들의 집성(aggregation)에 기초하여 집성 제어 신호를 생성하고, 로컬 오실레이터를 제어하여 로컬 오실레이터 신호의 위상을 생성하기 위한 전류 모드 출력으로서 집성 제어 신호를 출력하기 위한 방법들 및 시스템들이 설명되고, 로컬 오실레이터는 집성 제어 신호에 응답하여 로컬 오실레이터 신호로 위상 오프셋을 유도하도록 구성된다.

[0011] 통신 시스템을 통해 송신되는 데이터 값들을 신뢰성있게 검출하기 위해, 수신기가 신중하게 선택된 시간들에서 수신된 신호 값 진폭들을 정확하게 측정해야 한다. 송신된 데이터 스트림과 연관된 하나 이상의 전용 클럭 신호들의 수신, 송신된 데이터 스트림 내에 임베딩된 클럭 신호들의 추출, 및 통신된 데이터 스트림의 알려진 속성들로부터의 로컬 수신 클럭의 합성을 포함하는, 그러한 수신 측정들을 용이하게 하는 다양한 방법들이 알려져 있다.

[0012] 일반적으로, 그러한 타이밍 방법들의 수신기 실시예들은, 원하는 주파수 또는 위상 특성들을 갖는 로컬 수신 클럭의 위상 잠금 루프(PLL) 또는 딜레이 잠금 루프(DLL) 합성에 종종 기초하는, 일부 형태의 클럭 데이터 복원(CDR)을 포함한다. 이들 실시예들에서, 위상 검출기는 수신된 기준 신호와 로컬 클럭 신호의 상대 위상(그리고 일부 변형들에서는, 상대 주파수)을 비교하여 에러 신호를 생성하는데, 이 에러 신호는 이에 후속하여 로컬 클럭 소스의 위상 및/또는 주파수를 보정하고 따라서 에러를 최소화시키는 데 사용된다.

[0013] [Tajalli I] 및 [Tajalli II]는 수신된 기준 클럭 및/또는 로컬 클럭의 다수의 위상들 또는 시간-오프셋 인스턴스들이 생성되고 위상이 비교되어, 부가적인 타이밍 정보가 추출되게 하는 실시예들을 설명한다. 그러한 소위 "매트릭스" 위상 비교들에서, 다수의 위상 비교 결과들의 합산 또는 가중 합산이 PLL에 대한 에러 피드백 신호로서 사용된다. 본 명세서에서 설명되는 실시예들은, 위상 검출 기능들을, 조정가능한 또는 구성가능한 출력 가중과 조합하여, 매트릭스 위상 비교에서의 사용을 용이하게 한다.

도면의 간단한 설명

[0014] 도 1은 기준 클럭 신호 Ck_Ref와 위상들 VCO_000, VCO_090, VCO_180, VCO_270을 포함하는 로컬 오실레이터 신호의 위상들 사이에서 위상 비교기들로서 기능하여 집성 제어 신호를 생성하는 다수의 XOR 게이트들을 도시한다.

도 2는 로컬 오실레이터 신호의 위상들 VCO_000 및 VCO_090을 Ck_Ref와 비교하는 위상 제어 루프의 일 실시예의 블록도이다.

도 3은 동적 가중 XOR 게이트의 일 실시예의 개략도이고, 여기서 각각의 게이트 브랜치가 위상 에러 신호의 가중 세그먼트를 생성하도록 구성가능하다.

도 4a 및 도 4b는 클럭 가중 함수들을 포함하는 동적 가중 XOR 게이트 실시예들의 개략도들이다.

도 5는 출력 가중 함수의 연산을 예시하는 타이밍도이다.

도 6, 도 7, 도 8, 도 9, 및 도 10은 일부 실시예들에 따른, 다양한 기준 클럭 신호 대 로컬 오실레이터 신호 관계들에 대한 다양한 집성 에러 신호들을 예시한다.

도 11은 조정가능한 시간 간격 가중을 사용하여 위상 비교기의 전달 특성들이 어떻게 근사될 수도 있는지를 예시한다.

도 12a 및 도 12b는 유니러리 셀렉터(unary selector)가 일련의 요소들이 위상 제어 신호를 제공하는 것을 가능하게 하는 2개의 실시예들을 도시한다.

도 13은 일부 실시예들에 따른 방법의 흐름도이다.

도 14, 도 15, 도 16, 도 17, 도 18, 및 도 19는 다양한 위상 각도 결과들을 획득하기 위한 일 실시예에서의 브랜치 세그먼트 트랜지스터들의 활성화 및 비활성화를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0015] 인쇄 회로 보드 상의 집적 회로들 사이와 같은 단거리 유선 데이터 통신을 위한 현재의 최신 기술은, 다중-와이어 병렬 통신 채널에 대해, 와이어당 10Gbps를 초과한다. 이들 상당한 데이터 레이트들은, 특히 수신기 데이터 샘플링 연산의 타이밍에 대해, 정확한 타이밍 제어를 요구한다. [Tajalli I] 및 [Tajalli II]는 "매트릭스" 위상 비교 연산들을 포함하는 위상 잠금 루프(PLL) 또는 딜레이 잠금 루프(DLL) 시스템들을 사용하는 그러한 타이밍 클럭들의 생성을 설명하고, 여기서 상이한 기준 및 로컬 클럭 위상들 사이의 다수의 비교 결과들이 수행되는데, 이때 합산된 결과는 클럭 에러의 더 정확한 또는 유용한 측정치를 제공한다.

[0016] 수많은 형태들의 위상 검출기들이 본 기술분야에 알려져 있다. 비제한적인 예로서, 2개의 구형파 신호들을 비교하기 위해 단순한 XOR 또는 XNOR 게이트가 사용될 수도 있다. 본 기술분야의 통상의 기술자는 그러한 디지털 XOR 출력이 가변 듀티 사이클 파형일 것임을 관찰할 것인데, 이 가변 듀티 사이클 파형은, 아날로그 에러 신호로 저역 통과 필터링될 때, 2개의 입력 신호들이 90도 위상 오프셋 관계를 가질 때 아날로그 신호 범위의 중심에 놓인 비례 에러 신호를 발생시킨다. 도 1에서, 기준 클럭 신호 Ck_Ref와 위상들 VCO_000, VCO_090, VCO_180, VCO_270을 포함하는 로컬 오실레이터 신호의 위상들 사이에서 다수의 동적 가중 XOR 위상 비교들이 이루어져서, 집성 제어 신호를 발생시킨다. [Tajalli I] 및 [Tajalli II]에 교시된 바와 같이, 다양한 위상 에러 컴포넌트들의 가중치들의 적절한 조정이 사용되어, 매트릭스 위상 비교기를 포함하는 PLL의 결과적인 잠금 위상을 조정하는 것, 부가적인 극점(pole)들 또는 제로(zero)들을 폐쇄 루프 PLL 응답에 도입하는 것 등을 할 수도 있다.

[0017] [Tajalli I] 및 [Tajalli II]는 디지털 XOR 또는 XNOR 게이트가 원하는 합성 함수를 구현하기 위해 후속하여 함께 OR되는 컴포넌트 AND 연산들을 표현하는 하위 요소들을 포함하는 트랜지스터 레벨 게이트로 분해될 수도 있다는 것을 부가적으로 개시한다. 본 명세서에서는 각각의 그러한 하위 요소가 별개로 가중되어 더 미세하게 조정가능한 위상 에러 신호를 생성할 수도 있는데, 이 더 미세하게 조정가능한 위상 에러 신호는 로컬 오실레이터 신호의 상이한 위상들을 수신하는 다른 동적 가중 XOR 게이트들로부터의 위상 에러 신호들과 추가로 조합되어 집성 제어 신호를 생성하여, 따라서 보간을 제공할 수도 있는 실시예들이 설명된다. 도 3은 이 기법의 일 예이고, 여기서 XOR 게이트(113)가 개별 AND 항들(310, 320, 330, 340)로 분해되었는데, 이들 각각이 저항성 가중 요소를 포함하고, 이들 모두가 함께 OR되어, 로컬 오실레이터에서 위상 조정들을 제어하는 데 사용될 수도 있는 집성 제어 신호 Iout을 생성한다. CMOS 로직에 대한 표준 관행에 따라, NMOS 하위 요소들(320 및 340)은 액티브

로우(active-low) 함수 컴포넌트들 $\overline{Iout} = (x \cdot \bar{y}) + (\bar{x} \cdot y)$ 를 구현하고 PMOS 하위 요소들(310 및 330)은 액티브 하이(active-high) 함수 컴포넌트들 $Iout = (\bar{x} \cdot \bar{y}) + (x \cdot y)$ 를 구현한다. 따라서, 게이트(113)로부터 출력되는 결과적인 위상 에러 신호는 포지티브 가중(액티브 하이) 및 네거티브 가중(액티브 로우) 세그먼트들 양측 모두로 구성되어, 출력 전류의 액티브 소싱(sourcing)과 싱킹(sinking) 양측 모두를 가능하게 한다.

[0018] 도 4a 및 도 4b는, 구성가능한 아날로그 저항들에 의한 것보다는 오히려, 입력 비트들 t_0, t_1, t_2, t_3 을 인에이블링(enabling)시키는 것에 의해 도 3의 것과 같은 분해된 게이트에 대한 가중 연산들의 구성이 수행되는 추가의 실시예들을 예시한다. 구체적으로는, 이들은 도 3의 330의 2개의 버전들을 예시하는데, 이때 사분면들(310, 320, 340)이 유사한 방식으로 구현된다. 입력 비트들 t_0, t_1, t_2, t_3 각각을 인에이블링시키면, 고정된 양의 전류를 결과 K에 각각이 기여하는 다수의 병렬 브랜치 세그먼트들 또는 경로들 중 하나에서의 인에이블링 트랜지스터를 턴 온시킨다. 따라서, 인에이블링되는 그러한 브랜치 세그먼트들의 수는 전체 결과 Iout의 전체 진폭, 즉, 가중을 제어한다. 실제 실시예에서, 각각의 경로에서의 전류의 양은, 본 기술분야에 잘 알려져 있는 바와 같이, 트랜지스터 지오메트리의 적절한 선택에 의해 제어될 수도 있다. 제한을 암시하는 일 없이 제공되는 2개의 예들로서, 도 4a는 각각의 병렬 경로가 동일한 양의 전류를 기여하도록 선정되는 트랜지스터 지오메트리를 도시하는 한편, 도 4b는 연속 병렬 경로들에 대해 전류 기여도(current contribution)들이 2배가 되도록 선정되는 트랜지스터 지오메트리를 도시한다. 따라서, 도 4a의 실시예는, 예를 들어, 온도계 코드를 사용하는 입력 비트들 t_0, t_1, t_2, t_3 의 유니러리(즉, 계수(counting number)) 선택과 조합될 수도 있는 한편, 도 4b는 입력 비트들 t_0, t_1, t_2, t_3 의 이진수 표현과 조합될 수도 있다.

[0019] 도 5는 도 3의 각각의 사분면에서 도 4a의 회로를 활용한 결과들을 예시한다. 330에서 t_0, t_1, t_2, t_3 중 1개, 2개, 3개, 또는 모두를 인에이블링시키면 가중 세그먼트(510)의 신호 진폭의 가중을 가능하게 한다. 340에서의 유사한 조정은 가중 세그먼트(520)에 의해 도시된 바와 같은 구성을 가능하게 하고, 310의 조정은 가중 세그먼트

트(530)에 의해 도시된 바와 같은 구성을 가능하게 하며, 320에서의 조정은 가중 세그먼트(540)에 의해 도시된 바와 같은 구성을 가능하게 한다. 브랜치당 4개의 브랜치 세그먼트 경로들을 사용하는 이 예에서는, 조합된 출력 Iout에 대해 총 16개의 가능한 신호 진폭들이 획득될 수도 있다. 일부 실시예들에서, 예를 들어 동일한 수들의 PMOS 및 NMOS(즉, 포지티브 가중 및 네거티브 가중) 브랜치 세그먼트들을 항상 인에이블링시킴으로써 신호 대칭을 유지하기 위해, 부가적인 제약들이 적용될 수도 있다.

[0020] 추가의 예로서, 인에이블링되는 신호 경로들의 수의 의도적인 제어는 전용 위상 보간 디바이스의 도입 없이도 잠금 위상을 조정하는 능력을 제공한다. 도 1의 것과 유사한 매트릭스 위상 비교기 구성이 가정되지만, 설명의 단순성을 위해 단지 2-위상 비교 요소들(113)만이 고려될 것이다. 결과적인 PLL 구성의 단순화된 블록도가 도 2에 도시되어 있는데, 이때 2-위상 비교기 요소들(113)이 제1 인스턴스에서는 로컬 오실레이터 신호의 위상 VCO_000을 Ck_Ref와 비교하고, 제2 인스턴스에서는 로컬 오실레이터 신호의 위상 VCO_090을 Ck_Ref와 비교한다. 각각의 위상 비교기의 브랜치 세그먼트 가중치들이 조정(207, 208)되어 가중 세그먼트들을 생성하는데, 이 가중 세그먼트들은 이에 후속하여 조합되고 저역 통과 필터링(230)되어, 전압 제어 오실레이터(Voltage-Controlled Oscillator)(VCO)(240)를 제어하여 로컬 오실레이터 신호의 위상들 VCO_000 및 VCO_090을 생성하여 로컬 오실레이터 신호의 위상들로 위상 오프셋을 유도하는 데 사용될 수도 있는 집성 제어 신호를 생성한다.

[0021] 위상 보간 제어 신호 생성기(205)는 위상 값 입력을 수용하고 제어 신호들(207, 208)을 생성하는데, 이 제어 신호들(207, 208)은, 제1 동적 가중 XOR 게이트에서의 그리고 제2 동적 가중 XOR 게이트에서의 브랜치 세그먼트들의 수들을 선택적으로 인에이블링시킴으로써, 저역 통과 필터링(230)되고 VCO(240)에 제공될 수도 있는 집성 제어 신호에 대한 각각의 위상 비교기 인스턴스의 상대 기여도를 제어한다.

[0022] 일부 실시예들에서, VCO를 보간하기 위해 다수의 분해된 XOR 게이트들이 활용될 수도 있다. 일부 실시예들에서, 로컬 오실레이터 신호들에서의 루프 대역폭 및 지터 추적을 증가시키기 위해 로컬 오실레이터 신호의 2개 초과 위상들이 보간에 사용될 수도 있다. 도 14 내지 도 18은 보간된 위상을 생성하기 위한 4개의 VCO 위상들의 사용을 예시한다. 도 14는 조정가능한 위상 결과를 획득하기 위해 로컬 오실레이터 신호의 4개의 위상들 사이를 보간하는 일 실시예에서의 브랜치 세그먼트 트랜지스터들의 배열을 예시한다. 인에이블링되는 PMOS 및 NMOS 브랜치 세그먼트 트랜지스터들은 음영 처리된 것으로 도시되어 있고, 인에이블링되지 않은 트랜지스터들은 공백으로 도시되어 있다. 따라서, 극선도(polar diagram)에 도시된 67.5도 결과는 0도, 45도, 90도, 및 135도 입력 위상들의 동일한 합산들의 결과라는 것이 관찰될 수도 있는데, 이는 이들 위상들과 연관된 모든 브랜치 트랜지스터들이 인에이블링되고, 위상 180과 연관된 모든 트랜지스터들이 인에이블링되지 않기 때문이다. 0의 내부 위상 보간기 코드(Phase Interpolator code)가 이 배열의 인에이블링된 브랜치 세그먼트 트랜지스터들을 생성하는 이 세트의 집성 제어 신호들과 연관되고, 따라서 이 특정 출력 위상과 연관된다. 67.5도의 (이 예에서의) 원하는 위상에 바로 인접한 위상들인, 단지 45도 및 90도 위상들의 동일한 가중에 의해, 67.5도의 위상을 갖는 보간된 위상 신호가 또한 획득될 수도 있다는 것에 주목한다. 그러나, 단지 인접한 위상들만의 그러한 조합은, 0도 및 135도 위상들에 존재하는 지터 정보를 포함시키지 못한다(그리고 따라서, 그러한 지터를 보정하지 못한다). 원하는 보간된 위상에 바로 인접한 이들 위상들보다 더 많은 위상들의 위상 비교 데이터(소위 "위상 에러" 정보)를 포함하는 VCO 제어 신호를 생성함으로써, 훨씬 더 넓은 대역폭 및 더 응답적이고 정확한 위상 제어가 달성될 수도 있다.

[0023] 동일한 실시예에서, 1의 위상 보간기 코드로 변경하면 도 15에 예시된 결과가 생성된다. 입력 위상 0과 연관된 하나의 NMOS 브랜치 세그먼트 트랜지스터가 비활성화되는 한편, 다른 모든 브랜치 트랜지스터들은 도 14에서와 동일한 구성으로 유지된다. 따라서 이 입력 위상에 대해, 네거티브 가중 세그먼트(즉, 기준 클록 신호와 로컬 오실레이터 신호의 위상이 상이한 로직 레벨들을 가질 때 합산에 기여함)는, 도 14에 도시된 것과 동일한 가중치를 유지하는 포지티브 가중 세그먼트(즉, 기준 클록 신호와 로컬 오실레이터 신호의 위상이 동일한 로직 레벨들을 가질 때 합산에 기여함)보다 약간 더 낮은 가중치를 갖는다. 합산에 대한 위상 0의 기여도의 결과적인 감소는, 0도, 45도, 90도, 및 135도 위상 에러 신호들로부터의 가중 세그먼트들의 합산에 대한 위상 0의 감소된 기여도로 인해, 대략 69도의 출력 위상을 발생시킨다.

[0024] 동일한 예를 계속하면, 도 16은 위상 보간기 코드 2를 이용하는 동일한 실시예에 대한 결과를 예시한다. 입력 위상 0과 연관된 하나의 NMOS 및 하나의 PMOS 브랜치 세그먼트 트랜지스터가 비활성화되어, 가중 합산 결과에 대한 위상 0의 기여도를 추가로 감소시켜서, 대략 72도의 출력 위상을 생성한다.

[0025] 5의 내부 위상 보간기 코드에 대응하는, 동일한 실시예에서의 위상의 추가 조정이 도 17에 도시되어 있다. 입력 위상 0과 연관된 2개의 PMOS 및 3개의 NMOS 브랜치 세그먼트 트랜지스터들이 비활성화되어, 가중 합산 결과

에 대한 그의 기여도를 추가로 감소시킨다. 도 18은 입력 위상 0과 연관된 3개의 PMOS 및 4개의 NMOS 브랜치 세그먼트 트랜지스터들의 비활성화를 발생시켜, 가중 합산 결과에 대한 그의 기여도를 추가로 감소시키는, 7의 내부 위상 보간기 코드에 의해 구성되는 동일한 실시예를 예시한다. 일단 위상 0과 연관된 모든 브랜치 세그먼트들이 턴 오프되면, 위상 180에서의 브랜치 세그먼트들이 턴 온되기 시작하여, 도 19에 도시된 바와 같이, 90도를 넘는 보간된 신호를 생성할 수도 있다.

[0026] 도 6 내지 도 10은 일부 실시예들에 따른, 집성 제어 신호들의 형성을 예시하는 타이밍도들이다. 다음의 설명에서는 도 3에 대한 참조들이 이루어지지만, 유사한 예들 및 개념들이 다른 유사한 시스템들로 확장될 수도 있다는 것에 주목해야 한다. 도 6은 로컬 오실레이터 신호의 위상들 VCO_000과 VCO_090 사이의 보간의 타이밍도를 예시한다. 도시된 바와 같이, 도 6은 기준 클록 신호 및 로컬 오실레이터 신호의 위상 VCO_000을 수신하고 있는 도 3에 도시된 바와 같은 회로에서 브랜치들(330 및 340)을 턴 오프시키고 기준 클록 신호 및 로컬 오실레이터 신호의 위상 VCO_090을 수신하고 있는 도 3에 도시된 바와 같은 회로에서 브랜치들(330 및 340)을 턴 온시킨 직후의 위상 에러 신호들 error_000 및 error_090의 가중 세그먼트들의 상태이다. 도시된 바와 같이, 가중 세그먼트들 error_000 및 error_090의 음영 처리된 부분들의 집성은 대부분 네거티브이고, 따라서 로컬 오실레이터가 회전하여, 집성 제어 신호를, 잠금 조건을 표시하는 제로의 평균으로 이르게 한다.

[0027] 도 7은 잠금 조건에의 도달 시에 기준 클록 신호에 대한 로컬 오실레이터 신호의 위상들 VCO_000 및 VCO_090의 관계를 예시한다. 도시된 바와 같이, 위상들 VCO_000 및 VCO_090은 기준 클록 신호에 대한 -45도 위상 시프트를 겪었고, 45의 위상이 이제 위상 검출기의 90도 잠금 포인트로 잠긴다. 그러한 시프트를 예상할 것인데, 이는 위상 VCO_000을 수신하는 XOR 검출기의 절반이 턴 온되는 한편, 위상 VCO_090을 수신하는 XOR 검출기의 절반도 또한 턴 온되고, 따라서 양측 모두의 위상들이 집성 제어 신호에 대해 동일한 기여도들을 이루고 있기 때문이다. 추가로 언급되는 바와 같이, 위상 에러 신호들 error_000 및 error_090의 가중 세그먼트들의 집성은 따라서 0의 평균 결과이고, VCO는 따라서 위상들 VCO_000 및 VCO_090이 상술된 90도 잠금 포인트에 대한 -45도 위상 시프트를 겪은 잠금 조건에 있다.

[0028] 도 8은 유사한 시나리오를 예시하지만, 도 8에서는, 브랜치들(330 및 340)이 위상 VCO_000에 대해 턴 오프되는 한편, 브랜치들(330 및 340)이 위상 VCO_270에서 턴 온된다. 예상대로, 위상들 VCO_000 및 VCO_270은 이전 잠금 포인트에 대한 +45도 위상 시프트를 겪고, 따라서 315도의 위상이 이제 위상 검출기의 90도 잠금 포인트로 잠긴다.

[0029] 상기 예들은 논의의 단순화를 위해 브랜치들을 완전히 턴 온/오프시키는 것을 설명하지만, 도 3에 도시된 바와 같이, 브랜치는, 그러한 AND 연산들이 하나 초과된 위상 에러 신호에 부분적으로 기여할 수도 있도록 로컬 오실레이터 신호의 인접 위상들에서 개별적으로 턴 오프/온될 수도 있는 복수의 브랜치 세그먼트들을 포함할 수도 있다. 예를 들어, 도 3에 도시된 바와 같이, 브랜치(330)의 이분의 일로서 단지 구성하는, 위상들 VCO_000/VCO_090을 각각 수신하는 동적 가중 XOR 게이트들에서 t0 및 t1이 턴 오프/온될 수도 있다. 그러한 시나리오가 도 9에 예시되어 있다. 도 9에서, 위상 VCO_000을 수신하는 동적 가중 XOR에서 단지 t0 및 t1만이 턴 오프되고, 위상 VCO_090을 수신하는 동적 가중 XOR에서 단지 t0 및 t1만이 턴 온된다. 도시된 바와 같이, 그러한 구성은 기준 클록 신호에 대한 90도 잠금 포인트에 대해 로컬 오실레이터 신호의 위상 VCO_000의 대략 -11.25도의 비례적으로 더 작은 오프셋을 도입시킨다. 위상 에러 신호들 error_000 및 error_090의 가중 세그먼트들이 도 9에 예시되어 있다. 도시된 바와 같이, 위상 에러 신호 error_000의 브랜치(330)와 연관된 가중 세그먼트는 브랜치들의 나머지에 비해 절반의 폭을 갖는데, 이는 단지 2개의 브랜치 세그먼트들만이 가중 세그먼트에 기여하고 있는 한편, 4개의 브랜치 세그먼트들 모두가 위상 에러 신호 error_000의 가중 세그먼트들의 나머지에 기여하기 때문이다.

[0030] 또 다른 실시예에서, 동적 가중 XOR 게이트의 브랜치에서 하나 이상의 브랜치 세그먼트들을 단순히 턴 오프시키면, 심지어 로컬 오실레이터 신호의 인접 위상을 수신하는 동적 가중 XOR 게이트에서 대응하는 브랜치 세그먼트들을 턴 온시키는 일 없이도, 위상 시프트를 유도할 것이다. 그러한 실시예가 도 10에 도시되어 있다. 도 1에서, 브랜치 세그먼트들 t0 및 t1은 로컬 오실레이터 신호의 위상 VCO_000을 수신하는 동적 가중 XOR 게이트에서 턴 오프되는 한편, 위상 VCO_090을 수신하는 동적 가중 XOR 게이트에서는 어떠한 브랜치 세그먼트들도 턴 온되지 않는다. 그러한 실시예는 로컬 오실레이터 신호의 위상들로 위상 오프셋을 유도하는데, 이는, 예를 들어, 로컬 오실레이터 신호의 위상들을 회전시켜 XOR 게이트의 출력의 듀티 사이클을 변경하여, 총 포지티브 영역과 총 네거티브 영역이 동일할 때까지 감소시킨 네거티브 집성 제어 신호를 보상하여, 따라서 잠금 조건을 표시함으로써, 집성 제어 신호의 포지티브 및 네거티브 부분들이 이들의 폭들을 조정하기 때문이다. 알 수도 있는 바와 같이, 도 10에 도시된 실시예에 의해 유도된 위상 시프트는 도 9의 것보다 더 클 것이다. 도 9에서, 집성

제어 신호의 포지티브 부분의 일부가 위상 에러 신호 error_090의 포지티브 가중 세그먼트를 통해 다시 가산되는 한편, 도 10에서는, error_090으로부터의 기여도가 없다. 따라서, 보상하기 위해 로컬 오실레이터 신호의 위상들로 더 큰 시프트가 유도된다.

[0031] 도 11은 조정 스텝당 고정된 수의 가중 세그먼트들을 인에이블링 또는 디스에이블링시킴으로써 2개의 신호들이 단순히 혼합된 경우 고유한 비선형 결과에 대한, 위상 보간 거동에 대한 원하는 선형 전달 함수를 예시한다. 고정된 증분을 사용함으로써 생성된 비선형 곡선은 원하는 선형 응답보다 항상 "위에" 있고, 따라서 선형화에는 스텝당 인에이블링될 세그먼트들이 더 적게 요구된다는 것이 관찰될 수도 있다. 일부 실시예들에서, 그러한 관계가 요망되는 경우, 더 선형적인 위상 보간 관계를 달성하기 위해 미리 결정된 시퀀스의 스텝들이 결정될 수도 있다.

[0032] 도 12a는 2개의 위상 에러 신호 출력들 중 첫 번째 것에 대해 32개의 가능한 게이팅 신호들을 선택적으로 인에이블링시킴으로써, 선형 보간 연산을 가깝게 근사시키기 위한 하나의 그러한 실시예이다. 요소(1220)의 각각의 인스턴스는, 도 3의 것과 같은 제1 동적 가중 XOR 게이트 내의, 도 4a의 것과 같은 회로 하위 요소에서의 하나의 가중 세그먼트를 표현한다. 유니러리 디코더(1210)가, 입력 스텝 수에 의해 결정된 바와 같이, 선택된 수의 그의 출력들을 인에이블링시킨다. 그러한 실시예들에서, 각각의 선택된 출력은 동적 가중 XOR 게이트의 복수의 브랜치들 중 한 브랜치에서 대응하는 브랜치 세그먼트를 제어할 수도 있다. 선형화 함수는 전체 결과 Q로부터 1220의 특정 인스턴스들을 선택적으로 연결해제한(즉, 가중 세그먼트들을 대응하는 브랜치 세그먼트에 연결하지 않음)으로써 수행된다. 연결해제한 브랜치 세그먼트들의 예들은, 유니러리16, 유니러리20, 유니러리22 및 23, 유니러리 25 내지 27, 및 유니러리29 및 30에 의해 인에이블링된 1220의 인스턴스들을 포함한다.

[0033] 일부 실시예들에서, 제1 위상 에러 결과를 제어하도록 인에이블링된 브랜치 세그먼트들의 수 및 제2 위상 에러 결과를 제어하도록 인에이블링된 브랜치 세그먼트들의 수는 도 2의 제어 신호 생성기(205)에 의해 예시된 바와 같이 조정된다. 적어도 하나의 실시예에서, 제2 위상 에러 신호에서의 브랜치 세그먼트들의 수는 제1 위상 에러 신호에서의 브랜치 세그먼트들에 대해 역 가중된다. 인접 위상을 수신하는 제2 동적 가중 XOR 게이트를 제어하는 보완적인 실시예가 도 12b에 도시되어 있다. 출력들 I 및 Q는 위상 제어 신호들(207 및 208)에 각각 대응할 수도 있거나, 또는 그 반대의 경우일 수도 있다.

[0034] 도 13은 일부 실시예들에 따른 방법의 흐름도이다. 도시된 바와 같이, 방법(1300)은, 복수의 로직 브랜치들을 포함하는 동적 가중 XOR 게이트에서 기준 클럭 신호 및 로컬 오실레이터 신호의 위상을 수신하는 단계(1302)를 포함한다. 1304에서 위상 에러 신호의 복수의 가중 세그먼트들이 생성되고, 복수의 가중 세그먼트들은, (i) 기준 클럭 신호 및 로컬 오실레이터 신호의 위상이 동일한 로직 레벨들을 가질 때 복수의 로직 브랜치들의 제1 서브세트에 의해 생성되는 포지티브 가중 세그먼트들 및 (ii) 기준 클럭 신호 및 로컬 오실레이터 신호의 위상이 상이한 로직 레벨들을 가질 때 복수의 로직 브랜치들의 제2 서브세트에 의해 생성되는 네거티브 가중 세그먼트들을 포함하고, 위상 에러 신호의 각각의 가중 세그먼트는, 복수의 로직 브랜치들 중 대응하는 로직 브랜치에 의해 적용되는 각각의 가중치를 갖는다. 위상 에러 신호의 가중 세그먼트들의 집성에 기초하여 집성 제어 신호가 생성(1306)되고, 로컬 오실레이터를 제어하여 로컬 오실레이터 신호의 위상을 생성하기 위한 전류 모드 출력으로서 집성 제어 신호가 출력(1308)되고, 로컬 오실레이터는 집성 제어 신호에 응답하여 로컬 오실레이터 신호로 위상 오프셋을 유도하도록 구성된다.

[0035] 일부 실시예들에서, 각각의 로직 브랜치는, 병렬로 연결된 복수의 브랜치 세그먼트들을 포함한다. 그러한 실시예들에서, 이 방법은, 복수의 비트들을 포함하는 위상 제어 신호를 생성하는 단계를 더 포함한다. 일부 실시예들에서, 각각의 브랜치 세그먼트는 위상 제어 신호의 복수의 비트들의 각각의 비트에 따라 인에이블링된다. 일부 실시예들에서, 각각의 브랜치 세그먼트는 입력으로서 각각의 비트를 수신하는 대응하는 인에이블링 트랜지스터에 따라 인에이블링된다. 일부 실시예들에서, 주어진 가중 세그먼트에 대한 각각의 가중치는 로직 브랜치에서 인에이블링되는 브랜치 세그먼트들의 수에 의해 결정된다.

[0036] 일부 실시예들에서, 주어진 가중 세그먼트에 대한 각각의 가중치는 로직 브랜치에서의 트랜지스터 치수들에 의해 부분적으로 결정된다. 대안적인 실시예들에서, 주어진 가중 세그먼트에 대한 각각의 가중치는 로직 브랜치에 연결되는 튜닝가능 임피던스에 의해 부분적으로 결정된다.

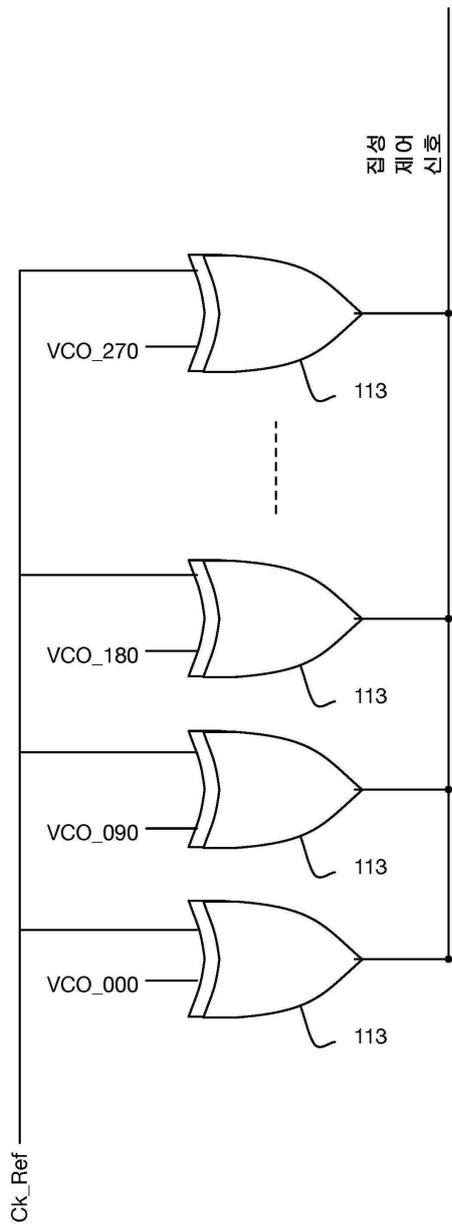
[0037] 일부 실시예들에서, 집성 제어 신호는 로컬 오실레이터 신호의 위상에 인접한 로컬 오실레이터 신호의 제2 위상 및 기준 클럭 신호를 사용하여 생성되는 제2 위상 에러 신호에서의 가중 세그먼트들에 기초하여 추가로 생성된다. 일부 그러한 실시예들에서, 제2 위상 에러 신호에서의 가중 세그먼트들은 제1 위상 에러 신호에서의 가중 세그먼트들에 대해 역 가중된다. 일부 실시예들에서, 유도된 위상 오프셋은 집성 제어 신호의 비-제로(non-

zero) 평균에 대응한다.

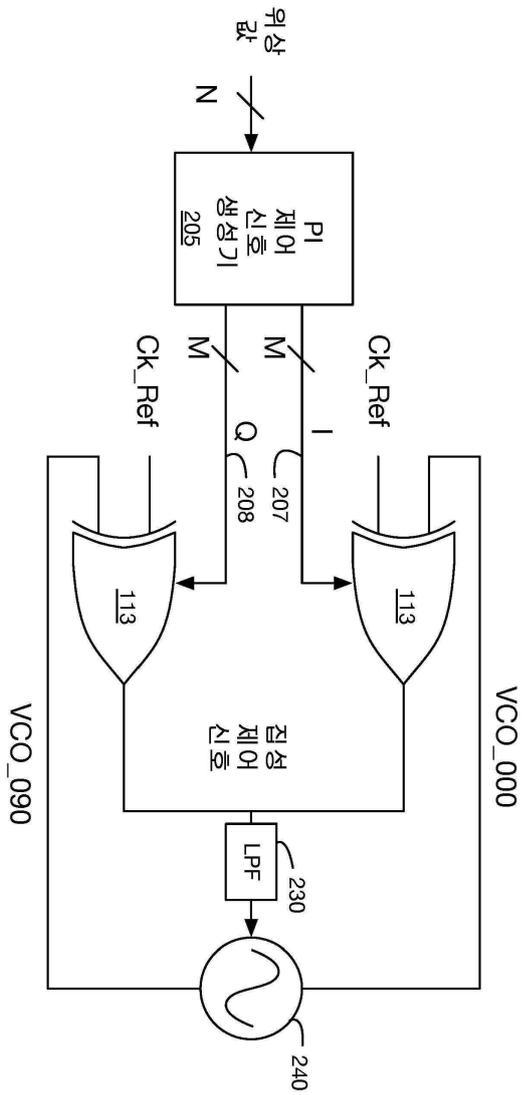
- [0038] 일부 실시예들에서, 방법은, 기준 클럭 신호, 및 로컬 오실레이터 신호의 제1 및 제2 위상들을 수신하는 단계를 포함한다. 기준 클럭 신호를 로컬 오실레이터 신호의 제1 및 제2 위상들과 각각 비교함으로써 제1 및 제2 위상 에러 신호의 대응하는 세트들의 가중 세그먼트들이 생성되고, 각각의 대응하는 세트의 가중 세그먼트들은 각각의 동적 가중 XOR 게이트의 복수의 로직 브랜치들에 의해 생성되고, 여기서 제1 및 제2 위상 에러 신호들 각각에서의 가중 세그먼트들은 제1 및 제2 세트들의 가중치들을 각각 포함하고, 제1 및 제2 세트들의 가중치들은 미리 결정된 위상 오프셋 값에 따라 선택된다. 제1 및 제2 위상 에러 신호들의 가중 세그먼트들의 합산에 기초하여 집성 제어 신호가 생성되고, 로컬 오실레이터를 제어하여 로컬 오실레이터 신호의 제1 및 제2 인접 위상들을 생성하기 위한 전류 모드 출력으로서 집성 제어 신호가 출력되고, 로컬 오실레이터는 미리 결정된 위상 오프셋 값과 연관된 양만큼 집성 제어 신호에 응답하여 로컬 오실레이터 신호의 제1 및 제2 위상들로 위상 오프셋을 유도하도록 구성된다.
- [0039] 일부 실시예들에서, 제1 및 제2 세그먼트화된 위상 에러 신호들 각각에서의 가중 세그먼트들은, (i) 기준 클럭 신호 및 로컬 오실레이터 신호의 대응하는 위상이 동일한 로직 레벨들을 가질 때 복수의 로직 브랜치들의 제1 서브세트에 의해 생성되는 포지티브 가중 세그먼트들 및 (ii) 기준 클럭 신호 및 로컬 오실레이터 신호의 대응하는 위상이 상이한 로직 레벨들을 가질 때 복수의 로직 브랜치들의 제2 서브세트에 의해 생성되는 네거티브 가중 세그먼트들을 포함한다.
- [0040] 일부 실시예들에서, 제1 및 제2 세트들의 가중치들은, 각각의 동적 가중 XOR 게이트들에서 인에이블링된 로직 브랜치 세그먼트들의 총 수에 대응한다.
- [0041] 일부 실시예들에서, 제1 및 제2 세트들의 가중치들은 로컬 오실레이터 신호의 제1 및 제2 위상들의 미리 결정된 위상 오프셋 값을 표현하는 위상 제어 신호에 따라 선택된다. 일부 그러한 실시예들에서, 위상 제어 신호는 위상 제어 신호 생성기에 의해 생성된다. 일부 실시예들에서, 위상 제어 신호 생성기는 룩업 테이블을 포함하고 룩업 테이블로부터 위상 제어 신호를 선택하도록 구성된다. 일부 그러한 실시예들에서, 룩업 테이블은, 선형 보간 함수를 구현하는 위상 제어 신호 스텝들을 포함할 수도 있다. 일부 실시예들에서, 위상 제어 신호는 온도 계 코드일 수도 있다. 그러한 실시예들에서, 로컬 오실레이터 신호의 제1 위상을 수신하는 동적 가중 XOR은 로컬 오실레이터 신호의 제2 위상을 수신하는 동적 가중 XOR에 의해 수신된 온도계 코드의 역인 온도계 코드를 수신할 수도 있다.
- [0042] 일부 실시예들에서, 로컬 오실레이터 신호의 제1 및 제2 위상들은 45도의 위상 차이들을 갖는다. 일부 실시예들에서, 로컬 오실레이터 신호의 제1 및 제2 위상들은 90도 또는 180도의 위상 차이들을 가질 수도 있다. 일부 실시예들에서, 로컬 오실레이터 신호의 제1 및 제2 위상들은, 이들이 로컬 오실레이터에서 인접 링 오실레이터 요소들로부터 풀링(pull)된다는 점에서 인접 위상들일 수도 있다.

도면

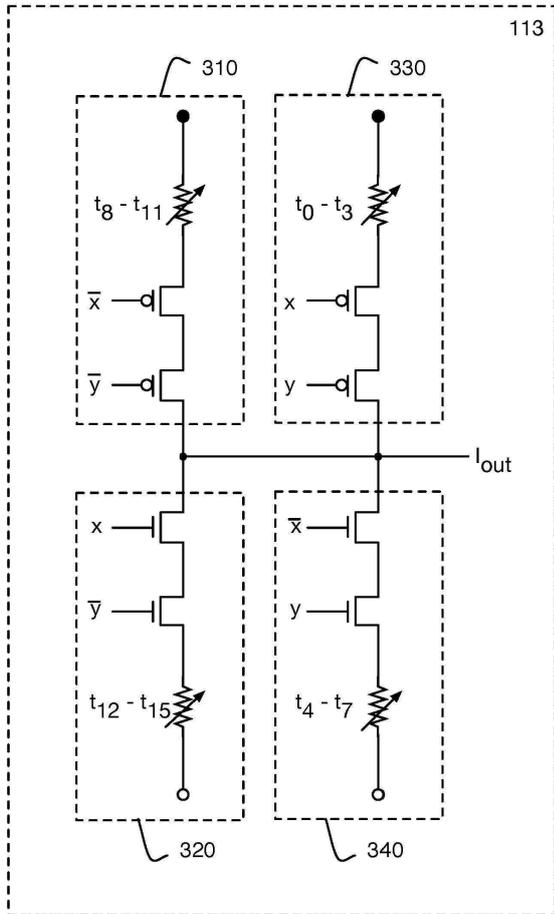
도면1



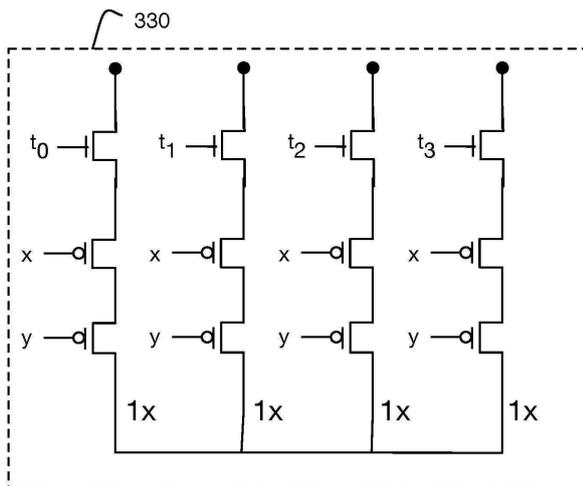
도면2



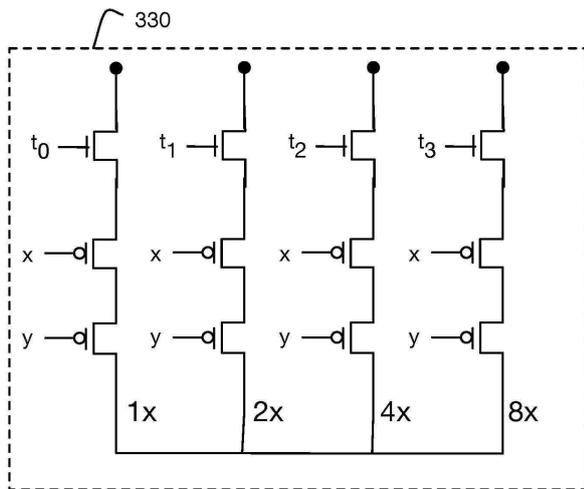
도면3



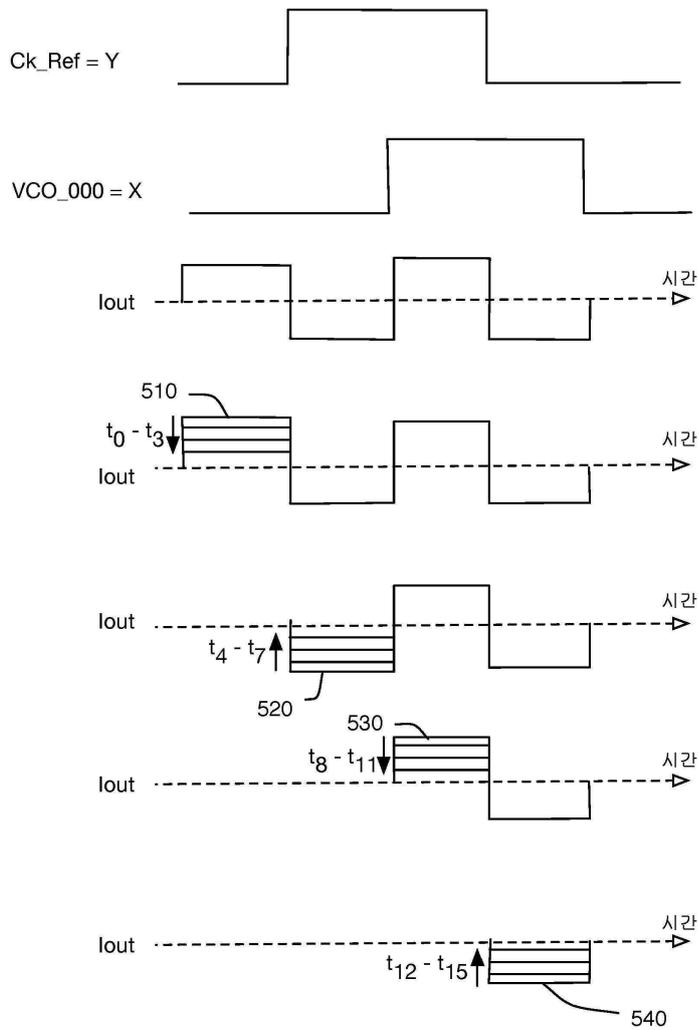
도면4a



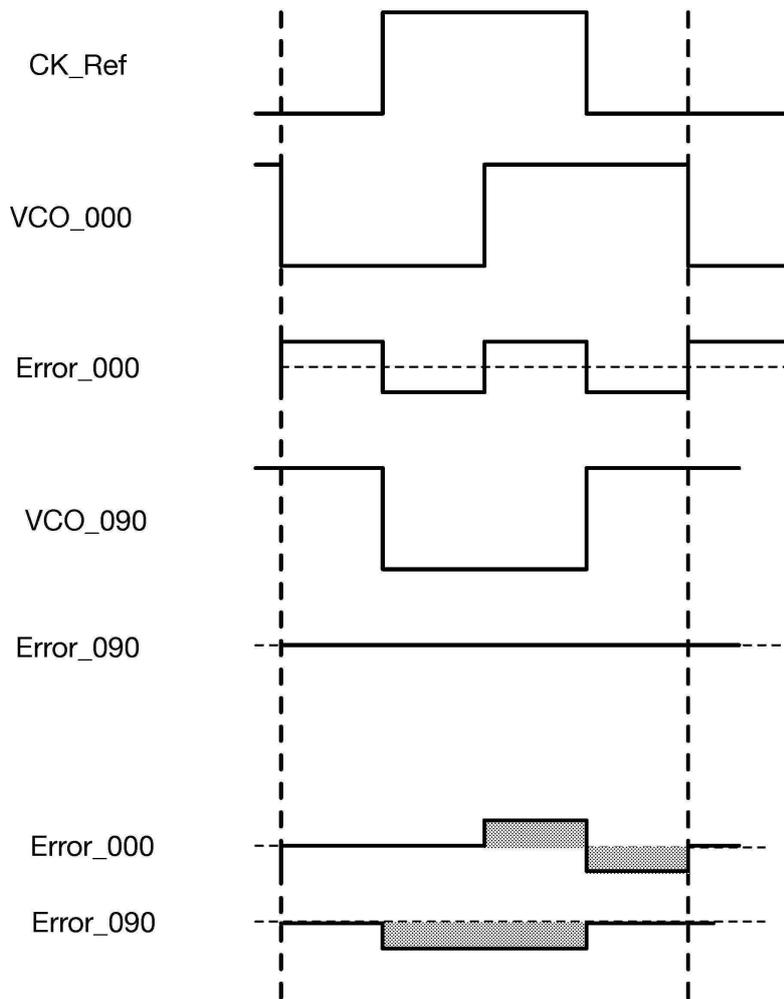
도면4b



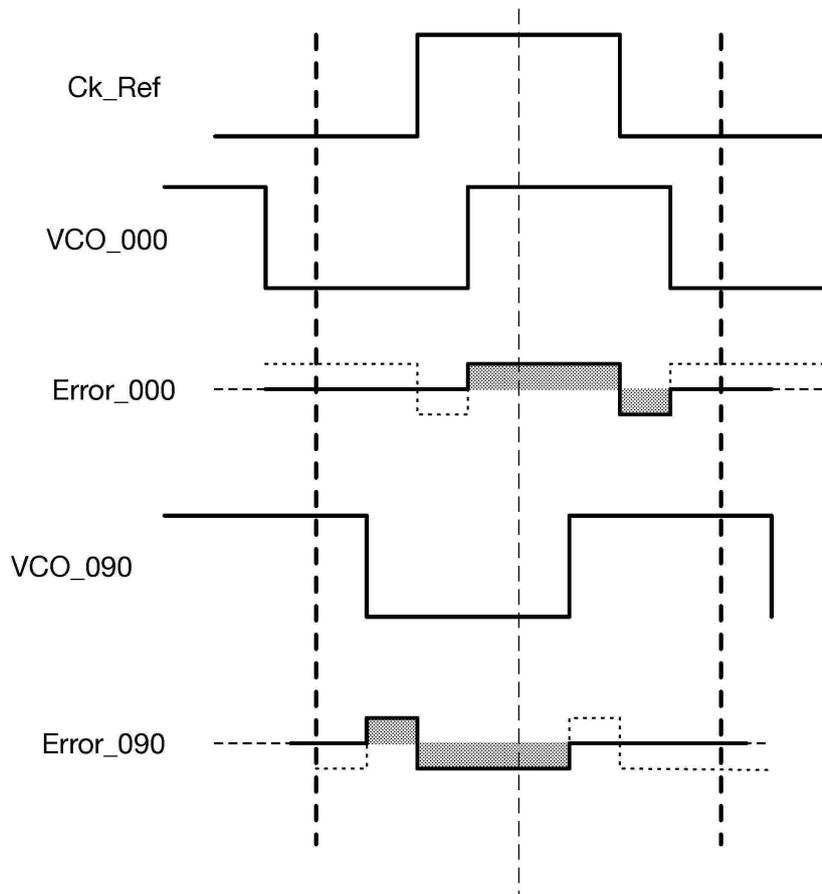
도면5



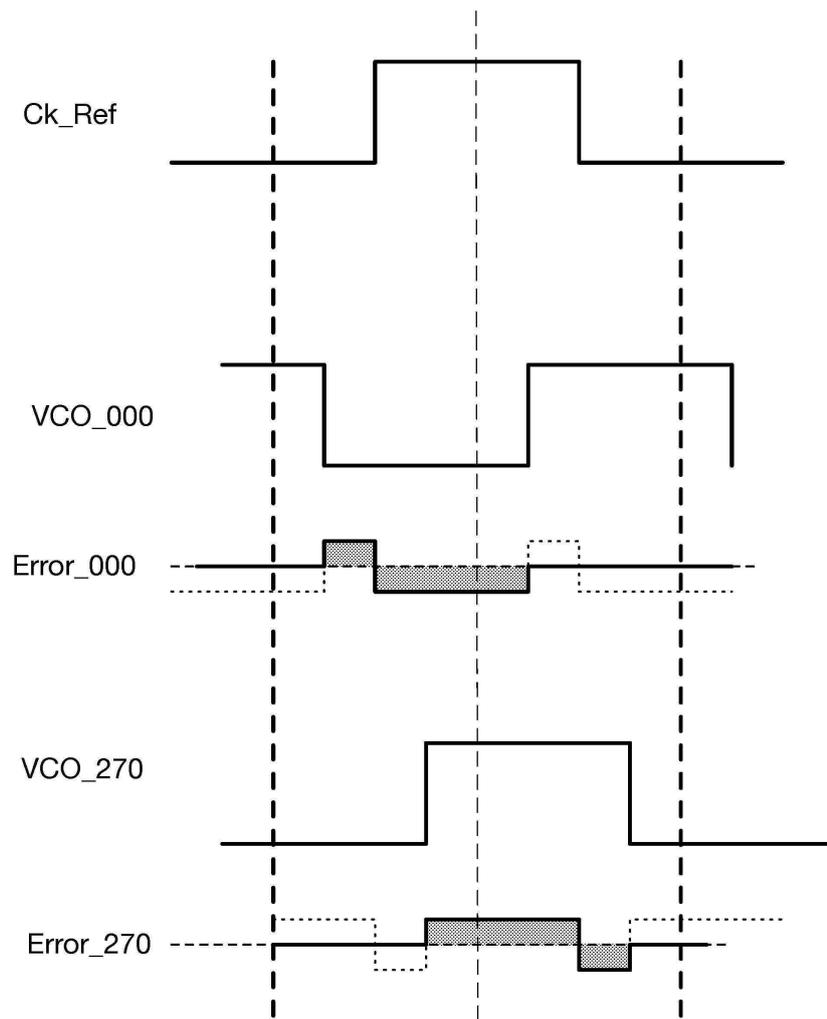
도면6



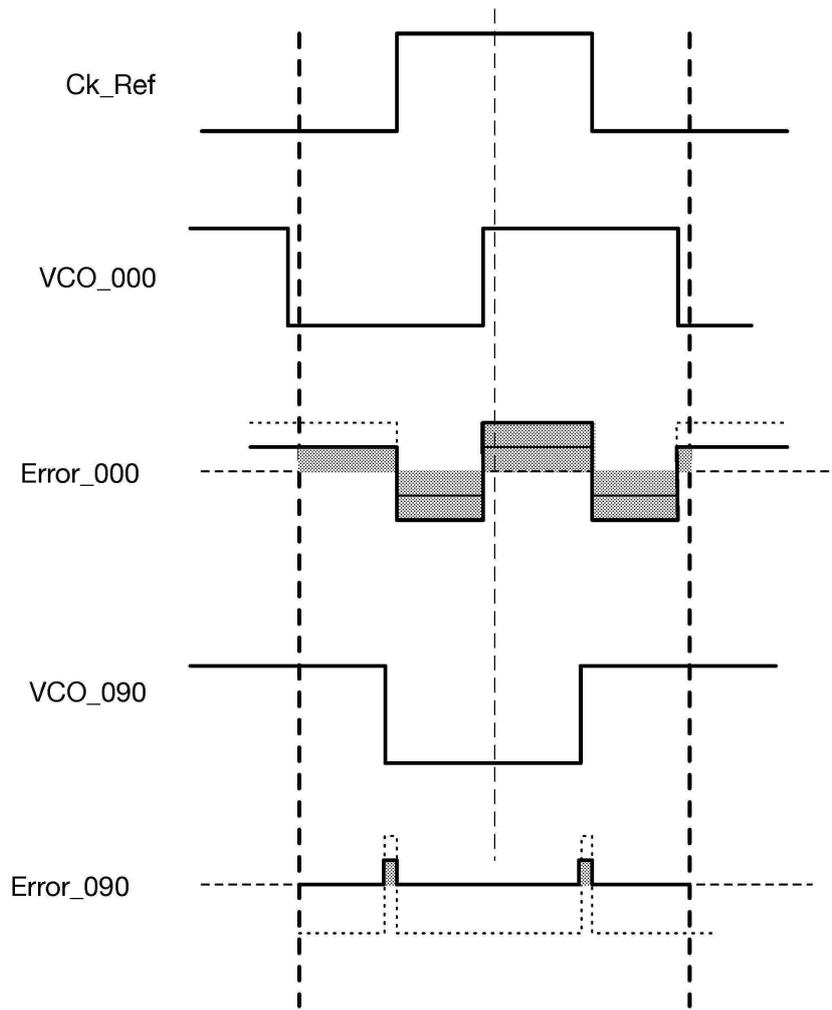
도면7



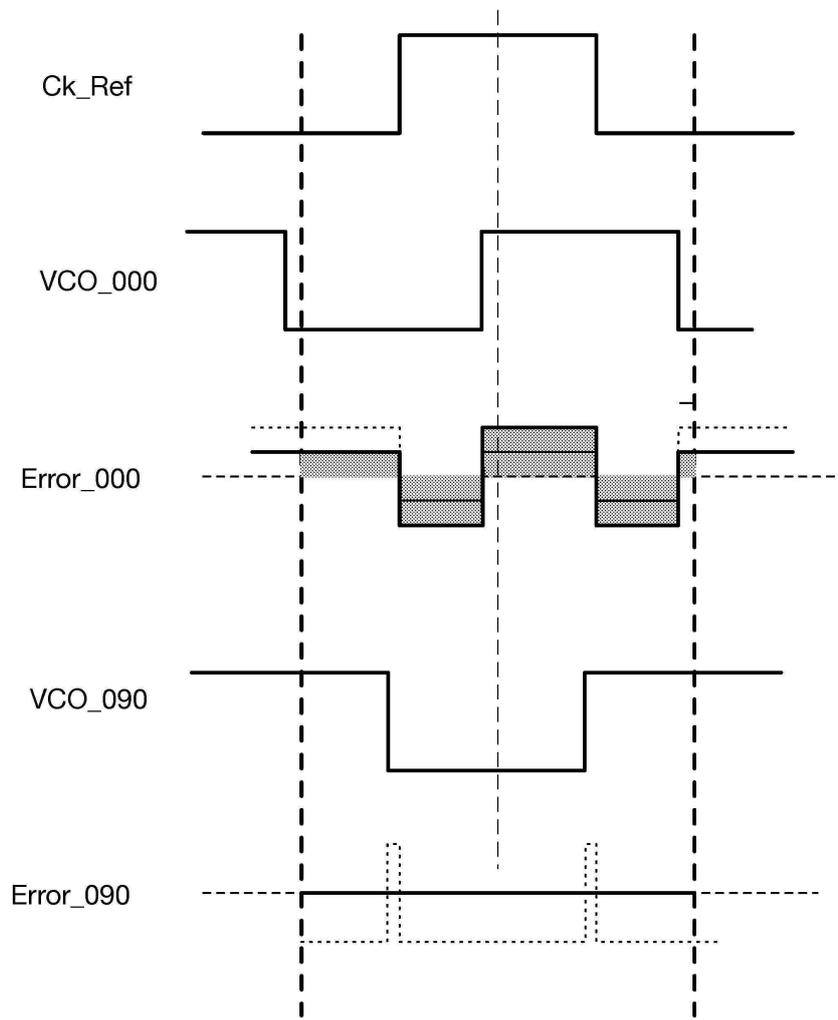
도면8



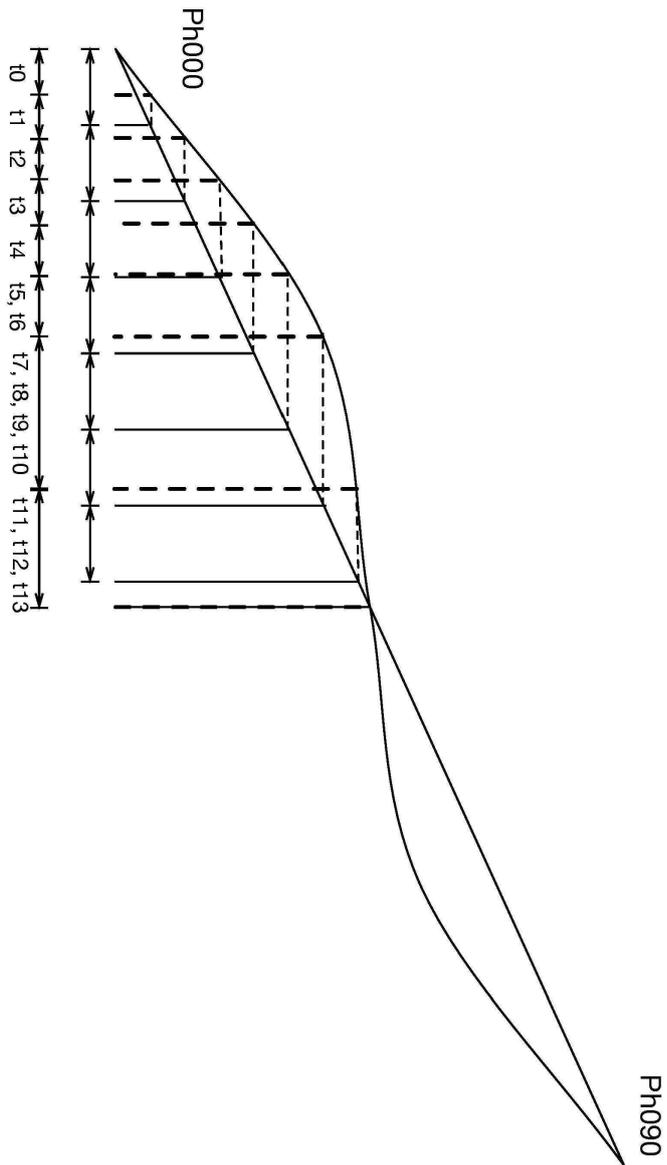
도면9



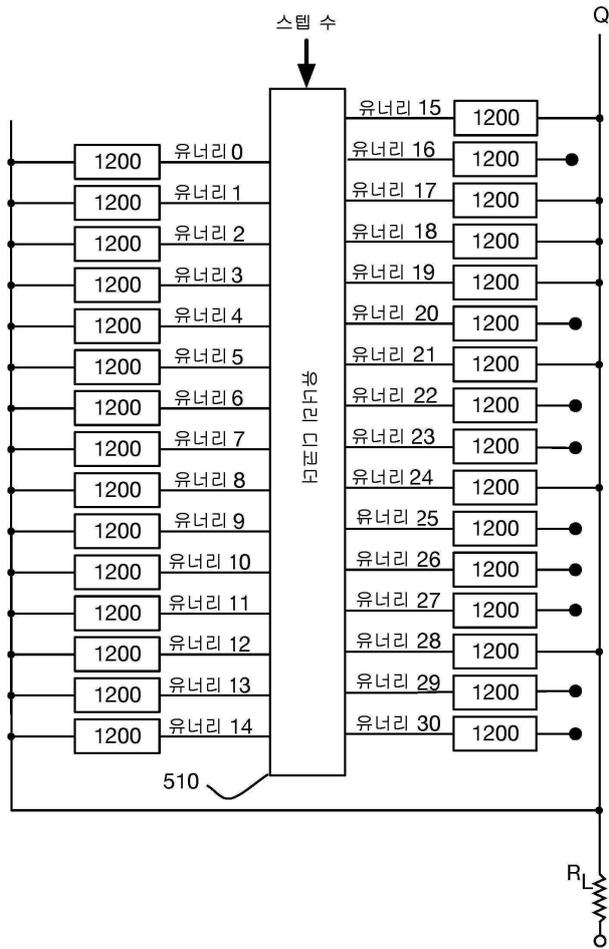
도면10



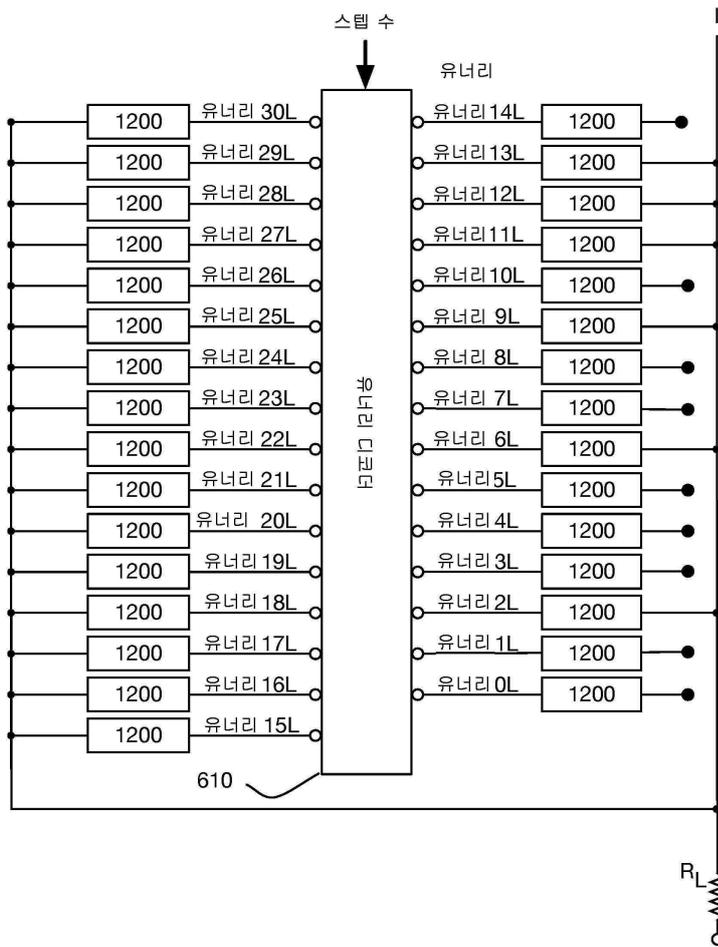
도면11



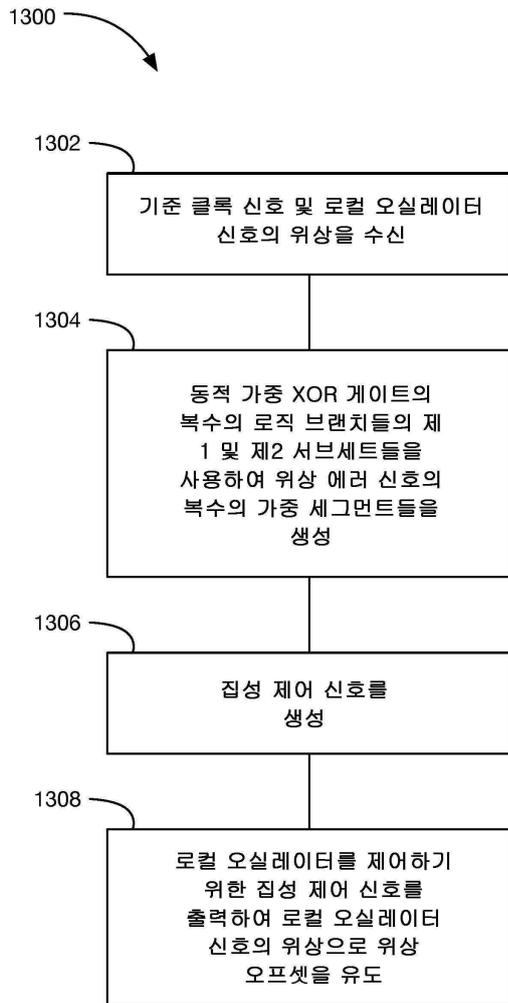
도면 12a



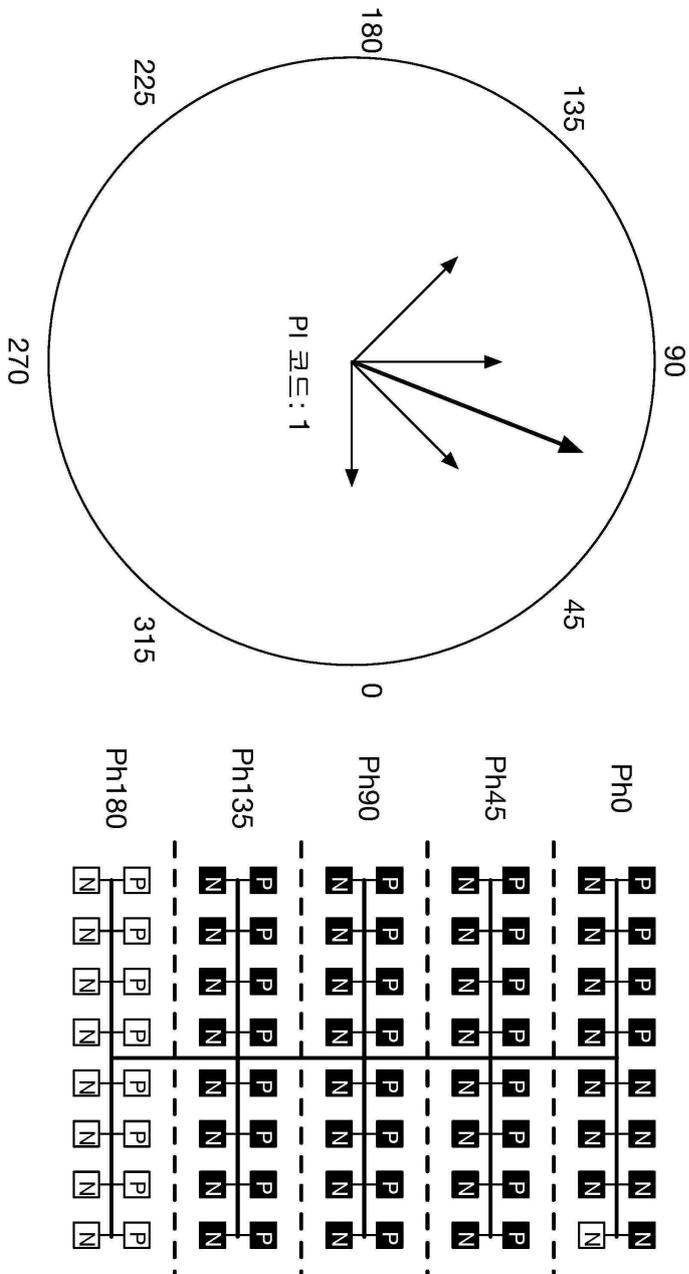
도면 12b



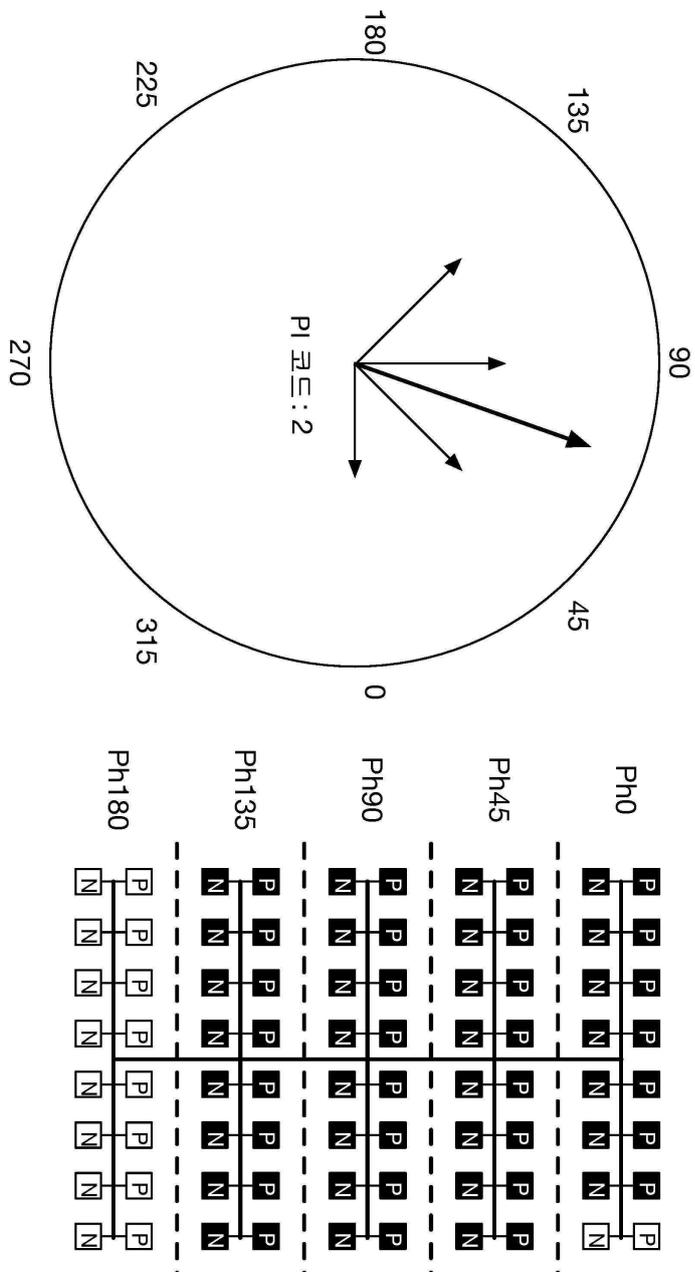
도면13



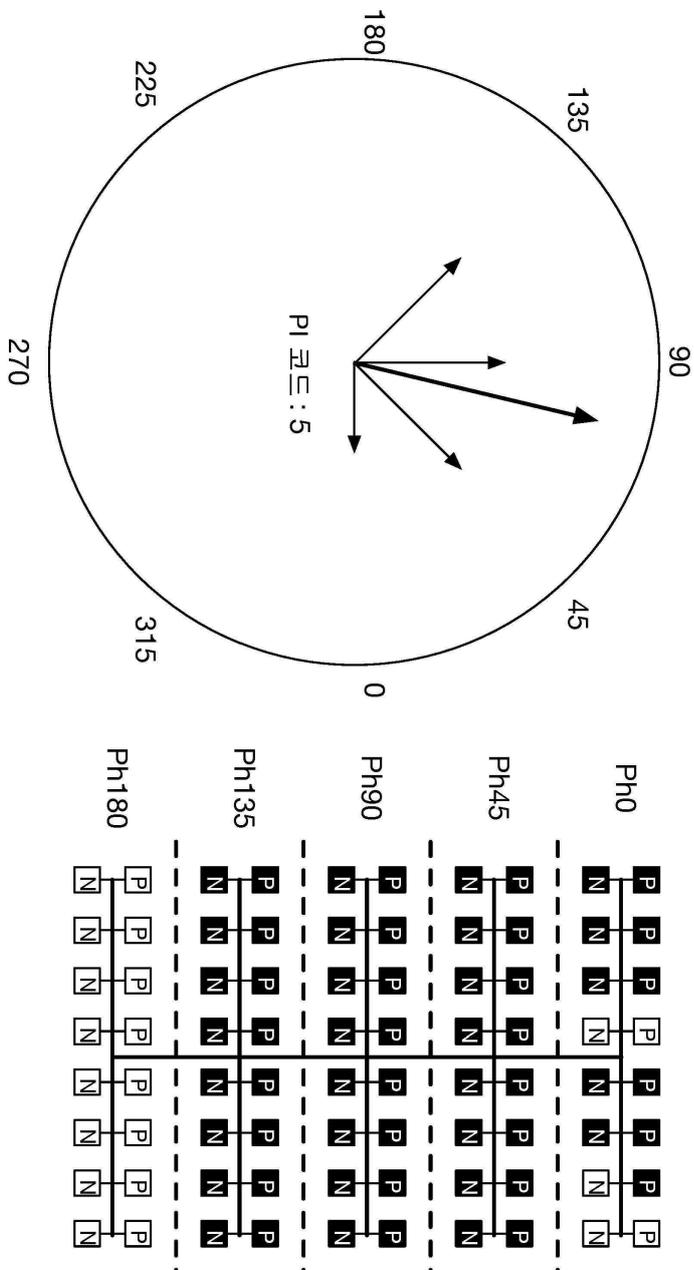
도면15



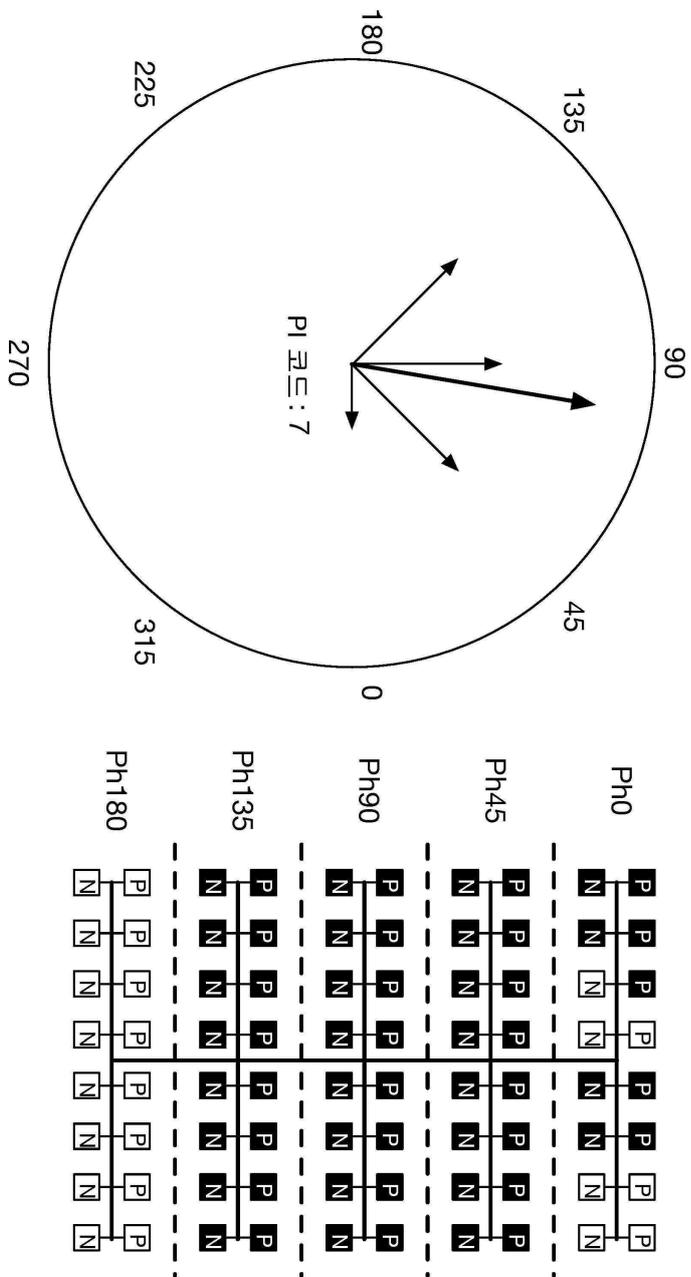
도면16



도면17



도면18



도면19

