



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0096544
(43) 공개일자 2022년07월07일

- | | |
|--|---|
| (51) 국제특허분류(Int. Cl.)
HO1G 4/232 (2006.01) HO1G 4/012 (2006.01)
HO1G 4/252 (2006.01) HO1G 4/30 (2006.01)
(52) CPC특허분류
HO1G 4/2325 (2013.01)
HO1G 4/012 (2013.01)
(21) 출원번호 10-2020-0189097
(22) 출원일자 2020년12월31일
심사청구일자 없음 | (71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
송영아
경기도 수원시 영통구 매영로 150 (매탄동)
(74) 대리인
특허법인씨엔에스 |
|--|---|

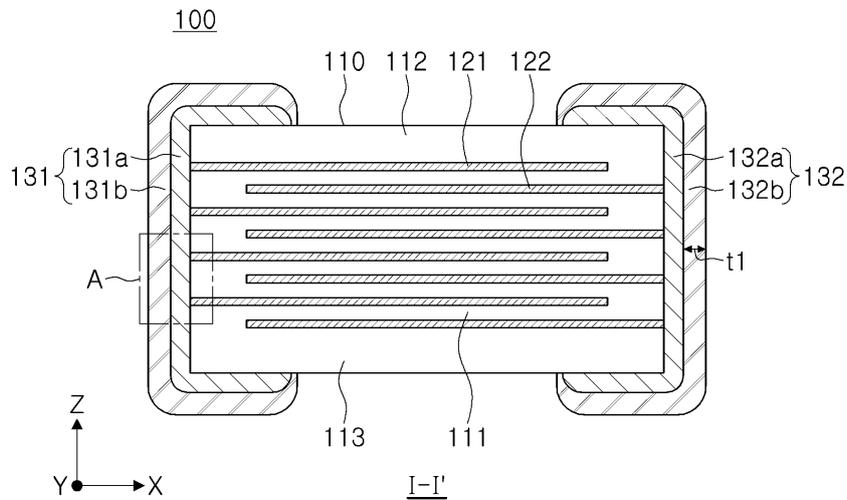
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 전자 부품

(57) 요약

본 발명의 일 실시예에 따른 전자 부품은, 복수의 유전체층 및 상기 복수의 유전체층을 사이에 두고 번갈아 적층되는 내부 전극을 포함하는 바디; 및 상기 바디의 외부에 배치되어 상기 내부 전극과 연결되며, 도전성 금속 및 글라스를 포함하는 외부 전극; 을 포함하고, 상기 외부 전극은, 상기 내부 전극을 커버하는 제1 전극층 및 상기 제1 전극층을 커버하는 제2 전극층을 포함하며, 상기 제1 전극층의 글라스 면적 분율은 상기 제2 전극층의 글라스 면적 분율보다 크고, 상기 제2 전극층의 두께는 6 μ m 이상일 수 있다.

대표도 - 도3



(52) CPC특허분류

H01G 4/252 (2013.01)

H01G 4/30 (2013.01)

명세서

청구범위

청구항 1

복수의 유전체층 및 상기 복수의 유전체층을 사이에 두고 번갈아 적층되는 내부 전극을 포함하는 바디; 및
상기 바디의 외부에 배치되어 상기 내부 전극과 연결되며, 도전성 금속 및 글라스를 포함하는 외부 전극; 을 포함하고,

상기 외부 전극은, 상기 내부 전극을 커버하는 제1 전극층 및 상기 제1 전극층을 커버하는 제2 전극층을 포함하며,

상기 제1 전극층의 글라스 면적 비율은 상기 제2 전극층의 글라스 면적 비율보다 크고,

상기 제2 전극층의 두께는 $6\mu\text{m}$ 이상인

전자 부품.

청구항 2

제1항에 있어서,

상기 제2 전극층의 두께는 $6.5\mu\text{m}$ 이상인

전자 부품.

청구항 3

제1항에 있어서,

상기 제2 전극층에 포함된 도전성 금속 및 글라스의 면적 합에 대한 상기 글라스의 면적 비율은 14% 이하인

전자 부품.

청구항 4

제1항에 있어서,

상기 제2 전극층에 포함된 도전성 금속 및 글라스의 면적 합에 대한 상기 글라스의 면적 비율은 7% 이하인

전자 부품.

청구항 5

제2항에 있어서,

상기 제2 전극층에 포함된 도전성 금속 및 글라스의 면적 합에 대한 상기 글라스의 면적 비율은 14% 이하인

전자 부품.

청구항 6

제2항에 있어서,

상기 제2 전극층에 포함된 도전성 금속 및 글라스의 면적 합에 대한 상기 글라스의 면적 비율은 7% 이하인 전자 부품.

청구항 7

제1항에 있어서,

상기 바디는, 제1 방향으로 대향하는 제1 및 제2 면, 상기 제1 및 제2 면과 연결되고 제2 방향으로 대향하는 제3 및 제4 면, 상기 제1 내지 제4 면과 연결되고 제3 방향으로 대향하는 제5 및 제6 면을 포함하고,

상기 외부 전극은, 상기 바디의 제3 면과, 제1, 제2, 제5 및 제6 면의 일부를 커버하도록 배치되는 제1 외부 전극 및 상기 바디의 제4 면과, 제1, 제2, 제5 및 제6 면의 일부를 커버하도록 배치되는 제2 외부 전극을 포함하는

전자 부품.

청구항 8

제1항에 있어서,

상기 외부 전극은,

상기 제2 전극층을 덮는 제1 도금층을 더 포함하는

전자 부품.

청구항 9

제8항에 있어서,

상기 제1 도금층은 Ni 도금층을 포함하는

전자 부품.

청구항 10

제8항에 있어서,

상기 외부 전극은,

상기 제1 도금층을 커버하며, 상기 제1 도금층에 포함된 금속과 상이한 금속을 포함하는 제2 도금층을 더 포함하는

전자 부품.

청구항 11

제10항에 있어서,

상기 제2 도금층은 Sn 도금층을 포함하는

전자 부품.

청구항 12

제1항에 있어서,
상기 도전성 금속은 Cu를 포함하는
전자 부품.

청구항 13

제1항에 있어서,
상기 도전성 금속은 Ni을 포함하는
전자 부품.

청구항 14

제1항에 있어서,
상기 제2 전극층의 두께는 10 μm 이하인
전자 부품.

발명의 설명

기술 분야

[0001] 본 발명은 전자 부품에 관한 것이다.

배경 기술

[0002] 전자 부품의 하나인 적층 세라믹 커패시터(MLCC: Multi-Layered Ceramic Capacitor)는 액정 표시 장치(LCD: Liquid Crystal Display) 및 플라즈마 표시 장치 패널(PDP: Plasma Display Panel) 등의 영상 기기, 컴퓨터, 스마트폰 및 휴대폰 등 여러 전자 제품의 인쇄회로기판에 장착되어 전기를 충전시키거나 또는 방전시키는 역할을 하는 칩 형태의 콘덴서이다.

[0004] 이러한 적층 세라믹 커패시터는 소형이면서 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 다양한 전자 장치의 부품으로 사용될 수 있다. 특히 컴퓨터, 모바일 기기 등 각종 전자 기기가 소형화, 고출력화되면서, 적층 세라믹 커패시터의 활용도가 지속적으로 높아지고 있는 추세이다.

[0006] 일반적으로 적층 세라믹 커패시터와 같은 전자 부품은, 세라믹 재료로 이루어진 세라믹 소체 내부에 내부 전극을 마련하고, 이와 연결되도록 세라믹 소체 외부에 외부 전극을 마련하여 용량을 구현하게 된다. 이때, 전자 부품을 인쇄회로기판 등에 실장하기 위하여 외부 전극의 표면에 도금을 진행하게 되는데, 이러한 도금액이 외부 전극의 구성 성분 중 일부를 침식하여, 전자 부품의 신뢰성을 저하시키는 문제점이 있다.

[0008] 이에 따라, 외부 전극의 표면에 도금액을 처리하더라도, 외부 전극의 침식을 최소화하여 전자 부품의 내구성 및 내습 신뢰성을 확보할 수 있는 기술이 요구된다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 한국 공개특허공보 제10-2014-0012322호

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적 중 하나는, 도금액에 의한 침식이 억제된 외부 전극을 포함하는 전자 부품을 제공하기 위함이다.

[0013] 다만, 본 발명의 목적은 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

과제의 해결 수단

[0014] 본 발명의 일 실시예에 따른 전자 부품은, 복수의 유전체층 및 상기 복수의 유전체층 사이에 두고 번갈아 적층되는 내부 전극을 포함하는 바디 및 상기 바디의 외부에 배치되어 상기 내부 전극과 연결되며, 도전성 금속 및 글라스를 포함하는 외부 전극을 포함하고, 상기 외부 전극은, 상기 내부 전극을 커버하는 제1 전극층 및 상기 제1 전극층을 커버하는 제2 전극층을 포함하며, 상기 제1 전극층의 글라스 면적 분율은 상기 제2 전극층의 글라스 면적 분율보다 크고, 상기 제2 전극층의 두께는 6 μ m 이상일 수 있다.

발명의 효과

[0015] 본 발명의 일 실시예에 따르면, 외부 전극을 구성하는 글라스 성분이 외부 전극의 표면에 도포되는 도금액에 의해 침식되는 것을 억제하는 효과가 있다.

[0016] 또한, 본 발명의 일 실시예에 따르면, 세라믹 바디와 외부 전극 간의 접착력은 유지되면서, 세라믹 바디 내부로의 도금액 침투가 방지되는 효과가 있다.

[0017] 또한, 본 발명의 일 실시예에 따르면, Ni 도금 굽김이 억제되고 전자 제품의 내구성 및 내습 신뢰성이 확보되는 효과가 있다.

[0019] 다만, 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 전자 부품의 사시도를 개략적으로 나타낸 것이다.
 도 2는 본 발명의 일 실시예에 따른 유전체층 및 내부 전극이 적층된 바디의 분해 사시도이다.
 도 3은 도 1의 전자 부품을 I-I'선을 따라 절단한 단면도이다.
 도 4는 도 3의 A 영역에 대한 확대도를 개략적으로 나타낸 것이다.
 도 5는 본 발명의 다른 실시예에 따라 도 3의 전자 부품에 도금층이 추가된 단면도를 나타낸 것이다.
 도 6은 도 3 및 도 5의 t1(제2 전극층의 두께)에 따른 Ni 도금 굽김의 발생 비율을 측정한 결과를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시예로 한정되는 것은 아니다. 또한, 본 발명의 실시예는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는

것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0023] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0025] 본 발명의 실시예를 명확하게 설명하기 위해 방향을 정의하면, 도면에 표시된 X, Y 및 Z는 각각 전자 부품의 길이 방향, 폭 방향 및 두께 방향을 나타낸다.

[0026] 또한 본 명세서에서, 길이 방향은 X방향 또는 제2 방향, 폭 방향은 Y방향 또는 제3 방향, 두께 방향은 Z방향, 제1 방향 또는 적층 방향과 각각 동일한 개념으로 사용될 수 있다.

[0028] **전자 부품**

[0030] 도 1은 본 발명의 일 실시예에 따른 전자 부품의 사시도를 개략적으로 나타낸 것이고, 도 2는 본 발명의 일 실시예에 따른 유전체층 및 내부 전극이 적층된 바디의 분해 사시도이며, 도 3은 도 1의 I-I'선 단면도이고, 도 4는 도 3의 A 영역에 대한 확대도를 개략적으로 나타낸 것이다.

[0032] 이하, 도 1 내지 도 4를 참조하여, 본 발명의 일 실시예에 따른 전자 부품에 대하여 설명한다.

[0034] 본 발명의 일 실시예에 따른 전자 부품(100)은, 유전체층(111) 및 내부 전극(121, 122)을 포함하는 바디(110)와, 바디(110)의 외부에 배치되어 내부 전극(121, 122)과 연결되며, 도전성 금속 및 글라스를 포함하는 외부 전극(131, 132)을 포함한다.

[0035] 외부 전극(131, 132)은, 내부 전극(121, 122)을 커버하는 제1 전극층(131a, 132a) 및 제1 전극층(131a, 132a)을 커버하는 제2 전극층(131b, 132b)을 포함한다. 이때, 제1 전극층(131a, 132a)의 글라스 면적 분율은 제2 전극층(131b, 132b)의 글라스 면적 분율보다 크다.

[0037] 바디(110)는 복수의 유전체층(111) 및 각각의 유전체층(111)을 사이에 두고 번갈아 적층되는 복수의 내부 전극(121, 122)을 포함한다.

[0038] 바디(110)의 구체적인 형상에 특별히 제한은 없지만, 도 1에 도시된 바와 같이 육면체 형상이나 이와 유사한 형상으로 이루어질 수 있다. 또한, 소성 과정에서 바디(110)에 포함된 세라믹 분말의 수축으로 인하여, 바디(110)는 완전한 직선을 가진 육면체 형상은 아니지만 실질적으로 육면체의 형상을 가질 수 있다.

[0039] 바디(110)는 제1 방향(Z방향)으로 서로 대향하는 제1 및 제2 면(1, 2), 제1 및 제2 면(1, 2)과 연결되고 제2 방향(X방향)으로 서로 대향하는 제3 및 제4 면(3, 4), 제1 내지 제4 면(1, 2, 3, 4)과 연결되고 제3 방향(Y방향)으로 서로 대향하는 제5 및 제6 면(5, 6)을 포함할 수 있다.

[0041] 바디(110)를 형성하는 복수의 유전체층(111)은 소성된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)을 이용하지 않고서는 확인하기 곤란할 정도로 일체화될 수 있다.

[0042] 유전체층(111)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않는다. 예를 들어, 티탄산바륨계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬계 재료 등을 사용할 수 있다.

- [0043] 또한, 유전체층(111)을 형성하는 재료는, 티탄산바륨($BaTiO_3$) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가된 것일 수 있다.
- [0045] 바디(110)는, 그 내부에 배치되며, 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극(121, 122)을 포함하여 용량이 형성되는 용량 형성부와, 상기 용량 형성부의 상부 및 하부에 형성된 커버부(112, 113)를 포함할 수 있다.
- [0046] 상기 용량 형성부는 전자 부품(100)의 용량 형성에 기여하는 부분으로서, 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.
- [0047] 상부 커버부(112) 및 하부 커버부(113)는 내부 전극을 포함하지 않으며, 유전체층(111)과 동일한 재료를 포함하여 형성할 수 있고, 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극의 손상을 방지하는 역할을 수행할 수 있다. 도 2를 참조하면, 상부 커버부(112) 및 하부 커버부(113)는 단일 유전체층 또는 2 개 이상의 유전체층을 용량 형성부의 상하면에 각각 상하 방향으로 적층하여 형성할 수 있다.
- [0049] 내부 전극(121, 122)은 유전체층(111)을 사이에 두고 서로 대향하도록 번갈아 배치되는 제1 내부 전극(121) 및 제2 내부 전극(122)을 포함할 수 있다.
- [0050] 도 2를 참조하면, 바디(110)는 제1 내부 전극(121)이 인쇄된 유전체층(111)과 제2 내부 전극(122)이 인쇄된 유전체층(111)을 두께 방향(Z방향)으로 번갈아 적층한 후, 소성하여 형성할 수 있다.
- [0051] 제1 및 제2 내부 전극(121, 122)은 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 분리될 수 있다.
- [0053] 도 1 내지 도 3을 참조하면, 제1 및 제2 내부 전극(121, 122)은 바디(110)의 제3 및 제4 면(3, 4)으로 각각 노출될 수 있다. 보다 구체적으로, 제1 내부 전극(121)은 제4 면(4)과 이격되며 제3 면(3)을 통해 노출되고, 제2 내부 전극(122)은 제3 면(3)과 이격되며 제4 면(4)을 통해 노출될 수 있다.
- [0054] 바디(110)의 제3 면(3)에는 제1 외부 전극(131)이 배치되어 제1 내부 전극(121)과 연결되고, 바디의 제4 면(4)에는 제2 외부 전극(132)이 배치되어 제2 내부 전극(122)과 연결될 수 있다.
- [0055] 위와 같은 구성에 따라, 제1 및 제2 외부 전극(131, 132)에 소정의 전압을 인가하면 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적된다. 이때, 전자 부품(100)의 정전 용량은 상기 액티브 영역에서 Z방향을 따라 서로 중첩되는 제1 및 제2 내부 전극(121, 122)의 오버랩 된 면적과 비례하게 된다.
- [0056] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 백금(Pt), 팔라듐(Pd), 팔라듐-은(Pd-Ag) 합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0057] 이때, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0059] 외부 전극(131, 132)은 바디(110)의 외부에 배치되고 내부 전극(121, 122)과 연결된다. 도 3에 도시된 바와 같이, 외부 전극(131, 132)은, 제1 및 제2 내부 전극(121, 122)과 각각 접속된 제1 외부 전극(131) 및 제2 외부 전극(132)을 포함할 수 있다.
- [0060] 제1 및 제2 외부 전극(131, 132)은 정전 용량 형성을 위해 제1 및 제2 내부 전극(121, 122)과 각각 전기적으로 연결될 수 있으며, 제2 외부 전극(132)은 제1 외부 전극(131)과 다른 전위에 연결될 수 있다.
- [0061] 제1 외부 전극(131)은 바디(110)의 제3 면(3)과, 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부를 커버하도록 배치될 수 있다. 보다 상세하게는, 제1 외부 전극(131)은 바디(110)의 제3 면(3)에 배치되는 접속부 및 상기 접속부에서 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부까지 연장되는 밴드부를 포함할 수 있다.
- [0062] 이와 마찬가지로, 제2 외부 전극(132)은 바디(110)의 제4 면(4)과, 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일

부를 커버하도록 배치될 수 있다. 보다 상세하게는, 제2 외부 전극(132)은 바디(110)의 제4 면(4)에 배치되는 접속부 및 상기 접속부에서 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부까지 연장되는 밴드부를 포함할 수 있다.

- [0063] 한편, 본 실시예에서는 전자 부품(100)이 2개의 외부 전극(131, 132)을 갖는 구조를 설명하고 있지만, 외부 전극(131, 132)의 개수나 형상 등은 내부 전극(121, 122)의 형태나 기타 다른 목적에 따라 바뀔 수 있을 것이다.
- [0065] 본 발명의 일 실시예에 따른 외부 전극(131, 132)은 도전성 금속 및 글라스를 포함한다.
- [0066] 외부 전극(131, 132)은 내부 전극(121, 122)을 커버하는 제1 전극층(131a, 132a) 및 제1 전극층(131a, 132a)을 커버하는 제2 전극층(131b, 132b)을 포함하며, 제1 전극층(131a, 132a)의 글라스 면적 비율은 제2 전극층(131b, 132b)의 글라스 면적 비율보다 큰 것을 특징으로 한다.
- [0068] 본 명세서에서 어떤 성분의 면적 비율은, 특정 구성요소의 전체 면적에 대한 해당 성분의 면적 비율을 의미할 수 있으며, 평균 면적 비율을 의미할 수 있다.
- [0069] 즉, 제1 전극층(131a, 132a)의 글라스 면적 비율은, 제1 전극층(131a, 132a)의 전체 면적에 대한 제1 전극층(131a, 132a)에 포함된 글라스 성분의 면적 비율을 의미할 수 있다. 또한, 제2 전극층(131b, 132b)의 글라스 면적 비율은, 제2 전극층(131b, 132b)의 전체 면적에 대한 제2 전극층(131b, 132b)에 포함된 글라스 성분의 면적 비율을 의미할 수 있다.
- [0070] 이때, 글라스의 면적 비율을 측정하는 방법은 다양할 수 있으나, 예를 들어 전자 부품(100)에 대한 일 단면에서 복수 개의 영역(point)을 선별하고, 선별된 영역들에 대해 각 영역의 전체 면적 중 글라스가 차지하는 면적의 비율을 각각 측정하여 그 산술 평균을 계산하는 방식을 이용할 수 있다.
- [0071] 한편, 제1 전극층(131a, 132a) 및 제2 전극층(131b, 132b)의 글라스 면적 비율에 관한 구체적인 수치를 산출하는 방식은, 이후 표 1의 실험 예를 설명하면서 보다 상세히 후술하기로 한다.
- [0073] 제1 전극층(131a, 132a)은 바디(110)의 외부 표면 상에 배치되어, 내부 전극(121, 122)과 접속될 수 있다. 제1 전극층(131a, 132a)은 도전성 금속 및 글라스를 포함할 수 있다.
- [0074] 도 4를 참조하면, 상기 도전성 금속은 제1 전극층(131a) 내에서 제1 도전성 금속부(30a)를 형성하고, 상기 글라스는 제1 도전성 금속부(30a) 주변으로 제1 글라스부(30b)를 형성할 수 있다.
- [0075] 제1 전극층(131a, 132a)에서 제1 도전성 금속부(30a) 및 제1 글라스부(30b)가 각각 차지하는 면적 비율은 다양할 수 있다. 일 예로서, 제1 전극층(131a, 132a)은 80% 면적 비율의 제1 도전성 금속부(30a) 및 20% 면적 비율의 제1 글라스부(30b)를 포함할 수 있다.
- [0077] 제1 도전성 금속부(30a)에 배치되는 도전성 금속은 Cu(구리)를 포함할 수 있다. 다만, 도전성 금속이 Cu에 한정되는 것은 아니며, Ni(니켈), Cu-Ni(구리-니켈 합금) 등 도전성이 우수한 다양한 재료가 제한 없이 사용될 수 있다.
- [0078] 상기 도전성 금속은 외부 전극(131, 132)에 도전성을 부여하는 역할을 함으로써, 전자 부품(100)이 인쇄회로기판에 실장되어 전극 패드와 연결되면, 그로부터 전압을 인가 받아 내부 전극(121, 122)으로 전달할 수 있도록 한다.
- [0080] 제1 글라스부(30b)에 포함되는 글라스는 외부 전극(131, 132)의 접합성 및 내습성을 향상시키는 역할을 수행할 수 있다. 즉, 글라스 성분에 의하여 제1 전극층(131a, 132a)과 바디(110)의 유전체층(111) 간에 접착이 유지될 수 있다.
- [0081] 제1 글라스부(30b)에 배치되는 글라스는 산화물들이 혼합된 조성일 수 있으며, 특별히 제한되는 것은 아니나 규소 산화물, 붕소 산화물, 알루미늄 산화물, 전이금속 산화물, 알칼리 금속 산화물 및 알칼리 토금속 산화물로

이루어진 균으로부터 선택된 하나 이상일 수 있다.

- [0082] 이때, 전술한 글라스의 조성은 산성 용액에 녹는 성질을 가질 수 있으며, 따라서 이후 전극층 위에 Ni 도금액 등 산성의 도금액이 형성되는 과정에서 글라스 성분에 침식이 일어날 수 있다. 이와 같은 제1 전극층(131a, 132a)의 침식은 수분의 침투 경로를 제공하여, 전자 부품(100)의 신뢰성 열화 문제를 일으킬 수 있다.
- [0083] 따라서, 본 발명의 일 실시예에 따른 외부 전극(131, 132)은, 제1 전극층(131a, 132a)을 커버하는 제2 전극층(131b, 132b)을 마련함으로써 이러한 제1 전극층(131a, 132a)의 침식이 억제될 수 있도록 한다.
- [0085] 제2 전극층(131b, 132b)은 제1 전극층(131a, 132a)을 커버한다.
- [0086] 제2 전극층(131b, 132b)은 제1 전극층(131a, 132a)보다 글라스 면적 비율이 작은 것을 특징으로 하므로, 이후 제2 전극층(131b, 132b) 상에 도포되는 도금액에 의한 침식이 억제될 수 있다. 이에 따라, 제2 전극층(131b, 132b)보다 많은 글라스를 포함하는 제1 전극층(131a, 132a)이 보호됨으로써, 도금 굽김이 방지되고 전자 부품(100)의 신뢰도 저하가 억제될 수 있다.
- [0088] 본 명세서에서 「도금 굽김」은, 바디(110)의 외부에 배치된 외부 전극(131, 132)이 일부 침식됨으로써, 외부 전극(131, 132)이 형성된 영역 중 일부분에서 바디(110)가 외부로 노출되는 것을 의미할 수 있다.
- [0089] 도 1 내지 도 3에 도시된 바와 같이, 바디(110)의 제3 및 제4 면(3, 4)과, 제1, 제2, 제5 및 제6 면(1, 2, 5, 6)의 일부를 커버하도록 배치되는 외부 전극(131, 132)을 갖는 전자 부품(100)의 경우에는, 도금액에 의한 외부 전극(131, 132)의 침식이 대부분 바디(110)의 제3 및 제4 면(3, 4)의 각 모서리 부분에서 일어나는 특성이 있다.
- [0090] 따라서, 이후 설명할 본 발명의 실시예에 따른 실험 예의 경우, 전자 부품(100)의 도금 굽김 비율을 측정함에 있어서, 외부 전극(131, 132)의 각 모서리 중 도금 굽김이 발생한 모서리의 개수에 대한 비율을 산출한다.
- [0091] 일 예로서, 25개의 전자 부품(100)에 대해 Ni 도금액을 형성한 후, 각 전자 부품(100)에 포함된 8개의 모서리를 합산한 총 200개의 모서리 중 도금 굽김이 발생한 모서리의 개수를 확인함으로써, 도금 굽김 비율을 산출할 수 있다.
- [0093] 제2 전극층(131b, 132b)은 도전성 금속을 포함할 수 있다. 도 4를 참조하면, 상기 도전성 금속은 제2 전극층(131b) 내에서 제2 도전성 금속부(60a)를 형성할 수 있다.
- [0094] 제2 도전성 금속부(60a)에 배치되는 도전성 금속은 Cu(구리)를 포함할 수 있다. 다만, 도전성 금속이 Cu에 한정되는 것은 아니며, Ni(니켈), Cu-Ni(구리-니켈 합금) 등 도전성이 우수한 다양한 재료가 제한 없이 사용될 수 있다.
- [0095] 상기 도전성 금속은 외부 전극(131, 132)에 도전성을 부여하는 역할을 함으로써, 전자 부품(100)이 인쇄회로기판에 실장되어 전극 패드와 연결되면, 그로부터 전압을 인가 받아 내부 전극(121, 122)으로 전달할 수 있도록 한다.
- [0097] 제2 전극층(131b, 132b)은 글라스를 포함할 수 있다. 도 4를 참조하면, 상기 글라스는 제2 전극층(131b) 내에서 제2 글라스부(60b)를 형성할 수 있다.
- [0098] 다만, 제2 전극층(131b, 132b)이 반드시 글라스를 포함해야 하는 것은 아니며, 글라스를 포함하지 않는 외부 전극용 페이스트를 이용하여 제2 전극층(131b, 132b)을 형성할 수도 있다. 즉, 제2 전극층(131b, 132b)에는 제2 글라스부(60b)가 나타나지 않을 수 있다.
- [0099] 제2 글라스부(60b)에 배치되는 글라스는 산화물들이 혼합된 조성일 수 있으며, 특별히 제한되는 것은 아니나 규소 산화물, 붕소 산화물, 알루미늄 산화물, 전이금속 산화물, 알칼리 금속 산화물 및 알칼리 토금속 산화물로 이루어진 균으로부터 선택된 하나 이상일 수 있다.

- [0101] 제2 전극층(131b, 132b)에서 제2 도전성 금속부(60a) 및 제2 글라스부(60b)가 각각 차지하는 면적 비율은 다양할 수 있다. 다만, 본 실시예에 따르면, 제2 글라스부(60b)의 면적 비율은 제1 글라스부(30b)의 면적 비율보다 작은 것을 특징으로 한다.
- [0102] 일 예로서, 제2 전극층(131b, 132b)은 86%~100% 범위의 면적 비율의 제2 도전성 금속부(60a) 및 0~14% 범위의 면적 비율의 제2 글라스부(60b)를 포함할 수 있다.
- [0103] 이와 같이, 제2 전극층(131b, 132b)이 제1 전극층(131a, 132a)보다 낮은 비율의 글라스를 포함함으로써, 이를 덮는 Ni 도금액 등의 산성의 도금액이 형성되는 과정에서 제2 전극층(131b, 132b)의 침식이 최소화될 수 있다. 그러면, 제2 전극층(131b, 132b)의 내측에 배치되는 제1 전극층(131a, 132a)의 침식 또한 방지될 수 있고, 전자 부품(100)의 신뢰성 열화가 억제될 수 있다.
- [0105] 또한, 제1 전극층(131a, 132a)을 보호하도록 제2 전극층(131b, 132b)을 배치함으로써, 본 실시예에 따른 전자 부품(100)의 제조 시에 제1 전극층(131a, 132a)의 글라스 성분 비율을 줄이지 않아도 되는 효과가 있다.
- [0106] 참고로, 바디(110)의 표면과 직접 접촉되는 제1 전극층(131a, 132a)의 경우, 글라스 성분의 비율이 감소하면 바디(110)에 포함된 유전체층(111)과 제1 전극층(131a, 132a) 사이의 접착력이 떨어져 전자 부품(100)의 내구성이 저하되는 문제가 있다.
- [0107] 따라서, 본 실시예에 따라 제2 전극층(131b, 132b)을 배치하고, 제1 전극층(131a, 132a)의 글라스 성분 비율을 종래 외부 전극에 포함된 글라스 성분 비율과 유사하거나 그보다 높게 하여 제조함으로써, 외부 전극(131, 132)의 도금 풀림 발생은 억제되고, 제1 전극층(131a, 132a)의 접착력은 높게 유지될 수 있다.
- [0109] 한편, 본 발명의 일 실시예에 따른 제2 전극층(131b, 132b)은, 그 두께(t1, 도 3 참조)가 소정의 범위를 가질 수 있다. 예를 들어, 제2 전극층(131b, 132b)의 두께는 6 μ m 이상인 것을 특징으로 할 수 있다.
- [0110] 본 명세서에서 「두께」는, 어떤 부재의 표면에 대하여 수직인 방향으로 측정된 상기 부재의 두께를 의미할 수 있으며, 특히 평균 두께를 의미할 수 있다.
- [0111] 구체적으로, 제2 전극층의 「평균 두께」는, 전자 부품의 중심을 지나며 동시에 X-Y 평면에 평행하도록 절단한 절단면에 대하여, 제2 전극층이 배치된 영역을 Y방향으로 같은 간격으로 5등분한 지점에서 각각 측정된 두께의 산술 평균을 의미할 수 있다.
- [0113] 글라스의 면적 비율이 상대적으로 작은 제2 전극층(131b, 132b)이 소정 값 미만의 두께를 가지면, 제1 전극층(131a, 132a)을 보호하는 기능을 충분히 수행하지 못할 수 있다. 즉, 얇은 두께로 형성된 제2 전극층(131b, 132b)에서는, 도금액에 의한 침식 정도가 적더라도 제1 전극층(131a, 132a)까지 도달하는 수분의 침투 경로가 형성될 가능성이 높다. 이에 따라, 도금액이 제1 전극층(131a, 132a)으로 침투하여 제1 전극층(131a, 132a)에 포함된 글라스를 침식시킬 수 있고, 바디(110)의 일부분이 노출되는 도금 풀림이 발생할 수 있다.
- [0114] 반면에, 제2 전극층(131b, 132b)이 소정 값 이상의 두께를 가지면, 제2 전극층(131b, 132b)에 포함된 소량의 글라스가 도금액에 의해 일부 침식되더라도, 제1 전극층(131a, 132a)까지 도달하는 수분의 침투 경로는 형성되지 못할 가능성이 높다. 이에 따라, 도금액은 제1 전극층(131a, 132a)으로 쉽게 침투하지 못하며, 도금 풀림의 발생도 억제될 수 있다.
- [0115] 제2 전극층(131b, 132b)의 두께 범위에 관한 구체적인 내용은, 이후 실험 예에서 보다 자세히 설명하기로 한다.
- [0117] 도 5는 본 발명의 다른 실시예에 따라 도 3의 전자 부품에 도금액이 추가된 I-I'선 단면도를 나타낸 것이다.
- [0119] 도 5를 참조하면, 본 발명의 다른 일 실시예에 따른 전자 부품(101)은, 4층 구조의 외부 전극(131, 132)을 포함할 수 있다.
- [0120] 보다 구체적으로, 전자 부품(101)의 외부 전극(131, 132)은 제1 전극층(131a, 132a), 제2 전극층(131b, 132b),

제1 도금층(131c, 132c) 및 제2 도금층(131d, 132d)을 포함할 수 있다.

- [0121] 여기서, 제1 전극층(131a, 132a) 및 제2 전극층(131b, 132b)에 관한 내용은 도 1 내지 도 4에서 설명한 실시예에 따른 전자 부품(100)과 동일하므로, 중복되는 설명을 생략하기로 한다. 이하, 도 1 내지 도 4에 도시된 실시예와의 차이점에 해당하는 제1 도금층(131c, 132c) 및 제2 도금층(131d, 132d)에 관해 보다 상세히 설명한다.
- [0123] 제1 도금층(131c, 132c)은 제2 전극층(131b, 132b)을 커버할 수 있다.
- [0124] 제1 도금층(131c, 132c)은 도전성 금속을 포함하며, 이때 제1 도금층(131c, 132c)에 포함된 도전성 금속은 Ni을 포함할 수 있다. 예를 들어, 제1 도금층(131c, 132c)은 $\text{Ni}(\text{SO}_3\text{NH}_2)_2$, NiCl_2 등의 성분을 포함하는 도금액에 의해 형성될 수 있다.
- [0126] 한편, 이러한 Ni 도금액의 경우 pH 3~3.5의 산성을 나타낼 수 있고, 이에 따라 글라스를 포함하는 전극층 상에 Ni 도금액이 도포되면, 전극층의 침식을 일으켜 전자 부품의 신뢰성을 저하시킬 수 있다.
- [0127] 따라서, 본 실시예에 따른 외부 전극(131, 132)은, 도 5에 도시된 바와 같이 제1 전극층(131a, 132a)과 제1 도금층(131c, 132c) 사이에 글라스를 포함하지 않거나, 적은 면적 분율의 글라스만을 포함하는 제2 전극층(131b, 132b)을 배치한다.
- [0128] 그러면, 상대적으로 큰 면적 분율의 글라스를 포함하는 제1 전극층(131a, 132a)과 제1 도금층(131c, 132c)을 형성하는 산성 도금액 간의 접촉이 방지되어, 전극층의 침식이 억제될 수 있다.
- [0130] 제2 도금층(131d, 132d)은 제1 도금층(131c, 132c)을 커버할 수 있다.
- [0131] 제2 도금층(131d, 132d)은 도전성 금속을 포함하며, 이때 제2 도금층(131d, 132d)에 포함된 도전성 금속은 제1 도금층(131c, 132c)에 포함된 도전성 금속과 상이할 수 있다. 예를 들어, 제2 도금층(131d, 132d)에 포함된 도전성 금속은 Sn을 포함할 수 있다.
- [0132] 다만, 제1 도금층(131c, 132c) 및 제2 도금층(131d, 132d)에 포함되는 도전성 금속은 전술한 예시들에 한정되지 않으며, 다양한 도전성 금속을 이용하여 도금층을 형성할 수 있다.
- [0134] **(실험 예)**
- [0136] 아래 표 1은, 제2 전극층(131b, 132b)에 포함되는 도전성 금속 및 글라스의 면적 분율을 달리함에 따라, 제2 전극층(131b, 132b) 상에 Ni 도금액을 적용 시 도금 굽김이 발생하는 비율을 측정된 결과를 나타낸 것이다.
- [0137] 표 1에 기재된 제1 전극층(131a, 132a)의 Cu 면적 분율 및 글래스 면적 분율의 합은 100%로 동일하게 하였다. 즉, 면적 분율을 측정한 각 칩의 제1 전극층(131a, 132a)에는 Cu 및 글래스 이외의 다른 성분이 나타나지 않도록 제어하였다. 마찬가지로, 표 1에 기재된 제2 전극층(131b, 132b)의 Cu 면적 분율 및 글래스 면적 분율의 합도 100%로 동일하게 하였다. 즉, 면적 분율을 측정한 각 칩의 제2 전극층(131b, 132b)에는 Cu 및 글래스 이외의 다른 성분이 나타나지 않도록 제어하였다.
- [0138] 보다 구체적으로, 표 1의 실험에서 사용된 칩은 도전성 금속 Cu와 글라스를 각각 80% : 20%의 면적 분율로 포함하는 제1 전극층(131a, 132a)을 동일하게 포함한다. 또한, 그 제1 전극층(131a, 132a)을 커버하도록 제2 전극층(131b, 132b)을 배치하였으며, 최종 형성된 제2 전극층(131b, 132b) 상에 Ni 도금액을 도포함으로써 발생하는 도금 굽김 비율을 측정하였다.
- [0139] 실험에서 사용된 제2 전극층(131b, 132b)은 도전성 금속 Cu를 포함하며, Cu와 글래스의 면적 분율을 각각 달리 하여 실험한 것이다. 이때, 제2 전극층(131b, 132b)의 두께는 10 μm 로 하였다.
- [0141] 표 1에 기재된 제1 전극층의 Cu 및 글래스의 면적 분율은, 각 칩을 Y방향 중앙에서 X-Z 평면에 평행한 방향으로

절단한 절단면에 있어서, 제1 전극층이 배치된 부분 중 선별된 5개의 영역에 관해 각각 글라스가 차지하는 면적의 비율을 측정하고, 이들의 산술 평균을 계산한 것이다.

[0142] 제2 전극층의 Cu 및 글라스의 면적 분율은, 각 칩을 Y방향 중앙에서 X-Z 평면에 평행한 방향으로 절단한 절단면에 있어서, 제2 전극층이 배치된 부분 중 선별된 5개의 영역에 관해 각각 글라스가 차지하는 면적의 비율을 측정하고, 이들의 산술 평균을 계산한 것이다.

[0143] 이때, 선별된 5개의 영역은 각각 가로 20 μm, 세로 20 μm의 동일한 직사각형을 갖도록 하였으며, 상기 절단면 중 X방향 중앙 지점에 위치한 1개의 영역 및 그로부터 X방향 양 측으로 각각 2쌍씩 일정한 간격을 갖도록 배열된 4개의 영역으로 선별하였다.

[0144] 또한, 상기 절단면을 SEM(Scanning Electron Microscope)으로 확대하여 촬영한 이미지로부터 Cu와 글라스 간의 비정형적인 경계를 파악함으로써, Cu의 면적 분율 및 글라스의 면적 분율을 각각 측정할 수 있었다.

[0146] 표 1에 기재된 도금 뚫김 비율은, 실험 예 1 내지 5에서 각각 25개의 칩에 대해 Ni 도금액을 도포한 결과, 총 200개의 외부 전극의 모서리 중 도금 뚫김이 발생한 모서리의 개수에 대한 비율을 산출한 것이다. 즉, 전극층의 모서리 부분이 침식되어, 바디가 외부로 노출된 모서리의 개수를 확인하여 그 비율을 산출하였다.

표 1

실험 예	제1 전극층		제2 전극층		도금 뚫김 비율(%)
	Cu 면적 분율(%)	글라스 면적 분율(%)	Cu 면적 분율(%)	글라스 면적 분율(%)	
1	80	20	100	0	0
2	80	20	93	7	0
3	80	20	86	14	3
4*	80	20	80	20	75
5*	80	20	74	26	100

[0150] 상기 표 1에 나타난 바와 같이, 제2 전극층(131b, 132b)의 글라스 면적 분율이 20% 이상인 실험 예 4, 5는 실험 예 1 내지 3에 비하여 도금 뚫김 비율이 급격히 증가한 것을 확인할 수 있다. 즉, 본 실험에서 제1 전극층(131a, 132a)의 글라스 면적 분율을 20%로 설정하였으므로, 제2 전극층(131b, 132b)의 글라스 면적 분율이 제1 전극층(131a, 132a)의 글라스 면적 분율보다 작은 경우에 도금 뚫김의 억제 효과가 확연히 나타난 것을 알 수 있다.

[0151] 보다 상세하게는, 제2 전극층(131b, 132b)의 글라스 면적 분율이 14% 이하인 실험 예 1 내지 3의 경우, 도금 뚫김 비율이 3% 이하로 매우 저조하게 나타났다.

[0152] 이는 제2 전극층(131b, 132b)이 낮은 비율의 글라스를 포함함으로써, Ni 도금액에 의한 도금층이 형성되는 과정에서 제2 전극층(131b, 132b)의 침식이 억제된 결과로 해석된다. 또한 이에 따라, 제2 전극층(131b, 132b)의 내측에 배치되는 제1 전극층(131a, 132a)에 도금액이 침투하지 못하여 도금 뚫김의 발생이 억제된 것으로 해석된다.

[0154] 제2 전극층(131b, 132b)의 글라스 면적 분율이 14%에 해당하는 실험 예 3과, 20%에 해당하는 실험 예 4 사이에서 도금 뚫김 비율이 급격하게 변화되었는바, 그 중간값을 갖는 글라스 면적 분율에서는 도금 뚫김의 방지 효과가 보장되기 어려울 수 있다. 그러나, 실험 예 3의 경우에는 도금 뚫김 비율이 3%로 나타나고 있어, 제1 전극층(131a, 132a)과 대비할 때 전극층의 침식이 확연히 억제된 것을 알 수 있다.

[0155] 따라서, 본 발명의 일 실시예에 따른 전자 부품은, 제2 전극층(131b, 132b)에 포함된 도전성 금속 및 글라스의 면적 합에 대한 상기 글라스의 면적 비율이 14% 이하인 것을 특징으로 할 수 있다.

[0156] 또한, 제2 전극층(131b, 132b)의 글라스 면적 분율이 7% 이하인 실험 예 1, 2의 경우에는 도금 뚫김 비율이 0%

로 나타났다. 즉, 실험 예 1, 2의 경우 각 25개의 칩에 포함된 모서리에 도금 풀림이 전혀 발생하지 않았다.

- [0157] 따라서, 본 발명의 일 실시예에 따른 전자 부품은, 제2 전극층(131b, 132b)에 포함된 도전성 금속 및 글라스의 면적 합에 대한 상기 글라스의 면적 비율이 7% 이하인 것을 특징으로 할 수 있다.
- [0158] 이때, 실험 예 1을 통해서 알 수 있듯이, 제2 전극층(131b, 132b)에 글라스가 포함되지 않는 경우에도 도금 풀림이 발생하지 않았으며, 따라서 제2 전극층(131b, 132b)은 글라스 성분을 포함하지 않는 것을 특징으로 할 수 있다.
- [0160] 도 6은 도 3 및 도 5의 t1(제2 전극층의 두께)에 따른 Ni 도금 풀림의 발생 비율을 측정한 결과를 나타낸 그래프이다.
- [0161] 도 6은 상기 표 1의 실험에서 더 나아가, 나머지 조건은 표 1의 실험과 동일하게 유지하고 제2 전극층(131b, 132b)의 두께만을 달리하는 경우에, 도금 풀림의 발생 비율을 각각 측정한 것이다. 이때, 도 6에 도시된 각 실험 예는 제2 전극층(131b, 132b)의 Cu 면적 분율을 100%, 글라스의 면적 분율을 0%로 설정한 것이다.
- [0162] 참고로, 도 6의 x축에 표시된 제2 전극층(131b, 132b)의 두께는, 전자 부품의 중심을 지나며 동시에 X-Y 평면에 평행하도록 절단한 절단면에 대하여, 제2 전극층이 배치된 영역을 Y방향으로 같은 간격으로 5등분한 지점에서 각각 측정된 두께의 산술 평균을 계산한 것이다.
- [0164] 도 6을 참조하면, 제2 전극층(131b, 132b)의 두께가 6 μ m 이상일 때, 5.5 μ m인 실험 예에 비하여 도금 풀림 비율이 급격히 감소한 것을 확인할 수 있다. 즉, 제2 전극층(131b, 132b)의 두께가 6 μ m 이상인 경우에 도금 풀림의 억제 효과가 확연히 나타난 것을 알 수 있다.
- [0165] 이는 제2 전극층(131b, 132b)에 포함된 일부 글라스가 도금액에 의해 침식되더라도, 제2 전극층(131b, 132b)의 내부까지 침식이 일어나지 못할 정도의 두께가 확보됨에 따른 효과로 해석된다. 즉, 제2 전극층(131b, 132b)의 두께가 6 μ m 이상인 경우에는 제1 전극층(131a, 132a)까지 도달하는 수분의 침투 경로가 거의 형성되지 못한 것으로 해석된다.
- [0166] 반면에, 도 6의 그래프 상에서 제2 전극층(131b, 132b)의 두께가 6 μ m 미만인 실험 예에서는, 도금 풀림 비율이 70% 이상의 값을 갖도록 치솟는 것을 확인할 수 있다.
- [0167] 이는 제2 전극층(131b, 132b)이 글라스를 포함하지 않더라도, 소정 값 미만의 두께를 가지면 제1 전극층(131a, 132a)을 보호하는 기능을 충분히 수행하지 못한다는 것을 의미한다. 즉, 6 μ m 미만의 두께로 형성된 제2 전극층(131b, 132b)에서는, 도금액에 의한 침식 정도가 적었다고 하더라도, 제1 전극층(131a, 132a)까지 도달하는 수분의 침투 경로가 일부 형성될 수 있었던 것으로 해석된다.
- [0168] 따라서, 본 발명의 일 실시예에 따른 전자 부품은, 제2 전극층(131b, 132b)의 두께가 6 μ m 이상인 것을 특징으로 할 수 있다.
- [0170] 또한, 제2 전극층(131b, 132b)의 두께가 6.5 μ m 이상일 때, 그래프 상 도금 풀림 비율이 0%로 나타났다. 즉, 제2 전극층(131b, 132b)의 두께가 6.5 μ m 이상인 경우 각 25개의 칩에 포함된 모서리에 도금 풀림이 전혀 발생하지 않았다.
- [0171] 따라서, 보다 효과적으로 도금 풀림이 방지되도록 하기 위하여, 본 발명의 일 실시예에 따른 전자 부품은, 제2 전극층(131b, 132b)의 두께가 6.5 μ m 이상인 것을 특징으로 할 수 있다.
- [0173] 한편, 제2 전극층(131b, 132b)의 두께에 대한 상한은 특별히 제한되지 않으나, 15 μ m 이하의 두께를 갖도록 할 수 있다. 즉, 제2 전극층(131b, 132b)의 두께가 15 μ m를 초과하게 되면, 외부 전극(131, 132)의 전체 두께가 너무 두꺼워질 수 있으므로, 전자 부품의 소형화 추세에 맞도록 15 μ m 이하로 제한할 수 있다.
- [0174] 그리고 이 경우, 도 6의 그래프에 도시된 바와 같이, 제2 전극층(131b, 132b)의 두께가 10 μ m 이하일 때 도금 풀림 비율이 0%로 나타난 것을 확인할 수 있다. 따라서, 보다 소형의 전자 부품(100)을 구현하기 위하여, 본 발

명의 일 실시예에 따른 전자 부품은, 제2 전극층(131b, 132b)의 두께가 10 μm 이하인 것을 특징으로 할 수 있다.

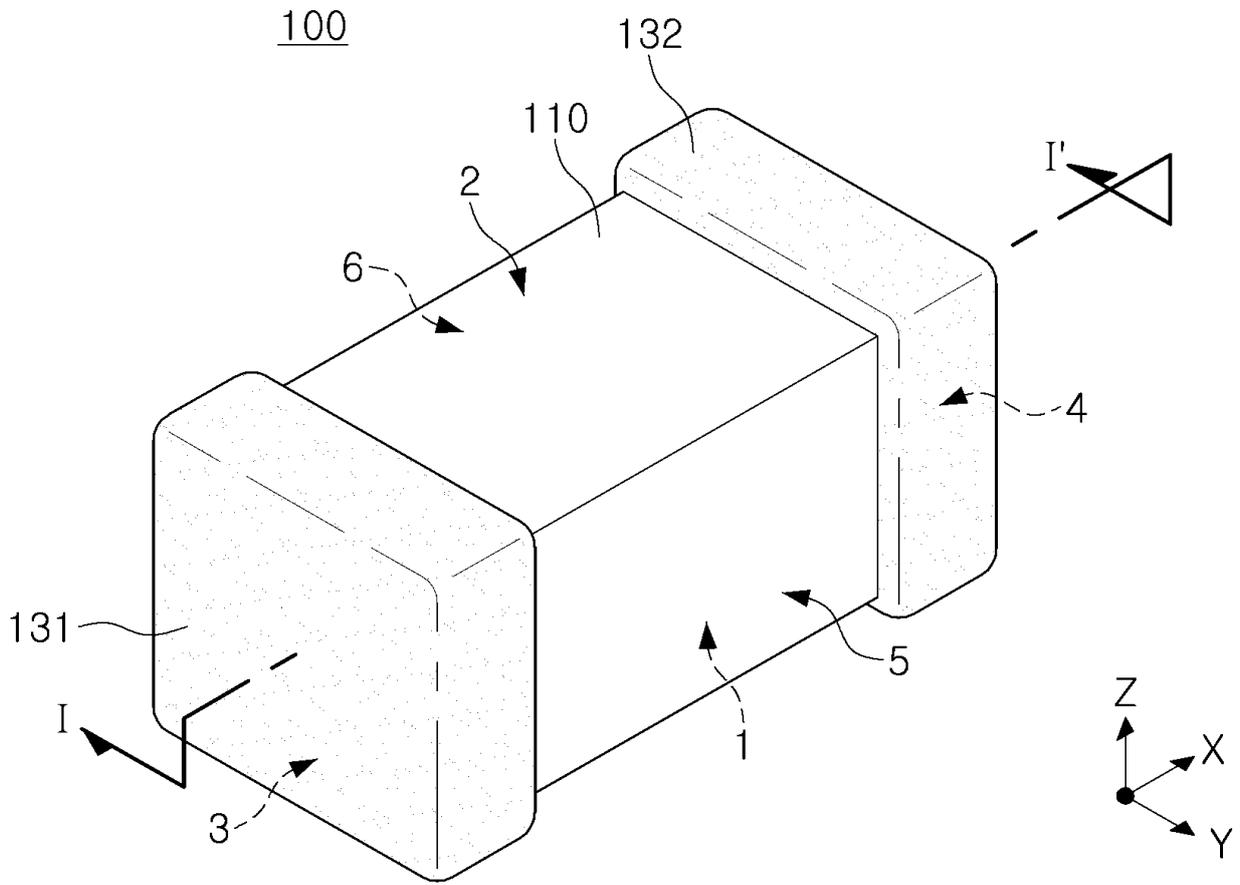
[0176] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명은 상술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

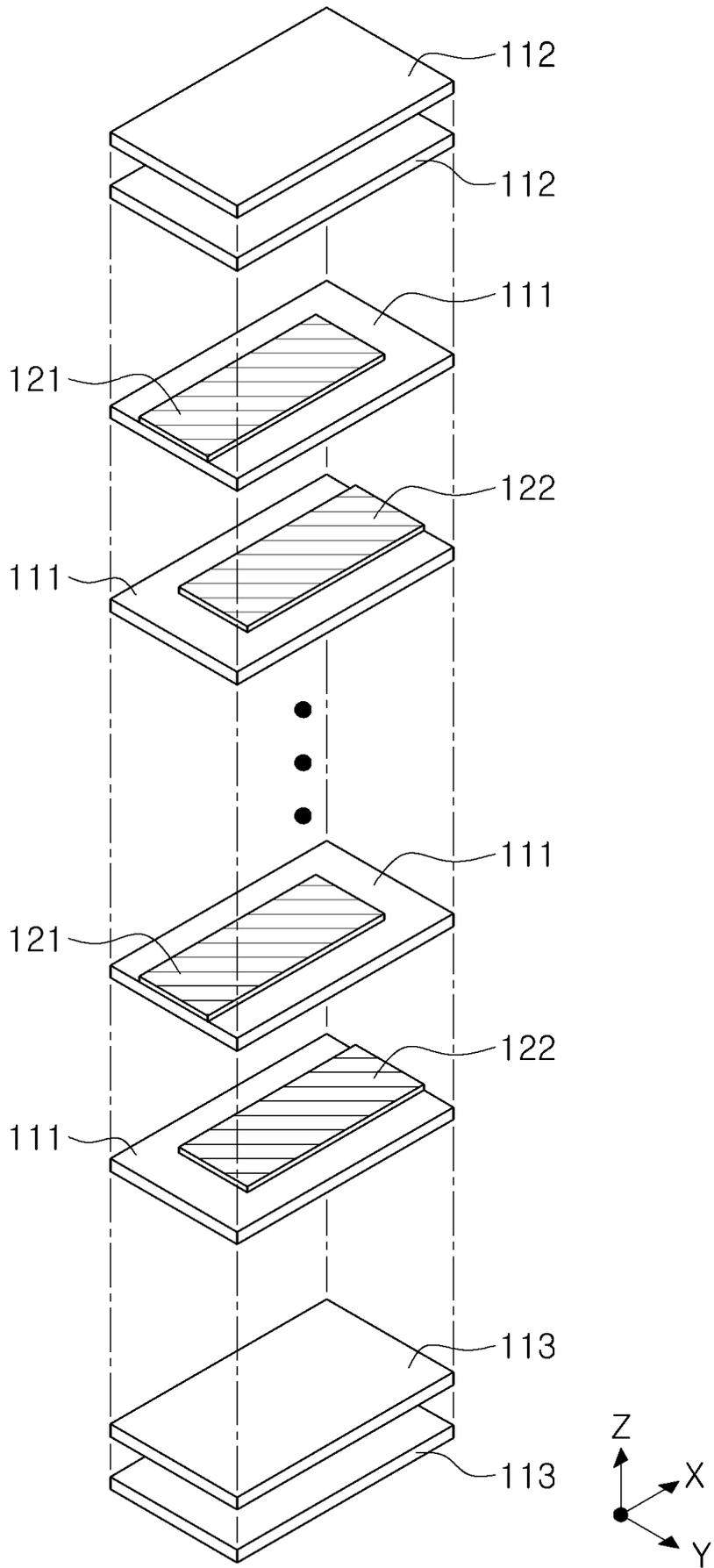
[0177] 100, 101: 전자 부품
 110: 바디
 111: 유전체층
 112, 113: 커버부
 121, 122: 내부 전극
 131, 132: 외부 전극
 131a, 132a: 제1 전극층
 131b, 132b: 제2 전극층
 131c, 132c: 제1 도금층
 131d, 132d: 제2 도금층
 30a: 제1 도전성 금속부
 30b: 제1 글라스부
 60a: 제2 도전성 금속부
 60b: 제2 글라스부

도면

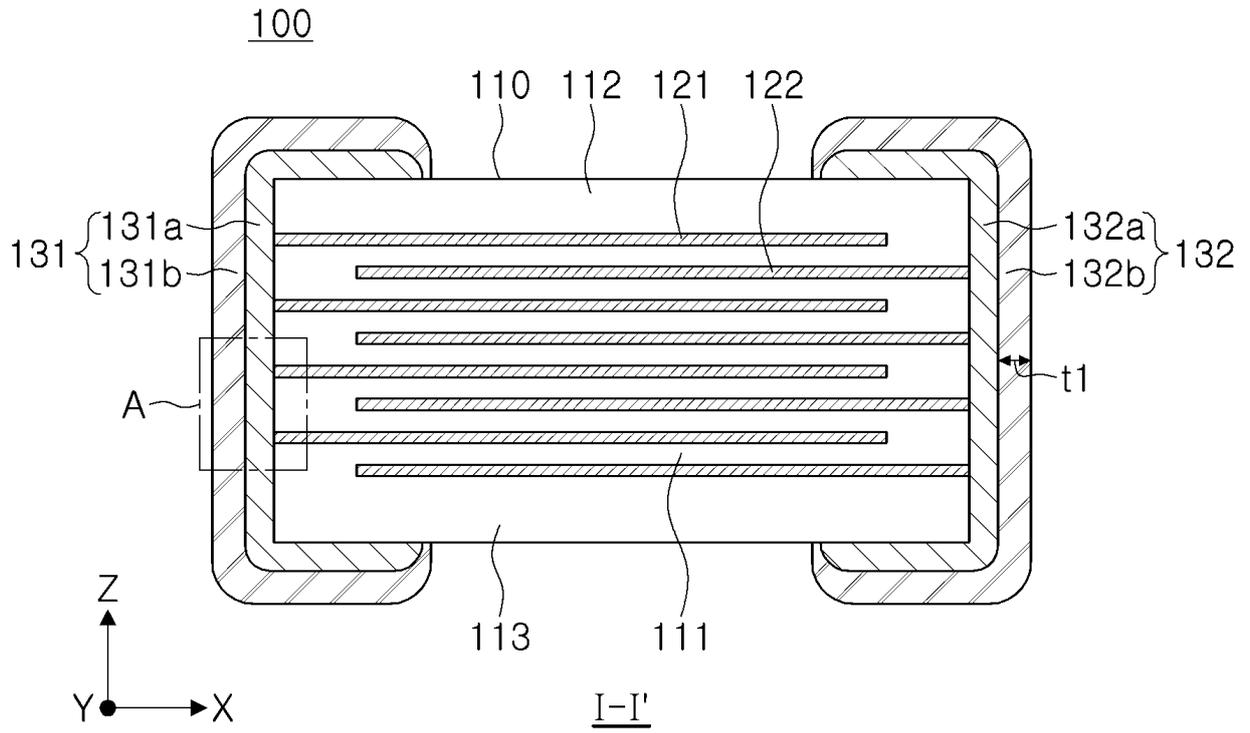
도면1



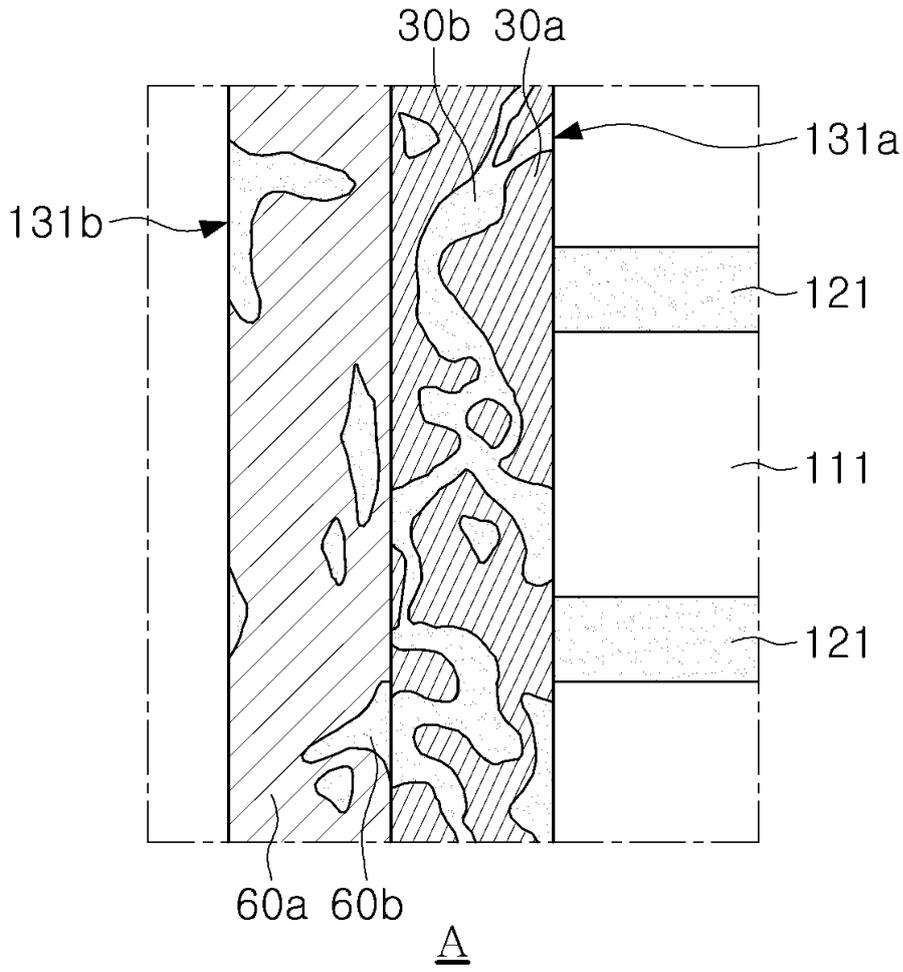
도면2



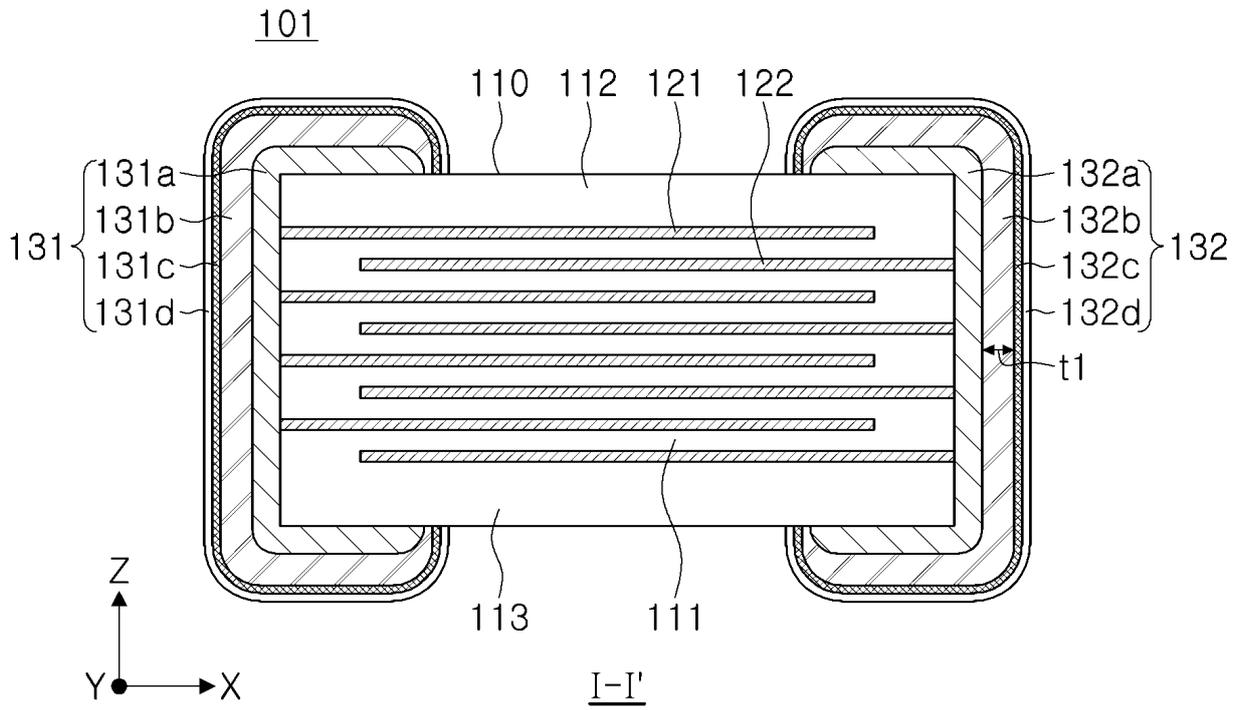
도면3



도면4



도면5



도면6

