

# 發明專利說明書 I224708

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92110191      ※IPC分類：G02S<sup>1</sup>/<sub>1343</sub>,<sup>1</sup>/<sub>1368</sub>  
※申請日期：92年04月30日

## 壹、發明名稱：

(中文) 光電裝置及半導體裝置之製造方法

(英文) 電気光学装置及び半導体装置の製造方法

## 貳、發明人(共 1 人)

### 發明人 1

姓名：(中文) 小出清貴

(英文) 小出清貴

住居所地址：(中文) 日本國長野縣諏訪市大和三丁目三番五號

精工愛普生股份有限公司內

(英文) 日本国長野県諏訪市大和三丁目三番五号

セイコーエプソン株式会社内

## 參、申請人(共 1 人)

### 申請人 1

姓名或名稱：(中文) 精工愛普生股份有限公司

(英文) セイコーエプソン株式会社

住居所地址：(中文) 日本國東京都新宿區西新宿二丁目四番一號

(或營業所) (英文) \_\_\_\_\_

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 1.草間三郎

(英文) \_\_\_\_\_

**捌、聲明事項**

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/05/10 ; 2002-136237

(1)

**玖、發明說明****【發明所屬之技術領域】**

本發明係有關採用薄膜電晶體之光電裝置及半導體裝置之製造方法。

**【先前技術】**

液晶裝置係封入液晶於玻璃基板，石英基板等之 2 枚基板間所構成，而在液晶基板之中係於一方的基板，例如配置薄膜電晶體（Thin Film Transistor，以下稱為「TFT」）等能動元件成矩陣狀，並於另一方之基板配置對向電極，然後因應畫像信號來使封合在兩基板間的液晶層之光學特性變化下將可作為畫像顯示。

即，根據 TFT 元件來供給畫像信號至配列成矩陣狀之畫素電極（ITO）（Indium Tin Oxide），並施加依據畫像信號之電壓於畫素電極與對向電極相互間之液晶層，然後使液晶分子之配列進行變化，由此，使畫素之透過率變化，並因應畫像信號來使通過畫素電極及液晶層的光進行變化來進行畫像顯示。

TFT 係由藉由掃描線供給掃描信號於閘道電極之情況下成為開啓狀態，並由藉由資料線供給畫像信號於半導體層之源極範圍之情況下，畫像信號係藉由成為開啓狀態之 TFT 來供給至畫素電極，而如此之畫像信號的供給係因對於每個畫素電極只花極短的時間，故為了維持比將畫像信號之電壓作為開啓狀態之時間還更長時間，一般則是附加

(2)

儲存容量於各畫素電極。

針對液晶裝置係對於構成畫素電極之 ITO 膜等之導電膜與構成畫素切換用之 TFT 的半導體層之間係複數堆積有掃描線，構成資料線等之各種導電膜及，爲了將這些導電膜從相互進行電絕緣之閘道絕緣膜或層間絕緣膜，而這些畫素電極與半導體層之間的距離係例如 1000nm，隨之根據一個連接孔來電接續這些畫素電極與半導體層之情況，技術上係爲困難，因此開發於層間絕緣膜間形成電接續畫素電極與半導體層之中間導電層之技術。

針對液晶裝置係顯示畫像之高品質化，一搬來說被強烈要求，因此，不但將化素間距作爲細微化，提升畫素開口率（即，針對各畫素，擴大顯示光透過之開口範圍）之同時，降低資料線，掃描線，容量線等之各種配線之配線光阻劑之情況則變爲重要。

但，根據細微間距畫素之開口率，資料線或掃描線之線幅本身將變爲狹小，但，（i）形成資料線或掃描線後，將需要高溫之熱處理工程，（ii）掃描線係由於也被作爲薄膜電晶體之閘道電極所使用之情況，故掃描線或容量線係一般由導電性之聚矽膜所形成。

隨之，當伴隨如此細微間距之畫素的高開口率化，造成掃描線幅度及容量線幅度變爲狹小，另伴隨高精細化造成驅動頻率數提升時，針對容量線之時間常數之大小將成爲問題，即，根據容量線之配線光阻劑，產生沿著掃描線方向之寬度方向之串訊或重像，對比低下等之顯示畫像之

(3)

畫質劣化則隨著畫素的高開口率化，有著顯著化之問題。

另外，在 TFT 有源矩陣驅動形式之液晶裝置之中係當照射射入光至設置在各畫素之畫素切換用之 TFT 的通道範圍時，由根據光的激發，光泄放電流將發生，然後 TFT 特性將起變化，特別是對於將液晶裝置使用在投影之液晶光閥之情況係因射入光之強度強，故進行對於 TFT 的通道範圍或其週邊範圍之射入光之遮光之情況係變為重要，因此，根據規定設置在對向基板之各畫素開口範圍之遮光膜來將通道範圍或其週邊範圍進行遮光地構成著。

另外，為了使畫素的高開口率，即，針對在各畫素之開口範圍之比率提升，亦開發有並不只有對向基板，根據設置在 TFT 陣列基板上之內藏遮光膜，或根據由 Al（鋁）等金屬膜而成，通過 TFT 上方之資料線，將通道範圍或其週邊範圍進行遮光之技術。

但，從對向基板及資料線與 TFT 元件之間的距離比較來說較大之情況，只有形成在對向基板之遮光膜即資料線係無法得到充分之遮光性能。

對於這些問題，針對在日本特開 2001-265253 號公報係提供使對於 TFT 元件之遮光性能提升之同時，構築充分之儲存容量，並且作為可謀求容量線之低光阻劑化之光電裝置。

針對此提案係形成將構成 TFT 之半導體層與畫素電極作為中繼接續之中間導電層，並於此中間導電層擁有遮光功能，另，根據上部容量電極與藉由絕緣薄膜對向配置

(4)

於此上部容量電極之下部容量電極來構成儲存容量，更加地，成爲接續與由中間導電層同一膜所構成之容量線於上部容量電極之構成，而容量線係利用形成掃描線之各畫素遮光範圍來配線在掃描線上，並從畫像顯示範圍內至畫像顯示範圍之周圍，可寬幅度地形成到達長度之容量線，並得到充分容量之同時謀求低光阻劑化。

**【發明內容】**

但，針對上述之提案係爲接續中間導電層於畫素電極之構成，而於每個各畫素構築儲存容量之容量線係由與中間導電層同一膜來構成之情況，成爲對於畫素電極作爲電接續之構成，但，中間導電層係採用錳的矽化物等且應力大，而從由應力大之材料來形成容量線之情況，容量線係極容易斷線。

並且，從沿著掃描線來形成容量線之情況，當容量線斷線時，針對 1 線路之所有的畫素電極，將成爲無法維持畫像信號之電壓，即，根據容易斷線之容量線，1 線路分之所有的畫素顯示無法正確顯示而產生線狀之缺陷，有著畫面品質顯著劣化可能性高之問題點。

本發明係爲有鑑於有關之問題點所作之構成，其目的爲提供謀求容量線之一層的低光阻劑化來使顯示畫像畫質提升之同時，即使容量線斷線之情況亦可將顯示之劣化控制在 1 畫素來進行高品質之畫像顯示，更加地，可控制構成儲存容量之誘電體初期耐壓不良之發生情況之光電裝置

(5)

及其製造方法。

有關本發明之光電裝置係具備有於基板 (above) 上形成為矩陣狀之畫素電極與，以電接續於前述畫素電極之第 1 容量電極與，以電接續於固定電位之第 2 容量電極與，根據配置在前述第 1 容量電極與第 2 容量電極之間之誘電體膜所形成之同時，將第 2 容量電極作為容量線，因應前述畫素電極 (above) 所配置之儲存容量與，形成在前述基板 (above) 之導電圖案與，為了以電接續構成前述儲蓄容量之第 2 容量電極與前述導電圖案之連接孔。

如根據如此構成，畫素電極係形成矩陣狀於基板上，而對於畫素電極係接續第 1 容量電極，固定電位係接續第 2 容量電極，另由配置誘電體膜於這些第 1 容量電極與第 2 容量電極之間之情況來構成儲存容量，而儲存容量係將第 2 容量電極作為容量線，並因應畫素電極來配置，另一方面，於基板上係形成導電圖案，而連接孔係接續構成儲存容量之第 2 容量電極與導電圖案，而對於畫素之畫素電極係接續儲存容量，構成因應畫素所設置之儲存容量的容量線之第 2 容量電極係成為接續在導電圖案，即使對於容量線產生斷線，根據導電圖案亦接續其他畫素之儲存容量之第 2 容量電極，即，導電圖案係構成容量線之冗長配線，根據導電圖案來謀求容量線之低光阻劑化，另控制容量線斷線造成其他畫素之影響為最小限度。

前述連接孔之特徵係貫通 1 個以上之層間膜所形成之情況。

(6)

如根據如此構成，即使為多層構造亦可進行容量線與導電圖案之接續。

前述第 2 容量電極之特徵係分為上層及下層之 2 層來成膜，並下層係於前述連接孔形成前所成膜，上層係於前述連接孔形成後所成膜之情況。

如根據如此構成，第 2 容量電極之下層係於前述連接孔形成前所成膜，例如於誘電體膜形成後形成下層，接著形成連接孔，並於連接孔形成後，形成第 2 容量電極之上層，對於連接孔之形成需要之微縮術工程時，誘電體膜係根據第 2 容量電極之下層來被覆蓋保護著，並進行微縮術工程時，誘電體膜則可防止受到損害，由此，將可防止初期耐壓不良之發生。

前述之導電圖案之特徵係因應前述畫素電極所形成之情況。

如根據如此構成，從因應畫素所形成之情況，根據連接孔將容易接續導電圖案，另，導電圖案則光學性傳達至畫素之影響為少。

前述畫素電極之特徵係根據形成在基板上 (above) 之畫素電晶體所驅動，並前述導電圖案係形成在前述畫素電晶體之下層之情況。

如根據如此構成，將可適用於有源矩陣光電裝置。

另，有關本發明之光電裝置之特徵係具備因應畫素位置來形成為矩陣狀於基板上 (above) 之導電圖案與，具有根據藉由第 1 層間膜形成在前述導電圖案上之同一半導



(7)

體層之通道範圍、源極範圍及汲極範圍，然後形成為矩陣狀之畫素電晶體與，藉由第 2 層間膜形成在前述畫素電晶體 (above) 之第 1 容量電與，形成在前述第 1 容量電極上之誘電體膜與，作為形成在前述誘電體膜上之容量線來發揮機能之第 2 容量電與，接續前述第 2 容量電與前述導電圖案之連接孔之情況。

如根據如此構成，導電圖案係因應畫素位置來形成為矩陣狀於基板上，而畫素電晶體係具有根據藉由第 1 層間膜形成在前述導電圖案上之同一半導體層之通道範圍、源極範圍及汲極範圍，對於畫素電晶體上方係藉由第 2 層間膜來形成第 1 容量電極，並於第 1 容量電極及第 2 層間膜上方係形成誘電體膜，而於誘電體膜上方係形成第 2 容量電極，然後根據這些第 1 容量電極、誘電體膜及第 2 容量電極來構成儲存容量，而構成儲存容量之第 2 容量電極與導電圖案係根據連接孔所接續，由此，即使對於容量線產生斷線，根據導電圖案亦接續同為其他畫素之儲存容量之第 2 容量電極，即，導電圖案係構成容量線之冗長配線之同時，可作為容量線之低光阻劑化。

前述第 2 容量電極之特徵係根據多聚矽與金屬矽化物之多矽化物所形成之情況。

如根據如此構成，金屬矽化物係具有遮光機能，並阻止射入畫素電極以外的光，使光電特性提昇。

前述第 2 容量電極之特徵係根據錳、鉬、鈦、鉭之任何一個矽化物與 N 型聚矽之多矽化物所形成之情況。

(8)

如根據如此構成，將可比較簡單地形成具有遮光機能之第 2 容量電極。

有關本發明之半導體裝置之製造方法之特徵係具備形成導電圖案於基板上 (above) 之工程與、藉由 1 個以上之層間膜來形成接續於畫素電極之第 1 容量電極於前述導電圖案上方之工程與、形成誘電體膜於前述第 1 容量電極之工程與、為與前述第 1 容量電極及前述誘電體膜同時構成儲存容量之第 2 容量電極的一部份，形成配置於前述誘電體膜上方之下層容量電極之工程與、將前述下層容量電極之一部份進行開孔，並將開孔之下層容量電極作為光罩來將前述誘電體膜及前述 1 個以上之層間膜進行開孔，然後形成連接孔之工程與、包含形成在前述下層容量電極之一部份、前述誘電體膜及前述 1 個以上之層間膜之前述連接孔，形成上層容量電極於前述下層容量電極上方之工程。

如根據如此構成，於基板上形成導電圖案，而對於此導電圖案上方係藉由 1 個以上之層間膜來形成接續在畫素電極之第 1 容量電極，另於此第 1 容量電極上係形成誘電體膜，並於第 1 容量電極及誘電體膜上係形成為構成儲存容量之第 2 容量電極的一部份之下層容量電極，即、在此狀態下，下層容量電極係覆蓋誘電體膜，接著將下層容量電極之一部份進行開孔，並將開孔之下層容量電極作為光罩來將誘電體膜及 1 個以上之層間膜進行開孔，然後形成連接孔，而於連接孔之形成前，誘電體膜係由下層容量電

(9)

極覆蓋所保護，並於連接孔之形成時誘電體膜將不會受到損害，由此，將可防止初期耐壓不良之發生。

形成前述連接孔之工程之特徵係具備形成光阻劑於前述下層容量電極上之工程與、使用前述光阻劑來將前述下層容量電極之一部份進行開孔之工程與、剝離前述光阻劑之工程與、將光阻劑剝離後之開孔之前述下層容量電極作為光罩來將前述誘電體膜及 1 個以上之層間膜進行開孔之工程。

如根據如此構成，於連接孔之形成前，於誘電體膜上形成下層容量電極，而對於連接孔形成時係首先，於下層容量電極上形成光阻劑，並使用光阻劑來將下層容量電極之一部份進行開孔，接著，剝離光阻劑，另於誘電體膜上係並無形成有光阻劑，而針對光阻劑剝離時，誘電體膜則不會受到損害，將光阻劑剝離後之開孔後之下層容量電極作為光罩來將誘電體膜及 1 個以上之層間膜進行開孔，然後形成連接孔，而針對連接孔形成時必要之微縮術工程，誘電體膜則不會受到損害，並可防止初期耐壓不良之發生。

前述下層容量電極及上層容量電極之特徵係由聚矽所形成。

如根據如此構成，採用同一材料，將可防止製造工程變為複雜之情況。

將金屬矽化物堆積於前述多矽化物上之情況作為特徵。

(10)

如根據如此構成，金屬矽化物係具有遮光功能，並阻止對畫素電極以外射入之光，進而可使光電特性提升。

本發明之如此之作用及其他利益係從接下來之實施型態來了解。

### 【實施方式】

以下參照圖面就有關本發明之實施型態進行詳細說明，本實施型態係將本發明之光電裝置適用在液晶裝置之構成，圖 1 係表示有關本發明之第 1 實施型態之光電裝置之模式剖面圖。圖 2 係針對構成液晶裝置之畫素範圍之複數畫素之各種元件，配線等之等效電路圖。圖 3 係將 TFT 陣列基板，與形成在其上方之各構成要素同時從對向基板側來看之平面圖。圖 4 係表示在圖 3H-H' 線之位置切斷貼合 TFT 陣列基板與對向基板，然後封入液晶之組裝工程結束後之液晶裝置之剖面圖。圖 5 係形成資料線，掃描線，畫素電極等之 TFT 陣列基板之相鄰接之複數畫素群之平面圖。圖 6 係表示圖 5 所示之各要素之中只有主要部份之平面圖。圖 7 係為圖 5 之模式 A-A' 剖面圖。然而，圖 1 係表示圖 5 之 A-B (斜線) -A' 之剖面。

本實施型態係形成因應各畫素之格子狀之導電性遮光膜於 TFT 下層之同時，形成從構成容量線之上部容量電極至遮光膜進行貫通之連接孔，然後根據電接續容量線與遮光膜之情況，可將遮光膜作為容量線之冗長配線來使用來將斷線時之畫素損害控制在最小限度之構成。

(11)

首先，關於針對在本發明之第 1 實施型態之液晶裝置畫素部之構成，參照圖 1 乃至圖 7 來進行說明。

液晶裝置係如圖 3 及圖 4 所示，封入液晶 50 於透明之 TFT 陣列基板 10 與透明之對向基板 20 之間所構成，TFT 陣列基板 10 係例如由石英基板，玻璃基板，矽基板而成，而對向基板 20 係例如由石英基板或玻璃基板而成，對於 TFT 陣列基板 10 上方係將構成畫素之畫素電極等配置成矩陣狀，圖 2 係表示構成畫素之 TFT 陣列基板 10 上方之元件的等效電路。

針對圖 2，對於形成為構成針對在本實施型態之光電裝置畫像顯示範圍之矩陣狀之複數畫素係各自形成有畫素電極 9a 與為了將畫素電極 9a 進行切換控制之 TFT30，並供給畫像信號之資料線（源極線）6a 則被電接續於 TFT30 之源極，而寫入在資料線 6a 之畫像信號 S1，S2，...，Sn 係依此順序供給也沒關係，而對於同為相鄰接之複數資料線 6a 來供給至每個組群也可以。

另，電接續掃描線 3a 於 TFT30 之閘道，並以規定的時機，以此順序線順脈衝地將掃描信號 G1、G2、...Gm 施加於掃描線 3a 所構成，畫素電極 9a 係電接續於 TFT30 之汲極，並根據只有在一定期間關閉為切換元件之 TFT30 之開關之情況，以規定之時機來寫入畫像信號 S1，S2，...，Sn，而藉由畫素電極 9a 來作為光電物質一例之寫入於液晶之規定標準畫像信號 S1，S2，...，Sn 係在與形成在後述之對向基板之對向電極之間，被一定期間所維

(12)

持。

液晶係根據所施加之電壓標準，再由分子集合之配向或秩序變化之情況，可將光進行調製，進行深淡程度顯示，而如為正常白模式，因應在各畫素之單位所施加的電壓來對於射入光之透過率則將減少，如為正常黑模式，因應在各畫素之單位所施加的電壓來對於射入光之透過率則將增加，並作為全體，從光電裝置係射出擁有因應畫像信號之對比的光，在此，被維持之畫像信號為了防止泄放之情況，與形成在畫素電極 9a 與對向電極之間之液晶容量並列附加儲存容量 70。

針對圖 1、圖 5 乃至圖 7，對於玻璃或石英等之 TFT 陣列基板 10 係形成格子狀溝 11，於此溝 11 上藉由下側遮光膜 12 及第 1 層間絕緣膜來形成成為 LDD (Lightly Doped Drain) 構造之 TFT30，根據溝 11 來將與 TFT 基板之液晶 50 之邊界面平坦化。

對於 TFT 陣列基板 10 係矩陣狀地設置複數透明之畫素電極 9a (根據圖 5 之虛線部 9a' 表示輪廓)，並沿著各個畫素電極 9a 之縱橫邊界設置資料線 6a 及掃描線 3a，並且，下側遮光膜 12 係沿著這些資料線 6a 及掃描線 3a 因應各畫素來設置成格子狀。

下側遮光膜 12 係例如包含 Ti、Cr、W、Ta、Mo、Pb 等之高融點金屬之中之至少一個之金屬單體、合金、金屬矽化物、多矽化物，並由堆積這些之構成等而成。

TFT 30 係於形成通道範圍 1a'、源極範圍 1d、汲極

(13)

範圍 1e 之半導體層 1a 藉由成爲閘道絕緣膜之絕緣膜 2 來設置成爲閘道電極之掃描線 3a，而掃描線 3a 係針對成爲閘道電極之部份型成爲寬幅度，並通道範圍 1a'（圖 5 之斜線部）係構成在半導體層 1a 與掃描線 3a 對向之範圍。

下側遮光膜 12 係形成於因應 TFT30 形成範圍之範圍、後述之資料線 6a 及掃描線 3a 等形成範圍，即、因應各畫素之非顯示範圍之範圍，另根據此下側遮光膜 12 來防止反射光射入至 TFT30 之通道範圍 1a'、源極範圍 1d 及汲極範圍 1e。

對於 TFT30 上係堆積第 2 層間絕緣膜 14，並於第 2 層間絕緣膜 14 上係形成延伸於資料線 6a 及掃描線 3a 方向之島狀第 1 中間導電層 15，另對於第 1 中間導電層 15 係藉由誘電體膜 17 來對向配置容量線 18，而容量線 18 係由重疊於第 1 中間導電層 15 地延伸於資料線 6a 方向之延伸部與、沿著掃描線 3a 來延伸之本線而成。

第 1 中間導電層 15 係作爲接續在 TFT30 之高濃度汲極範圍 1e 及畫素電極 9a 之畫素電位側容量電極（下部容量電極）來作用，並容量線 18 之一部份係作爲固定電位側容量電極（上部容量電極 18a）來作用，而容量線 18 係爲上部容量電極 18a 與遮光層 18b 之多層構造，並藉由誘電體膜 17 來與第 1 中間導電層 15 對向配置之情況下構成儲存容量（圖 2 之儲存容量 70）。

容量線 18 係爲堆積例如由導電性聚矽膜而成之上部容量電極 18a 與、由包含高融點金屬之金屬矽化物膜等而

(14)

成之遮光層 18b 之多層構造，例如：容量線 18 係根據由錳、鉬、鈦、鉭之任何一個矽化物而成之遮光層 18b 與 N 型聚矽之上部容量電極 18a 之多矽化物所構成，由此，容量線 18 係於構成內藏遮光膜之同時亦作為固定電位側容量電極來發揮機能。

第 1 中間導電層 15 係例如由導電性聚矽膜而成作為畫素電位側容量電極來發揮機能，另第 1 中間導電層 15 係作為畫素電位側容量電極機能之其他，亦擁有作為配置在作為內藏遮光膜之容量線 18 與 TFT30 之間的光吸收層之機能，更加擁有將畫素電極 9a 與 TFT30 之高濃度汲極範圍 1e 進行中繼接續之機能，然而，第 1 中間導電層 15 亦與容量線 18 同樣地由包含金屬或合金之單一層膜，或者多層膜構成也可以。

配置在作為下部容量電極之第 1 中間導電層 15 與，構成上部容量電極 18a 之容量線 18 之間的誘電體膜 17 係例如由膜厚 5~200nm 程度之比較薄之 HTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等之氧化矽膜、或氮化矽膜等所構成，而從使儲存容量增加之觀點來看係針對只要可得到充分膜之信賴性，誘電體膜 17 厚度係可為薄厚度。

另容量線 18 係從配置畫素電極 9a 之畫素顯示範圍延設至其周圍，並與定電位以電接續來成為固定電位，而作為有關之定電位源係亦可為供給至為了供給為驅動 TFT30 之掃描信號於掃描線 3a 之後述掃描線驅動電路 63 及，控



(15)

制供給畫像信號於資料線 6a 之抽樣電路之後述資料線驅動電路 61 之正電源及負電源之定電位源，並供給至對向基板 20 之對向電極 21 之定電位也沒關係，更加地，關於下側遮光膜 12，其電位變動亦對於 TFT30 爲了避免不良影響，與容量線 18 同樣地從畫像顯示範圍延設至其周圍來接續於定電位源也可以。

另爲了以電接續資料線 6a 與源極範圍 1d，形成有與第 1 中間導電層 15 同一層所形成之第 2 中間導電層 15b，而第 2 中間導電層 15b 係藉由貫通第 2 層間絕緣膜 14 及絕緣膜 2 之連接孔 24a 來電接續於源極範圍 1d。

於容量線 18 係配置第 3 層間絕緣膜 19，並於第 3 層間絕緣膜 19 上係堆積資料線 6a，而資料線 6a 係藉由貫通第 3 層間絕緣膜 19 及誘電體膜 17 之連接孔 24b 來電接續於源極範圍 1d。

對於資料線 6a 上係藉由第 4 層間絕緣膜 25 來堆積畫素電極 9a，畫素電極 9a 係根據貫通第 4 層間絕緣膜 25、第 3 層間絕緣膜 19、誘電體膜 17 之連接孔 26b，電接續於第 1 中間導電層 15，並且，第 1 中間導電層 15 係藉由貫通第 2 層間絕緣膜 14 及絕緣膜 2 之連接孔 26a 來電接續於汲極範圍 1e，另對於畫素電極 9a 上係堆積由聚亞胺系高分子樹脂而成之配向膜 16 並於規定方向進行平膜處理。

由供給 ON 信號於掃描線 3a（閘道電極）之情況，通道範圍 1a' 成爲導通狀態，並接續源極範圍 1d 與汲極範圍

(16)

1e，然後供給至資料線 6a 之畫像信號則被傳達到畫素電極 9a。

另一方面，對於對向基板 20 係針對對向於 TFT 陣列基板之資料線 6a、掃描線 3a 及 TFT30 之形成範圍之範圍，即，各畫素之非顯示範圍，設置第 1 遮光膜 23，而根據此第 1 遮光膜 23 來防止從對向基板 20 側之射入光射入至 TFT30 之通道範圍 1a'、源極範圍 1d 及汲極範圍 1e，而於第 1 遮光膜 23 上形成對向電極（共通電極）21 於基板 20 全面，另於對向電極 21 上堆積由聚亞胺系高分子樹脂而成之配向膜 22，並於規定方向進行平膜處理。

並且，封入液晶 50 於 TFT 陣列基板 10 與對向基板 20 之間，由此、TFT30 係在規定的時機寫入從資料線 6a 所供給之畫像信號於畫素電極 9a，另因應所寫入之畫素電極 9a 與對向基板 21 之電位差，液晶 50 之分子集合的配向及秩序則將變化，然後可調製光並進行深淡程度顯示。

如圖 3 及圖 4 所示對於對向基板 20 係設置作為區劃顯示範圍之框格之遮光膜 42，而遮光膜 42 係例如根據與遮光膜 42 同一或不同之遮光性材料所形成。

封入液晶於遮光膜 42 外側範圍之封合材 41 則形成在 TFT 陣列基板 10 與對向基板 20 之間，而封合材 41 係對於對向基板 20 之輪廓形狀略一致地配置，並將 TFT 陣列基板 10 與對向基板 20 相互固定，另封合材 41 係針對

(17)

TFT 陣列基板 10 之 1 邊的一部份脫落著，並對於被貼合之 TFT 陣列基板 10 及對向基板 20 互相的間隙係形成爲了注入液晶 50 之液晶住入口 78，由液晶住入口 78 注入液晶之後，利用封合材 79 來封合液晶住入口 78。

對於 TFT 陣列基板 10 之封合材 41 外側範圍係沿著 TFT 陣列基板 10 之一邊來設置資料線驅動電路 61 及安裝端子 62，並沿著鄰接於此一邊之 2 邊來設置掃描線驅動電路 63，另對於 TFT 陣列基板 10 之剩餘的一邊係設置爲了接續設置在畫面顯示範圍兩側之掃描線驅動電路 63 間的複數之配線 64，另針對對向基板 20 之角部之至少 1 個地方係設置爲使 TFT 陣列基板 10 與對向基板 20 之間以電導通之導通材 65。

針對本實施型態係容量線 18 以平面來看係沿著掃描線 3a 及資料線 6a 延伸，並如圖 1 及圖 5、圖 6 所示，一側端係從第 1 中間導電層 15 突出延伸於平面「垂直方向」，即、針對此一端側係直接形成誘電體膜 17 於第 2 層間絕緣膜 14 上，並於誘電體膜 17 上形成容量線 18。

針對本實施型態係針對在此一端側形成有貫通誘電體膜 17、第 2 層間絕緣膜 14、絕緣膜 2 及第 1 層間絕緣膜 13 之連接孔 71（圖 5、圖 6 之黑圈部份），並根據此連接孔 71 成爲以電接續容量線 18 之上部容量電極 18a 於下側遮光膜 12。

然而，針對本實施型態係因後述之製造方法的原因，容量線 18 之上部容量電極 18a 係分爲下層聚矽層 18a1 及

(18)

上層聚矽層 18a2 來形成。

針對如此所構成之實施型態係容量線 18 之上部容量電極 18a 係藉由連接孔 71 來電接續於下側遮光膜 12，而下側遮光膜 12 係由導電材料所構成，並沿著掃描線 3a 及資料線 6a，然後因應各畫素來設置成格子狀，即、構成儲存容量之上部容量電極 18a 之容量線 18 係由接續在形成於 TFT30 下層之格子狀導電材料（下側遮光膜 12）之狀況來作為低光阻劑化。

另，即使容量線 18 在規定之 1 畫素的位置產生斷線，與此畫素同一行之各畫素位置的容量線係亦根據下側遮光膜 12 所電接續，並維持作為固定電位側容量電極之機能，隨之，容量線 18 斷線之影響係只有傳達影響於斷線位置之 1 畫素之顯示，而其他的畫素係不受斷線的影響。

如此，針對本實施型態係根據由連接孔 71 來電接續容量線 18 之上部容量電極 18a 與形成在 TFT30 下層之格子狀之下側遮光膜 12 情況，可將下側遮光膜 12 作為容量線 18 之冗長配線來使用，另，可根據下側遮光膜 12 來謀求容量線 18 之低光阻劑化。

然而，本實施型態係畫素切換用 TFT30 係已說明過具有 LDD 構造的例子，但亦可具有對於低濃度汲極範圍及低濃度源極範圍不進行不純物之放入的偏移構造，另，亦可將由掃描線 3a 之一部份而成之閘道電極作為光罩來以高濃度放入不純物，並以自己整合的方式形成高濃度汲

(19)

極範圍及源極範圍之自調整型之 TFT。

另，本實施型態之中係作為只配置 1 個畫素切換用 TFT30 之閘道電極於高濃度源極範圍 1d 及高濃度汲極範圍 1e 間之構造，但於這些之間亦可設置 2 個以上之閘道電極，如此，如以雙柵或三柵以上來構成 TFT，將可防止通道與源極及汲極範圍之接合部之泄放電流，進而可減低關閉時之電流。

然而，針對圖 5 係已表示過，於資料線 6a 之內側範圍形成容量線 18，並於容量線 18 之內側範圍形成下側遮光膜 12 的例子，但資料線 6a，容量線 18 下側遮光膜係可形成為相同之寬度及作適宜寬度之改變構成，另，於沿著掃描線 3a 之中間導電膜 15 之內側範圍形成下側遮光膜，並於下側遮光膜 12 之內側範圍形成掃描線 3a，但可將中間導電膜 15，下側遮光膜 12，掃描線 3a 的寬度形成為相同寬度及作適宜寬度之改變構成。

圖 8 係表示有關本發明之第 2 實施型態之半導體裝置之製造方法的流程圖，另，圖 9 係表示圖 1 之液晶裝置之製造方法的流程圖，然而，圖 8 及圖 9 係表示適用於圖 1 之液晶裝置之製造方法，並圖 8 係具體地表示圖 9 中之儲存容量及連接形成工程之構成，圖 10 係為了說明必須進行圖 8 之製造方法理由之說明圖，並圖 11 係將根據圖 8 之製造方法所製造之連接孔 71 表示於工程順序之工程圖。

首先，參照圖 9 來說明圖 1 之液晶裝置之製造方法。

(20)

首先，準備石英基板，強硬玻璃，矽基板等之 TFT 陣列基板 10，而理想係以 N<sub>2</sub>（氮）等不活性氣體環境且約 900~1300℃ 的高溫下進行退火處理，並在產生於針對之後所實施之高溫處理之 TFT 陣列基板 10 之偏移較少地作先前處理。

針對圖 9 的步驟 S1，根據刻蝕等來對於 TFT 陣列基板 10 形成溝 11（參照圖 1，圖 5 乃至圖 7），接著，針對圖 9 的步驟 S2，根據濺射法使 Ti、Cr、W、Ta、Mo 及 Pb 等之金屬或金屬矽化物等之金屬合金膜堆積成 100~500nm 程度之膜厚，而理想係堆積成 200nm 之膜厚，並且根據微縮數及刻蝕法，平面形狀則形成格子狀之下側遮光膜 12。

接著，針對步驟 S3，於下側遮光膜 12，例如根據常壓或減壓 CVD 法等，使用 TEOS 氣體，TEB 氣體，TMOP 氣體等來形成由 NSG，PSG，BSG，BPSG 等矽酸鹽玻璃膜，氮化矽膜或氧化矽膜等而成之層間絕緣膜，而此層間絕緣膜 13 之膜厚係例如作為約 500~2000nm 程度。

接著，針對步驟 S4，於層間絕緣膜 13 上，在約 450~550℃，而理想係約 500℃ 之較低溫環境中，根據使用流量約 400~600cc/min 之甲硅烷，乙硅烷等之減壓 CVD（例如壓力約 20~40Pa 之 CVD），形成非晶值矽膜，之後，在氮環境中，根據施以以約 600~700℃ 約 1~10 小時，而理想係 4~6 小時之退火處理的情況，使聚矽膜固相成長至成為 50~200nm 之粒徑，理想係約 100nm 之粒徑，

(21)

而作為使其固相成長之方法係可使用 RTA ( Rapid Thermal Anneal ) 之退火處理，亦可採用準分子雷射之雷射退火處理，此時，將畫素切換用之 TFT30 因應作為 n 通道型還是 p 通道型，然後根據僅注入離子之情況摻雜 V 族元素或 III 族元素之摻雜劑也可以，並且，由微縮數及刻蝕法形成具有規定圖案之半導體層 1a。

接著，針對步驟 S5，根據約 900~1300℃ 之溫度，理想係 1000℃ 之溫度熱氧化構成 TFT30 之半導體層 1a，接著由減壓 CVD 法等，或根據將兩者繼續進行之情況，形成由多層高溫氧化矽膜 ( HTO 膜 ) 或氮化矽膜而成 ( 包含閘道絕緣膜 ) 之下層及上層之閘道絕緣膜 2。

此結果，半導體層 1a 係成為 30~150nm 之厚度，而理想係成為 35~50nm 之厚度，並絕緣膜 2 之厚度係成為 20~150nm 之厚度，而理想係成為 30~100nm 之厚度。

接著，為了控制畫素切換用 TFT30 之臨界值電壓  $V_{th}$ ，根據只將預先設定硼等之摻雜劑規定量注入離子於半導體層 1a 之中 N 通道範圍或 P 通道範圍等，進行摻雜。

接著，針對步驟 S6，根據減壓 CVD 法等，堆積聚矽膜，更加地將磷 ( P ) 進行熱擴散，並將此聚矽膜作為導電化，或將 P 離子採用與此聚矽膜之成膜同時導入之摻雜矽膜也可以，而此聚矽膜之膜厚係為約 100~500nm 之膜厚，而理想係為約 350nm 程度，並且，根據微縮術及刻蝕法，包含 TFT30 之閘道電極來形成規定圖案之掃描線

(22)

3a。

例如對於將 TFT30 作為擁有 LDD 構造之通道型 TFT 之情況係為了於半導體層 1a 形成低濃度源極範圍及低濃度汲極範圍，將掃描線 3a（閘道電極）作為光罩來以低濃度（例如將 P 離子以  $1\sim 3 \times 10^{13}/$  之吸收線量）摻雜 P 等之 V 族元素之摻雜劑，由此，掃描線 3a 下之半導體層 1a 形成為通道範圍 1a'。

更加地，為了形成構成畫素切換用 TFT30 之高濃度源極範圍 1d 及高濃度汲極範圍 1e，將具有比掃描線 3a 寬度廣之平面圖案之光阻劑層形成在掃描線 3a，之後，以低濃度（例如將 P 離子以  $1\sim 3 \times 10^{11}$  / 之吸收線量）摻雜 P 等之 V 族元素之摻雜劑。

如此，構成具有低濃度之源極·汲極範圍與高濃度之源極·汲極範圍之 LDD 構造之元素，然而，例如不進行低濃度之摻雜而作為偏移構造之 TFT 也可以，而將掃描線 3a 作為光罩來根據採用 P 離子，B 離子之離子注入技術作為自調整型之 TFT 也可以，而根據此不純物之摻雜，掃描線 3a 係更被低光阻劑化。

接著，在步驟 S9 之中係於掃描線 3a 上，例如根據常壓或減壓 CVD 法等，使用 TEOS 氣體，TEB 氣體，TMOP 氣體等來形成由 NSG，PSG，BSG，BPSG 等矽酸鹽玻璃膜，氮化矽膜或氧化矽膜等而成之第 2 層間絕緣膜 14，而此第 2 層間絕緣膜 14 之膜厚係例如作為約 500~2000nm 程度，在此，理想係以 800℃ 程度之高溫進行退火處理，



(23)

使層間絕緣膜 14 之膜質提升。

接著，針對步驟 S10，根據對於第 2 層間絕緣膜 14 之反應性離子蝕刻，反應性離子束蝕刻等之乾蝕刻，同時將連接孔 24a 進行開孔。

接著，針對本實施型態係針對後述之步驟 S11，進行根據第 1 中間導電層 15，誘電體膜 17 及容量線 18 所構成之儲存容量，以及第 2 中間導電層 15b 及連接孔形成 24a，26a 等。

接著，針對步驟 S12，例如根據常壓或減壓 CVD 法等，使用 TEOS 氣體，TEB 氣體，TMOP 氣體等來形成由 NSG，PSG，BSG，BPSG 等矽酸鹽玻璃膜，氮化矽膜或氧化矽膜等而成之第 3 層間絕緣膜 19，而此第 3 層間絕緣膜 19 之膜厚係例如作為約 500~1500nm 程度。

接著，針對步驟 S13，根據對於第 3 層間絕緣膜 19 之反應性離子蝕刻，反應性離子束蝕刻等之乾蝕刻，將連接孔 24b 進行開孔。

接著，針對步驟 S14，埋入連接孔 24b 地於第 3 層間絕緣膜 19 上，根據濺射法將遮光性 Al 等之低光阻劑金屬或金屬矽化物作為金屬膜來堆積成約 100~500nm 之厚度，而理想係約 300nm，並且，根據微縮術及刻蝕法，形成具有規定圖案之資料線 6a。

接著，針對步驟 S15，覆蓋資料線 6a 上方地，例如使用常壓或減壓 CVD 法及，TEOS 氣體等來形成由 NSG，PSG，BSG，BPSG 等矽酸鹽玻璃膜，氮化矽膜或氧化矽膜

(24)

等而成之第 4 層間絕緣膜 25，而此第 4 層間絕緣膜 25 之膜厚係例如作為約 500~1500nm 程度。

接著，針對步驟 S16，根據對於第 4 層間絕緣膜 25 及第 3 層間絕緣膜 19 之反應性離子蝕刻，反應性離子束蝕刻等之乾蝕刻，將連接孔 26b 進行開孔。

接著，針對步驟 S17，於此連接孔 26b 之內周面及第 4 層間絕緣膜 25 上，根據濺射處理，將 ITO 膜等之透明導電性膜堆積成約 50~200nm 之厚度，並且，根據微縮術及刻蝕法，形成畫素電極 9a，然而，對於將液晶裝置使用在反射型液晶裝置之情況係由 Al 等反射性高之不透明材形成畫素電極 9a 也可以，而連接孔 26b 係接續第 1 中間導電層 15 與畫素電極 9a。

接著，對於如此所構成之 TFT 陣列基板 10 與對向基板 20 來實施面板組裝工程，針對面板組裝工程係，首先，對於 TFT 陣列基板 10 及對向基板 20，塗抹成為配向膜 16，22 之聚亞胺 (PI)。

接著，對於 TFT 陣列基板 10 表面之配向膜 16 及對向基板 20 表面之配向膜 22 來施以平膜處理，接著進行洗淨工程，而此洗淨工程係為了去除由平膜處理產生之塵埃的構成，當此洗淨工程結束時，形成封合材 41 及導通材 65 (參照圖 3)，而形成封合材 41 之後，貼合 TFT 陣列基板 10 與對向基板 20，並邊施以調整邊進行壓著，並使封合材 41 硬化，最後，從設置在封合材 41 之一部份的缺口封入液晶，並塞住缺口來密封液晶。

(25)

圖 10 係將根據一般的半導體裝置之製造方法之連接孔 71 形成方法依工程順序說明之構成。

對於第 2 層間絕緣膜 14 係形成第 1 中間導電層 15，並且於第 1 中間導電層 15 及第 2 層間絕緣膜 14 形成誘導電膜 17，而於誘導電膜 17 之成膜後，形成光阻劑 75 於誘導電膜 17 上（圖 10（a）），並根據乾蝕刻來將連接孔 72 進行開孔（圖 10（b））。

接著，在剝離光阻劑 75 之後，堆積聚矽膜於誘導電膜 17 上，並例如將磷（P）進行熱擴散來將聚矽膜作為導電化，再形成上部容量電極 18a（圖 10（c）），更加地，將金屬或金屬矽化物等之金屬合金膜作為遮光膜 18b 來重疊形成後，根據微縮術來形成規定圖案之容量線 18。

但，在此手法之中係根據光阻劑 75 之剝離將對於誘導電膜 17 產生損害，而根據誘導電膜 17 之如此之損害將有容易發生初期耐壓不良之缺點。

因此，針對在本實施形態係採用圖 8 所示之製造方法，而圖 8 係具體的表示圖 9 之步驟 S11 之各工程，另圖 11 係以圖 8 之工程順序表示連接孔 71 部份之模式剖面。

即，針對在本實施形態係將連接孔 71 開孔之前，形成成為容量線 18 之上部容量電極 18a 一部份之聚矽於誘導電膜 17 上，然後由刻蝕保護誘導電膜 17，而在刻蝕時，將形成在誘導電膜 17 上之聚矽作為光罩來使用之同時，於連接孔開孔後，更加地使聚矽堆積至必要之厚度來

(26)

構成容量線 18 之上部容量電極 18a。

針對圖 8 之步驟 S21，首先，形成成爲儲存容量之下部容量電極的第 1 中間導電層 15，即，於第 2 層間絕緣膜 14，根據減壓 CVD 法堆積聚矽膜，並更加地將磷 (P) 進行熱擴散，將聚矽膜作爲導電化，或將 P 離子採用與此聚矽膜之成膜同時導入之摻雜矽膜也可以，而此聚矽膜之膜厚係爲約 100~500nm 之膜厚，而理想係爲約 150nm 程度，並且，根據微縮術及刻蝕法，進行圖案化來形成第 1 中間導電層 15 (步驟 S22)。

針對以下之步驟 S23 來形成誘導電膜 17，即，於兼備畫素電位側容量電極之第 1 中間導電層 15 及第 2 層間絕緣膜 14 上，根據減壓 CVD 法將由高溫氧化矽膜 (HTO 膜) 或氮化矽膜而成之誘導電膜 17 堆積成膜厚 50nm 程度之比較上較薄的膜厚。

然而，誘導電膜 17 係與絕緣膜 2 之情況相同地由單層膜或多層膜之任合一種構成都可以，而一般而言，可根據對於形成 TFT 之閘道絕緣膜所採用之各種眾知技術形成，並且，越將誘導電膜 17 作爲薄化，儲存容量係變越大，故結果，以不發生膜破等之缺陷之情況爲條件，將誘導電膜 17 成爲膜厚 50nm 以下之極薄之絕緣膜爲有利。

針對在本實施形態係誘導電膜 17 係在一端具有比第 1 中間導電層 15 沿身在平面的 (垂直方向) 之部份，而針對此部份係誘導電膜 17 被直接形成於第 2 層間絕緣膜 14 上 (參照圖 1 及圖 11(a))。

(27)

接著，於誘導電膜 17 上形成容量線 18 之上部容量電極 18a，而針對在本實施形態係容量線 18 之上部容量電極 18a 係分成 2 層構成，即，首先，針對在步驟 S24，形成下層聚矽層 18a1（圖 11（a）），而此下層聚矽層 18a1 係由根據減壓 CVD 法，由堆積聚矽膜之情況所形成，另下層聚矽層 18a1 係與後述之上層聚矽層 18a2 之膜厚做適當的比率，例如將容量線 18 之上部容量電極 18a 全體之膜厚作為 150nm 時，將下層聚矽層 18a1 之膜厚作為 50nm，並將上層聚矽層 18a2 之膜厚作為 100nm。

接著，針對步驟 S25，形成為了形成連接孔 71 之光阻劑圖案 76（圖 11（b）），接著，根據蝕刻法來選擇性地蝕刻下層聚矽層 18a1（步驟 S26）（圖 11（c）），而形成下層聚矽層 18a1 之連接開孔之後去除光阻劑圖案 76，另對於誘導電膜 17 上係並無形成光阻劑圖案 76，而光阻劑之除去時，誘導電膜 17 則不會受到損害。

針對以下之步驟 S27 係形成貫通至下側遮光膜 12 之連接孔 71，即，將連接部份開孔之下層聚矽層 18a1 作為硬光罩，並由採用與步驟 S25 不同之刻蝕來將下層聚矽層 18a1 之開孔部份下的誘導電膜 17，第 2 層間絕緣膜 14，絕緣膜 2，第 1 層間絕緣膜 13 進行開孔（圖 11（d））。

接著，針對步驟 S28，將上層聚矽層 18a2 形成至必要的厚度（在上述的例中係 10nm）於容量線 18，即，根據減壓 CVD 法等堆積聚矽膜，由採用減壓 CVD 法對於連接孔 71 之覆蓋範圍亦變良好，更加地將磷（P）進行熱擴

(28)

散，將此聚矽膜作為導電化來形成容量線 18 之上部容量電極 18a 而於此上方更加地將金屬或金屬矽化物等之金屬合金膜作為遮光膜 12 來由濺射法及退火處理進行重疊形成之（步驟 S29）後，根據微縮術及蝕刻法，將遮光膜進行圖案化（圖 11（e））。

如此，針對在本實施形態係上部容量電極與形成在 TFT 下方之下側遮光膜之間的連接孔之形成時，將由容量線所構成之上部容量電極，分割成 2 層聚矽層，並由在光阻劑圖案形成前，形成下層之聚矽膜於誘導電膜上之情況下由光阻劑圖案保護誘導電膜，並且，在連接孔形成後，形成上層之聚矽膜，然後由上層及下層之聚矽層來構成容量線，由此，誘導電膜將不會在光阻劑剝離時受到損害，進而可防止初期耐壓不良之發生，並，在連接孔之形成時不會增加微縮術之次數，進而可由簡單之工程來確保高品質之容量。

〔發明之效果〕

如以上之說明，如根據本發明，在謀求容量線更一層之低電阻化來使顯示畫像畫質提升之同時，即使容量線斷線之情況，亦可將顯示之劣化控制在 1 畫素來作為高品位之畫像顯示，並更加地具有控制構成儲存容量之誘導電初期耐壓不良之發生的效果。

【圖式簡單說明】

(29)

圖 1 係表示有關本發明之第 1 實施型態之光電裝置之剖面圖。

圖 2 係針對構成液晶裝置之畫素範圍之複數畫素之各種元件，配線等之等效電路圖。

圖 3 係將 TFT 陣列基板，與形成在其上方之各構成要素同時從對向基板側來看之平面圖。

圖 4 係表示在圖 3H-H'線之位置切斷貼合 TFT 陣列基板與對向基板，然後封入液晶之組裝工程結束後之液晶裝置之剖面圖。

圖 5 係形成資料線，掃描線，畫素電極等之 TFT 陣列基板之相鄰接之複數畫素群之平面圖。

圖 6 係表示圖 5 所示之各要素之中只有主要部份之平面圖。

圖 7 係為圖 5 之 A-A'剖面圖。

圖 8 係表示有關本發明之第 2 實施型態之半導體裝置之製造方法的流程圖。

圖 9 係表示圖 1 之液晶裝置之製造方法的流程圖。

圖 10 係為了說明必須進行圖 8 之製造方法理由之說明圖。

圖 11 係將根據圖 8 之製造方法所製造之連接孔 71 表示於工程順序之工程圖。

[ 符號之說明 ]

1a...半導體層

(30)

- 1 a' ... 通道範圍
- 1 d ... 高濃度源極範圍
- 1 e ... 高濃度汲極範圍
- 2 ... 絕緣膜
- 3 a ... 掃描線
- 6 a ... 資料線
- 9 a ... 畫素電極
- 10 ... TFT 陣列基板
- 12 ... 下側遮光膜
- 13 ... 第 1 層間絕緣膜
- 14 ... 第 2 層間絕緣膜
- 15 ... 第 1 中間導電層
- 17 ... 誘電體膜
- 18 ... 容量線
- 18 a ... 上部容量電極
- 18 a1 ... 下層聚矽層
- 18 a2 ... 上層聚矽層
- 18 b ... 遮光層
- 30 ... TFT
- 50 ... 液晶層
- 24 a , 26 b , 26 a , 71 ... 連接孔



**肆、中文發明摘要**

發明之名稱：光電裝置及半導體裝置之製造方法

本發明係一種光電裝置及半導體裝置之製造方法，其中光電裝置係具備有於基板(above)上形成為矩陣狀之畫素電極與，以電接續於前述畫素電極之第 1 容量電極與，以電接續於固定電位之第 2 容量電極與，根據配置在前述第 1 容量電極與第 2 容量電極之間之誘電體膜所形成之同時，將第 2 容量電極作為容量線，因應前述畫素電極(above)所配置之儲存容量與，形成在前述基板(above)之導電圖案與，為了以電接續構成前述儲蓄容量之第 2 容量電極與前述導電圖案之連接孔。

**伍、英文發明摘要**

發明之名稱：

- 陸、(一)、本案指定代表圖為：第 1 圖  
 (二)、本代表圖之元件代表符號簡單說明：

1a...半導體層	1a'...通道範圍
1d...高濃度源極範圍	1e...高濃度汲極範圍
2...絕緣膜	3a...掃描線
6a...資料線	9a...畫素電極
10...TFT陣列基板	11...溝
12...下側遮光膜	13...第1層間絕緣膜
14...第2層間絕緣膜	15...第1中間導電層
15b...第2中間導電層	16...配向膜
17...誘電體膜	18...容量線
18a...上部容量電極	18a1...下層聚矽層
18a2...上層聚矽層	18b...遮光層
19...第3層間絕緣膜	20...對向基板
21...對向電極	22...配向膜
23...第1遮光膜	24b...連接孔
25...第4層間絕緣膜	50...液晶層
24a, 26a, 71...連接孔	

- 柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

**拾、申請專利範圍**

- 1、一種光電裝置，其特徵係具備  
於基板上，形成成爲矩陣狀之畫素電極，  
和經由電氣性連接於前述畫素電極之第 1 容量電極，  
和電氣性連接於固定電位之第 2 容量電極，和配置於前述  
第 1 容量電極和前述第 2 容量電極間的介電質膜所形成的  
同時，將前述第 2 容量電極做爲容量線，對應於前述畫素  
電極加以配置之蓄積容量，  
和形成於前述基板上之導電圖案，  
和爲電氣性連接構成前述蓄積容量之第 2 容量電極和  
前述導電圖案的連接孔。
- 2、如申請專利範圍第 1 項之光電裝置，其中，前述  
連接孔係貫通 1 個以上之層間膜加以形成者。
- 3、如申請專利範圍第 1 項之光電裝置，其中，前述  
第 2 容量電極係分爲上層及下層之 2 層加以成膜，下層係  
成膜於前述連接孔形成前，上層係成膜於前述連接孔形成  
後。
- 4、如申請專利範圍第 1 項之光電裝置，其中，前述  
導電圖案係對應於前述畫素電極加以形成。
- 5、如申請專利範圍第 1 項之光電裝置，其中，前述  
畫素電極係經由形成於基板上之畫素電晶體加以驅動，  
前述導電圖案係形成於前述畫素電晶體之下層。
- 6、一種光電裝置，其特徵係具備  
於基板上，形成成爲矩陣狀之導電圖案，

(2)

和於前述導電圖案，具有藉由第 1 之層間膜所形成之同一半導體層所成通道範圍、源極範圍及汲極範圍，形成成為矩陣狀之畫素電晶體，

和於前述畫素電晶體上，藉由第 2 之層間膜所形成之第 1 容量電極，

和形成於前述第 1 容量電極上之介電質膜，

和形成於前述介電質膜上，做為容量線工作之第 2 容量電極，

和連接前述第 2 容量電極和前述導電圖案之連接孔。

7、如申請專利範圍第 1 項之光電裝置，其中，前述第 2 容量電極係經由多結晶矽和金屬矽化物之多晶金屬矽化物所形成。

8、如申請專利範圍第 1 項之光電裝置，其中，前述第 2 容量電極係經由鎢、鉬、鈦、鉭之任一之矽化物和 N 型多結晶矽的多晶金屬矽化物所形成者。

9、一種半導體裝置之製造方法，其特徵係具備

於基板上，形成導電圖案之工程

和將電氣性連接於畫素電極之第 1 容量電極，於前述導電圖案，藉由 1 個以上層間膜加以形成之工程，

和於前述第 1 容量電極上形成介電質膜之工程，

和與前述第 1 容量電極及前述介電質膜一同，構成蓄積容量之第 2 容量電極之一部分中，形成配置於前述介電質膜上之下層容量電極的工程，

和開孔前述下層容量電極之一部分，將開孔之下層容

(3)

量電極做爲光罩，開孔前述介電質膜及前述 1 個以上之層間膜，形成連接孔的工程

和包含形成於前述下層容量電極之一部分、前述介電質膜及前述 1 個以上之層間膜的前述連接孔，於前述下層容量電極上，形成上層容量電極之工程。

10、如申請專利範圍第 9 項之半導體裝置之製造方法，其中，形成前述連接孔之工程係具備於前述下層容量電極上形成光阻劑之工程，

和使用前述光阻劑，開孔前述下層容量電極之一部的工程，

和剝離前述光阻劑之工程，

和將光阻劑剝離後開孔之前述下層容量電極做爲光罩，開孔前述介電質膜及前述 1 個以上之層間膜的工程。

11、如申請專利範圍第 9 項之半導體裝置之製造方法，其中，前述下層容量電極及上層容量電極係經由多結晶矽加以形成。

12、如申請專利範圍第 11 項之半導體裝置之製造方法，其中，於前述多結晶矽上，堆積金屬矽化物者。

22110191

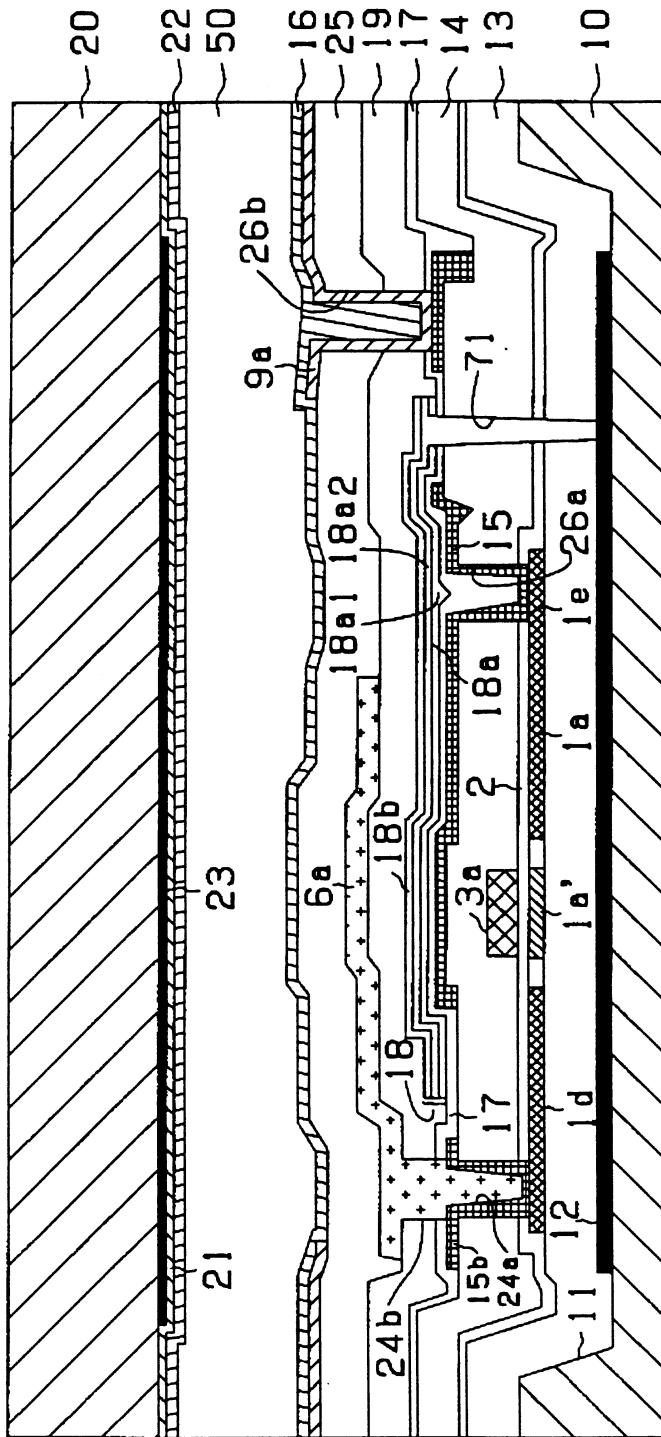


圖 1

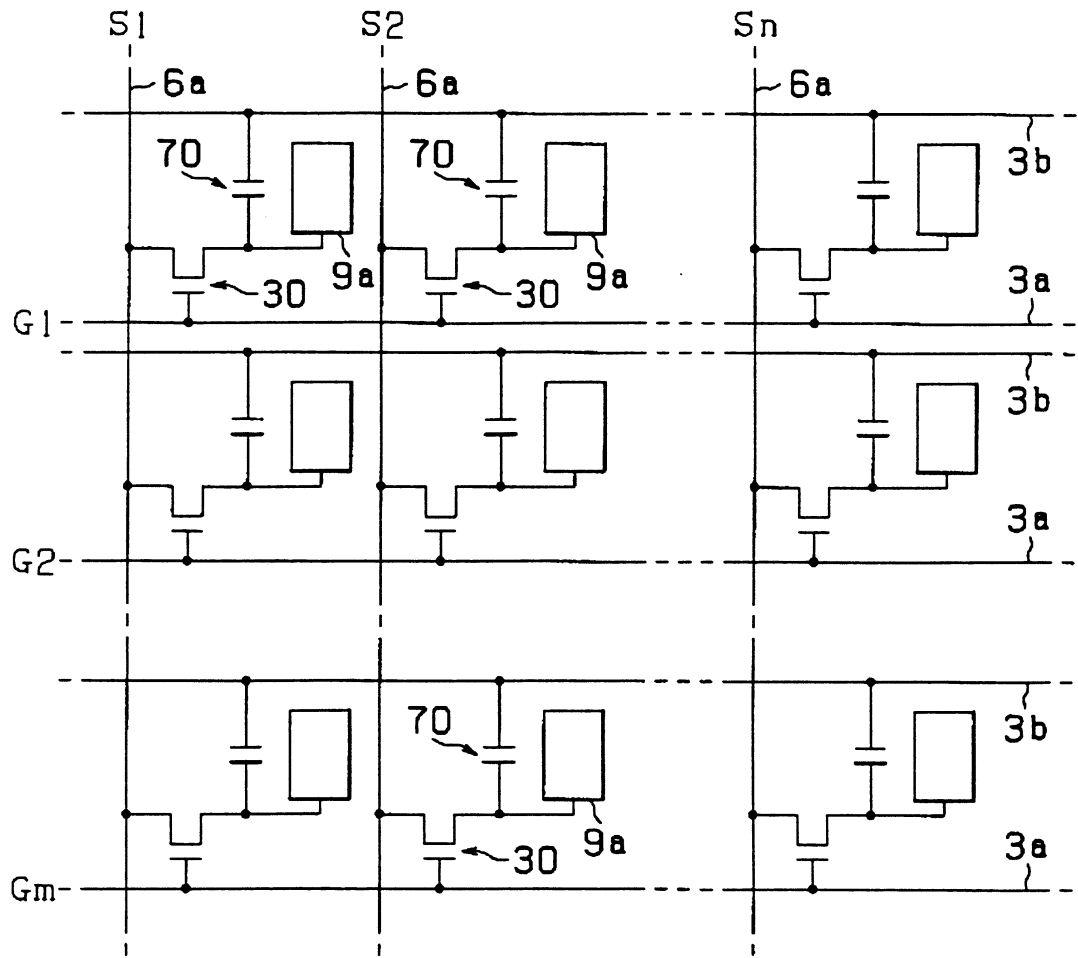


圖 2

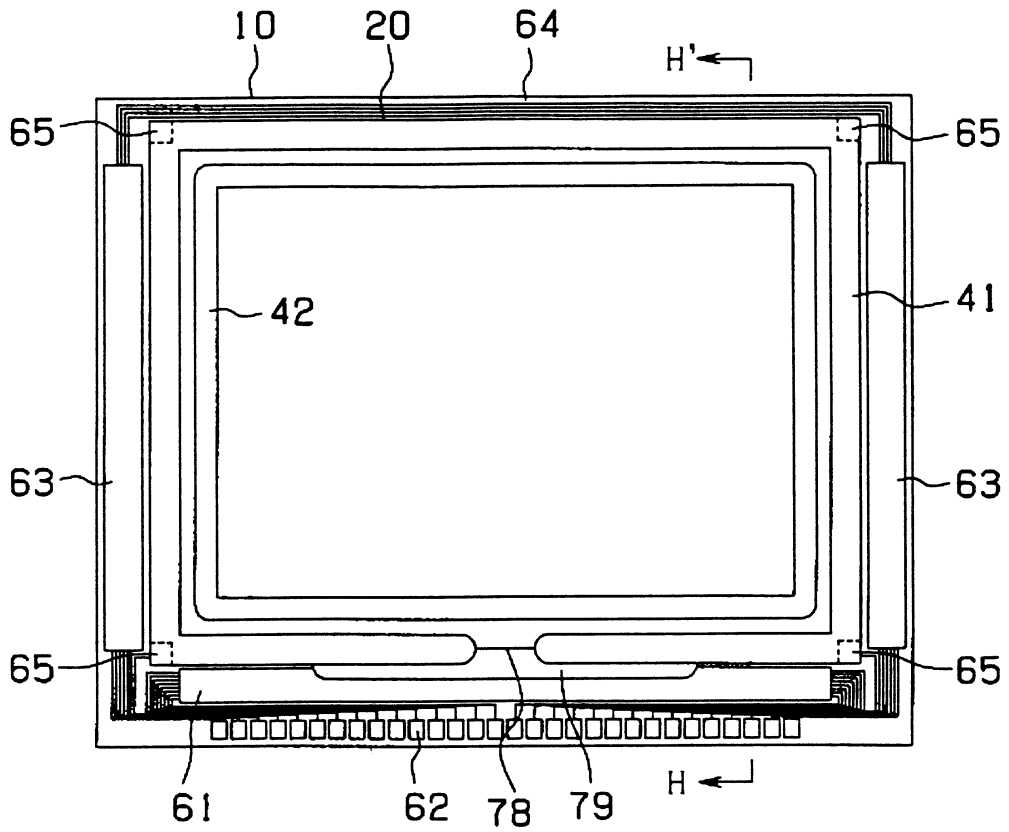


圖 3

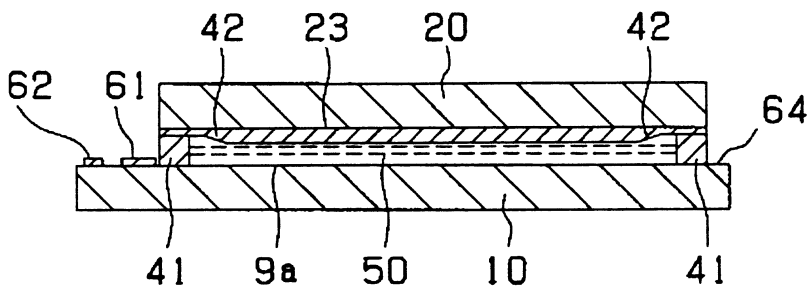


圖 4



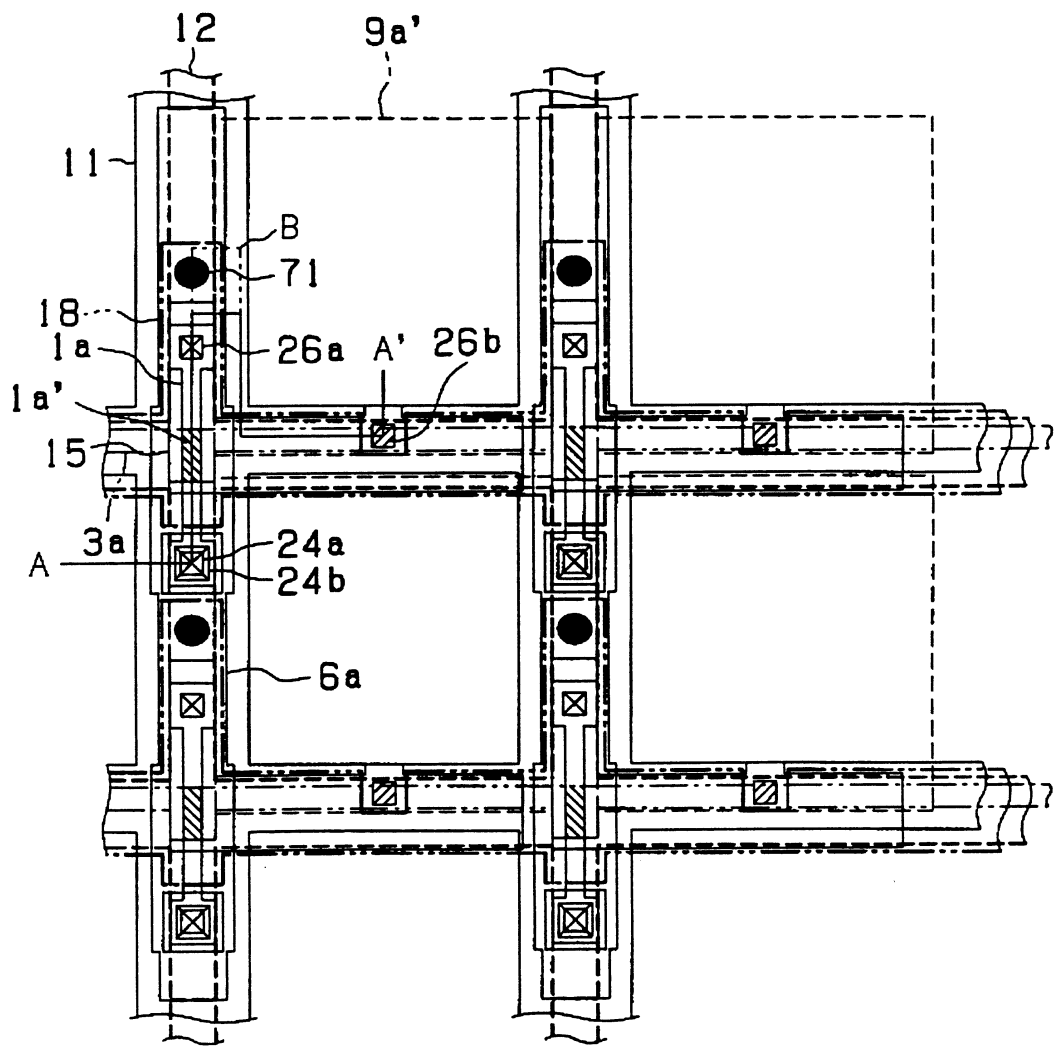


圖 5

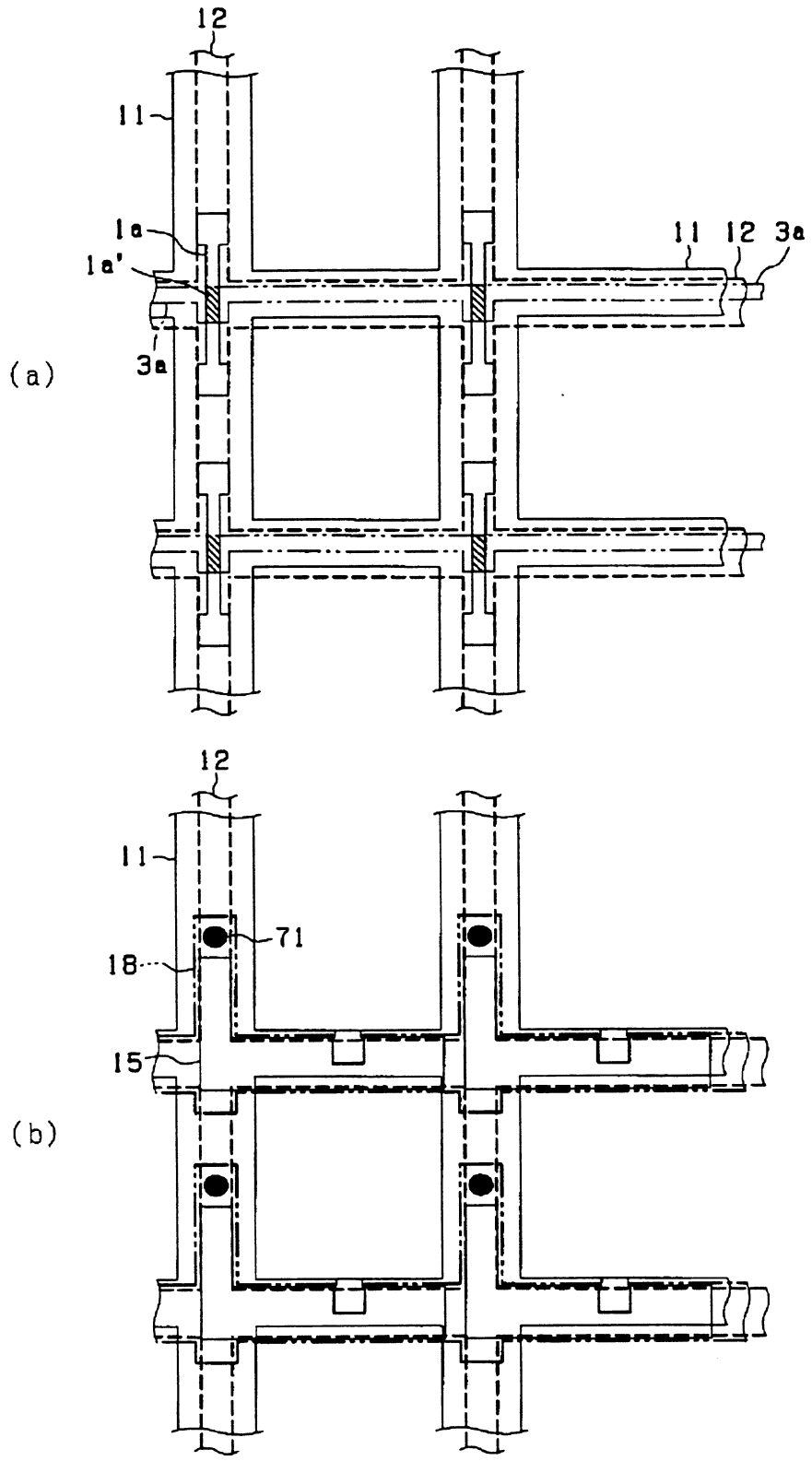


圖 6

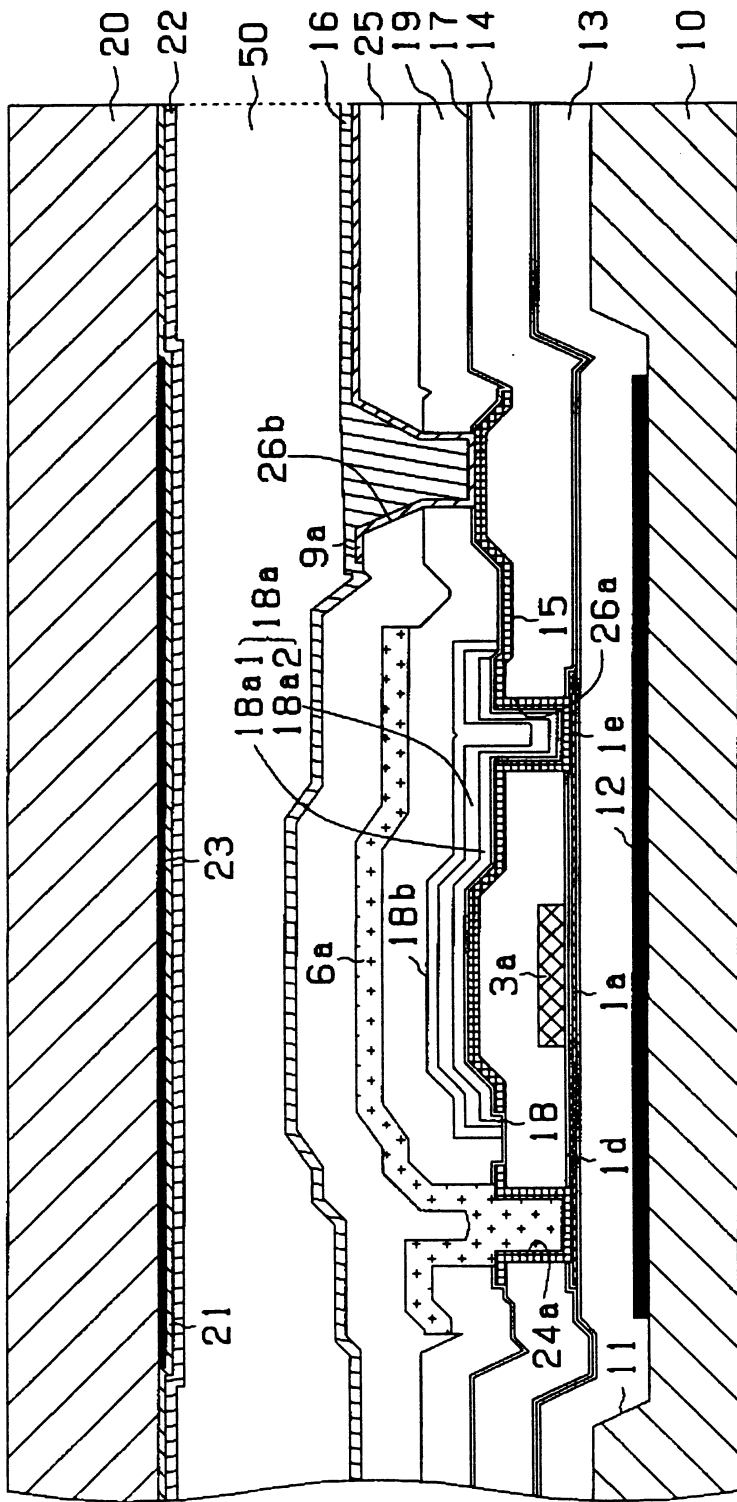


圖 7

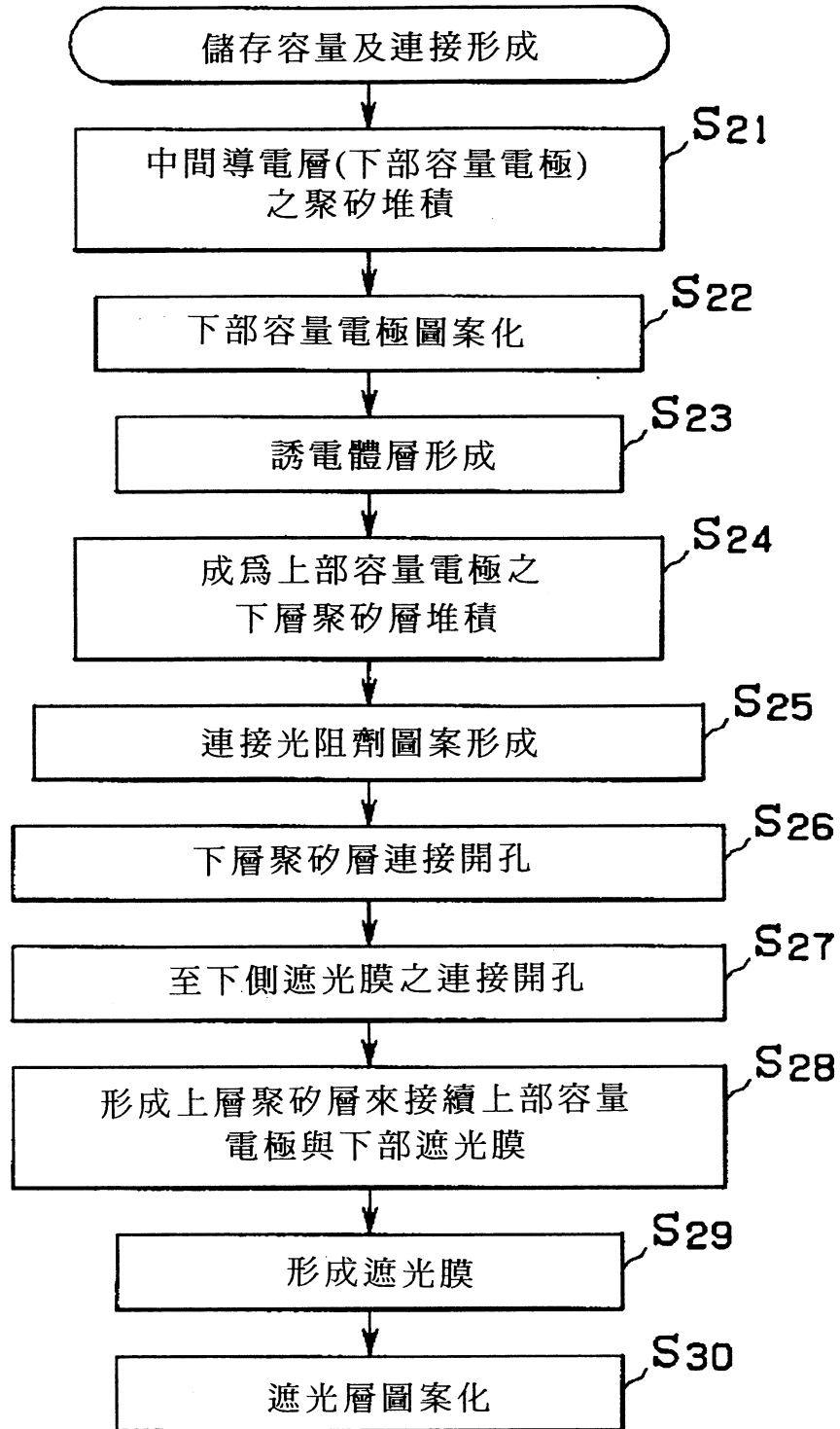


圖 8

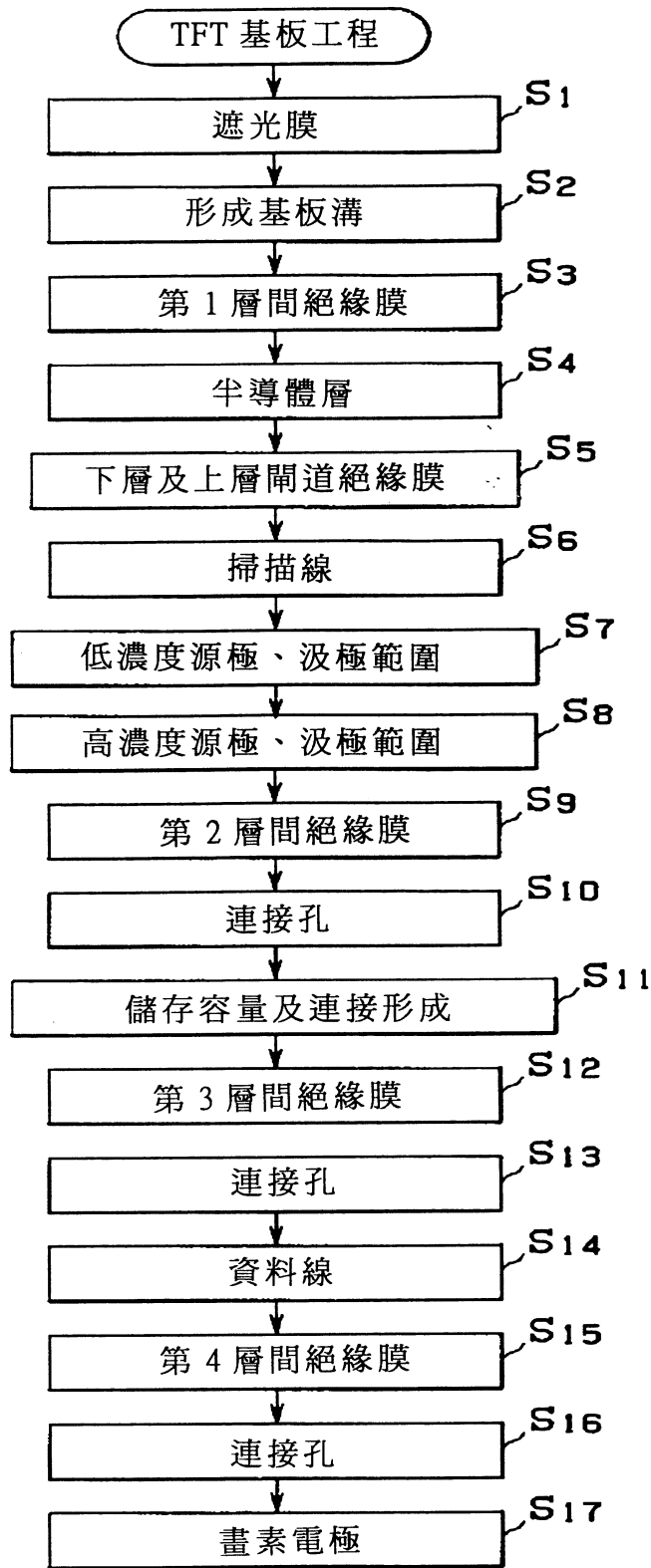


圖 9

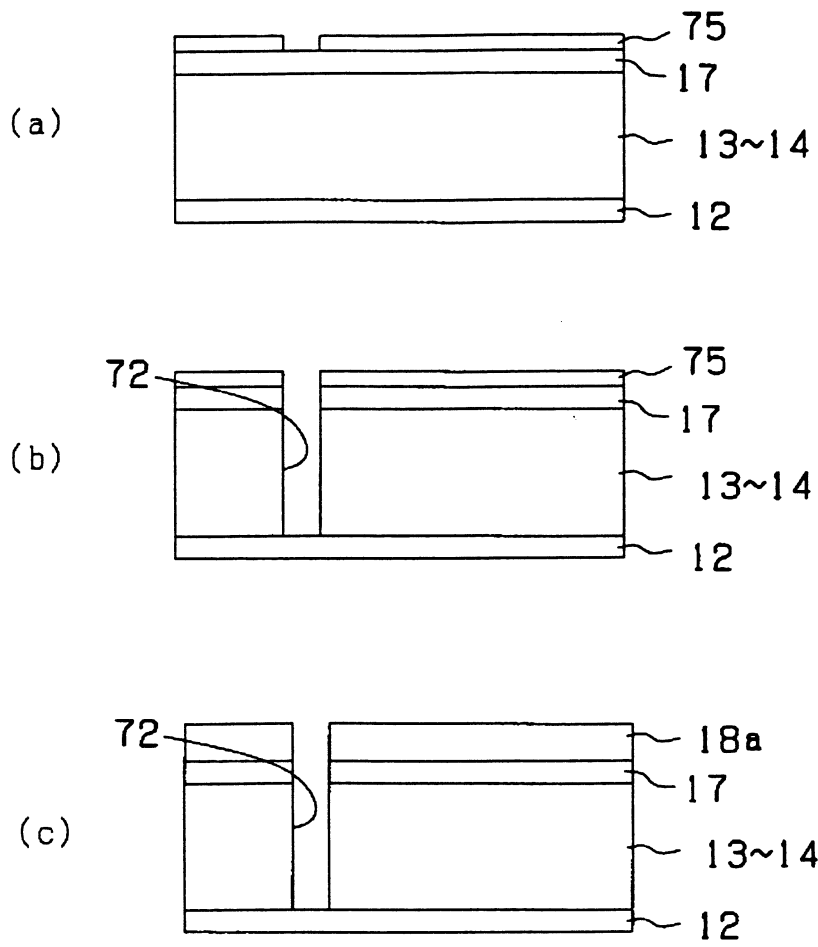


圖 10

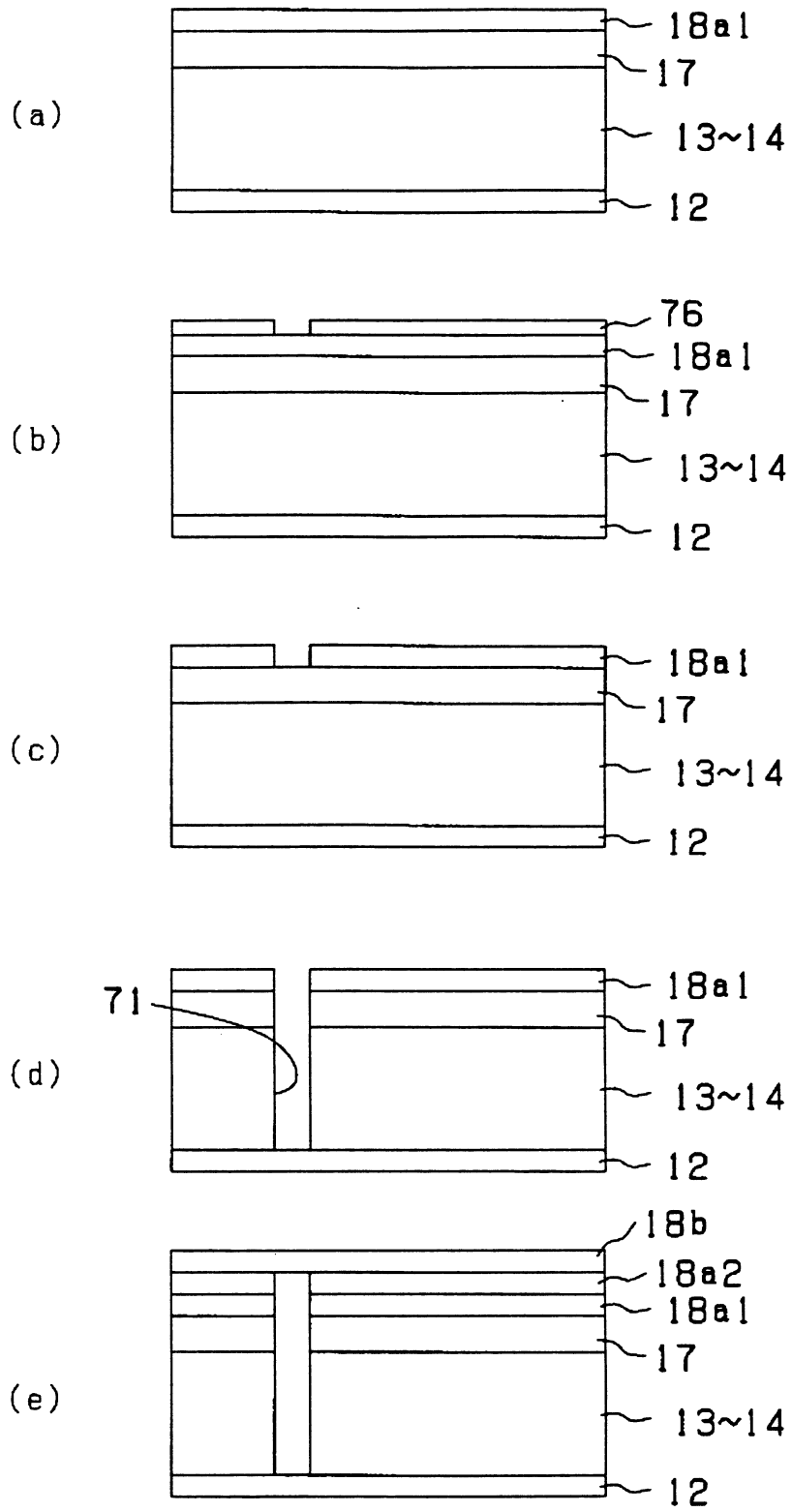


圖 11