



(12) 发明专利

(10) 授权公告号 CN 111427414 B

(45) 授权公告日 2021.09.07

(21) 申请号 201910024370.1

(22) 申请日 2019.01.10

(65) 同一申请的已公布的文献号
申请公布号 CN 111427414 A

(43) 申请公布日 2020.07.17

(73) 专利权人 中芯国际集成电路制造(上海)有限公司
地址 201203 上海市浦东新区张江路18号
专利权人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 肖艳 翁芊

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 薛异荣 吴敏

(51) Int.Cl.

H03M 1/38 (2006.01)

(56) 对比文件

- CN 105915218 A, 2016.08.31
- US 2016056832 A1, 2016.02.25
- CN 103152048 A, 2013.06.12
- CN 1599254 A, 2005.03.23
- CN 102043096 A, 2011.05.04
- CN 105049051 A, 2015.11.11

审查员 王佳玉

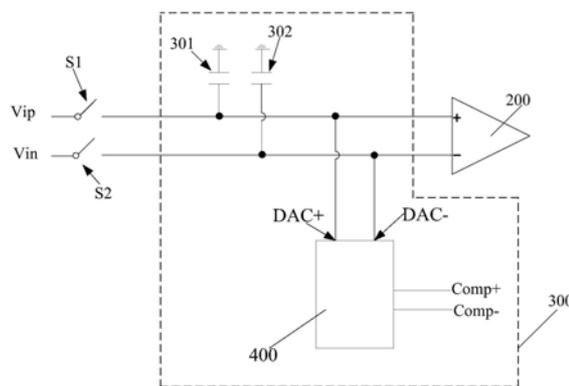
权利要求书3页 说明书10页 附图4页

(54) 发明名称

SAR-DAC器件及其工作方法

(57) 摘要

一种SAR-DAC器件及其工作方法, SAR-DAC器件包括:比较器,比较器有正输入端和负输入端; DAC核心单元, DAC核心单元包括:第一电容,第一电容有第一充放电端;第二电容,第二电容有第二充放电端;电流控制放电结构;电流控制放电结构包括若干个电流束电路单元,各个电流束电路单元均包括第一放电输入端和第二放电输入端,各第一放电输入端均与第一充放电端和正输入端连接,各第二放电输入端均与第二充放电端和输入端连接;电流控制放电结构适于采用至少部分数量的电流束电路单元通过第一放电输入端对第一电容放电,还适于采用至少部分数量的电流束电路单元通过第二放电输入端对第二电容放电。所述SAR-DAC器件的性能提高。



1. 一种SAR-DAC器件,其特征在于,包括:

比较器,所述比较器具有正输入端和负输入端;

DAC核心单元,所述DAC核心单元包括:第一电容,第一电容具有第一充放电端,第一充放电端与所述正输入端连接;第二电容,第二电容具有第二充放电端,第二充放电端与所述负输入端连接;电流控制放电结构;

所述电流控制放电结构包括若干个电流束电路单元,各个电流束电路单元均包括第一放电输入端和第二放电输入端,各第一放电输入端均与第一充放电端连接,各第二放电输入端均与第二充放电端连接;所述电流控制放电结构适于采用至少部分数量的电流束电路单元通过第一放电输入端对第一电容放电,所述电流控制放电结构还适于采用至少部分数量的电流束电路单元通过第二放电输入端对第二电容放电;

各个电流束电路单元均包括:第一控制单元、第二控制单元和电流束镜像单元,第一控制单元与电流束镜像单元连接,第二控制单元与电流束镜像单元连接,第一控制单元适于导通或断开第一放电输入端至电流束镜像单元的放电路径,第二控制单元适于导通或断开第二放电输入端至电流束镜像单元的放电路径。

2. 根据权利要求1所述的SAR-DAC器件,其特征在于,所述第一控制单元包括第一MOS晶体管,所述第一MOS晶体管的类型为P型,第一MOS晶体管的源极为第一放电输入端;

第二控制单元包括第二MOS晶体管,第二MOS晶体管的类型为P型,第二MOS晶体管的源极为第二放电输入端;

所述电流束镜像单元包括第三MOS晶体管,第三MOS晶体管的类型为N型,第三MOS晶体管的漏极分别与第一MOS晶体管的漏极以及第二MOS晶体管的漏极连接,第三MOS晶体管的源极接地。

3. 根据权利要求1所述的SAR-DAC器件,其特征在于,所述电流控制放电结构还包括:正温度系数电路单元、负温度系数电路单元和偏置输出单元,所述偏置输出单元包括第一输出单元、第二输出单元和第三输出单元,第一输出单元与负温度系数电路单元连接,第二输出单元与正温度系数电路单元连接,第一输出单元的输出端和第二输出单元的输出端均与第三输出单元的输入端连接,第一输出单元适于输出负温度系数电流至第三输出单元,第二输出单元适于输出正温度系数电流至第三输出单元;

各个电流束电路单元包括电流束镜像单元,各个电流束镜像单元均与所述第三输出单元的输入端连接,所述第三输出单元与所述电流束镜像单元为电流镜,所述第三输出单元中的电流适于镜像至各电流束镜像单元中。

4. 根据权利要求3所述的SAR-DAC器件,其特征在于,所述第一输出单元包括第四MOS晶体管,第四MOS晶体管的类型为P型,第四MOS晶体管的漏极为第一输出单元的输出端;

所述负温度系数电路单元包括第六MOS晶体管,第七MOS晶体管、第八MOS晶体管、第九MOS晶体管、第一双极型晶体管和第一电阻,第六MOS晶体管和第七MOS晶体管的类型为P型,第八MOS晶体管和第九MOS晶体管的类型为N型,第六MOS晶体管的源极、第七MOS晶体管的源极和第四MOS晶体管的源极连接至电源线,第六MOS晶体管的栅极、第七MOS晶体管的栅极、第七MOS晶体管的漏极、第九MOS晶体管的漏极和第四MOS晶体管的栅极连接在一起,第八MOS晶体管的栅极、第九MOS晶体管的栅极、第八MOS晶体管的漏极和第六MOS晶体管的漏极连接在一起,第八晶体管的源极与第一双极型晶体管的发射极连接,第一双极型晶体管的

基极与第一双极型晶体管的集电极连接,第九MOS晶体管的源极与第一电阻的一端连接,第一电阻的另一端和第一双极型晶体管的集电极连接至地线。

5. 根据权利要求3所述的SAR-DAC器件,其特征在于,所述第二输出单元包括第五MOS晶体管,第五MOS晶体管的类型为P型,第五MOS晶体管的漏极为第二输出单元的输出端;

所述正温度系数电路单元包括第十MOS晶体管,第十一MOS晶体管、第十二MOS晶体管、第十三MOS晶体管、第二双极型晶体管、第三双极型晶体管和第二电阻,第十MOS晶体管和第十一MOS晶体管的类型为P型,第十二MOS晶体管和第十三MOS晶体管的类型为N型,第十MOS晶体管的源极、第十一MOS晶体管的源极和第五MOS晶体管的源极连接至电源线,第十MOS晶体管的栅极、第十一MOS晶体管的栅极、第十一MOS晶体管的漏极、第十三MOS晶体管的漏极和第五MOS晶体管的栅极连接在一起,第十二MOS晶体管的栅极、第十三MOS晶体管的栅极、第十二MOS晶体管的漏极和第十MOS晶体管的漏极连接在一起,第十二MOS晶体管的源极与第二双极型晶体管的发射极连接,第二双极型晶体管的基极与第二双极型晶体管的集电极连接,第十三MOS晶体管的源极与第二电阻的一端连接,第二电阻的另一端和第三双极型晶体管的发射极连接,第三双极型晶体管的基极与第三双极型晶体管的集电极连接,第二双极型晶体管的集电极和第三双极型晶体管的集电极连接至地线。

6. 根据权利要求3所述的SAR-DAC器件,其特征在于,所述第三输出单元包括第十四MOS晶体管,第十四MOS晶体管的类型为N型,第十四MOS晶体管的漏极为第三输出单元的输入端,第十四MOS晶体管的栅极与第十四MOS晶体管的漏极连接,第十四MOS晶体管的源极接地线。

7. 根据权利要求1所述的SAR-DAC器件,其特征在于,还包括:第一采样开关,第一采样开关与第一充放电端连接,第一采样开关适于在开启的状态下输出第一采样信号;第二采样开关,第二采样开关与第二充放电端连接,第二采样开关适于在开启的状态下输出第二采样信号。

8. 根据权利要求1所述的SAR-DAC器件,其特征在于,所述第一电容的容值与所述第二电容的容值相等。

9. 根据权利要求1所述的SAR-DAC器件,其特征在于,第一电容还具有与第一充放电端相对的第一电容端,第一电容端接地;第二电容还具有与第二充放电端相对的第二电容端,第二电容端接地。

10. 一种SAR-DAC器件的工作方法,其特征在于,包括:

提供权利要求1至9任意一项所述的SAR-DAC器件;

进行第一次比较步骤至第N次比较步骤,在每次的比较步骤中,采用比较器对正输入端的电位和负输入端的电位进行比较,并输出比较结果,N为大于等于2的整数;

进行第一放电步骤至第N-1次放电步骤,在每次放电步骤中,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电;

进行第一次比较步骤后,进行第一次放电步骤;进行第j次放电步骤后,进行第j+1次比较步骤,j为大于等于1且小于等于N-1的整数;

其中,在所述电流控制放电结构中,电流束电路单元的总个数等于 2^{N-2} ;

在第j次放电步骤中,采用电流束电路单元工作的个数为 2^{N-j-1} 。

11. 根据权利要求10所述的SAR-DAC器件的工作方法,其特征在于,还包括:

进行采样步骤,所述采样步骤包括:对第一电容进行充电,使第一充放电端具有第一初始电位;对第二电容进行充电,使第二充放电端具有第二初始电位;

进行采样步骤后,进行第一次比较步骤至第N次比较步骤;

通过第一次比较步骤判断第一初始电位和第二初始电位的大小;

进行第一次赋值至第N次赋值,第i次比较步骤后,根据第i次比较步骤的比较结果进行第i次赋值,i为大于等于1且小于等于N的整数;

在第j次赋值后进行第j次放电步骤。

SAR-DAC器件及其工作方法

技术领域

[0001] 本发明涉及集成电路领域,尤其涉及一种SAR-DAC器件及其工作方法。

背景技术

[0002] 由于高质量多媒体以及高速通信额需要不断增长,数模转换器(DAC)的设计正在朝着高精度、高采样率以及低功耗的方向发展。其中,低功耗的设计对于便携式设备尤为重要。

[0003] 逐次逼近型数模转换器(SAR-DAC)是一种公认的低功耗的DAC结构。尽管逼近型模数转换器的速度一般、精度中等,但是由于逐次逼近型模数转换器的功耗低,能满足大部分的市场需要,所以逐次逼近型模数转换器的应用较为广泛。

[0004] 然而,现有的逐次逼近型模数转换器的性能还有待提高。

发明内容

[0005] 本发明解决的问题是提供一种SAR-DAC器件及其工作方法,以提高SAR-DAC器件的性能。

[0006] 为解决上述问题,本发明提供一种SAR-DAC器件,包括:比较器,所述比较器具有正输入端和负输入端;DAC核心单元,所述DAC核心单元包括:第一电容,第一电容具有第一充放电端,第一充放电端与所述正输入端连接;第二电容,第二电容具有第二充放电端,第二充放电端与所述负输入端连接;电流控制放电结构;所述电流控制放电结构包括若干个电流束电路单元,各个电流束电路单元均包括第一放电输入端和第二放电输入端,各第一放电输入端均与第一充放电端连接,各第二放电输入均与第二充放电端连接;所述电流控制放电结构适于采用至少部分数量的电流束电路单元通过第一放电输入端对第一电容放电,所述电流控制放电结构还适于采用至少部分数量的电流束电路单元通过第二放电输入端对第二电容放电。

[0007] 可选的,各个电流束电路单元均包括:第一控制单元、第二控制单元和电流束镜像单元,第一控制单元与电流束镜像单元连接,第二控制单元与电流束镜像单元连接,第一控制单元适于导通或断开第一放电输入端至电流束镜像单元的放电路径,第二控制单元适于导通或断开第二放电输入端至电流束镜像单元的放电路径。

[0008] 可选的,所述第一控制单元包括第一MOS晶体管,所述第一MOS晶体管的类型为P型,第一MOS晶体管的源极为第一放电输入端;第二控制单元包括第二MOS晶体管,第二MOS晶体管的类型为P型,第二MOS晶体管的源极为第二放电输入端;所述电流束镜像单元包括第三MOS晶体管,第三MOS晶体管的类型为N型,第三MOS晶体管的漏极分别与第一MOS晶体管的漏极以及第二MOS晶体管的漏极连接,第三MOS晶体管的源极接地。

[0009] 可选的,所述电流控制放电结构还包括:正温度系数电路单元、负温度系数电路单元和偏置输出单元,所述偏置输出单元包括第一输出单元、第二输出单元和第三输出单元,第一输出单元与负温度系数电路单元连接,第二输出单元与正温度系数电路单元连接,第

一输出单元的输出端和第二输出单元的输出端均与第三输出单元的输入端连接,第一输出单元适于输出负温度系数电流至第三输出单元,第二输出单元适于输出正温度系数电流至第三输出单元;各个电流束电路单元包括电流束镜像单元,各个电流束镜像单元均与所述第三输出单元的输入端连接,所述第三输出单元与所述电流束镜像单元为电流镜,所述第三输出单元中的电流适于镜像至各电流束镜像单元中。

[0010] 可选的,所述第一输出单元包括第四MOS晶体管,第四MOS晶体管的类型为P型,第四MOS晶体管的漏极为第一输出单元的输出端;所述负温度系数电路单元包括第六MOS晶体管,第七MOS晶体管、第八MOS晶体管、第九MOS晶体管、第一双极型晶体管和第一电阻,第六MOS晶体管和第七MOS晶体管的类型为P型,第八MOS晶体管和第九MOS晶体管的类型为N型,第六MOS晶体管的源极、第七MOS晶体管的源极和第四MOS晶体管的源极连接至电源线,第六MOS晶体管的栅极、第七MOS晶体管的栅极、第七MOS晶体管的漏极、第九MOS晶体管的漏极和第四MOS晶体管的栅极连接在一起,第八MOS晶体管的栅极、第九MOS晶体管的栅极、第八MOS晶体管的漏极和第六MOS晶体管的漏极连接在一起,第八晶体管的源极与第一双极型晶体管的发射极连接,第一双极型晶体管的基极与第一双极型晶体管的集电极连接,第九MOS晶体管的源极与第一电阻的一端连接,第一电阻的另一端和第一双极型晶体管的集电极连接至地线。

[0011] 可选的,所述第二输出单元包括第五MOS晶体管,第五MOS晶体管的类型为P型,第五MOS晶体管的漏极为第二输出单元的输出端;所述正温度系数电路单元包括第十MOS晶体管,第十一MOS晶体管、第十二MOS晶体管、第十三MOS晶体管、第二双极型晶体管、第三双极型晶体管和第二电阻,第十MOS晶体管和第十一MOS晶体管的类型为P型,第十二MOS晶体管和第十三MOS晶体管的类型为N型,第十MOS晶体管的源极、第十一MOS晶体管的源极和第五MOS晶体管的源极连接至电源线,第十MOS晶体管的栅极、第十一MOS晶体管的栅极、第十一MOS晶体管的漏极、第十三MOS晶体管的漏极和第五MOS晶体管的栅极连接在一起,第十二MOS晶体管的栅极、第十三MOS晶体管的栅极、第十二MOS晶体管的漏极和第十MOS晶体管的漏极连接在一起,第十二MOS晶体管的源极与第二双极型晶体管的发射极连接,第二双极型晶体管的基极与第二双极型晶体管的集电极连接,第十三MOS晶体管的源极与第二电阻的一端连接,第二电阻的另一端和第三双极型晶体管的发射极连接,第三双极型晶体管的基极与第三双极型晶体管的集电极连接,第二双极型晶体管的集电极和第三双极型晶体管的集电极连接至地线。

[0012] 可选的,所述第三输出单元包括第十四MOS晶体管,第十四MOS晶体管的类型为N型,第十四MOS晶体管的漏极为第三输出单元的输入端,第十四MOS晶体管的栅极与第十四MOS晶体管的漏极连接,第十四MOS晶体管的源极接地线。

[0013] 可选的,还包括:第一采样开关,第一采样开关与第一充放电端连接,第一采样开关适于在开启的状态下输出第一采样信号;第二采样开关,第二采样开关与第二充放电端连接,第二采样开关适于在开启的状态下输出第二采样信号。

[0014] 可选的,所述第一电容的容值与所述第二电容的容值相等。

[0015] 可选的,第一电容还具有与第一充放电端相对的第一电容端,第一电容端接地;第二电容还具有与第二充放电端相对的第二电容端,第二电容端接地。

[0016] 本发明还提供一种SAR-DAC器件的工作方法,包括:提供上述任意一项的SAR-DAC

器件;进行第一次比较步骤至第N次比较步骤,在每次的比较步骤中,采用比较器对正输入端的电位和负输入端的电位进行比较,并输出比较结果,N为大于等于2的整数;进行第一放电步骤至第N-1次放电步骤,在每次放电步骤中,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电;进行第一次比较步骤后,进行第一次放电步骤;进行第j次放电步骤后,进行第j+1次比较步骤,j为大于等于1且小于等于N-1的整数;其中,在所述电流控制放电结构中,电流束电路单元的总个数等于 2^{N-2} ;在第j次放电步骤中,采用电流束电路单元工作的个数为 2^{N-j-1} 。

[0017] 可选的,还包括:进行采样步骤,所述采样步骤包括:对第一电容进行充电,使第一充放电端具有第一初始电位;对第二电容进行充电,使第二充放电端具有第二初始电位;进行采样步骤后,进行第一次比较步骤至第N次比较步骤;通过第一次比较步骤判断第一初始电位和第二初始电位的大小;进行第一次赋值至第N次赋值,第i次比较步骤后,根据第i次比较步骤的比较结果进行第i次赋值,i为大于等于1且小于等于N的整数;在第j次赋值后进行第j次放电步骤。

[0018] 与现有技术相比,本发明的技术方案具有以下优点:

[0019] 本发明技术方案提供的SAR-DAC器件中,对第一电容和第二电容的电荷重新分配采用电流放电过程来实现,即采用采用电流控制放电结构单向放电的方式对第一电容和第二电容的电荷重新分配,每次放电后,对第一充放电端和第二充放电端的电位进行比较。通过使用电流控制放电结构,使SAR-DAC器件中电容矩阵大大减小,在版图上有巨大的优势,可以大大减小版图面积,降低成本。同时,能够采用较小容值的第一电容和第二电容,且采用电流放电的方式对第一电容和第二电容进行放电,因此提高了SAR-DAC器件的速度。综上,提高了SAR-DAC器件的性能。

[0020] 其次,由于电流控制放电结构包括正温度系数电路单元、负温度系数电路单元,而第一输出单元与负温度系数电路单元连接,第二输出单元与正温度系数电路单元连接,因此使第一输出单元能够输出负温度系数电流,第二输出单元能够输出正温度系数电流。第一输出单元的输出端和第二输出单元的输出端均与第三输出单元的输入端连接,第一输出单元输出负温度系数电流至第三输出单元,第二输出单元输出正温度系数电流至第三输出单元,因此第三输出单元的输入端的电流是一个与温度基本无关的电流。由于第三输出单元与所述电流束镜像单元为电流镜,因此能够将第三输出单元的输入端的电流镜像至电流束镜像单元中,使得电流束镜像单元中的电流束的电流是一个与温度基本无关的电流。电流束镜像单元中的电流束中电流相对稳定,因此提高了SAR-DAC器件的精度。

附图说明

[0021] 图1是一种SAR-DAC器件的结构示意图;

[0022] 图2是本发明一实施例中SAR-DAC器件的结构示意图;

[0023] 图3是图2中电流控制放电结构的电路示意图;

[0024] 图4为本发明一实施例中SAR-DAC器件的工作流程图;

[0025] 图5为本发明一实施例中SAR-DAC器件工作过程的示意图。

具体实施方式

[0026] 正如背景技术所述,现有技术形成的SAR-DAC器件的性能较差。

[0027] 一种SAR-DAC器件,请参考图1,包括:两路电路单元,每一个电路单元包括:比较器100、电容矩阵单元110和采样开关。

[0028] 由于采用多路的电路单元,因此使得在相同次数的比较下,使得电荷重新分配的次数减少,使得速度得到提高。

[0029] 然而,对于一个五位精度的数据,一个电容矩阵单元110中用到了64个90fF的电容,SAR-DAC器件中的版图面积大部分被电容矩阵单元110占据了。两路的电路单元使得SAR-DAC器件具有两个电容矩阵单元110,总的电容矩阵的面积更大,导致SAR-DAC器件中的版图面积较大,成本增加。

[0030] 在此基础上,本发明提供一种SAR-DAC器件,包括:比较器,所述比较器具有正输入端和负输入端;DAC核心单元,所述DAC核心单元包括:第一电容,第一电容具有第一充放电端,第一充放电端与所述正输入端连接;第二电容,第二电容具有第二充放电端,第二充放电端与所述负输入端连接;电流控制放电结构;所述电流控制放电结构包括若干个电流束电路单元,各个电流束电路单元均包括第一放电输入端和第二放电输入端,各第一放电输入端均与第一充放电端连接,各第二放电输入均与第二充放电端连接;所述电流控制放电结构适于采用至少部分数量的电流束电路单元通过第一放电输入端对第一电容放电,所述电流控制放电结构还适于采用至少部分数量的电流束电路单元通过第二放电输入端对第二电容放电。所述SAR-DAC器件的性能得到提高。

[0031] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0032] 本发明一实施例提供一种SAR-DAC器件,请结合参考图2和图3,包括:

[0033] 比较器200(参考图2),所述比较器200具有正输入端和负输入端;

[0034] DAC核心单元300(参考图2),所述DAC核心单元300包括:第一电容301,第一电容301具有第一充放电端,第一充放电端与所述正输入端连接;第二电容302,第二电容302具有第二充放电端,第二充放电端与所述负输入端连接;电流控制放电结构400;

[0035] 所述电流控制放电结构400包括若干个电流束电路单元A(参考图3),各个电流束电路单元A均包括第一放电输入端DAC+和第二放电输入端DAC-,各第一放电输入端DAC+均与第一充放电端连接,各第二放电输入均DAC-与第二充放电端连接;所述电流控制放电结构400适于采用至少部分数量的电流束电路单元A通过第一放电输入端DAC+对第一电容301放电,所述电流控制放电结构还适于采用至少部分数量的电流束电路单元通过第二放电输入端DAC-对第二电容302放电。

[0036] 本实施例中,以电流控制放电结构400包括8个电流束电路单元A为示例进行说明。在其他实施例中,电流控制放电结构还可以包括其他数量的电流束电路单元。在电流控制放电结构400中,每个电流束电路单元A的结构一致。

[0037] 各个电流束电路单元A均包括:第一控制单元A1、第二控制单元A2和电流束镜像单元A3,第一控制单元A1与电流束镜像单元A3连接,第二控制单元A2与电流束镜像单元A3连接,第一控制单元A1适于导通或断开第一放电输入端DAC+至电流束镜像单元A3的放电路径,第二控制单元A2适于导通或断开第二放电输入端DAC-至电流束镜像单元A3的放电路

径。

[0038] 所述第一控制单元A1具有第一控制端Comp⁺，第一控制端Comp⁺上施加电压，用于使第一控制单元A1导通或断开，进而控制第一放电输入端DAC⁺至电流束镜像单元A3的放电路径的导通或断开。

[0039] 所述第二控制单元A2具有第二控制端Comp⁻，第二控制端Comp⁻上施加电压，用于使第二控制单元A2导通或断开，进而控制第二放电输入端DAC⁻至电流束镜像单元A3的放电路径的导通或断开。

[0040] 本实施例中，所述第一控制单元A1包括第一MOS晶体管M1，所述第一MOS晶体管M1的类型为P型，第一MOS晶体管M1的源极为第一放电输入端DAC⁺，第一MOS晶体管M1的栅极为第一控制端Comp⁺。

[0041] 当导通第一MOS晶体管M1，第一放电输入端DAC⁺至电流束镜像单元A3的放电路径导通，电流控制放电结构400对第一电容301放电。

[0042] 本实施例中，第二控制单元A2包括第二MOS晶体管M2，第二MOS晶体管M2的类型为P型，第二MOS晶体管M2的源极为第二放电输入端DAC⁻，第二MOS晶体管M2的栅极为第二控制端Comp⁻。

[0043] 当导通第二MOS晶体管M2，第二放电输入端DAC⁻至电流束镜像单元A3的放电路径导通，电流控制放电结构400对第二电容302放电。

[0044] 本实施例中，所述电流束镜像单元A3包括第三MOS晶体管M3，第三MOS晶体管M3的类型为N型，第三MOS晶体管M3的漏极分别与第一MOS晶体管M1的漏极以及第二MOS晶体管M2的漏极连接，第三MOS晶体管M3的源极接地。

[0045] 所述电流控制放电结构400还包括：正温度系数电路单元B(参考图3)、负温度系数电路单元(参考图3)C和偏置输出单元D(参考图3)，所述偏置输出单元D包括第一输出单元D1、第二输出单元D2和第三输出单元D3，第一输出单元D1与负温度系数电路单元C连接，第二输出单元D2与正温度系数电路单元B连接，第一输出单元D1的输出端和第二输出单元D2的输出端均与第三输出单元D3的输入端连接，第一输出单元D1适于输出负温度系数电流至第三输出单元D3，第二输出单元D2适于输出正温度系数电流至第三输出单元D3。

[0046] 各个电流束电路单元A包括电流束镜像单元A3，各个电流束镜像单元A3均与所述第三输出单元D3的输入端连接。

[0047] 本实施例中，所述第一输出单元D1包括第四MOS晶体管M4，第四MOS晶体管M4的类型为P型，第四MOS晶体管M4的漏极为第一输出单元D1的输出端。

[0048] 本实施例中，所述负温度系数电路单元包括第六MOS晶体管M6，第七MOS晶体管M7、第八MOS晶体管M8、第九MOS晶体管M9、第一双极型晶体管Q1和第一电阻R1，第六MOS晶体管M6和第七MOS晶体管M7的类型为P型，第八MOS晶体管M8和第九MOS晶体管M9的类型为N型，第六MOS晶体管M6的源极、第七MOS晶体管M7的源极和第四MOS晶体管M4的源极连接至电源线VDD，第六MOS晶体管M6的栅极、第七MOS晶体管M7的栅极、第七MOS晶体管M7的漏极、第九MOS晶体管M9的漏极和第四MOS晶体管M4的栅极连接在一起，第八MOS晶体管M8的栅极、第九MOS晶体管M9的栅极、第八MOS晶体管M8的漏极和第六MOS晶体管M6的漏极连接在一起，第八晶体管M8的源极与第一双极型晶体管Q1的发射极连接，第一双极型晶体管Q1的基极与第一双极型晶体管Q1的集电极连接，第九MOS晶体管M9的源极与第一电阻R1的一端连接，第一电阻

R1的另一端和第一双极型晶体管Q1的集电极连接至地线VSS。

[0049] 第一双极型晶体管Q1的类型为NPN型或PNP型。

[0050] 本实施例中,所述第二输出单元D2包括第五MOS晶体管M5,第五MOS晶体管M5的类型为P型,第五MOS晶体管M5的漏极为第二输出单元D2的输出端。

[0051] 本实施例中,所述正温度系数电路单元B包括第十MOS晶体管M10,第十一MOS晶体管M11、第十二MOS晶体管M12、第十三MOS晶体管M13、

[0052] 第二双极型晶体管Q2、第三双极型晶体管Q3和第二电阻R2,第十MOS晶体管M10和第十一MOS晶体管M11的类型为P型,第十二MOS晶体管M12和第十三MOS晶体管M13的类型为N型,第十MOS晶体管M10的源极、第十一MOS晶体管M11的源极和第五MOS晶体管M5的源极连接至电源线VDD,第十MOS晶体管M10的栅极、第十一MOS晶体管M11的栅极、第十一MOS晶体管M11的漏极、第十三MOS晶体管M13的漏极和第五MOS晶体管M5的栅极连接在一起,第十二MOS晶体管M12的栅极、第十三MOS晶体管M13的栅极、第十二MOS晶体管M12的漏极和第十MOS晶体管M10的漏极连接在一起,第十二MOS晶体管M12的源极与第二双极型晶体管Q2的发射极连接,第二双极型晶体管Q2的基极与第二双极型晶体管Q2的集电极连接,第十三MOS晶体管M13的源极与第二电阻R2的一端连接,第二电阻R2的另一端和第三双极型晶体管Q3的发射极连接,第三双极型晶体管Q3的基极与第三双极型晶体管Q3的集电极连接,第二双极型晶体管Q2的集电极和第三双极型晶体管Q3的集电极连接至地线VSS。

[0053] 第二双极型晶体管Q2的类型为NPN型或PNP型,第三双极型晶体管Q3的类型为NPN型或PNP型。本实施例中,第二双极型晶体管Q2的类型为PNP型,第三双极型晶体管Q3的类型为PNP型。

[0054] 本实施例中,所述第三输出单元D3包括第十四MOS晶体管M14,第十四MOS晶体管M14的类型为N型,第十四MOS晶体管M14的漏极为第三输出单元D3的输入端,第十四MOS晶体管M14的栅极与第十四MOS晶体管M14的漏极连接,第十四MOS晶体管M14的源极接地线VSS。

[0055] 所述第三输出单元D3与所述电流束镜像单元A为电流镜,所述第三输出单元D3中的电流适于镜像至各电流束镜像单元A中。

[0056] 第三MOS晶体管M3的栅极与第三输出单元D3的输入端连接。本实施例中,第三MOS晶体管M3的栅极与第十四MOS晶体管M14的漏极连接。

[0057] 本实施例中,还包括:第一采样开关S1,第一采样开关S1与第一充放电端连接,第一采样开关S1适于在开启的状态下输出第一采样信号 V_{ip} ;第二采样开关S2,第二采样开关S2与第二充放电端连接,第二采样开关S2适于在开启的状态下输出第二采样信号 V_{ip} 。

[0058] 导通第一采样开关S1,为第一电容301充电;导通第二采样开关S2,为第二电容302充电。

[0059] 本实施例中,所述第一电容301的容值与所述第二电容302的容值相等。

[0060] 具体的,所述第一电容301的容值为 $0.3\text{pF}\sim 0.7\text{pF}$,如 0.5pF ,第二电容302的容值为 $0.3\text{pF}\sim 0.7\text{pF}$,如 0.5pF 。

[0061] 第一电容301还具有与第一充放电端相对的第一电容端,第一电容端接地;第二电容302还具有与第二充放电端相对的第二电容端,第二电容端接地。

[0062] 相应的,本实施例还提供一种SAR-DAC器件的工作方法,请参考图4,包括:

[0063] S01:提供上述的SAR-DAC器件;

[0064] S02:进行第一次比较步骤至第N次比较步骤,在每次的比较步骤中,采用比较器200对正输入端的电位和负输入端的电位进行比较,并输出比较结果,N为大于等于2的整数;

[0065] S03:进行第一放电步骤至第N-1次放电步骤,在每次放电步骤中,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电;进行第一次比较步骤后,进行第一次放电步骤;进行第j次放电步骤后,进行第j+1次比较步骤,j为大于等于1且小于等于N-1的整数;其中,在所述电流控制放电结构400中,电流束电路单元A的总个数等于 2^{N-2} ;在第j次放电步骤中,采用电流束电路单元A工作的个数为 2^{N-j-1} 。

[0066] 所述SAR-DAC器件的工作方法还包括:进行采样步骤,所述采样步骤包括:对第一电容301进行充电,使第一充放电端具有第一初始电位;对第二电容302进行充电,使第二充放电端具有第二初始电位;进行采样步骤后,进行第一次比较步骤至第N次比较步骤;通过第一次比较步骤判断第一初始电位和第二初始电位的大小;进行第一次赋值至第N次赋值,第i次比较步骤后,根据第i次比较步骤的比较结果进行第i次赋值,i为大于等于1且小于等于N的整数;在第j次赋值后进行第j次放电步骤;进行第j次放电步骤后,进行第j+1次比较步骤。

[0067] 需要说明的是,在进行第一放电步骤至第N-1次放电步骤中的任意一次放电中,使用的电流束电路单元A工作的个数依次递减。

[0068] 在电流束电路单元A工作时,也就是说,对于参与放电的电流束电路单元A,第一放电输入端DAC+至电流束镜像单元A3的放电路径导通,或者,第二放电输入端DAC-至电流束镜像单元A3的放电路径导通,第一放电输入端DAC+至电流束镜像单元A3的放电路径和第二放电输入端DAC-至电流束镜像单元A3的放电路径只能择一导通,不能同时导通。

[0069] 需要说明的是,在某些放电步骤中,可以部分电流束电路单元A参与放电,而部分电流束电路单元A不参与放电,对于不参与放电的电流束电路单元A,第一放电输入端DAC+至电流束镜像单元A3的放电路径断开,且第二放电输入端DAC-至电流束镜像单元A3的放电路径断开。

[0070] 需要说明的是,对于参与放电的电流束电路单元A,在各个电流束电路单元A中,均是第一放电输入端DAC+至电流束镜像单元A3的放电路径导通,或者,在各个电流束电路单元A中,均是第二放电输入端DAC-至电流束镜像单元A3的放电路径导通。

[0071] 本实施例中,以输出五位精度的数据为示例对SAR-DAC器件的工作过程进行说明。

[0072] 五位精度的数据从高位至低位依次为第五位dac4、第四位dac3、第三位dac2、第二位dac1和第一位dac0。

[0073] 参考图5,N=5,具体的工作过程包括:进行采样步骤,在采样步骤中,导通第一采样开关S1,对第一电容301进行充电,使第一充放电端具有第一初始电位 V_{ip} ;导通第二采样开关S2,对第二电容302进行充电,使第二充放电端具有第二初始电位 V_{in} ,之后断开第一采样开关S1和第二采样开关S2,第一充放电端保持第一初始电位 V_{ip} ,第二充放电端保持第二初始电位 V_{in} ;进行采样步骤后,进行第一次比较步骤,在第一次比较步骤中,比较器200对正输入端的电位和负输入端的电位进行比较,也就是比较器对第一初始电位 V_{ip} 和第二初始电位 V_{in} 进行比较,输出第一比较结果,例如, V_{ip} 大于 V_{in} ;第一次比较步骤后,进行第一次赋值,根据第一次比较步骤的第一比较结果进行第一次赋值,例如,由于 V_{ip} 大于 V_{in} ,因

此第五位dac4被置高,使第五位dac4等于1;第一次赋值后,进行第一次放电步骤,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电,例如, V_{ip} 大于 V_{in} 时,第一次放电步骤对第一充放电端进行放电,在第一次放电步骤中,采用电流束电路单元A工作的个数为8个,第一次放电步骤使第一充放电端保持的电位由第一初始电位 V_{ip} 降至第一中间电位 V_{z1} ,此时,第二充放电端保持第二初始电位 V_{in} ;第一次放电步骤后,进行第二次比较步骤,在第二次比较步骤中,比较器200对正输入端的电位和负输入端的电位进行比较,即比较器200对第一中间电位 V_{z1} 和第二初始电位 V_{in} 进行比较,输出第二比较结果,例如,第一中间电位 V_{z1} 大于第二初始电位 V_{in} ;第二次比较步骤后,进行第二次赋值,根据第二次比较步骤的第二比较结果进行第二次赋值,例如,由于第一中间电位大于第二初始电位 V_{in} ,因此第四位dac3被置高,使第四位dac3等于1;第二次赋值后,进行第二次放电步骤,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电,例如,第一中间电位 V_{z1} 大于第二初始电位 V_{in} 时,第二次放电步骤对第一充放电端进行放电,在第二次放电步骤中,采用电流束电路单元A工作的个数为4个,第二次放电步骤使第一充放电端保持的电位由第一中间电位 V_{z1} 降至第二中间电位 V_{z2} ,此时,第二充放电端保持第二初始电位 V_{in} ;第二次放电步骤后,进行第三次比较步骤,在第三次比较步骤中,比较器200对正输入端的电位和负输入端的电位进行比较,即比较器200对第二中间电位 V_{z2} 和第二初始电位 V_{in} 进行比较,输出第三比较结果,例如,第二中间电位小于第二初始电位 V_{in} ;第三次比较步骤后,进行第三次赋值,根据第三次比较步骤的第三比较结果进行第三次赋值,例如,由于第二中间电位 V_{z2} 小于第二初始电位 V_{in} ,因此第三位dac2被置低,使第三位dac2等于0;第三次赋值后,进行第三次放电步骤,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电,例如,第二中间电位 V_{z2} 小于第二初始电位 V_{in} 时,第三次放电步骤对第二充放电端进行放电,在第三次放电步骤中,采用电流束电路单元A工作的个数为2个,第三次放电步骤使第二充放电端保持的电位由第二初始电位 V_{in} 降至第三中间电位 V_{z3} ,此时,第一充放电端保持第二中间电位 V_{z2} ;第三次放电步骤后,进行第四次比较步骤,在第四次比较步骤中,比较器200对正输入端的电位和负输入端的电位进行比较,即比较器200对第二中间电位 V_{z2} 和第三中间电位 V_{z3} 进行比较,输出第四比较结果,例如,第二中间电位 V_{z2} 大于第三中间电位 V_{z3} ;第四次比较步骤后,进行第四次赋值,根据第四次比较步骤的第四比较结果进行第四次赋值,例如,由于第二中间电位 V_{z2} 大于第三中间电位 V_{z3} ,因此第二位dac1被置高,使第二位dac1等于1;第四次赋值后,进行第四次放电步骤,对第一充放电端的电位和第二充放电端的电位中较高的一端进行放电,例如,第二中间电位 V_{z2} 大于第三中间电位 V_{z3} 时,第四次放电步骤对第一充放电端进行放电,在第四次放电步骤中,采用电流束电路单元A工作的个数为1个,第四次放电步骤使第一充放电端保持的电位由第二中间电位 V_{z2} 降至第四中间电位 V_{z4} ,此时,第二充放电端保持第三中间电位 V_{z3} ;第四次放电步骤后,进行第五次比较步骤,在第五次比较步骤中,比较器200对正输入端的电位和负输入端的电位进行比较,即比较器200对第四中间电位 V_{z4} 和第三中间电位 V_{z3} 进行比较,输出第五比较结果,例如,第四中间电位 V_{z4} 小于第三中间电位 V_{z3} ;第五次比较步骤后,进行第五次赋值,根据第五次比较步骤的第五比较结果进行第五次赋值,例如,由于第四中间电位 V_{z4} 小于第三中间电位 V_{z3} ,因此第一位dac0被置低,使第一位dac0等于0。

[0074] 由于电流控制放电结构400包括正温度系数电路单元B、负温度系数电路单元C,而

第一输出单元D1与负温度系数电路单元C连接,第二输出单元D2与正温度系数电路单元B连接,因此使第一输出单元D1能够输出负温度系数电流 I_c ,第二输出单元D2能够输出正温度系数电流 I_p 。第一输出单元D1的输出端和第二输出单元D2的输出端均与第三输出单元D3的输入端连接,第一输出单元D1输出负温度系数电流 I_c 至第三输出单元D3,第二输出单元D2输出正温度系数电流 I_p 至第三输出单元D3,因此第三输出单元D3的输入端的电流 I_b 是一个与温度基本无关的电流。

[0075] 本实施例中,通过第四MOS晶体管M4的电流为 I_c ,通过第五MOS晶体管M5的电流为 I_p ,通过第十四晶体管M14的电流为 I_b 。

[0076] 具体的, $I_c = aV_{be(Q1)}/R1$,其中, a 为第一电流镜比例系数, $V_{be(Q1)}$ 为第一双极型晶体管Q1的基极-发射极电压。

[0077] 本实施例中, a =第四MOS晶体管M4的沟道宽长比与第七MOS晶体管M7的沟道宽长比的比值。

[0078] $I_p = b(V_{be(Q3)} - V_{be(Q2)})/R2$,其中, b 为第二电流镜比例系数, $V_{be(Q3)}$ 为第三双极型晶体管Q3的基极-发射极电压, $V_{be(Q2)}$ 为第二双极型晶体管Q2的基极-发射极电压。

[0079] 本实施例中, b =第五MOS晶体管M5的沟道宽长比与第十一MOS晶体管M11的沟道宽长比的比值。

[0080] $I_b = I_c + I_p$, I_b 是一个与温度基本无关的电流。

[0081] 由于第三输出单元D3与所述电流束镜像单元A3为电流镜,因此能够将 I_b 镜像至电流束镜像单元A3中,使得电流束镜像单元A3中的电流束的电流大小 $I_s = cI_b$, c 为第三电流镜比例系数, I_s 是一个与温度基本无关的电流。

[0082] 本实施例中, c =第三MOS晶体管M3的沟道宽长比与第十四MOS晶体管M14的沟道宽长比的比值。

[0083] 本实施例中,对第一电容和第二电容的电荷重新分配采用电流放电过程来实现,即采用采用电流控制放电结构400单向放电的方式对第一电容和第二电容的电荷重新分配,每次放电后,对第一充放电端和第二充放电端的电位进行比较。通过使用电流控制放电结构400,使SAR-DAC器件中电容矩阵大大减小,在版图上有巨大的优势,可以大大减小版图面积,降低成本。同时,能够采用较小容值的第一电容和第二电容,且采用电流放电的方式对第一电容和第二电容进行放电,因此提高了SAR-DAC器件的速度。其次,采用电流束镜像单元A3中的电流束的电流大小 I_s 为一个与温度基本无关的电流,电流束镜像单元A3中的电流束中电流相对稳定,因此提高了SAR-DAC器件的精度。

[0084] 本实施例中, $I_s = C * V_{refp-n} / (2^n T)$,其中, C 为第一电容的容值或第二电容的容值; V_{refp-n} 为SAR-DAC器件的参考电压差分值; n 为输出数据的位数,例如,对于五位精度的数据,则 n 等于5; T 为SAR-DAC的转换频率对应的周期。

[0085] 在一个具体的实施例中, $C = 0.5\text{pF}$, $V_{refp-n} = 1\text{V}$,SAR-DAC的转换频率为200MHz, $T = 0.5\text{纳秒}$, $n = 5$,则 $I_s = 31.25\text{微安}$, I_s 的变化在 $\pm 446\text{纳安}$, I_s 的误差在1.4%。

[0086] 本实施例中的SAR-DAC器件,能够在提高100倍速度的同时,使SAR-DAC器件中电容矩阵版图面积缩小到原来的1/32。

[0087] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所

限定的范围为准。

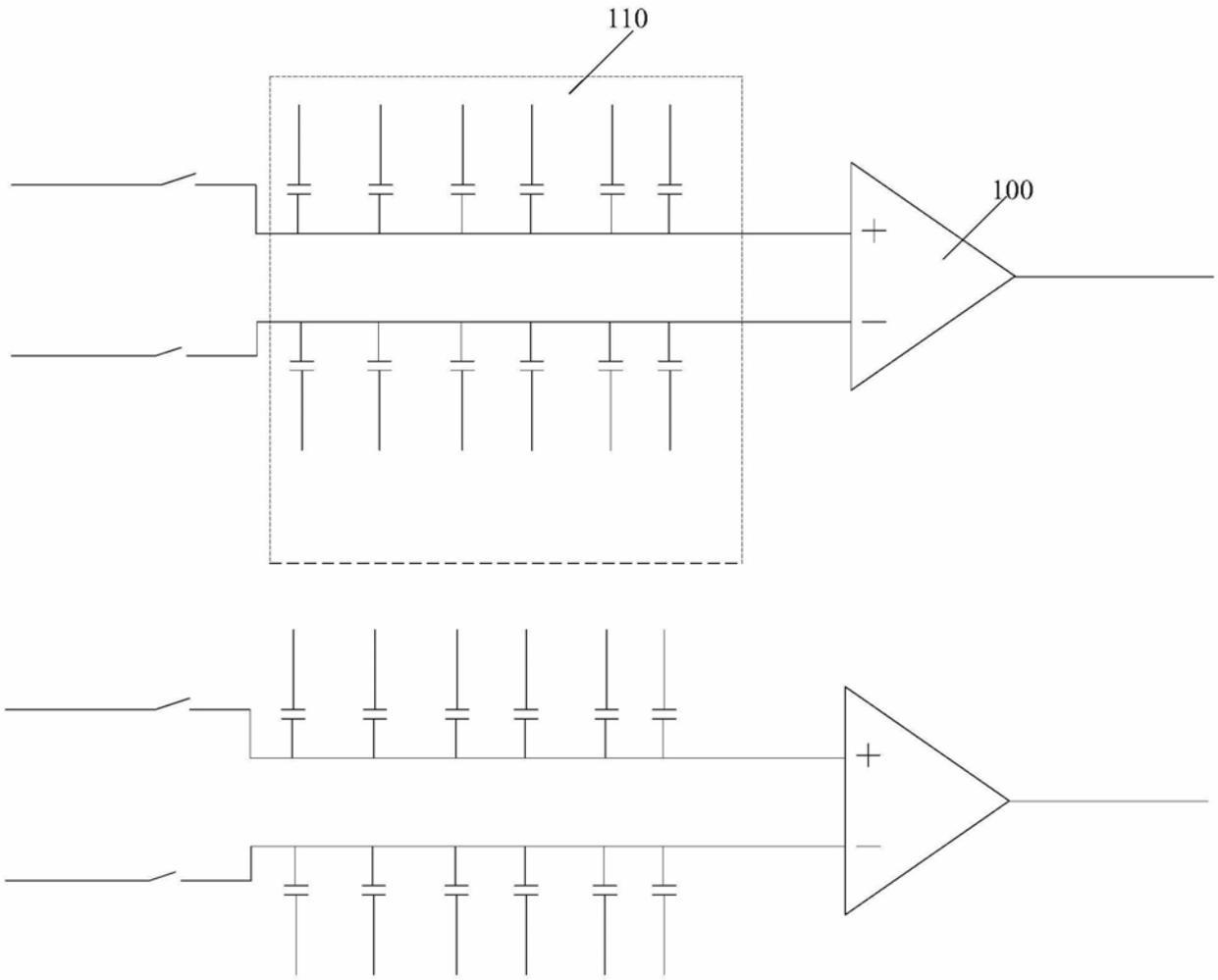


图1

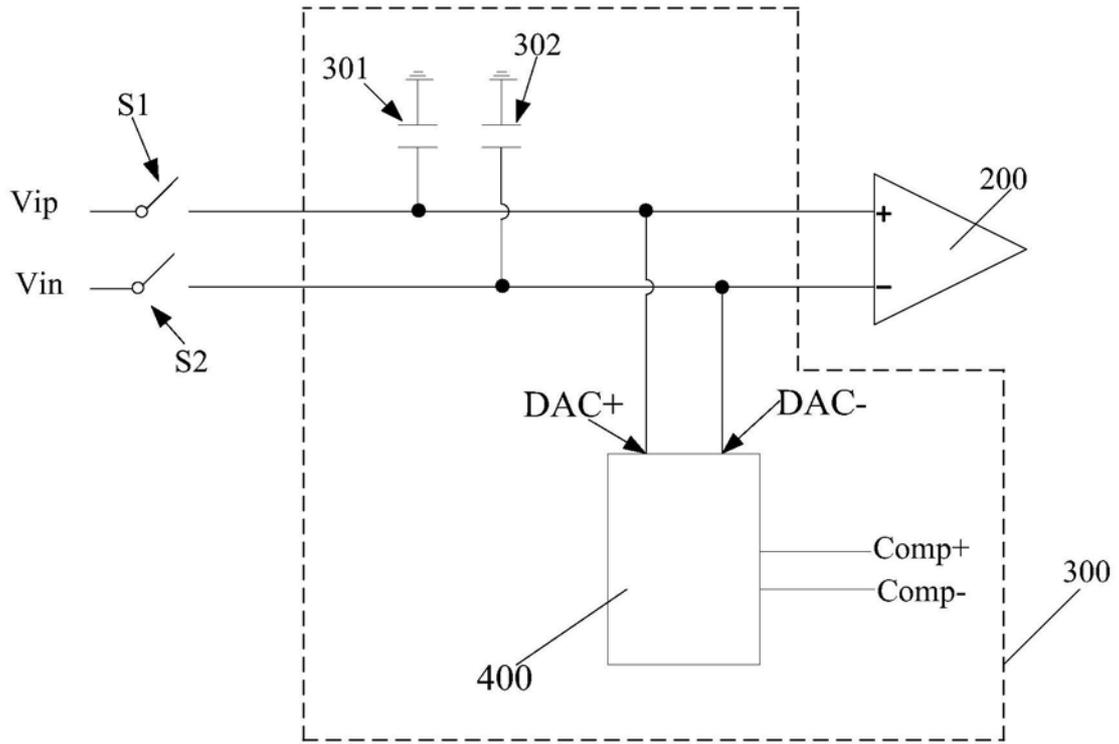


图2

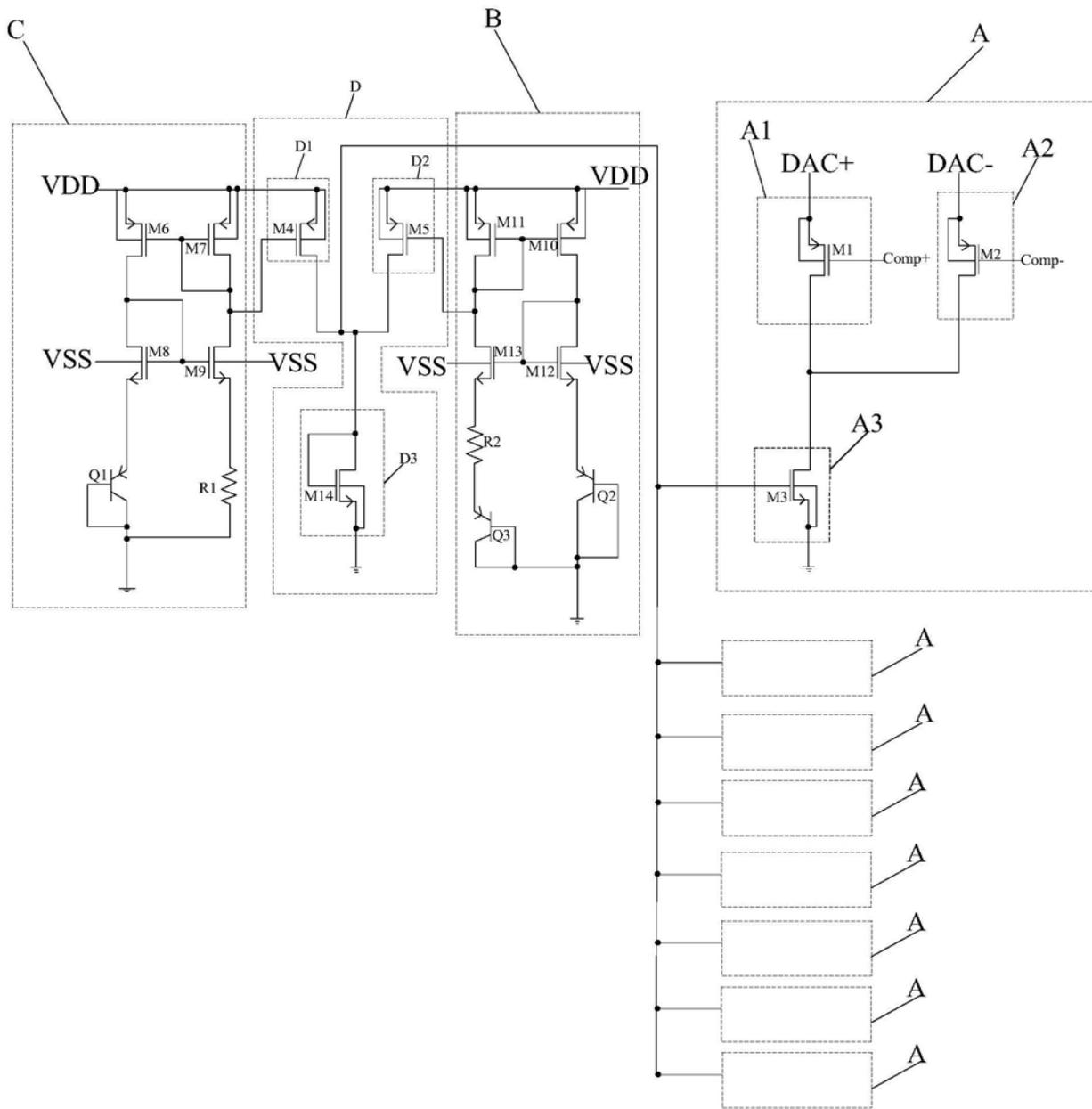


图3

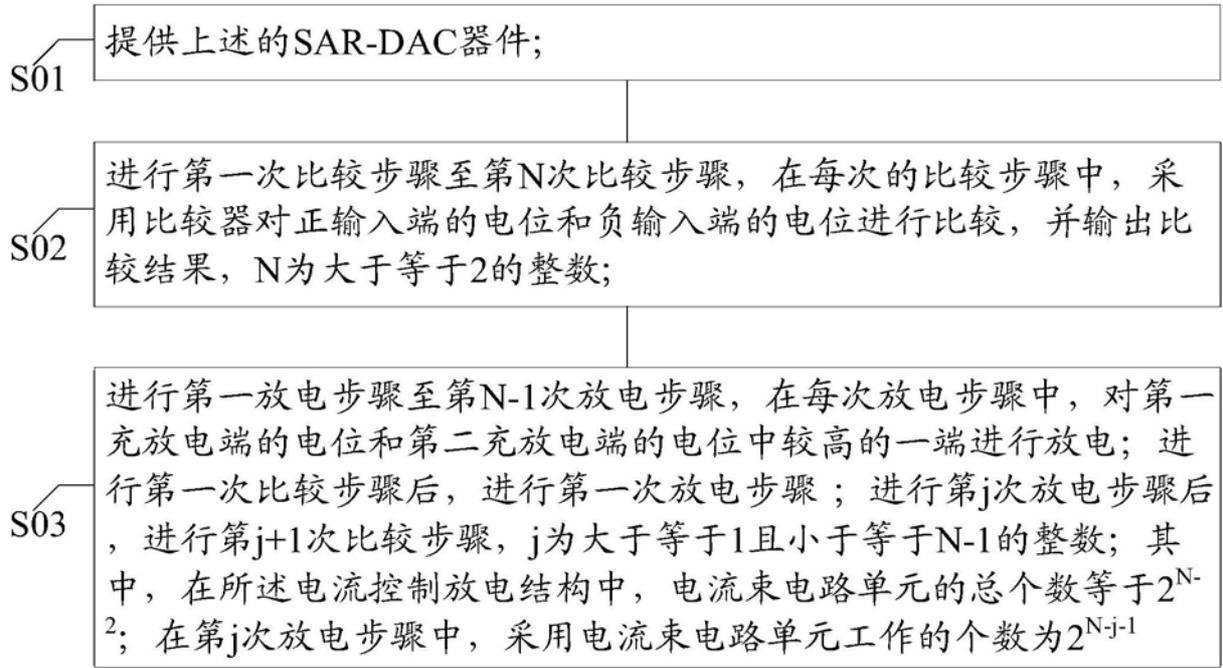


图4

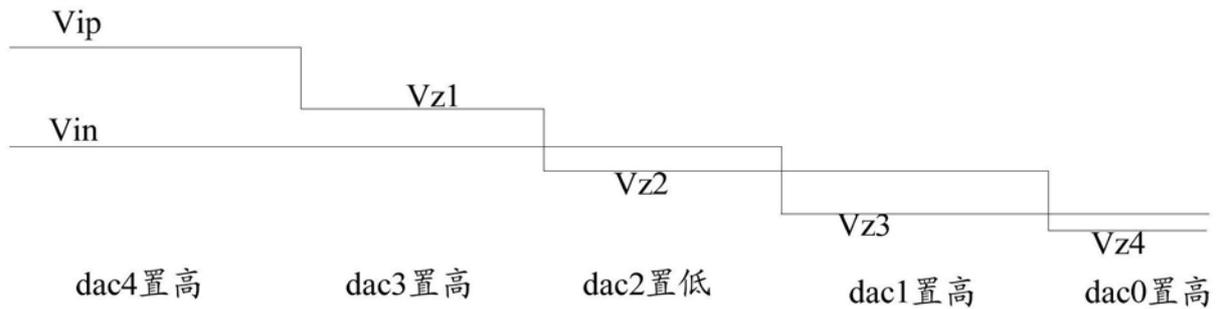


图5