



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월30일
(11) 등록번호 10-2494108
(24) 등록일자 2023년01월26일

- (51) 국제특허분류(Int. Cl.)
H01L 33/10 (2010.01) H01L 33/22 (2010.01)
H01L 33/38 (2010.01) H01L 33/42 (2010.01)
- (52) CPC특허분류
H01L 33/10 (2013.01)
H01L 33/22 (2013.01)
- (21) 출원번호 10-2018-0009891
- (22) 출원일자 2018년01월26일
심사청구일자 2021년01월26일
- (65) 공개번호 10-2018-0088311
- (43) 공개일자 2018년08월03일
- (30) 우선권주장
62/450,860 2017년01월26일 미국(US)
15/874,398 2018년01월18일 미국(US)
- (56) 선행기술조사문헌
JP2016032009 A
KR1020160148421 A*
US20160372630 A1
WO2016148424 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
에피스타 코퍼레이션
대만 신쑤 시티 사이언스-베이스드 인터스트리얼
파크 리-신 로드 21
- (72) 발명자
첸 차오-싱
대만 300 신쑤 사이언스-베이스드 인터스트리얼
파크 리-신 피프쓰 로드 5
왕 지아-웬
대만 300 신쑤 사이언스-베이스드 인터스트리얼
파크 리-신 피프쓰 로드 5
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 9 항

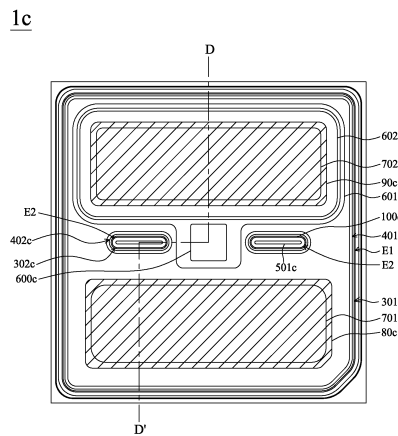
심사관 : 배성주

(54) 발명의 명칭 발광 디바이스

(57) 요약

발광 디바이스는 제1 반도체 층, 제1 반도체 층 상의 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이의 활성 층을 포함하는 반도체 구조체 - 제1 반도체 층은 제1 표면을 포함하고, 제2 반도체 층은 제1 에지 및 제1 면적(area)을 포함하고, 반도체 구조체는 제1 표면에 연결된 외측 벽을 포함함 - ; 및 제2 반도체 층 상에 위치되고 반사 층을 포함하는 반사 구조체 - 반사 층은 외측 에지 및 제2 면적을 포함함 - 를 포함하고, 제1 에지와 외측 에지 사이의 거리는 0 μ m 내지 10 μ m이고, 그리고/또는 반사 층의 제2 면적은 제2 반도체 층의 제1 면적의 80% 이상이다.

대표도 - 도1



(52) CPC특허분류

H01L 33/38 (2013.01)

H01L 33/42 (2013.01)

(72) 발명자

추양 웬-홍

대만 300 신쥬 사이언스-베이스드 인터스트리얼 파
크 리-신 피프쓰 로드 5

루 쟁-린

대만 300 신쥬 사이언스-베이스드 인터스트리얼 파
크 리-신 피프쓰 로드 5

청 주-야오

대만 300 신쥬 사이언스-베이스드 인터스트리얼 파
크 리-신 피프쓰 로드 5

명세서

청구범위

청구항 1

발광 디바이스로서,

제1 반도체 층, 상기 제1 반도체 층 상의 제2 반도체 층, 및 상기 제1 반도체 층과 상기 제2 반도체 층 사이의 활성 층을 포함하는 반도체 구조체 - 상기 제1 반도체 층은 제1 표면을 포함하고, 상기 제2 반도체 층은 제1 에지 및 제1 면적(area)을 포함하고, 상기 반도체 구조체는 상기 제1 표면에 연결된 외측 벽을 포함함 - ;

상기 제2 반도체 층 상에 위치되고 반사 층을 포함하는 반사 구조체 - 상기 반사 층은 외측 에지 및 제2 면적을 포함함 - ; 및

상기 제2 반도체 층 상의 제1 절연 구조체

를 포함하고;

상기 제1 에지와 상기 외측 에지 사이의 거리는 $0\mu\text{m}$ 내지 $10\mu\text{m}$ 이고, 그리고/또는 상기 반사 층의 상기 제2 면적은 상기 제2 반도체 층의 상기 제1 면적의 80% 이상이고,

상기 반사 층은 상기 제1 절연 구조체의 부분을 커버하는 것인, 발광 디바이스.

청구항 2

제1항에 있어서,

상기 반도체 구조체와 상기 반사 구조체 사이의 투명 전도성 층을 더 포함하는, 발광 디바이스.

청구항 3

제2항에 있어서,

상기 투명 전도성 층은, 상기 제1 에지에 대해 상기 외측 에지보다 상기 제1 에지에 더 가까우면서 상기 제1 에지를 넘어 연장되지 않는 제1 외측 에지를 포함하는 것인, 발광 디바이스.

청구항 4

제1항에 있어서,

상기 반사 구조체는 배리어 층을 더 포함하고, 상기 배리어 층은 상기 제1 절연 구조체의 부분을 커버하는 것인, 발광 디바이스.

청구항 5

제1항에 있어서,

상기 반사 구조체 및 상기 외측 벽을 커버하는 제2 절연 구조체를 더 포함하는, 발광 디바이스.

청구항 6

제2항에 있어서,

상기 투명 전도성 층은 상기 제1 절연 구조체를 커버하는 것인, 발광 디바이스.

청구항 7

제1항에 있어서,

상기 거리는 $2\mu\text{m}$ 내지 $8\mu\text{m}$ 인 것인, 발광 디바이스.

청구항 8

제1항에 있어서,

상기 반사 구조체 상의 제1 접촉 부분 및 제2 접촉 부분을 더 포함하고, 상기 제1 접촉 부분은 상기 제1 반도체 층에 전기적으로 연결되고 상기 제2 접촉 부분은 상기 제2 반도체 층에 전기적으로 연결되는 것인, 발광 디바이스.

청구항 9

제8항에 있어서,

상기 제1 접촉 부분 및 상기 제2 접촉 부분 상의 제3 절연 구조체를 더 포함하는, 발광 디바이스.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 출원은 발광 디바이스의 구조체에 관한 것으로, 더 구체적으로는, 반도체 스택 및 그 반도체 스택 상의 반사

층을 포함하는 발광 디바이스에 관한 것이다.

배경 기술

[0002] 발광 다이오드(Light-Emitting Diode)(LED)는 낮은 전력 소비, 낮은 발열, 긴 작동 수명, 내충격성, 작은 볼륨, 빠른 반응 속도 및 양호한 광전 특성, 예컨대 안정된 방출 파장의 이점들을 갖는 솔리드 스테이트 반도체 발광 디바이스이다. 그에 따라, 발광 다이오드들은 가전 제품들, 장비 표시기들, 및 광전자 제품들에 널리 사용된다.

발명의 내용

[0003] 발광 디바이스는 제1 반도체 층, 제1 반도체 층 상의 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이의 활성 층을 포함하는 반도체 구조체 - 제1 반도체 층은 제1 표면을 포함하고, 제2 반도체 층은 제1 예지 및 제1 면적(area)을 포함하고, 반도체 구조체는 제1 표면에 연결된 외측 벽을 포함함 - ; 및 제2 반도체 층 상에 위치되고 반사 층을 포함하는 반사 구조체 - 반사 층은 외측 예지 및 제2 면적을 포함함 - 를 포함하고, 제1 예지와 외측 예지 사이의 거리는 0 μ m 내지 10 μ m이고, 그리고/또는 반사 층의 제2 면적은 제2 반도체 층의 제1 면적의 80% 이상이다.

[0004] 발광 디바이스는 표면 및 그 표면에 대해 경사진 측벽을 포함하는 반도체 구조체로서, 반도체 구조체는 제1 반도체 층, 그 제1 반도체 층 상의 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이의 활성 층을 포함하는, 그 반도체 구조체; 반도체 구조체의 측벽 및 표면 상에 위치한 제1 절연 구조체; 및 제1 반사 부분 및 그 제1 반사 부분으로부터 분리된 제2 반사 부분을 포함하는 반사 층으로서, 제1 반사 부분은 제2 반도체 층 상에 위치되고 제2 반사 부분은 제1 절연 구조체 상에 위치되는, 그 반사 층을 포함한다.

[0005] 발광 디바이스는 제1 반도체 층, 그 제1 반도체 층 상의 제2 반도체 층, 및 제1 반도체 층과 제2 반도체 층 사이의 활성 층을 포함하는 반도체 구조체로서, 반도체 구조체는 제1 반도체 층을 노출시키는 노출된 부분을 포함하는, 그 반도체 구조체; 및 반도체 구조체를 커버하는 제2 절연 층; 그 제2 절연 층 상의 접촉 층; 및 제2 반도체 층 및 노출된 부분 상에, 그리고 제1 반도체 층과 접촉 층 사이에 위치한 투명 전도성 층을 포함한다.

도면의 간단한 설명

- [0006] 도 1은 본 출원의 실시예에 따른 발광 디바이스(1c)의 상면도(top view)를 예시한다.
- 도 2는 본 출원의 실시예에 따른 도 1의 라인 D-D'를 따라 취득된 발광 디바이스(1c)의 단면도를 예시한다.
- 도 3a 내지 도 3c는 각각 본 출원의 실시예들에 따른 발광 디바이스의 투명 전도성 층 및 반사 층의 부분 단면도를 예시한다.
- 도 3d는 본 출원의 실시예에 따른 발광 디바이스의 부분 단면도를 예시한다.
- 도 4a는 샘플들 A 및 B의 특성들을 열거한 표를 예시한다.
- 도 4b는 샘플들 C 내지 F의 특성들을 열거한 표를 예시한다.
- 도 5는 본 출원의 실시예에 따른 발광 디바이스(2c)의 상면도를 예시한다.
- 도 6a 내지 도 6i는 본 출원의 실시예들에 따른 발광 디바이스들(1c, 2c)의 프로세스 플로우들을 예시한다.
- 도 7은 본 출원의 실시예에 따른 도 5의 라인 E-E'를 따라 취득된 발광 디바이스(2c)의 단면도를 예시한다.
- 도 8은 본 출원의 실시예에 따른 발광 장치(3)의 개략도를 예시한다.
- 도 9는 본 출원의 실시예에 따른 발광 장치(4)의 구조체 다이어그램을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0007] 본 출원의 실시예가 상세히 예시되고, 도면들에 플로팅된다. 동일하거나 유사한 부분은 도면들 및 명세서에서 동일하거나 유사한 번호로 예시된다.

[0008] 도 1은 본 출원의 실시예에 따른 발광 디바이스(1c)의 상면도를 예시한다. 도 2는 도 1의 라인 D-D'를 따라 취득된 발광 디바이스(1c)의 단면도이다. 도 6a, 도 6b, 도 6c, 도 6d, 도 6e, 도 6g 내지 도 6i는 본 출원의

실시예에 따른 발광 디바이스(1c)의 프로세스 플로우를 예시한다. 본 실시예에 개시된 발광 디바이스(1c)는 플립 칩 발광 다이오드이다. 발광 디바이스(1c)는 기판(11c) 및 그 기판(11c) 상의 하나 이상의 반도체 구조체들(1000c)을 포함한다. 하나 이상의 반도체 구조체들(1000c) 각각은 제1 반도체 층(101c), 제2 반도체 층(102c), 및 제1 반도체 층(101c)과 제2 반도체 층(102c) 사이의 활성 층(103c)을 포함하는 반도체 스택(10c)을 포함한다. 활성 층(103c) 및 제2 반도체 층(102c)은 적층 방향을 따라 제1 반도체 층(101c) 상에 순서대로 적층된다. 반도체 구조체(1000c)는 제1 반도체 층(101c)의 부분을 노출시키는 노출된 부분을 포함한다. 도 2 및 도 6a에 도시된 바와 같이, 제2 반도체 층(102c) 및 활성 층(103c)의 부분들이 제거되어 제1 반도체 층(101c)의 하나 이상의 제2 표면(1012c) 및 제1 표면(1011c)을 포함하는 노출된 부분을 노출시킨다. 일 실시예에서, 제1 표면(1011c)은 하나 이상의 반도체 구조체들(1000c)의 외측 외주부에 있다. 제1 표면(1011c)은 기판(11c) 상에 남아 있는 활성 층(103c) 및 제2 반도체 층(102c)을 둘러싸고 있다. 도 6a는 반도체 구조체들(1000c)의 상면도를 예시한다. 본 실시예에서, 발광 디바이스(1c)는 하나의 반도체 구조체(1000c)만을 포함하고 제1 반도체 층(101c)의 제1 표면(1011c)은 제2 반도체 층(102c) 및 활성 층(103c)을 둘러싸고 있다. 게다가, 본 실시예에서, 제1 표면(1011c)은 실질적으로 반도체 구조체(1000c)의 외주부 영역에 위치된다. 다른 실시예에서, 발광 디바이스(1c)는 반도체 구조체(1000c)의 외측 외주부를 둘러싸도록 기판(11c)의 노출된 표면(11s)을 더 포함한다. 발광 디바이스(1c)는 제2 반도체 층(102c) 및 활성 층(103c)을 관통하여 제1 반도체 층(101c)의 하나 이상의 제2 표면들(1012c)을 노출시키는 비아들(100c)과 같은 하나 이상의 개구부들을 더 포함한다. 일 실시예에서, 다수의 반도체 구조체들(1000c)은 트랜치들과 같은 하나 이상의 개구부들에 의해 분리되고, 제1 반도체 층(101c)에 의해 서로 연결된다. 일 실시예(도시되지 않음)에서, 다수의 반도체 구조체들(1000c)은 제1 반도체 층(101c)이 연결되는 일 없이 하나 이상의 개구부들에 의해 물리적으로 분리된다. 일 실시예에서, 발광 디바이스(1c)는 하나 이상의 반도체 구조체들(1000c) 상의 제1 절연 구조체(20c), 투명 전도성 층(30c), 반사 층(40c) 또는 배리어 층(41c)을 포함하는 반사 구조체, 제2 절연 구조체(50c), 접촉 층(60c), 제3 절연 구조체(70c), 제1 패드(80c) 및 제2 패드(90c)를 더 포함할 수 있다.

[0009] 본 출원의 실시예에서, 기판(11c)은 패터닝된 표면을 포함한다. 패터닝된 표면은 복수의 돌기(projection)들을 포함한다. 돌기의 형상은 테이퍼 또는 콘을 포함한다. 돌기는 발광 디바이스의 광 추출 효율을 향상시킬 수 있다. 본 출원의 실시예에서, 기판(11c)은, 알루미늄 갈륨 인듐 인화물(AlGaInP)을 성장시키기 위한 갈륨 비소(GaAs) 웨이퍼, 사파이어(Al₂O₃) 웨이퍼, 갈륨 질화물(GaN) 또는 인듐 갈륨 질화물(InGaN)을 성장시키기 위한 규소 탄화물(SiC) 웨이퍼 또는 갈륨 질화물(GaN) 웨이퍼와 같은 성장 기판일 수 있다. 반도체 스택(10c)은 금속 유기 화학 기상 증착(metal organic chemical vapor deposition)(MOCVD), 분자선 에피택시(molecular beam epitaxy)(MBE), 물리 기상 증착(physical vapor deposition)(PVD), 수소화물 기상 증착(hydride vapor deposition)(HVPE), 또는 이온 도금, 예컨대 스퍼터링 또는 증발에 의해 기판(11c) 상에 III족 질화물계 화합물 반도체로 형성될 수 있다. 더욱이, 기판(11c)과 반도체 스택(10c) 사이의 격자 불일치를 완화시키도록 반도체 스택(10c)을 형성하기 전에 버퍼 구조체(도시되지 않음)가 형성될 수 있고, GaN계 재료 층, 예컨대 갈륨 질화물 또는 알루미늄 갈륨 질화물, 또는 AlN계 재료 층, 예컨대 알루미늄 질화물로 형성될 수 있다. 버퍼 구조체는 단층(single layer) 또는 다수의 층들일 수 있다. 버퍼 구조체는 금속 유기 화학 기상 증착(MOCVD), 분자선 에피택시(MBE) 또는 물리 기상 증착(PVD)에 의해 형성될 수 있다. PVD 방법은 스퍼터링 방법, 예를 들어, 반응성 스퍼터링 방법, 또는 e-빔 증발 방법 또는 열 증발 방법과 같은 증발 방법을 포함한다. 일 실시예에서, 버퍼 구조체는 AlN 버퍼 층을 포함하고 스퍼터링 방법에 의해 형성된다. AlN 버퍼 층은 패터닝된 표면을 갖는 성장 기판 상에 형성된다. 스퍼터링 방법은 균일성이 높은 조밀한 버퍼 층을 생성할 수 있고, 그에 따라 AlN 버퍼 층이 기판(11c)의 패터닝된 표면 상에 순응적으로 퇴적될 수 있다.

[0010] 본 출원의 실시예에서, 반도체 스택(10c)은 발광 각도 또는 파장 분포와 같은 광학 특성들, 및 순방향 전압 또는 역방향 전류와 같은 전기적 특성들을 포함한다. 본 출원의 실시예에서, 제1 반도체 층(101c) 및 제2 반도체 층(102c), 예컨대 클래딩 층(cladding layer) 또는 밀폐 층(confinement layer)은 전자들 또는 정공들을 제공하기 위해 상이한 전도성 타입들, 전기적 특성들, 극성들, 또는 도핑 요소들을 갖는다. 예를 들어, 제1 반도체 층(101c)은 n-타입 반도체이고 제2 반도체 층(102c)은 p-타입 반도체이다. 활성 층(103c)은 제1 반도체 층(101c)과 제2 반도체 층(102c) 사이에 형성된다. 전자들 및 정공들은 전류 구동 하에서 활성 층(103c)에서 결합하여 전기 에너지를 광 에너지로 변환한 후에 활성 층(103c)으로부터 광이 방출된다. 발광 디바이스(1c)로부터 방출된 광의 파장은 반도체 스택(10c) 내의 하나 이상의 층들의 물리적 및 화학적 조성을 변경함으로써 조정된다. 반도체 스택(10c)의 재료는 III-V족 반도체 재료, 예컨대 Al_xIn_yGa_(1-x-y)N 또는 Al_xIn_yGa_(1-x-y)P를 포함하고, 여기서 0 ≤ x, y ≤ 1; 그리고 (x+y) ≤ 1이다. 활성 층(103c)의 재료에 따라, 반도체 스택(10c)의 재료가 AlInGaP

계 재료일 때, 610nm 내지 650nm의 파장을 갖는 적색 광 또는 550nm 내지 570nm의 파장을 갖는 황색 광이 방출될 수 있다. 반도체 스택(10c)의 재료가 InGaN계 재료일 때, 400nm 내지 490nm의 파장을 갖는 청색 또는 짙은 청색 광 또는 490nm 내지 550nm의 파장을 갖는 녹색 광이 방출될 수 있다. 반도체 스택(10c)의 재료가 AlGaIn계 재료일 때, 400nm 내지 250nm의 파장을 갖는 UV 광이 방출될 수 있다. 활성 층(103c)은 단일 헤테로 구조체(single heterostructure)(SH), 이중 헤테로 구조체(double heterostructure)(DH), 양면 이중 헤테로 구조체(double-side double heterostructure)(DDH) 또는 다중 양자 우물 구조체(multi-quantum well structure)(MQW)일 수 있다. 활성 층(103c)의 재료는 i-타입, p-타입, 또는 n-타입 반도체일 수 있다.

[0011] 도 2를 참조하면, 실시예에서, 반도체 구조체들(1000c)은 제1 외측 벽(1003c) 및 제2 외측 벽(1001c)을 포함하고, 여기서 제1 반도체 층(101c)의 제1 표면(1011c)의 일단(one end)은 제1 외측 벽(1003c)에 연결되고 제1 표면(1011c)의 타단(another end)은 제2 외측 벽(1001c)에 연결된다. 제2 외측 벽(1001c)은 제1 반도체 층(101c), 활성 층(103c) 및 제2 반도체 층(102c)의 측면들을 포함한다. 본 실시예에서, 제2 외측 벽(1001c)은 제1 반도체 층(101c), 활성 층(103c) 및 제2 반도체 층(102c)의 측면들에 의해 구성된다. 제1 외측 벽(1003c)은 제1 표면(1011c)과 기판(11c) 사이에 위치된다. 일 실시예에서, 제1 외측 벽(1003c) 및 제2 외측 벽(1001c)은 제1 반도체 층(101c)의 제1 표면(1011c)에 대해 경사져 있다. 일 실시예에서, 제1 외측 벽(1003c)은 기판(11c)의 노출된 표면(11s)에 대해 경사져 있다. 제1 외측 벽(1003c)과 노출된 표면(11s) 사이의 각도는 예각이다. 일 실시예에서, 제1 외측 벽(1003c)과 노출된 표면(11s) 사이의 각도는 둔각이다.

[0012] 반도체 스택(10c)은 내측 벽(1002c)을 더 포함한다. 제2 외측 벽(1001c)과 유사하게, 내측 벽(1002c)은 비아(100c)에서의 제1 반도체 층(101c), 활성 층(103c) 및 제2 반도체 층(102c)의 측면들에 의해 구성된다. 본 출원의 실시예에서, 비아(100c)는 제1 반도체 층(101c)의 제2 표면들(1012c) 및 내측 벽(1002c)에 의해 규정된다. 내측 벽(1002c)의 일단은 제1 반도체 층(101c)의 제2 표면(1012c)에 연결되고 내측 벽(1002c)의 타단은 제2 반도체 층(102c)의 표면(102s)에 연결된다. 제2 반도체 층(102c)의 표면(102s)은 적층 방향과 실질적으로 수직이다. 내측 벽(1002c) 및 제2 외측 벽(1001c)은 제2 반도체 층(102c)의 표면(102s)에 대해 경사져 있고, 내측 벽(1002c)은 또한 제1 반도체 층(101c)의 제2 표면(1012c)에 대해 경사져 있다. 내측 벽(1002c)과 제2 표면(1012c) 사이의 각도는 예각 또는 둔각이고, 제2 외측 벽(1001c)과 제1 표면(1011c) 사이의 각도는 예각 또는 둔각이다. 제2 외측 벽(1001c)과 표면(102s) 사이의 각도는 내측 벽(1002c)과 표면(102s) 사이의 각도와 유사하게 약 100도 내지 140도이다. 게다가, 반도체 구조체들(1000c)은 제2 반도체 층(102c)의 표면(102s)과 제2 외측 벽(1001c)의 교차부인 제1 에지(E1), 및 제2 반도체 층(102c)의 표면(102s)과 내측 벽(1002c)의 상호연결부인 제2 에지(E2)를 더 포함한다. 상면도에서, 제2 반도체 층(102)은 제1 에지(E1)를 포함한다. 더 구체적으로는, 발광 디바이스(1c)의 상면도에서 제1 에지(E1)는 제2 반도체 층(102)의 표면(102s)의 윤곽선이고, 제2 에지(E2)는 비아(100c)의 윤곽선이다. 일 실시예에서, 제1 에지(E1) 또는 제2 에지(E2)는 패쇄된다. 일 실시예에서, 제2 에지(E2)는 제1 에지(E1)에 의해 둘러싸여 있다.

[0013] 도 6b는 제1 절연 구조체(20c)의 상면도를 예시한다. 본 출원의 실시예에서, 발광 디바이스(1c)의 제1 절연 구조체(20c)는 스퍼터링 또는 기상 증착에 의해 반도체 구조체(1000c) 상에 형성된다. 도 2 및 도 6a에 도시된 바와 같이, 제1 절연 구조체(20c)는 상면도에서의 주변 절연 부분(201c) 및 복수의 링 형상 캡들(202c)을 포함한다. 본 실시예에서, 주변 절연 부분(201c)은 제1 에지(E1) 주위의 반도체 구조체(1000c)의 면적 상에 배치되고, 복수의 링 형상 캡들(202c)은 제2 에지(E2) 주위의 반도체 구조체(1000c)의 면적 상에 배치된다. 일 실시예에서, 주변 절연 부분(201c) 및 복수의 링 형상 캡들(202c) 양측 모두는 반도체 구조체(1000c)의 내측 벽(1002c), 제2 외측 벽(1001c), 제2 반도체 층(102c)의 표면(102s)의 부분을 커버한다. 게다가, 주변 절연 부분(201c)은 제1 표면(1011c)의 부분을 커버하고, 링 형상 캡들(202c)은 제2 표면(1012c)의 부분을 커버한다. 도 2에 도시된 바와 같이, 제1 절연 구조체(20c)는 제2 반도체 층(102c)의 표면(102s) 상의 상부 부분(f20c), 내측 벽(1002c) 및 제2 외측 벽(1001c) 상에 배치된 측면 부분(s20c), 및 제1 반도체 층(101c)의 제2 표면(1012c) 및 제1 표면(1011c) 상의 하부 부분(t20c)을 포함한다. 하부 부분(t20c)은 제2 표면(1012c) 및 제1 표면(1011c)의 부분들을 노출시킨다. 더 구체적으로는, 제1 절연 구조체(20c)는 제1 표면(1011c), 제2 표면(1012c), 제2 외측 벽(1001c), 내측 벽(1002c) 및 표면(102s) 상에 형성된다. 제1 절연 구조체(20c)는 상부 부분(f20c)의 측면 표면에 의해 규정된 제2 반도체 층(102c)의 표면(102s) 상의 개구부(203c)를 더 포함한다. 제1 절연 구조체(20c)는, 제2 표면(1012c) 상의, 그리고 하부 부분(t20c)의 측면 표면에 의해 규정된 다른 개구부(204c)를 더 포함한다. 제1 절연 구조체(20c)의 재료는 비전도성 재료를 포함한다. 비전도성 재료는 유기 재료, 무기 재료, 또는 유전체 재료를 포함한다. 유기 재료는 Su8, 벤조시클로부텐(BCB), 퍼플루오로시클로부탄(PCFB), 에폭시 수지, 아크릴 수지, 고리형 올레핀 중합체들(COC), 폴리메틸메타크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리카보네이트(PC), 폴리테트라에틸렌, 또는 플루오로카본 중합체를 포함한다. 무기

재료는 실리콘 또는 유리를 포함한다. 유전체 재료는 알루미늄 산화물(Al_2O_3), 규소 질화물(SiN_x), 규소 산화물(SiO_x), 티타늄 이산화물(TiO_x), 또는 마그네슘 불화물(MgF_x)을 포함한다. 일 실시예에서, 제1 절연 구조체(20c)는 하나의 층 또는 다수의 층들을 포함한다. 제1 절연 구조체(20c)는 반도체 스택(10c)의 측벽들을 보호하여 후속 프로세스들에 의해 활성 층(103c)이 파괴되는 것을 방지한다. 제1 절연 구조체(20c)가 다수의 층들을 포함할 때, 제1 절연 구조체(20c)는 분포 브래그 반사기(distributed Bragg reflector)(DBR)일 수 있다. DBR은 반도체 스택(10c)의 측벽들을 보호할 수 있고, 활성 층(103c)으로부터 방출된 특정 파장의 광을 발광 디바이스(2)의 외측으로 추가로 선택적으로 반사시켜 휘도를 향상시킬 수 있다. 구체적으로는, 제1 절연 구조체(20c)는 SiO_x 서브 층 및 TiO_x 서브 층과 같은 2개의 서브 층들을 교호로 적층함으로써 형성될 수 있다. 더 구체적으로는, DBR은 복수 쌍들의 서브 층들을 포함할 수 있고, 각각의 서브 층은 인접한 서브 층들의 굴절률과는 상이한 굴절률을 갖는다. DBR은 각각의 쌍에서 각각 높은 굴절률을 갖는 서브 층과 낮은 굴절률을 갖는 서브 층 사이의 굴절률 차이를 설정함으로써 특정 파장에 대한 또는 특정 파장 범위 내의 높은 반사율을 제공한다. 각각의 쌍에서의 2개의 서브 층들의 두께들은 상이할 수 있다. 게다가, 동일한 재료를 갖는 DBR 내의 서브 층들의 두께들은 동일하거나 상이할 수 있다.

[0014] 도 6c는 투명 전도성 층(30c)의 상면도를 예시한다. 도 1, 도 2, 및 도 6c에 도시된 바와 같이, 본 실시예에서, 발광 디바이스(1c)의 투명 전도성 층(30c)은 제2 반도체 층(102c)의 표면(102s) 상에 형성된다. 일 실시예에서, 투명 전도성 층(30c)은 제1 절연 구조체(20c)의 상부 부분(f20c)의 일부를 추가로 커버할 수 있다. 더 구체적으로는, 투명 전도성 층(30c)은 제1 외측 에지(301c)를 포함하고, 제1 내측 에지(302c)는 제2 반도체 층(102c)의 표면(102s) 상에 위치된다. 투명 전도성 층(30c)은 제1 에지(E1) 및 제2 에지(E2)를 넘어서 연장되지 않는다. 즉, 도 1에 도시된 바와 같은 발광 디바이스(1c)의 상면도에서 제1 외측 에지(301c)는 제1 에지(E1)보다 반도체 구조체(1000c)의 중심에 더 가깝고, 제1 내측 에지(302c)는 제2 에지(E2)보다 반도체 구조체(1000c)의 중심에 더 가깝다. 발광 디바이스(1c)의 상면도에서 제1 외측 에지(301c)는 제1 에지(E1)에 의해 둘러싸여 있고, 제1 내측 에지(302c)는 제2 에지(E2)를 둘러싸고 있다. 일 실시예에서, 투명 전도성 층(30c)은 제1 절연 구조체(20c)의 측면 부분(s20c)을 커버할 수 있다.

[0015] 제1 절연 구조체(20c)의 품질은 프로세스 능력 또는 응력에 의해 영향받을 수 있다. 제1 절연 구조체(20c)에서 일부 크랙들이 생성될 수 있다. 일 실시예에서, 투명 전도성 층(30c)이 표면(102s) 상에 위치되고 제2 외측 벽(1001c) 및 내측 벽(1002c)을 커버하도록 연장되지 않아서, 제1 절연 구조체(20c)의 크랙들로부터의 전류 누설에 의해 초래되는 단락 전류가 투명 전도성 층(30c)과 반도체 스택(10c) 사이에서 발생할 위험을 감소시킨다. 그에 따라, 발광 디바이스(1c)의 신뢰성이 확고해질 수 있다. 투명 전도성 층(30c)은 제2 반도체 층(102c)의 전체 표면(102s) 상에 실질적으로 형성되고 제2 반도체 층(102c)과 접촉하기 때문에, 투명 전도성 층(30c)에 의해 제2 반도체 층(102c) 전체의 전반에 걸쳐 전류가 균일하게 확산될 수 있다.

[0016] 투명 전도성 층(30c)의 재료는, 금속 산화물과 같은, 활성 층(103c)으로부터 방출된 광에 대해 투명한 재료를 포함한다. 금속 산화물은 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐 산화물(InO), 주석 산화물(SnO), 카드뮴 주석 산화물(CTO), 안티몬 주석 산화물(ATO), 알루미늄 아연 산화물(AZO), 아연 주석 산화물(ZTO), 갈륨 도핑 아연 산화물(GZO), 텅스텐 도핑 인듐 산화물(IWO) 또는 아연 산화물(ZnO)을 포함한다. 투명 전도성 층(30c)은 제2 반도체 층(102c)과 저 저항 접촉, 예를 들어, 오믹 접촉을 형성하도록 구성될 수 있다. 투명 전도성 층(30c)은 단층 또는 다수의 층들을 포함한다. 예를 들어, 투명 전도성 층(30c)이 다수의 서브 층들을 포함하므로, 투명 전도성 층(30c)은 분포 브래그 반사기(DBR)일 수 있다. 본 실시예에서, 투명 전도성 층(30c)의 DBR은 전기적으로 전도성이다. 일 실시예에서, 상면도에서, 투명 전도성 층(30c)의 형상은 제2 반도체 층(102c)의 형상에 실질적으로 대응한다. 도 6a 및 도 6c를 참조하면, 도 6c에 도시된 투명 전도성 층(30c)의 형상은 도 6a에 도시된 제2 반도체 층(102c)의 형상에 실질적으로 대응한다.

[0017] 본 출원의 실시예에서, 발광 디바이스(1c)의 반사 구조체는 투명 전도성 층(30c) 상에 형성된다. 반사 구조체는 반사 층(40c), 배리어 층(41c) 또는 상기의 것의 조합을 포함한다. 일 실시예에서, 상면도에서, 반사 층(40c)의 형상은 제2 반도체 층(102c)의 형상에 실질적으로 대응한다. 도 6d는 반사 층(40c)의 상면도를 예시한다. 도 1, 도 2, 및 도 6d에 도시된 바와 같이, 반사 층(40c)은 제2 외측 에지(401c) 및 제2 내측 에지(402c)를 포함한다. 본 실시예에서, 반사 층(40c)은 투명 전도성 층(30c)의 제1 외측 에지(301c) 및/또는 제1 내측 에지(302c)를 초과하도록 외측으로 연장되지도 않고, 반도체 구조체(1000c)의 제1 에지(E1) 및/또는 제2 에지(E2)를 초과하도록 외측으로 연장되지도 않는다. 투명 전도성 층(30c)의 제1 외측 에지(301c)는 제1 에지(E1)와 반사 층(40c)의 제2 외측 에지(401c) 사이에 배치되거나, 및/또는 제1 내측 에지(302c)는 제2 내측 에지

(402c)와 제2 에지(E2) 사이에 배치된다. 다시 말해, 제1 외측 에지(301c)는 제1 에지(E1)에 대해 제2 외측 에지(401c)보다 제1 에지(E1)에 더 가깝고, 제1 내측 에지(302c)는 제2 에지(E2)에 대해 제2 내측 에지(402c)보다 제2 에지(E2)에 더 가깝다. 일 실시예에서, 반사 층(40c)은, 표면(102s) 상의 상부 부분(f20c)과 같은, 제1 절연 구조체(20c)의 상부 부분(f20c)의 일부를 커버하고, 반사 층(40c)은 측면 부분(s20c) 및 하부 부분(t20c)을 커버하지 않는다. 게다가, 제1 에지(E1) 및/또는 제2 에지(E2) 부근의 투명 전도성 층(30c)의 부분은 반사 층(40c)과 상부 부분(f20c) 사이에 위치된다. 구체적으로는, 제2 외측 에지(401c) 및/또는 제2 내측 에지(402c)는 각각 제1 외측 에지(301c) 및/또는 제1 내측 에지(302c)를 초과하도록 연장되지 않는다. 일 실시예에서, 투명 전도성 층(30c)은 반사 층(40c)과 제1 절연 구조체(20c) 사이의 박리 이슈를 회피하게 할 수 있다. 더 구체적으로는, 반사 층(40c)은 투명 전도성 층(30c)을 통해 제1 절연 구조체(20c)에 연결되고, 이들 사이에 배치된 투명 전도성 층(30c)은 반사 층(40c)과 제1 절연 구조체(20c) 사이의 접착력을 증가시킬 수 있다.

[0018] 일 실시예에서, 제2 외측 에지(401c)는 투명 전도성 층(30c)의 제1 외측 에지(301c)에 정렬되거나, 및/또는 제2 내측 에지(402c)는 투명 전도성 층(30c)의 제1 내측 에지(302c)에 정렬된다. 일 실시예에서, 제2 외측 에지(401c)는 제1 에지(E1)와 오정렬되거나 및/또는 제2 내측 에지(402c)는 제2 에지(E2)와 오정렬된다.

[0019] 일 실시예에서, 반사 층(40c)도 투명 전도성 층(30c)도 반도체 구조체(1000c)의 제2 외측 벽(1001c) 및 내측 벽(1002c)과 같은 측벽들을 커버하도록 연장되지 않아서 반도체 구조체(1000c)에 대한 제1 절연 구조체(20c)의 크랙들, 및 투명 전도성 층(30c), 반사 층(40c)을 통한 전류 누설에 의해 초래되는 발광 디바이스(1c)의 전기 단락 위험을 감소시킨다. 더 구체적으로는, 제2 외측 벽(1001c) 및 내측 벽(1002c)은 제1 반도체 층(101c), 활성 층(103c) 및 제2 반도체 층(102c)의 측면들에 의해 구성되기 때문에, 반사 층(40c)이 제2 외측 벽(1001c) 및 내측 벽(1002c)으로 연장되는 경우는 제1 절연 구조체(20c)가 결합될 때 또는 크랙들을 가질 때 전류 누설을 초래할 수 있다. 더 구체적으로는, 제1 절연 구조체(20c)의 결합들 또는 크랙들을 통해 반사 층(40c)의 금속 재료(예컨대, 은, 알루미늄)의 일부가 제1 반도체 층(101c) 및 제2 반도체 층(102c)으로 확산될 수 있고, 그에 따라 반사 층(40c)의 확산을 통해 제1 반도체 층(101c)과 제2 반도체 층(102c) 사이의 전기적 컷오프에 의해 단락 전류가 초래된다. 그에 따라, 반사 층(40c)이 제1 에지(E1) 및 제2 에지(E2)를 초과하여 측면 부분(s20c)을 커버할 때 발광 디바이스(1c)의 신뢰성이 감소될 것이다. 그러나, 본 출원은 실시예들에 의해 제한되지 않을 것이다. 다른 제조 방법들, 제1 절연 구조체(20c)의 재료 또는 제1 절연 구조체(20c)의 구조체들, 예컨대, 다수의 절연 층들은 전류 누설 이슈를 방지하기 위해 제1 절연 구조체(20c)의 품질, 기계적 강도를 개선시키는 데 사용될 수 있다.

[0020] 일 실시예에서, 발광 디바이스(1c)의 상면도로부터, 제2 반도체 층(102c)은 제1 면적을 포함하고, 반사 층(40c)은 제2 면적을 포함한다. 본 실시예에서, 발광 디바이스(1c)의 상면도로부터, 제1 면적은 제2 반도체 층(102c)의 제1 에지(E1) 및 제2 에지(E2)에 의해 규정되고, 제2 면적은 반사 층(40c)의 제2 외측 에지(401c) 및 제2 내측 에지(402c)에 의해 규정된다. 제2 반도체 층(102c)의 제1 에지(E1)는 반사 층(40c)의 제2 외측 에지(401c)를 둘러싸고 있고, 제2 내측 에지(402c)는 제2 반도체 층(102c)의 제2 에지(E2)를 둘러싸고 있다. 발광 디바이스(1c)의 휘도를 향상시키기 위해, 활성 층(103c)으로부터 방출된 광이 반사 층(40c)에 의해 더 많이 반사될수록, 휘도가 더 많이 향상될 수 있다. 따라서, 반사 층(40c)의 제2 면적은 가능한 한 크게 설계되어야 한다. 발광 디바이스(1c)의 휘도와 신뢰성 사이의 트레이드오프가 고려되어야 한다. 일 실시예에서, 반사 층(40c)의 제2 면적은 제2 반도체 층(102c)의 제1 면적의 80% 이상이다. 일 실시예에서, 제2 면적은 제1 면적의 82% 내지 96%이다. 일 실시예에서, 제2 면적은 제1 면적의 85% 내지 95%이다.

[0021] 다른 실시예에서, 거리 D는 반사 층(40c)의 제2 외측 에지(401c)와 반도체 구조체(1000c)의 제1 에지(E1) 사이이다. 거리 D'는 제2 내측 에지(402c)와 제2 에지(E2) 사이이다. 일 실시예에서, 거리 D 또는 거리 D'는 0보다 더 크다. 일 실시예에서, 거리 D 또는 거리 D'는 10 μ m 이하이다. 일 실시예에서, 거리 D 또는 거리 D'는 8 μ m 이하이다. 본 실시예에서, 거리들 D, D'는 0 μ m보다 더 크고 10 μ m보다 더 작다. 일 실시예에서, 거리들 D, D'는 2 μ m 내지 8 μ m이다. 게다가, 다른 실시예에서, 거리 D 및 거리 D'는 동일하거나 상이할 수 있다.

[0022] 일 실시예에서, 배리어 층(41c)은 반사 층(40c) 상에 형성되고 이를 커버한다. 배리어 층(41c)의 외측 에지(도시되지 않음)는 반사 층(40c)의 제2 외측 에지(401c)를 둘러싸고 있거나, 및/또는 배리어 층(41c)의 내측 에지(도시되지 않음)는 반사 층(40c)의 제2 내측 에지(402c)를 둘러싸고 있다. 일 실시예에서, 반사 층(40c)은 배리어 층(41c) 상에 형성되고 이를 커버한다. 배리어 층(41c)의 외측 에지는 반사 층(40c)의 제2 외측 에지(401c)에 의해 둘러싸여 있을 수 있거나, 및/또는 배리어 층(41c)의 내측 에지는 반사 층(40c)의 제2 내측 에지(402c)에 의해 둘러싸여 있을 수 있다. 일 실시예에서, 배리어 층(41)의 외측 에지 및 내측 에지는 각각 반사

층(40c)의 제2 외측 에지(401c) 및 제2 내측 에지(402c)와 중첩되거나 이들과 정렬된다.

[0023] 도 3a 내지 도 3c는 각각 본 출원의 실시예들에 따른 발광 디바이스(1c)의 제1 에지(E1) 또는 제2 에지(E2) 부근의 투명 전도성 층(30c) 및 반사 층(40c)의 부분 단면도를 예시한다. 반사 층(40c)은 투명 전도성 층(30c) 상에 형성된다. 일 실시예에서, 도 3a에 도시된 바와 같이, 반사 층(40c) 및 투명 전도성 층(30c)은 제1 절연 구조체(20c) 상에 형성되고 반도체 구조체(1000c)의 비아(100c) 내로 또는 측벽들 상으로 연장되지 않는다. 일 실시예에서, 도 3b 및 도 3c에 도시된 바와 같이, 제1 절연 구조체(20c) 상에 형성되는 투명 전도성 층(30c) 및 반사 층(40c)은 반도체 구조체(1000c)의 비아(100c) 내로 또는 측벽들 상으로 연장된다.

[0024] 일 실시예에서, 도 3a에 도시된 바와 같이, 반사 층(40c)은 불연속적인 구조체이고, 제1 반사 부분(403c) 및 그 제1 반사 부분(403c)으로부터 분리된 제2 반사 부분(404c)을 포함한다. 제1 반사 부분(403c)과 제2 반사 부분(404c) 사이에는 갭(G)이 있다. 일 실시예에서, 도 3a에 도시된 바와 같이, 투명 전도성 층(30c)은 불연속적인 구조체이고, 제1 전도성 부분(31c) 및 그 제1 전도성 부분(31c)으로부터 분리된 제2 전도성 부분(32c)을 포함한다. 제2 전도성 부분(32c) 및 제2 반사 부분(404c)은 전체적으로 제1 절연 구조체(20c) 및 제2 반도체 층(102c) 상에 배치된다. 일 실시예에서, 제1 전도성 부분(31c) 및 제2 전도성 부분(32c)은 각각 제1 반사 부분(403c) 및 제2 반사 부분(404c) 아래에 위치된다. 제1 반사 부분(403c)은 제2 반사 부분(404c)과 단절되고 제1 전도성 부분(31c)은 제2 전도성 부분(32c)과 단절되고, 제2 전도성 부분(32c) 및 제2 반사 부분(404c)이 전체적으로 제1 절연 구조체(20c) 상에 배치되기 때문에, 제1 반사 부분(403c)과 제2 반사 부분(404c) 사이에는 전류가 흐르는 것이 불가능하다. 즉, 제2 반사 부분(404c)은 제1 반사 부분(403c)과 전기적으로 단절된다.

[0025] 도 3b에 도시된 실시예에서, 도 3b의 실시예와 도 3a의 실시예 사이의 차이점들은, 도 3b에서 투명 전도성 층(30c)은 제1 전도성 부분(31c), 및 그 제1 전도성 부분(31c)으로부터 분리된 제3 전도성 부분(33c)을 포함하고, 반사 층(40c)은 제1 반사 부분(403c), 및 그 제1 반사 부분(403c)으로부터 분리된 제3 반사 부분(405c)을 포함한다는 점이다. 제1 반사 부분(403c)과 제3 반사 부분(405c) 사이에는 갭(G)이 있다. 그에 따라, 제3 반사 부분(405c), 및 제1 반사 부분(403c)은 서로 전기적으로 절연된다. 더 구체적으로는, 제3 전도성 부분(33c)은 제1 절연 구조체(20c) 및 제2 반도체 층(102c) 상에 형성되고, 제2 외측 벽(1001c) 상으로 연장되어 제1 절연 구조체(20c)의 측면 부분(s20c) 및 하부 부분(t20c)을 커버한다. 일 실시예에서, 제3 전도성 부분(33c)은 제1 절연 구조체(20c) 및 제2 반도체 층(102c) 상에 형성되고, 내측 벽(1002c) 상으로 연장되어 제1 절연 구조체(20c)의 측면 부분(s20c)을 커버한다. 제1 반사 부분(403c) 및 제3 반사 부분(405c)은 제1 전도성 부분(31c) 및 제3 전도성 부분(33c) 상에 각각 형성된다.

[0026] 일 실시예에서, 도 3c에 도시된 바와 같이, 반사 층(40c)은 서로 분리된 제1 반사 부분(403c'), 제2 반사 부분(404c') 및 제3 반사 부분(405c')을 포함한다. 게다가, 투명 전도성 층(30c)은 서로 분리된 제1 전도성 부분(31c'), 제2 전도성 부분(32c') 및 제3 전도성 부분(33c')을 포함한다. 그에 따라, 제3 반사 부분(405c'), 제2 반사 부분(404c') 및 제1 반사 부분(403c')은 서로 전기적으로 절연된다. 도 3a 내지 도 3c에 도시된 실시예들에 따른 개별적인 발광 디바이스들에서, 반사 층들(40c) 각각은 불연속적인 구조체이고 전기적으로 단절되며, 전류 누설이 회피될 수 있지만 반사 층(40c)이 반도체 구조체(1000c)의 측벽들 상으로 연장되어 반사 층(40c)의 제2 면적을 증가시킨다. 개별적인 발광 디바이스들의 신뢰성 및 휘도에 대한 반사 면적 양측 모두가 고려되었다. 일 실시예에서, 도 3a 내지 도 3c에 도시된 발광 디바이스들은 반사 층(40c)의 제2 면적이 제2 반도체 층(102c)의 제1 면적의 80% 이상이고, 제1 에지(E1)와 제2 외측 에지(401c) 사이의 거리 D가 0 μ m 내지 10 μ m이다. 일 실시예에서, 제1 외측 에지(301c) 및 제2 외측 에지(401c)는 도 3a에 도시된 발광 디바이스에서 제1 에지(E1)보다 반도체 구조체(1000c)의 중심에 더 가깝다. 도 3b 및 도 3c에서 제1 에지(E1)는 제1 외측 에지(301c) 및 제2 외측 에지(401c)보다 반도체 구조체(1000c)의 중심에 더 가깝다. 도 3b 및 도 3c에서 반사 층(40c)은 반도체 구조체(1000c)의 측벽들을 커버하기 때문에, 도 3b 및 도 3c에 도시된 발광 디바이스의 반사 층(40c)의 제2 면적들은 도 3a에 도시된 것보다 더 크다. 게다가, 도 3c에 도시된 반사 층(40c)의 제2 면적은 도 3a 또는 도 3b에 도시된 것보다 더 클 수 있고, 그에 따라 도 3c에 도시된 발광 디바이스의 휘도는 도 3a 또는 도 3b에 도시된 발광 디바이스의 것보다 더 높을 수 있다.

[0027] 본 출원의 실시예에서, 반사 층(40c)은 분포 브래그 반사기(DBR)와 같은 다수의 서브 층들을 포함한다. 본 실시예에서, DBR의 재료는 전기적으로 분리되거나 전기적으로 전도성일 수 있다.

[0028] 본 출원의 실시예에서, 반사 층(40c)은 단층 구조체 또는 다층 구조체를 포함하고, 반사 층(40c)의 재료는, 은(Ag), 금(Au), 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 구리(Cu), 니켈(Ni), 백금(Pt) 또는 이들의 합금과 같은, 활성 층(103b)에 의해 방출된 광에 대해 높은 반사율을 갖는 금속 재료를 포함한다. 본 명세서에서 지칭되는

높은 반사율은 활성 층(103c)으로부터 방출되는 광의 파장에 대한 80% 이상의 반사율을 갖는 것을 의미한다.

[0029] 본 출원의 실시예에서, 반사 구조체는 반사 층(40c) 아래에 DBR 구조체를 더 포함한다. 일 실시예에서, DBR 구조체는 반도체 구조체(1000c)와 반사 층(40c) 사이에 형성된다. 연결 층이 DBR 구조체와 반사 층(40c) 사이에 삽입되어 이들 사이의 접착력을 증가시키도록 선택될 수 있다. 예를 들어, DBR 구조체에서, 제1 층은 반사 층(40c)에 연결되고, 여기서 제1 층은 규소 산화물(SiO₂)을 포함하고 반사 층(40c)은 은(Ag)을 포함한다. 그 사이의 연결 층은 ITO, IZO, 또는 DBR 구조체의 제1 층이 갖는 것보다 반사 층(40c)에 대해 더 높은 접착력을 갖는 다른 유사한 재료를 포함한다.

[0030] 본 출원의 실시예에서, 반사 구조체는 반사 층(40c)의 표면이 산화되어 반사 층(40c)의 반사율을 저하시키는 것을 방지하기 위해 반사 층(40c)을 커버하는 배리어 층(41c)을 더 포함한다. 배리어 층(41c)의 재료는 티타늄(Ti), 텅스텐(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt), 아연(Zn), 크롬(Cr) 또는 상기 재료들의 합금과 같은 금속 재료를 포함한다. 배리어 층(41c)은 단층 구조체 또는 다층 구조체를 포함할 수 있다. 배리어 층(41c)이 다층 구조체일 때, 배리어 층(41c)은 제1 배리어 층(도시되지 않음)과 제2 배리어 층(도시되지 않음), 예를 들어, Cr/Pt, Cr/Ti, Cr/TiW, Cr/W, Cr/Zn, Ti/Pt, Ti/W, Ti/TiW, Ti/W, Ti/Zn, Pt/TiW, Pt/W, Pt/Zn, TiW/W, TiW/Zn, 또는 W/Zn에 의해 교호로 적층된다. 일 실시예에서, 배리어 층(41c)의 재료는 금(Au) 또는 구리(Cu) 이외의 금속 재료를 포함한다.

[0031] 본 출원의 실시예에서, 발광 디바이스(1c)의 제2 절연 구조체(50c)는 스퍼터링 또는 기상 증착에 의해 반도체 구조체(1000c) 상에 형성된다. 제2 절연 구조체(50c)는 반도체 구조체(1000c), 제1 절연 구조체(20c), 투명 전도성 층(30c) 및 반사 층(40c) 상에 형성된다. 도 6e는 제2 절연 구조체(50c)의 상면도를 예시한다. 도 1, 도 2, 및 도 6e에 도시된 바와 같이, 제2 절연 구조체(50c)는 제1 반도체 층(101c)의 제2 표면(1012c)을 노출시키는 하나 또는 다수의 제1 절연 개구부들(501c), 및 반사 층(40c) 또는 배리어 층(41c)을 노출시키는 하나 또는 다수의 제2 절연 개구부들(502c)을 포함한다. 실시예에서, 제1 절연 개구부들(501c) 및 제2 절연 개구부들(502c)은 상이한 폭들 또는 수들을 포함한다. 발광 디바이스(1c)의 상면도로부터, 제1 절연 개구부들(501c) 및 제2 절연 개구부들(502c)의 형상들은 원형, 타원형, 직사각형, 다각형, 또는 임의의 형상들을 포함한다. 일 실시예에서, 제1 절연 개구부들(501c)의 위치들은 비아들(100c)의 위치들에 대응하도록 형성된다. 본 실시예에서, 하나의 제2 절연 개구부들(502c)은 제1 절연 개구부들(501c)에 대항하는 발광 디바이스(1c)의 일면에 있다.

[0032] 제2 절연 구조체(50c)는 비전도성 재료로 형성되고 유기 재료, 무기 재료 또는 유전체 재료를 포함한다. 유기 재료는 Su8, 벤조시클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지, 아크릴 수지, 고리형 올레핀 중합체들(COC), 폴리메틸메타크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리카보네이트(PC), 폴리테트라에틸렌, 또는 플루오로카본 중합체를 포함한다. 무기 재료는 실리콘 또는 유리를 포함한다. 유전체 재료는 알루미늄 산화물(Al₂O₃), 규소 질화물(SiN_x), 규소 산화물(SiO_x), 티타늄 이산화물(TiO_x), 또는 마그네슘 불화물(MgF_x)을 포함한다. 일 실시예에서, 제2 절연 구조체(50c)는 하나의 층 또는 다수의 층들을 포함한다. 일 실시예에서, 제2 절연 구조체(50c)는 분포 브래그 반사기(DBR)일 수 있다. 구체적으로는, 제2 절연 구조체(50c)는 SiO_x 서브 층 및 TiO_x 서브 층을 교호로 적층함으로써 형성될 수 있다. 제2 절연 구조체(50c)의 재료 및 제1 절연 구조체(20c)의 재료는 동일하거나 상이할 수 있다.

[0033] 도 6g는 접촉 층(60c)의 상면도를 예시한다. 도 1, 도 2, 및 도 6g에 도시된 바와 같이, 일 실시예에서, 접촉 층(60c)은 제2 절연 구조체(50c) 및 반사 층(40c) 상에 또는 배리어 층(41c) 상에 형성된다. 접촉 층(60c)은 서로 전기적으로 분리된 제1 접촉 부분(601c), 제2 접촉 부분(602c), 및 핀 영역(600c)을 포함한다. 본 명세서에서, 제1 접촉 부분(601c)은 제1 반도체 층(101c)에 전기적으로 연결되고, 제2 접촉 부분(602c)은 제2 반도체 층(102c)에 전기적으로 연결되며, 핀 영역(600c)은 제1 접촉 부분(601c) 및 제2 접촉 부분(602c)으로부터 전기적으로 분리된다. 제1 접촉 부분(601c)은 제1 반도체 층(101c)의 제1 표면(1011c) 상에 형성되어 반도체 구조체(1000c)의 외주부를 둘러싸고 제1 반도체 층(101c)과 접촉하여 전기적 커넥션을 형성한다. 일 실시예에서, 제1 접촉 부분(601c)은 활성 층(103c)의 주변 길이보다 더 큰 주변 길이를 포함한다. 일 실시예에서, 제1 접촉 부분(601c)은 또한 제1 반도체 층(101c)의 제2 표면들(1012c) 상에 형성되어 제2 절연 구조체(50c)의 복수의 제1 절연 개구부들(501c)을 통해 하나 또는 다수의 비아들(100c)을 커버하고 제1 반도체 층(101c)과 접촉하여 전기적 커넥션을 형성한다. 핀 영역(600c)은 제2 반도체 층(102c) 상에 퇴적되고, 제2 절연 구조체(50c)에 의해 제1 반도체 층(101c) 및 제2 반도체 층(102c)으로부터 전기적으로 분리된다. 본 실시예에서, 핀 영역(600c)은 상면도로부터의 발광 디바이스(1c)의 중심에 실질적으로 퇴적된다. 추가적으로, 제2 접촉 부분(602c)은 반사

층(40c) 및 투명 전도성 층(30c)을 통해 제2 반도체 층(102c)의 표면(102s)을 전기적으로 연결하여 제2 접촉 부분(602c)과 제2 반도체 층(102c) 사이의 전기적 커넥션을 형성한다. 본 실시예에서, 발광 디바이스(1c)의 상면도로부터, 핀 영역(600c)은 제1 접촉 부분(601c)과 제2 접촉 부분(602c) 사이에 위치된다. 핀 영역(600c) 및 제2 접촉 부분(602c)은 도 6g에 도시된 바와 같이 제1 접촉 부분(601c)에 의해 둘러싸여 있다. 일 실시예에서, 핀 영역(600c)은 제1 접촉 부분(601c) 또는 제2 접촉 부분(602c) 중 하나에 전기적으로 연결된다. 상면도에서의 핀 영역(600c)의 형상은 기하학적 형상, 예를 들어, 직사각형 또는 원을 포함한다. 접촉 층(60c)은 단층 구조체 또는 다층 구조체일 수 있다. 접촉 층(60c)의 재료는 알루미늄(Al), 은(Ag), 크롬(Cr), 백금(Pt), 니켈(Ni), 티타늄(Ti), 텅스텐(W), 또는 아연(Zn)과 같은 금속을 포함한다.

[0034] 접촉 층(60c)이 형성된 후에, 제3 절연 구조체(70c)가 접촉 층(60c) 상에 배치되고 접촉 층(60c)을 커버한다. 도 6h는 제3 절연 구조체(70c)의 상면도를 예시한다. 도 1, 도 2, 및 도 6h에 도시된 바와 같이, 제3 절연 구조체(70c)는 제1 개구부(701c) 및 제2 개구부(702c)를 포함한다. 제1 개구부(701c)는 접촉 층(60c)의 제1 접촉 부분(601c)을 노출시키고, 제2 개구부(702c)는 접촉 층(60c)의 제2 접촉 부분(602c)을 노출시킨다. 제3 절연 구조체(70c)는 하나의 층 또는 다수의 층들을 포함한다. 제3 절연 구조체가 다수의 층들을 포함할 때, 제3 절연 구조체(70c)는 분포 브래그 반사기(DBR)를 형성할 수 있다. 제3 절연 구조체(70c)의 재료는 유기 재료들, 무기 재료들 또는 유전체 재료를 포함하는 비전도성 재료를 포함한다. 유기 재료는 Su8, 벤조시클로부텐(BCB), 퍼플루오로시클로부탄(PFCB), 에폭시 수지, 아크릴 수지, 고리형 올레핀 중합체들(COC), 폴리메틸메타크릴레이트(PMMA), 폴리에틸렌 테레프탈레이트(PET), 폴리카보네이트(PC), 폴리에테르이미드, 또는 플루오로카본 중합체를 포함한다. 무기 재료는 실리콘 또는 유리를 포함한다. 유전체 재료는 알루미늄 산화물(Al_2O_3), 규소 질화물(SiN_x), 규소 산화물(SiO_x), 티타늄 이산화물(TiO_x), 또는 마그네슘 불화물(MgF_x)을 포함한다. 제1 절연 구조체(20c), 제2 절연 구조체(50c), 및 제3 절연 구조체(70c)는 상술된 재료들로부터 선택되는 동일한 재료 또는 상이한 재료들일 수 있다. 제1 절연 구조체(20c), 제2 절연 구조체(50c), 및 제3 절연 구조체(70c)는 인쇄, 증발 또는 스퍼터링에 의해 형성될 수 있다.

[0035] 제3 절연 구조체(70c)가 형성된 후에, 제1 패드(80c) 및 제2 패드(90c)가 반도체 스택(10c) 상에 형성된다. 도 6i는 제1 패드(80c) 및 제2 패드(90c)의 상면도를 예시한다. 도 1, 도 2, 및 도 6i에 도시된 바와 같이, 제1 패드(80c) 및 제2 패드(90c)의 위치들 및/또는 형상들은 또한 제3 절연 구조체(70c)의 제1 개구부(701c) 및 제2 개구부(702c)의 위치들 및/또는 형상들에 각각 대응한다. 제1 패드(80c)는 제3 절연 구조체(70c)의 제1 개구부(701c) 및 접촉 층(60c)의 제1 접촉 부분(601c)을 통해 제1 반도체 층(101c)에 전기적으로 연결되고, 제2 패드(90c)는 제3 절연 구조체(70c)의 제2 개구부(702c), 접촉 층(60c)의 제2 접촉 부분(602c), 반사 층(40c) 및 투명 전도성 층(30c)을 통해 제2 반도체 층(102c)에 전기적으로 연결된다. 발광 디바이스(1c)의 상면도로부터, 제1 패드(80c)는 제2 패드(90c)의 형상과 동일한 형상을 포함하는데, 예를 들어, 제1 패드(80c) 및 제2 패드(90c)는 직사각형 형상을 포함하지만, 본 개시내용은 이에 제한되지 않는다. 다른 실시예에서, 제1 패드(80c)의 형상 또는 크기는 제1 패드(80c) 및 제2 패드(90c)를 인식하기 위해 또는 발광 디바이스(1c)에서 양호한 전류 확산을 생성하기 위해 제2 패드(90c)의 형상 또는 크기와 상이할 수 있다. 예를 들어, 제1 패드(80c)의 형상은 직사각형일 수 있고, 제2 패드(90c)의 형상은 빗살 형상이고, 제1 패드(80c)의 면적은 제2 패드(90c)의 면적보다 더 크다. 본 실시예에서, 제1 패드(80c) 및 제2 패드(90c)는 하나 이상의 층들을 갖는 구조체를 포함한다. 제1 패드(80c) 및 제2 패드(90c)의 재료들은 크롬(Cr), 티타늄(Ti), 텅스텐(W), 알루미늄(Al), 인듐(In), 주석(Sn), 니켈(Ni), 백금(Pt), 또는 상기 재료들의 합금과 같은 금속 재료들을 포함한다. 제1 패드(80c) 및 제2 패드(90c)가 다층 구조체일 때, 제1 패드(80c) 및 제2 패드(90c)는 각각 상위 패드 및 하위 패드(도시되지 않음)를 포함한다. 상위 패드 및 하위 패드는 상이한 기능들을 갖는다. 상위 패드의 기능은 납땜 또는 배선에 사용된다. 발광 디바이스(1c)는 상위 패드를 통한 AuSn 유테틱 본딩(eutectic bonding) 또는 땀납 본딩을 사용함으로써 패키지 기판(도시되지 않음) 상에 플립되고 장착될 수 있다. 상위 패드의 금속 재료는 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 구리(Cu), 금(Au), 텅스텐(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈륨(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테튬(Ru) 또는 오스뮴(Os)과 같은 고도의 연성 재료들을 포함한다. 상위 패드는 상기 재료들의 단층, 또는 다층막일 수 있다. 본 출원의 실시예에서, 상위 패드의 재료는 바람직하게는 니켈(Ni) 및/또는 금(Au), 또는 이들의 합금을 포함한다. 하위 패드의 기능은 접촉 층(60c), 반사 층(40c), 또는 배리어 층(41c)과의 안정된 계면을 형성하여, 예를 들어, 하위 패드와 접촉 층(60c) 사이의 계면 본딩 강도를 개선시키거나, 또는 제2 패드(90c)의 하위 패드와 반사 층(40c) 또는 배리어 층(41c) 사이의 계면 본딩 강도를 향상시키기 위한 것이다. 하위 패드의 다른 기능은 주석(Sn), 또는 AuSn과 같은 땀납 재료가 반사 구조체로 확산되어 반사 구조체의 반사율을 손상시키는 것을 방지하는 것이다. 그에

따라, 하위 패드는 상위 패드와는 상이한 금속 재료들을 포함할 수 있다. 즉, 하위 패드의 재료는, 니켈(Ni), 코발트(Co), 철(Fe), 티타늄(Ti), 텅스텐(W), 지르코늄(Zr), 몰리브덴(Mo), 탄탈륨(Ta), 알루미늄(Al), 은(Ag), 백금(Pt), 팔라듐(Pd), 로듐(Rh), 이리듐(Ir), 루테튬(Ru), 오스뮴(Os)과 같은, 금(Au) 및 구리(Cu) 이외의 재료를 포함한다. 하위 패드는 상기 재료들의 단층, 합금, 또는 다층막일 수 있다. 본 출원의 실시예에서, 하위 패드는 바람직하게는 티타늄(Ti)과 알루미늄(Al)의 다층막, 또는 크롬(Cr)과 알루미늄(Al)의 다층막을 포함한다.

[0036] 도 6a, 도 6b', 도 6c 내지 도 6d, 도 6e', 도 6g 내지 도 6i는 본 출원의 다른 실시예에 따른 발광 디바이스의 프로세스 플로우를 예시한다. 본 실시예의 발광 디바이스와 발광 디바이스(1c)의 주요 차이점들은 제1 절연 구조체(20c) 및 제2 절연 구조체(50c)의 구조체들이다. 도 6b'를 참조하면, 제1 절연 구조체(20c)는 주변 절연 부분(201c) 및 복수의 링 형상 캡들(202c)을 포함한다. 본 명세서에서, 주변 절연 부분(201c)은 복수의 돌출부들(2011c) 및 복수의 오목부들(2012c)을 포함한다. 본 실시예에서, 주변 절연 부분(201c)의 복수의 돌출부들(2011c) 및 복수의 오목부들(2012c)은 교호로 배열된다. 도 3d는 본 실시예에 따른 발광 디바이스의 돌출부들(2011c) 중 하나의 돌출부에서의 부분 단면도를 예시한다. 도 3d 및 도 6b'에 도시된 바와 같이, 주변 절연 부분(201c)은 제1 표면(1011c)을 따라 배치되고 반도체 구조체(1000c)를 둘러싸고 있다. 본 실시예에서, 주변 절연 부분(201c)의 복수의 돌출부들(2011c) 및 복수의 오목부들(2012c)은 제1 표면(1011c) 상에 교호로 배열된다. 구체적으로는, 복수의 돌출부들(2011c)은 제2 반도체 층(102c)의 표면(102s)으로부터 연장되고 반도체 구조체(1000c)의 제1 표면(1011c)의 부분들을 커버하고, 복수의 오목부들(2012c)은 제1 표면(1011c)의 다른 부분들을 노출시킨다. 다시 말해, 제1 표면(1011c)은 주변 절연 부분(201c)에 의해 노출된 제1 노출 면적을 포함하고, 제1 노출 면적은 불연속적이다.

[0037] 도 6e'를 참조하면, 제2 절연 구조체(50c)는 본 실시예에서 복수의 돌출부들(5031c) 및 복수의 오목부들(5032c)을 포함하는 외주부(503c)를 포함한다. 도 3d에 도시된 바와 같이, 제2 절연 구조체(50c)는 제1 절연 구조체(20c)를 커버하여서, 제1 절연 구조체(20c)에 의해 커버되는 제1 표면(1011c)의 부분 및 제2 외측 벽(1001c)이 제2 절연 구조체(50c)에 의해 또한 커버된다. 추가적으로, 제2 절연 구조체(50c)의 복수의 돌출부들(5031c) 및 복수의 오목부들(5032c)은 반도체 구조체(1000c)의 제1 표면(1011c)을 따라 교호로 배열된다. 더욱이, 본 실시예에서, 제2 절연 구조체(50c)의 외주부(503c)의 형상은 반도체 구조체(1000c)의 제1 표면(1011c)을 불연속적으로 노출시키기 위한 제1 절연 구조체(20c)의 외주부의 형상에 대응한다. 더 구체적으로는, 복수의 돌출부들(5031c) 및 복수의 오목부들(5032c)의 형상들 및 위치들은 각각 주변 절연 부분(201c)의 복수의 돌출부들(2011c) 및 복수의 오목부들(2012c)의 형상들 및 위치들에 대응한다. 그러한 방식으로, 제1 절연 구조체(20c)의 복수의 오목부들(2012c)에 의해 노출된 제1 표면(1011c)은 또한 제2 절연 구조체(50c)의 복수의 오목부들(5032c)에 의해 노출될 수 있다. 복수의 돌출부들(2011c)에 의해 커버되는 제1 표면(1011c)은 복수의 돌출부들(5031c)에 의해 커버될 수 있다. 다시 말해, 제1 표면(1011c)은 복수의 오목부들(5032c)에 의해 노출된 제2 노출 면적을 포함하고, 제2 노출 면적은 불연속적이다. 제1 표면(1011c)의 제2 노출 면적은 제1 절연 구조체(20c)에 의해 노출된 제1 노출 면적에 실질적으로 대응한다. 도 6g를 참조하면, 본 실시예에서, 제1 접촉 부분(601c)은 제2 절연 구조체(50c)의 복수의 오목부들(5032c) 및 제1 절연 구조체(20c)의 복수의 오목부들(2012c)을 통해 제1 표면(1011c)과 접촉함으로써 제1 반도체 층(101c)에 전기적으로 연결된다. 다시 말해, 제1 접촉 부분(601c)은 제1 표면(1011c)과 접촉하는 불연속적인 접촉 영역(도시되지 않음)을 포함한다. 본 실시예에서, 반도체 구조체(1000c)의 제1 표면(1011c)과 제1 접촉 부분(601c) 사이의 불연속적인 접촉 영역은 발광 디바이스의 전류 확산에 이롭고 발광 디바이스의 파손을 회피하게 한다. 도 4a를 참조한다. 도 4a는 샘플들 A 및 B의 특성들을 열거한 표를 도시한다. 더 구체적으로는, 표는 종래의 발광 디바이스(샘플 A) 및 본 출원의 일 실시예에 있어서의 발광 디바이스(1c)(샘플 B)의 특성들을 도시한다. 샘플 A 및 샘플 B는 정사각형인 동일한 형상, 및 $35 \times 35 \text{mil}^2$ 인 동일한 칩 크기를 포함한다. 차이점들은 종래의 발광 디바이스의 반사 층의 면적이 발광 디바이스(1c)의 반사 층(40c)보다 더 작다는 점이다. 다른 한편으로, 종래의 발광 디바이스에서는, 제2 반도체 층의 제1 에지와 반사 층의 제2 외측 에지 사이의 거리가 $15 \mu\text{m}$ 이다. 본 실시예의 발광 디바이스(1c)의 거리 D는 $6 \mu\text{m}$ 이다. 발광 디바이스(1c)의 거리 D는 종래의 발광 디바이스의 거리보다 더 작다. 다시 말해, 발광 디바이스(1c)의 반사 층(40c)의 면적은 종래의 발광 디바이스의 반사 층의 면적보다 더 크다. 발광 디바이스(1c)의 제2 반도체 층(102c)의 면적에 대한 반사 층(40c)의 면적의 비율은 종래의 발광 디바이스의 제2 반도체 층의 면적에 대한 반사 층의 면적의 비율보다 더 크다. 표는, 발광 디바이스(1c)의 전력(I_{V2})은 종래의 발광 디바이스의 전력과 비교하여 1.8%(ΔI_{V2})만큼 향상된 반면, 순방향 전압(V_{f2}) 및 파장(λ_{d2})은 동일한 레벨들에서 유지된다는 것을 나타낸다. 그에 따라, 더 큰 면적을 갖는 반사 층(40c)은 발광 디바이스(1c)의 성능을 향상시킬 수 있

다.

[0038] 도 4b를 참조한다. 도 4b는 샘플들 C 내지 F의 특성들을 열거한 표를 도시한다. 더 구체적으로는, 표는 샘플들 C 내지 F의 성능들을 도시한다. 샘플 C는 종래의 발광 디바이스이다. 샘플 D는 도 6b', 도 6e' 및 3d에 도시된 바와 같은 불연속적인 접촉 영역을 포함하는 접촉 층(60c)을 갖지만 도 1 및 도 2에 도시된 바와 같은 반사 층(40c)의 더 큰 제2 면적을 갖지 않는 발광 디바이스이다. 샘플 E는 도 1 및 도 2에 도시된 바와 같이 반사 층(40c)의 더 큰 제2 면적을 갖는 발광 디바이스(1c)이다. 샘플 F는 도 6b', 도 6e' 및 도 3d에 도시된 불연속적인 접촉 영역을 갖는 접촉 층(60c), 및 도 1 및 도 2에 도시된 바와 같은 더 큰 제2 면적을 갖는 반사 층(40c)을 포함하는 발광 디바이스이고, 이는 샘플 D 및 샘플 E에서의 설계된 피처(feature)들을 조합하였다. 샘플 D와 샘플 E 양측 모두는 샘플 C와 비교하여 휘도의 더 진보된 성능을 갖는다. 더욱이, 발광 디바이스, 샘플 F는 가장 높은 전력(I_{V2})을 갖는다.

[0039] 도 5는 본 출원의 실시예에 따른 발광 디바이스(2c)의 상면도를 예시한다. 도 7은 도 5의 라인 E-E'를 따라 취득된 발광 디바이스(2c)의 단면도이다. 도 6a 및 도 6b, 도 6c', 도 6d, 도 6e 내지 도 6i는 각각 발광 디바이스(2c)의 제1 반도체 층(101c)의 노출된 제1 표면(1011c) 및 제2 표면(1012c), 제1 절연 구조체(20c), 투명 전도성 층(30c), 반사 층(40c), 제2 절연 구조체(50c), 접착 층(51c), 접촉 층(60c), 제3 절연 구조체(70c) 및 패드들(80c, 90c)을 갖는 반도체 구조체(1000c)의 레이아웃들을 도시한다. 본 실시예의 발광 디바이스(2c)는 도 1 및 도 2에 도시된 발광 디바이스(1c)와 유사하다. 차이점은 발광 디바이스(2c)가 제2 절연 구조체(50c)와 접촉 층(60c) 사이에 접착 층(51c)을 더 포함한다는 점이다. 게다가, 발광 디바이스(2c)의 투명 전도성 층(30c)은 발광 디바이스(1c)의 투명 전도성 층(30c)과는 상이한 서로 분리된 제1 투명 전도성 부분(f30c), 제2 투명 전도성 부분(s30c) 및 제3 투명 전도성 부분(t30c)을 더 포함한다. 일 실시예에서, 제2 절연 구조체(50c)의 재료는 규소 산화물(SiO_2)을 포함하고 접촉 층(60c)의 재료는 은(Ag)을 포함하고, 제2 절연 구조체(50c)과 접촉 층(60c) 사이의 접착 층(51c)은 제2 절연 구조체(50c)와 접촉 층(60c)의 접착력을 향상시킬 수 있다. 접착 층(51c)은 접촉 층(60c)이 제2 절연 구조체(50c)로부터 벗겨지는 것을 방지할 수 있다. 그 사이에 접착 층(51c)을 삽입하면 발광 디바이스(2c)의 신뢰성에 이롭다. 접착 층(51c)은 접촉 층(60c)과 제2 절연 구조체(50c) 사이의 접착력보다 제2 절연성 구조체(50c)와의 접착력이 더 높은 재료를 포함한다. 접착 층(51c)의 재료는 투명 전도성 재료 또는 금속일 수 있다. 투명 전도성 재료는 금속 산화물을 포함한다. 금속 산화물은 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐 산화물(InO), 주석 산화물(SnO), 카드뮴 주석 산화물(CTO), 안티몬 주석 산화물(ATO), 알루미늄 아연 산화물(AZO), 아연 주석 산화물(ZTO), 갈륨 도핑 아연 산화물(GZO), 텅스텐 도핑 인듐 산화물(IWO) 또는 아연 산화물(ZnO)을 포함한다. 금속은 Pt를 포함한다. 그러나, 접착 층(51c)의 재료는 상기 재료에 제한되지 않는다. 일 실시예에서, 도 6f에 도시된 접착 층(51c)의 형상 및 면적은 도 6e에 도시된 제2 절연 구조체(50c)의 형상 및 면적과 유사하다. 더 구체적으로는, 접착 층(51c)은 제1 절연 개구부들(501c)에 대응하는 하나 또는 다수의 제1 접착 개구부들(511c), 및 제2 절연 개구부들(502c)에 대응하는 하나 또는 다수의 제2 접착 개구부들(512c)을 포함한다. 일 실시예에서, 접착 층(51c)의 외주부(513c)는 제1 반도체 층(101c)의 제1 표면(1011c)에 전기적으로 연결하기 위해 제2 절연 구조체(50c)의 외주부(503c)를 둘러싸고 있다. 본 실시예에서, 접착 층(51c)은 반도체 구조체(1000c)의 노출된 부분 상으로 연장된다. 더 구체적으로는, 접착 층(51c)은 도 7에 도시된 바와 같이 제1 표면(1011c) 및/또는 제2 표면(1012c) 상으로 연장된다.

[0040] 도 6c' 및 도 7을 참조하면, 본 실시예에서, 제1 투명 전도성 부분(f30c)은 제2 반도체 층(102c)의 표면(102s) 상에 위치되고, 제2 투명 전도성 부분(s30c)은 노출된 부분의 제1 표면(1011c) 상에 위치되고, 제3 투명 전도성 부분(t30c)은 비어(100c) 내의 노출된 부분의 제2 표면(1012c) 상에 위치된다. 투명 전도성 층(30c)은 노출된 부분 상의 접착 층(51c)에 연결된다. 도 6c'에 도시된 바와 같은 투명 전도성 층(30c)의 상면도에서 제3 투명 전도성 부분(t30c)은 제1 투명 전도성 부분(f30c)에 의해 둘러싸여 있고, 제1 투명 전도성 부분(f30c)은 제2 투명 전도성 부분(s30c)에 의해 둘러싸여 있다. 제1 투명 전도성 부분(f30c)의 면적은 제2 투명 전도성 부분(s30c) 및 제3 투명 전도성 부분(t30c)보다 더 크다. 더 구체적으로는, 상면도에서 제1 투명 전도성 부분(f30c)은 제1 외주부(f30c1)를 포함하고, 제2 투명 전도성 부분(s30c)은 제1 외주부(f30c1)를 둘러싸는 제2 외주부(s30c1)를 포함하고, 제3 투명 전도성 부분(t30c)은 제1 외주부(f30c1)에 의해 둘러싸인 제3 외주부(t30c1)를 포함한다.

[0041] 도 6d 및 도 7에 도시된 바와 같이, 반사 층(40c)은 제1 투명 전도성 부분(f30c) 상에 형성된다. 반사 층(40c)은 제2 외측 에지(401c), 및 그 제2 외측 에지(401c)에 의해 둘러싸인 제2 내측 에지(402c)를 포함한다. 반사 층(40c)은 투명 전도성 층(30c)의 제1 외측 에지(301c) 및/또는 제1 내측 에지(302c)를 초과하도록 외측으로

연장되지도 않고, 반도체 구조체(1000c)의 제1 에지(E1) 및/또는 제2 에지(E2)를 초과하도록 외측으로 연장되지도 않는다. 본 실시예에서, 제2 외측 에지(401c)는 제1 외측 에지(301c)에 실질적으로 정렬되고, 제2 내측 에지(402c)는 제1 내측 에지(302c)에 실질적으로 정렬된다. 도 6e 및 도 7에 도시된 바와 같이, 제2 절연 구조체(50c)는 반사 층(40c) 상에 형성되고, 제1 절연 구조체(20c)를 커버한다. 일 실시예에서, 도 6e'에 도시된 바와 같은 복수의 돌출부들(5031c) 및 복수의 오목부들(5032c)을 포함하는 제2 절연 구조체(50c)는 반도체 구조체(1000c)의 노출된 부분 상에 위치되고 도 6c 및 도 6c'에 도시된 투명 전도성 층(30c) 또는 제1 표면(1011c)을 커버한다. 더 구체적으로는, 복수의 돌출부들(5031c) 및 복수의 오목부들(5032c)은 제1 표면(1011c)을 따라 교호로 배열되고, 제1 표면(1011c)을 불연속적으로 커버한다. 더 구체적으로는, 복수의 돌출부들(5031c)은 복수의 돌출부들(2011c)에 의해 커버되는 제1 표면(1011c)의 부분들을 커버하고, 복수의 오목부들(5032c)은 복수의 오목부들(2012c)에 의해 노출되는 제1 표면(1011c)의 부분들을 노출시킨다. 일 실시예에서, 복수의 돌출부들(5031c)은 제2 투명 전도성 부분(s30c)의 부분들을 커버하고, 복수의 오목부들(5032c)은 제2 투명 전도성 부분(s30c)의 부분들을 노출시킨다.

[0042] 도 6g를 참조하면, 발광 디바이스(1c)와 유사하게, 발광 디바이스(2c)는 제1 접촉 부분(601c), 제2 접촉 부분(602c) 및 핀 영역(600c)을 갖는 접촉 층(60c)을 포함한다. 제1 접촉 부분(601c)은 비아들(100c)에서 제1 표면(1011c) 상에 배치된 제1 접착 개구부(511c), 제1 절연 개구부들(501c) 및 제2 투명 전도성 부분(s30c) 및 제2 표면 상에 배치된 제3 투명 전도성 부분(t30c)을 통해 제1 반도체 층(101c)에 전기적으로 연결된다. 다른 한편으로, 제2 접촉 부분(602c)은 제2 반도체 층(102c)의 표면(102s) 상에 배치된 제1 투명 전도성 부분(f30c) 및 반사 층(40c), 제2 절연 개구부들(502c), 및 제2 접착 개구부들(512c)을 통해 제2 반도체 층(102c)에 전기적으로 연결된다. 일 실시예에서, 제1 접촉 부분(601c) 및 제2 접촉 부분(602c)의 재료는 동일하고 이들 양측 모두는 다층 구조체이다.

[0043] 일 실시예에서, 제1 접촉 부분(601c)은 제1 부분을 포함하고 제2 부분은 제1 부분을 커버한다. 제1 부분의 재료는 Ag/NiTi/TiW/Pt를 포함하고, 제2 부분의 재료는 반도체 스택(10c)으로부터 제2 패드(90c)로의 방향으로 반도체 구조체(1000c) 상에 순차적으로 형성된 Ti/Al/Ti/Al/Cr/Pt를 포함한다. 본 실시예에서, 제2 접촉 부분(602c)은 제1 접촉 부분(601c)과 유사한 제1 부분 및 제2 부분을 또한 포함한다. 제2 접촉 부분(602c)의 제1 부분 및 제2 부분의 재료는 제1 접촉 부분(601c)의 것과 동일할 수 있다. 일 실시예에서, 반사 구조체 및 제1 접촉 부분(601c)은 높은 반사율을 갖는 동일한 재료를 포함한다. 반사 구조체 및 제2 접촉 부분(602c)은 높은 반사율을 갖는 동일한 재료를 포함한다. 일 실시예에서, 반사 구조체, 제1 접촉 부분(601c), 및 제2 접촉 부분(602c)은 은을 포함한다.

[0044] 일 실시예에서, 발광 디바이스(2c)는 접촉 층(60c)과 제1 반도체 층(101c) 사이의 제3 투명 전도성 부분(t30c) 및 제2 투명 전도성 부분(s20c), 은을 포함하는 제2 접촉 부분(602c) 및 제1 접촉 부분(601c) 양측 모두, 및 접촉 층(60c)과 제2 절연 구조체(50c) 사이의 접착 층(51c)을 포함한다. 발광 디바이스(2c)와 비교하여, 종래의 발광 디바이스는 상기 언급된 샘플 C와 유사하고, 은이 없는 제1 접촉 부분을 포함한다. 예를 들어, 종래의 발광 디바이스의 제1 접촉 부분의 재료는 반도체 구조체(1000c) 상에 순차적으로 형성된 Cr/Al/Cr/Al/Cr/Pt를 포함한다. 본 실시예의 발광 디바이스(2c)는 은을 갖는 제1 접촉 부분(601c)에 의해 유발되는 더 높은 휘도를 가져서 발광 디바이스(2c)의 반사 면적을 증가시키고, 그에 따라 발광 디바이스(2c)의 휘도가 향상될 수 있다. 종래의 발광 디바이스의 휘도(I_{V2})는 923.75mW이고, 본 실시예의 발광 디바이스(2c)의 휘도(I_{V2})는 965.83mW이다. 그에 따라, 본 실시예의 발광 디바이스(2c)의 휘도는 종래의 발광 디바이스보다 4.56% 더 높게 증가된다.

[0045] 도 8은 본 출원의 실시예에 따른 발광 장치(3)의 개략도이다. 발광 디바이스가 전술한 실시예들로부터 선택될 수 있고, 패키지 기관(51)의 제1 스페이서(511) 및 제2 스페이서(512) 상에 플립 칩의 형태로 장착된다. 제1 스페이서(511) 및 제2 스페이서(512)는 절연 재료를 포함하는 절연부(53)에 의해 전기적으로 서로 절연된다. 플립 칩의 주요 광 추출 표면은 패드 형성 표면에 대향하는 성장 기관들의 일면이다. 발광 장치(3)의 광 추출 효율을 증가시키기 위해 발광 디바이스 주위에 반사 구조체(54)가 제공될 수 있다.

[0046] 도 9는 본 출원의 실시예에 따른 발광 장치(4)의 구조체 다이어그램을 예시한다. 백열 전구는 엔벨로프(602), 렌즈(604), 발광 모듈(610), 베이스(612), 히트 싱크(614), 커넥터(616) 및 전기 연결 디바이스(618)를 포함한다. 발광 모듈(610)은 서브마운트(606), 및 그 서브마운트(606) 상의 복수의 발광 디바이스들(608)을 포함하고, 여기서 복수의 발광 디바이스들(608)은 상기 실시예들에서 설명된 발광 디바이스들 또는 발광 장치(3)일 수 있다.

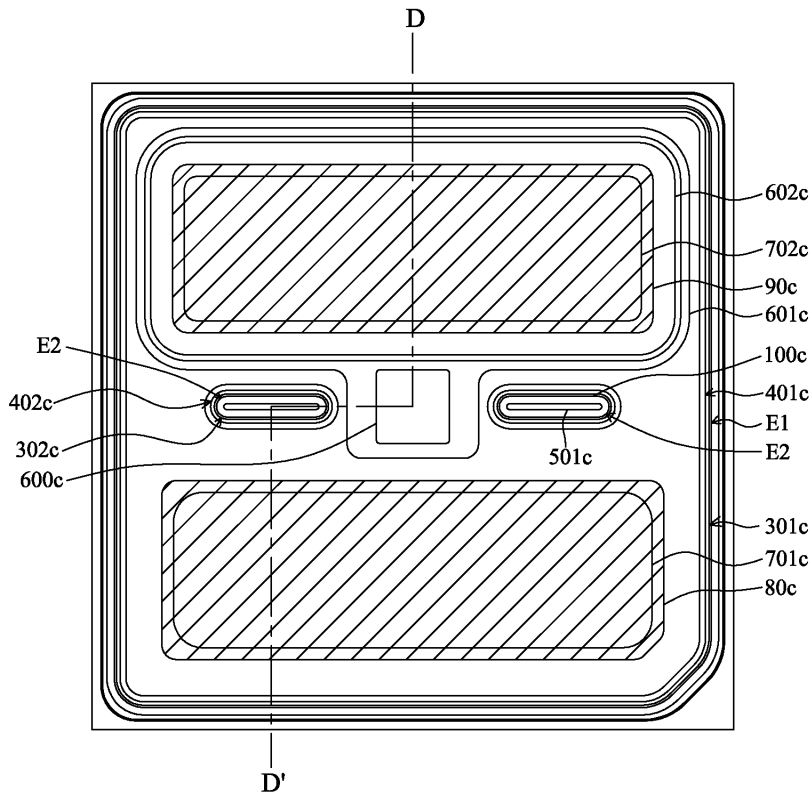
[0047]

상기 실시예들에 의해 예시된 본 출원의 원리 및 효율은 본 출원의 제한이 아니다. 본 기술분야의 통상의 기술자는 전술한 실시예들을 수정 또는 변경할 수 있다. 그에 따라, 본 출원에서의 권리의 보호 범위는 다음의 청구범위로서 열거될 것이다.

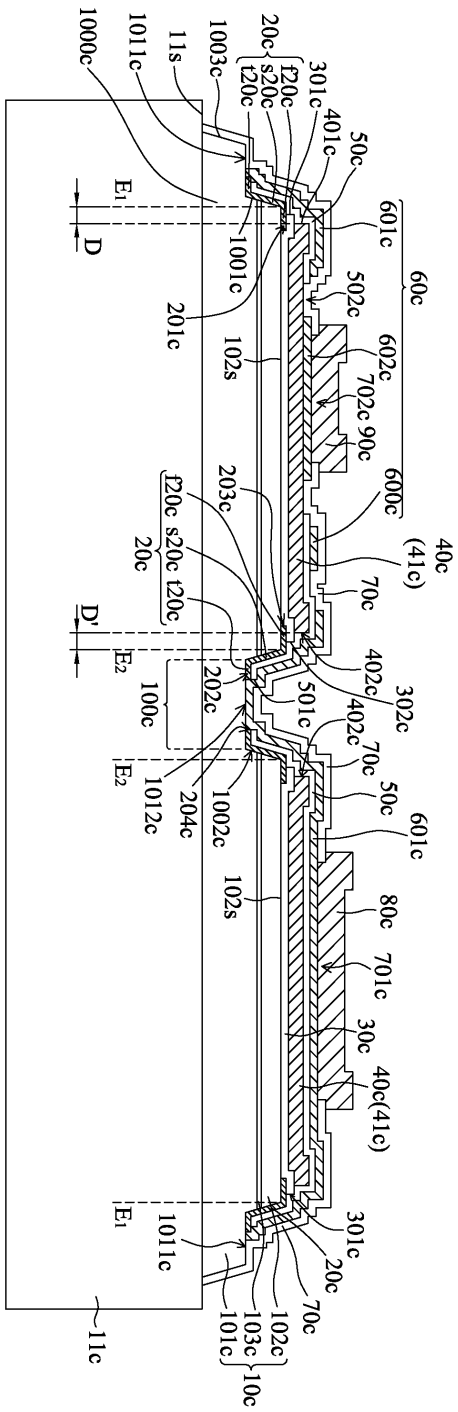
도면

도면1

1c

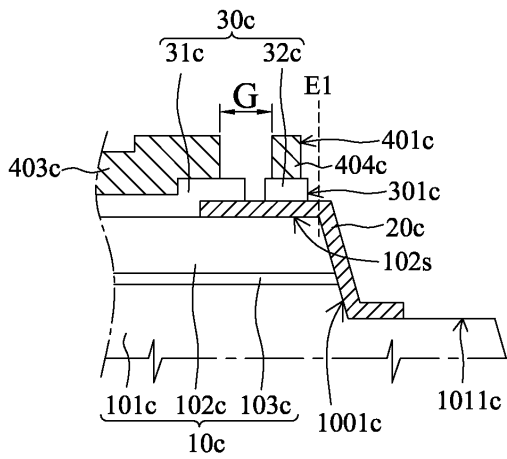


도면2

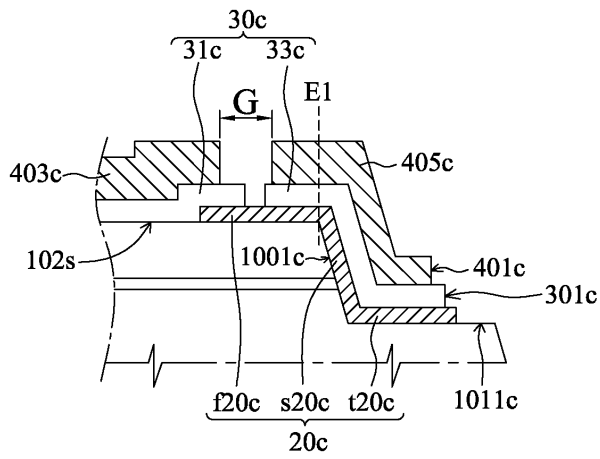


1c

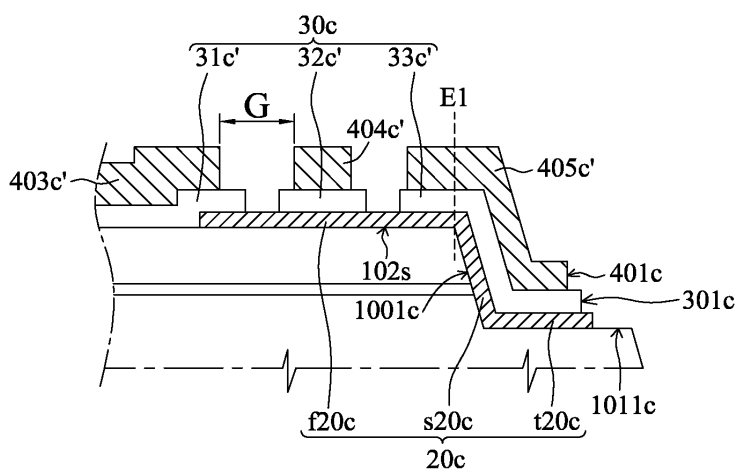
도면3a



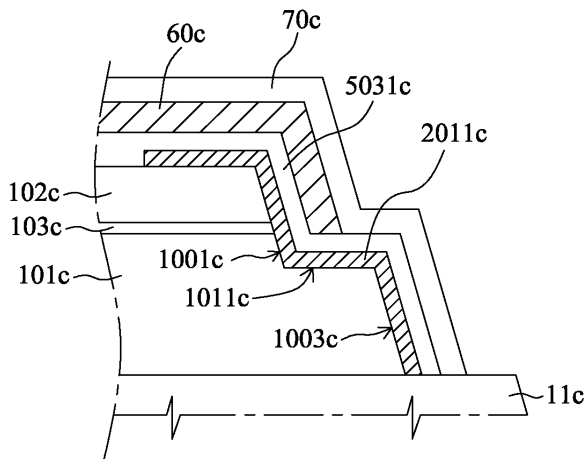
도면3b



도면3c



도면3d



도면4a

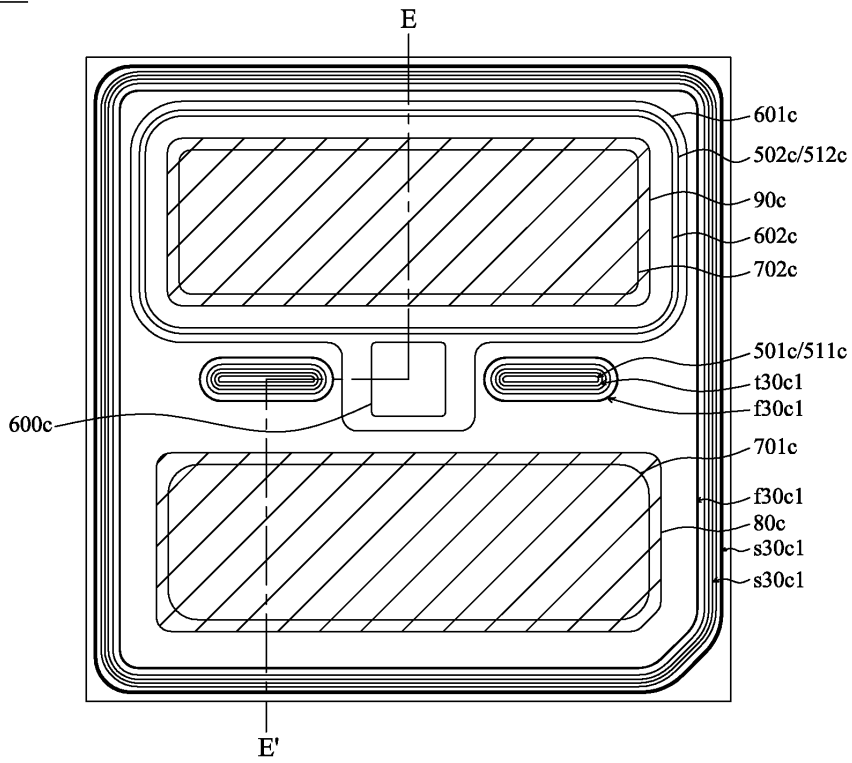
샘플 \ 파라미터	$V_{E2}(V)$	$W_{d2}(nm)$	$I_{v2}(mW)$	$\Delta I_{v2}(mW)$
A	3.09	449.77	914.456	---
B	3.09	449.66	931.098	1.8%

도면4b

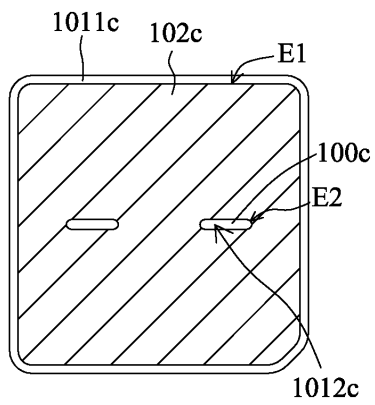
파라미터 \ 샘플	C	D	E	F
$I_{v2}(mW)$	990.43	1001.94	1002.37	1015.63
$\Delta I_{v2}(mW)$	---	1.16%	1.21%	2.54%

도면5

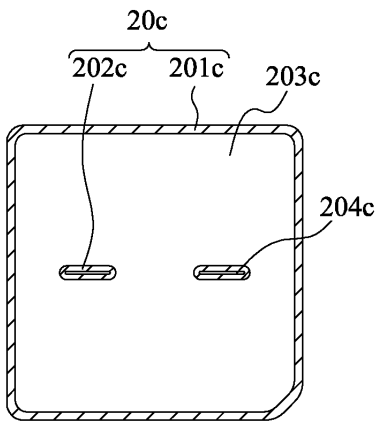
2c



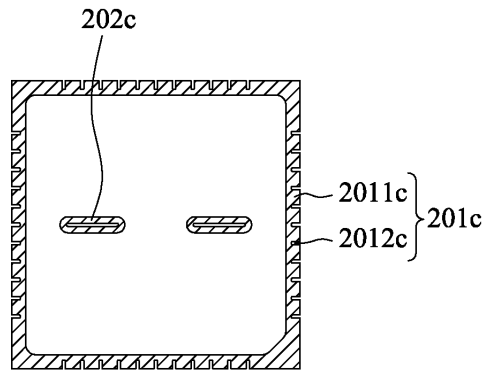
도면6a



도면6b

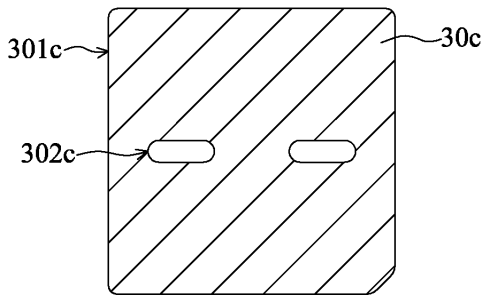


도 6b

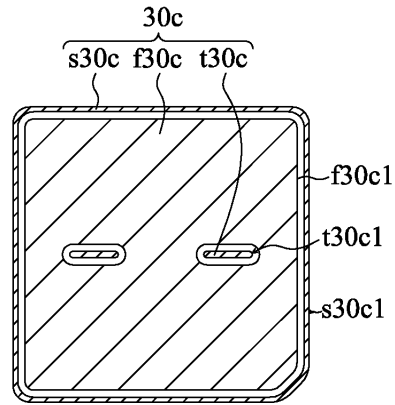


도 6b'

도면6c

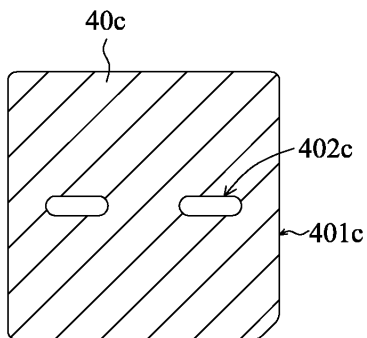


도 6c

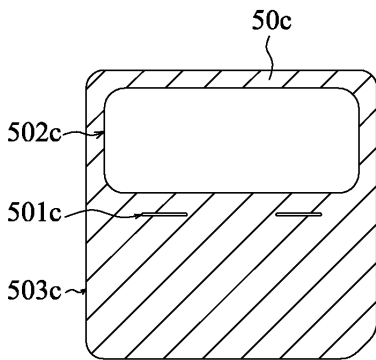


도 6c'

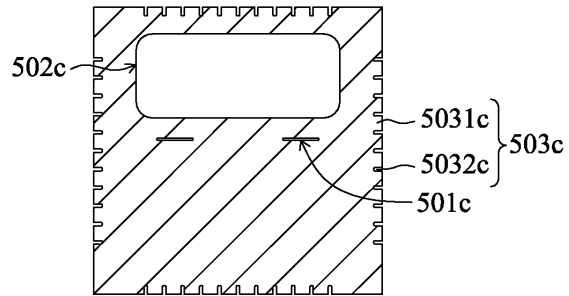
도면6d



도면6e

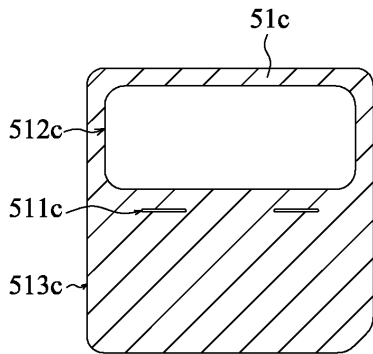


도 6e

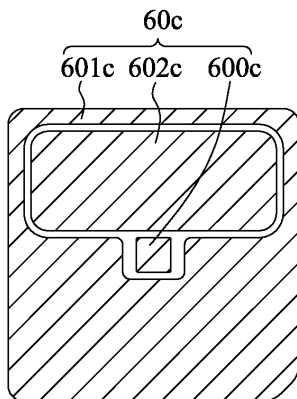


도 6e'

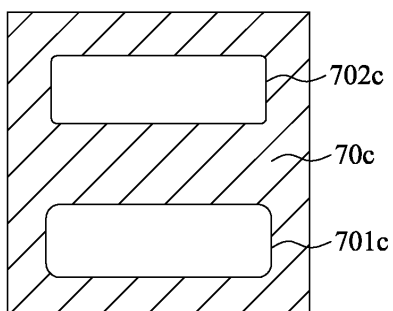
도면6f



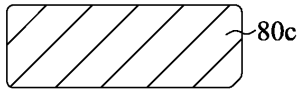
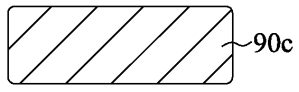
도면6g



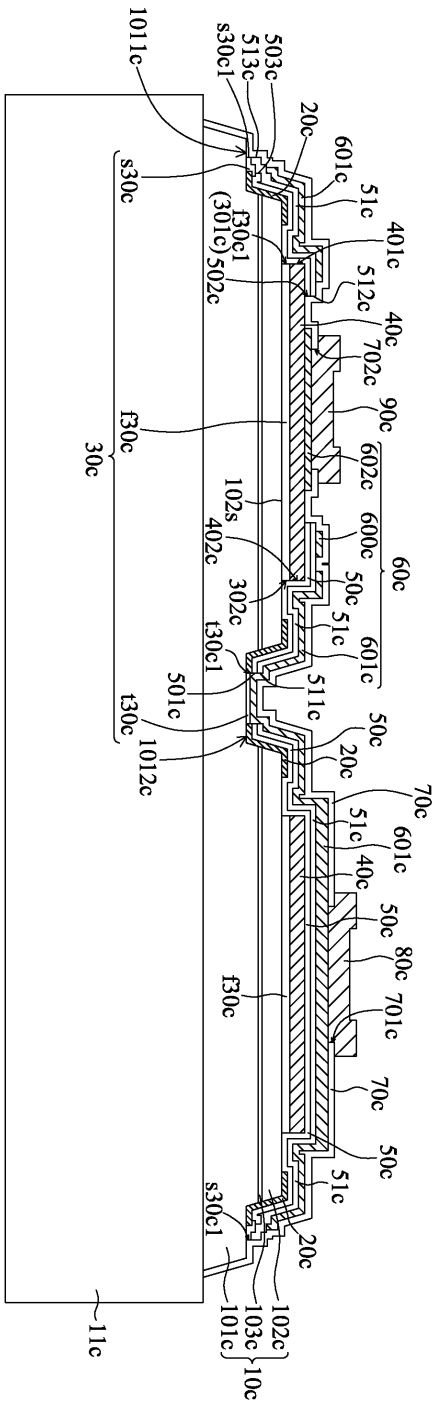
도면6h



도면6i



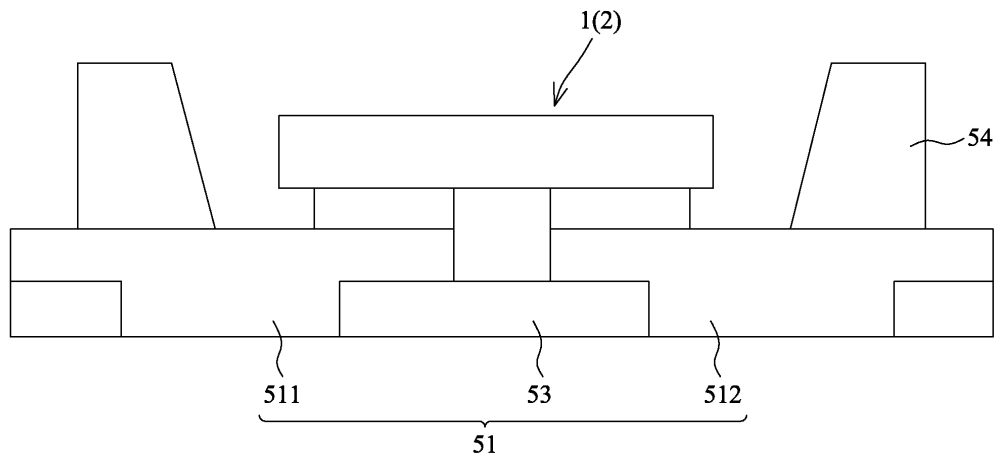
도면7



2c

도면8

3



도면9

