

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4014669号

(P4014669)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl.

F I

G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34	3 6 2 C
G 1 1 C	11/4076	(2006.01)	G 1 1 C	11/34	3 5 4 C
G 1 1 C	11/407	(2006.01)	G 1 1 C	11/34	3 6 2 S
G 1 1 C	11/403	(2006.01)	G 1 1 C	11/34	3 6 3 M

請求項の数 5 (全 42 頁)

(21) 出願番号 特願平8-100123
 (22) 出願日 平成8年4月22日(1996.4.22)
 (65) 公開番号 特開平9-288889
 (43) 公開日 平成9年11月4日(1997.11.4)
 審査請求日 平成15年3月28日(2003.3.28)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

周期的に与えられるクロック信号に同期して動作する半導体記憶装置であって、
行列状に配列される複数のメモリセルを有するメモリアレイ、
前記半導体記憶装置の動作モードを指定する動作モード指示信号に応答して起動され、
 前記クロック信号をカウントするカウンタ手段、および
 前記カウンタ手段からのカウント値に従って行または列選択に関連する内部動作制御信号を発生する制御信号発生手段を備え、
前記カウンタ手段は、
前記動作モード指示信号が前記メモリアレイの行選択動作を指示するときに活性化され
てカウント動作を開始するカウンタ回路と、
前記カウンタ回路からのカウント値が第1の所定値に到達すると前記カウンタ回路のカ
ウント動作を停止させる手段と、
前記動作モード指示信号が前記メモリアレイの行選択動作の非活性化を指定するとき前
記停止手段を非活性化して前記カウンタ回路にカウント動作を再開させるための手段と、
前記カウンタ回路からのカウント値が第2の所定値に到達すると前記カウンタ回路のカ
ウント値をリセットする手段とを備える、同期型半導体記憶装置。

10

【請求項2】

周期的に与えられるクロック信号に同期して動作する半導体記憶装置であって、
行列状に配列される複数のメモリセルを有するメモリアレイ、

20

動作モード指示信号に応答して起動され、前記クロック信号をカウントするカウンタ手段、

前記カウンタ手段からのカウント値に従って行または列選択に関連する内部動作制御信号を発生する制御信号発生手段、

前記カウンタ手段からのカウント値が第1の所定値に到達するまで行選択動作に関連する動作モード指示信号の入力を禁止するためのロウ禁止信号を該記憶装置の外部へ出力するための手段、および

前記カウンタ手段からのカウント値が第2の所定値に到達するまで前記メモリアレイの列選択動作に関連する動作モード指示信号の入力を禁止するためのコラム禁止信号を該記憶装置の外部へ出力するための手段を備える、同期型半導体記憶装置。

10

【請求項3】

前記カウンタ手段は、

前記動作モード指示信号が前記メモリアレイの列選択に関連する動作を指定するとき起動され、前記クロック信号をカウントするコラムカウンタをさらに含み、

前記コラムカウンタのカウント値が第3の所定値に到達すると該列選択に関連する動作の完了を示す信号を該記憶装置外部へ出力するための手段をさらに備える、請求項2記載の同期型半導体記憶装置。

【請求項4】

前記列選択完了を示す信号は、有効データが該記憶装置外部に出力されたことを示す、請求項3記載の同期型半導体記憶装置。

20

【請求項5】

周期的に与えられるクロック信号に同期して動作する半導体記憶装置であって、

行列状に配列される複数のメモリセルを有するメモリアレイ、

動作モード指示信号に応答して起動され、前記クロック信号をカウントするカウンタ手段、および

前記カウンタ手段からのカウント値に従って行または列選択に関連する内部動作制御信号を発生する制御信号発生手段、

前記メモリセルの保持データのリフレッシュを指定するセルフリフレッシュ指示信号の活性化に応答して起動され、所定の周期で発振動作を行なうリフレッシュ発振手段、

前記クロック信号と前記リフレッシュ発振手段の出力信号とを受け、前記セルフリフレッシュ指示信号の活性化に応答して前記リフレッシュ発振手段の出力信号を選択して前記カウンタ手段へ与える選択手段、

30

前記リフレッシュ発振手段の出力信号をカウントし、前記リフレッシュ発振手段の出力信号を分周する分周カウント手段、

前記分周カウント手段のカウント値に従って前記メモリアレイの行選択動作の活性化を指示する信号を前記動作モード指示信号として前記制御信号発生手段へ与える手段、

前記セルフリフレッシュ指示信号と前記分周カウンタ手段の出力カウント値を受けるとともに結合され、前記セルフリフレッシュ指示信号の活性化に応答して前記分周カウンタ手段の出力カウント値に従って所定期間活性化されて前記リフレッシュ発振手段よりも高速で発振動作を行なう高速発振手段、および

40

前記セルフリフレッシュ指示信号に応答して、前記高速発振手段の出力信号を前記リフレッシュ発振手段の出力信号に代えて選択して前記カウンタ手段へ与える手段を備える、同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体記憶装置に関し、特に周期的に繰返し与えられるクロック信号に同期して動作する同期型半導体記憶装置に関する。より特定的には、プロセッサと同一半導体チップ上に集積化された同期型半導体記憶装置に関する。

【0002】

50

【従来の技術】

図30は、従来のダイナミック・ランダム・アクセス・メモリ（以下、DRAMと称す）とプロセサ（以下、CPUと称す）とが同一半導体チップ上に形成された半導体集積回路装置の全体の構成を概略的に示す図である。図30において、この半導体集積回路装置は、CPUのための命令を待ち行列化して格納する命令キューITQと、CPUのためのデータを待ち行列化して格納するデータキューDTQと、これら命令キューITQおよびデータキューDTQへ格納されるデータおよびCPUがアクセス要求するデータを格納するSRAM（スタティック・ランダム・アクセス・メモリ）キャッシュSCHと、SRAMキャッシュSCHに格納されたデータの各タグにおける最も新しくアクセスされたアドレスを格納するタグメモリTGMと、CPUからのアクセス要求に従って、DRAM、命令キューITQ、データキューDTQおよびSRAMキャッシュSCHへの動作を制御するメモリコントローラMCLを含む。

10

【0003】

命令キューITQおよびデータキューDTQはSRAMキャッシュSCHまたはDRAMからの命令およびデータをそれぞれ待ち行列化して格納しておくことにより、CPUが必要とする命令およびデータをプリフェッチすることができ、SRAMキャッシュSCHへのアクセス時間を低減することができ、高速処理が可能となる。メモリコントローラMCLは、このCPUからのアクセス要求に従って、SRAMキャッシュSCHへ格納された命令およびデータをそれぞれ命令キューITQおよびデータキューDTQへ転送する。

【0004】

メモリコントローラMCLは、CPUからアクセス要求があった場合、タグメモリTGMを参照し、CPUがアクセス要求するアドレスのタグをタグメモリTGMに格納された対応のタグのアドレスと比較し、一致している場合には、SRAMキャッシュSCHにアクセス要求されたデータ/命令が格納されていると判断し、SRAMキャッシュSCHから命令キューITQおよびデータキューDTQへデータを転送する。メモリコントローラMCLは、CPUがアクセス要求したデータがSRAMキャッシュSCHに格納されていないとタグメモリTGMへの参照の結果判定した場合（キャッシュミス）には、DRAMコントロールバスCBSおよびDRAMアドレスバスABSを介してDRAMへアクセスし、そのCPUが必要とするデータ/命令をSRAMキャッシュSCHおよび命令キューITQおよびデータキューDTQへ転送する。CPUは、必要とするのが命令であるかデータであるのかを示すフラグをメモリコントローラMCLへ与える。DRAMとSRAMキャッシュSCH、データキューDTQおよび命令キューITQはデータバスDBSにより相互接続されており、これらの間でのデータ転送を行なうことができる。

20

30

【0005】

DRAMとCPUを同一半導体チップ上に集積化することにより、DRAMからSRAMキャッシュSCH、命令キューITQおよびデータキューDTQへのデータ転送は、内部データバスDBSを介して実行され、この内部データバスDBSのビット幅によりデータ転送のバンド幅（データ転送速度）が決定され、DRAMの入出力ピン端子がデータ転送に対するボトルネックとなることはなく、高速でデータ転送を行なうことができる。

【0006】

図31は、DRAMのデータ読出時の動作を示すタイミングチャート図である。以下、図31に示すタイミングチャート図を参照して、このSRAMのデータ読出動作について説明する。

40

【0007】

このDRAMは、この半導体集積回路装置におけるシステムクロックであるクロック信号P1に同期して制御信号の読込およびデータの入出力を行なう。また動作モードは、複数の制御信号の状態の組合せであるコマンドの形態で与えられる。

【0008】

時刻t1において、アクティブコマンドACTがアドレスXとともに与えられる。このアクティブコマンドACTは、DRAMにおけるアレイ活性化、すなわちワード線選択動作

50

開始を示す。このアクティブコマンドACTが与えられると、DRAMは、与えられたアドレスXに従って対応の行(ワード線)を選択状態へ駆動する。

【0009】

時刻 t_2 において、リードコマンドDRTが与えられ、データ読出動作が指定される。DRAMはこのリードコマンドDRTとともに与えられたアドレスYに従って列選択動作を行ない、その選択された列上のデータを出力する。このDRAMから読出されたデータQは、クロック信号P1に従ってサンプリングされる。したがってデータQは、クロック信号P1の一方エッジ(図31においては立上がりエッジ)において確定状態とされている。

【0010】

時刻 t_3 において、プリチャージコマンドPRGが与えられ、DRAMの選択状態とされたアレイが非活性状態とされ、プリチャージ状態に復帰する。

【0011】

時刻 t_4 において、再びアクティブコマンドACTが与えられ、そのときに与えられたアドレスXに従って再びアレイ活性化動作(ワード線選択動作)が行なわれる。

【0012】

上述のように、装置外部とのインタフェース部において、信号/データの授受をクロック信号P1に同期して行なうことにより、DRAMにおける制御信号のスキューによる内部動作タイミングマージンを考慮する必要がなく、内部動作開始タイミングを速くすることができ、高速アクセスが可能となる(コマンドおよびアドレスのサンプリングがクロック信号P1一方エッジ(立上がりエッジ)で行なわれるためである)。

【0013】

【発明が解決しようとする課題】

DRAMにおいては、アクティブコマンドが与えられて行選択動作が行なわれてからリードコマンドDRTまたはライトコマンドDWT(データ書込動作を示すコマンド)が与えられるまでは、RAS-CAS遅延時間 $t_{RC D}$ と呼ばれる時間が必要とされる。行選択動作により、アレイ内において選択行のメモリセルのデータが図示しないセンスアンプにより検知され増幅されかつラッチされるまでに時間が必要とされるためである。

【0014】

またリードコマンドDRTまたはライトコマンドDWTが与えられてからデータQが読出されるまでには、CASレイテンシーと呼ばれる時間(またはCASアクセス時間)が必要とされる。同期型半導体記憶装置において、CASレイテンシーは、リードコマンド/ライトコマンドが与えられてから有効データが出力されるまで必要とされるクロックサイクル数で表わされる(図31においてはCASレイテンシーは2である)。

【0015】

また、アクティブコマンドACTを与えてから次にプリチャージコマンドPRGを与えるまでの時間には、RASアクティブ時間 $t_{R A S}$ と呼ばれ時間が必要とされる。DRAM内において、選択メモリセルのデータがセンスアンプによって検知され増幅されかつラッチされて選択メモリセルへのデータの再書込が行なわれるまでの時間が必要とされるためである。このRASアクティブ時間 $t_{R A S}$ が経過する前にプリチャージコマンドPRGを与えると、選択行の動作は途中で停止されることになり、選択メモリセルのデータが破壊される。

【0016】

またプリチャージコマンドPRGを図31の時刻 t_3 に与えてからアクティブコマンドATCを与えるまでには、RASプリチャージ時間 $t_{R P}$ と呼ばれる時間が必要とされる。DRAM内部を確実にプリチャージ状態に復帰させるのに時間が必要とされるためである。これらの時間 $t_{R C D}$ 、 $t_{R A S}$ および $t_{R P}$ は、すべてDRAMに対して仕様として定められている。

【0017】

このDRAM内蔵プロセッサの動作クロック周波数が変化した場合を考える。すなわち図

10

20

30

40

50

32に示すように、高速のクロック信号P aに同期して動作する場合と、低速のクロック信号P bに従って動作する場合とでは、R A S - C A S遅延時間 t_{RCD} 、C A Sレイテンシー t_{CAS} 、R A Sアクティブ時間 t_{RAS} およびR A Sプリチャージ時間 t_{RP} のそれぞれのクロックサイクル数が異なってくる。たとえば、クロック信号P aの場合、R A S - C A S遅延時間 t_{RCD} は、2クロックサイクル期間であり、一方、クロック信号P bの場合には、これは1クロックサイクル期間となる。

【0018】

図33に示すように、従来は、メモリコントローラM C Lは、クロック信号PをカウントするタイマT Mのカウント値に従って、各種コマンドの発生タイミングを調整していた。この場合、コントロールユニットC Uは、各クロック信号の動作周波数に合わせてコマンドの発生タイミングを変更する必要がある、その負荷が大きくなり、また制御が複雑となる（各クロック信号の周波数に合わせて、（コマンド発行のための）タイマT Mのカウント値を変更する必要があるが生じるため）。

10

【0019】

また、D R A Mにおいては、このD R A M外部から与えられる信号の取込はクロック信号P 1に同期して行なわれているが、内部動作は、このクロック信号P 1と非同期で行なわれる。すなわち、図34に示すように、入力バッファI Bは、クロック信号P 1に同期して外部からの制御信号を取込み、コマンドデコーダC M Dへ与える。コマンドデコーダC M Dはこの入力バッファI Bから与えられた制御信号の状態の組合せを判定して内部動作指定信号を発生する。図34において、アクティブ信号A C Tが発生された状態を示す。

20

【0020】

論理回路L GはこのコマンドデコーダC M Dから与えられるコマンド信号A C Tに従って内部制御信号を発生する。図34においては、ロウアドレスラッチ指示信号R A Lを示す。このロウアドレスラッチ指示信号R A Lに従って、ロウアドレスバッファが一旦スルー状態とされた後ラッチ状態とされる。この論理回路L Gの出力信号を所定時間遅延回路D Lにより遅延することにより、内部動作制御信号が発生される。図34においては、センスアンプを活性化するための信号S O NおよびS O Pを示す。他のワード線選択に関連する信号も同様遅延回路D Lから生成される。これらの論理回路L Gおよび遅延回路D Lは、通常論理ゲートおよびインバータを用いて構成されており、クロック信号P 1とは非同期で動作している。したがって動作環境（動作温度、電源電圧）が変化した場合、論理回路L Gおよび遅延回路D Lの動作特性も異なり、これらの内部動作制御信号R A L、S O NおよびS O Pの活性状態への変化タイミングにはずれが生じる。したがって内部において、これらの制御信号に対するマージンを確保して内部動作タイミングを決定する必要が生じ、高速動作を実現することができなくなるという問題が生じる。

30

【0021】

上述のような問題は、D R A M内蔵プロセサのみならず、クロック信号に同期して動作する一般のクロック同期型半導体記憶装置においても生じる。

【0022】

それゆえ、この発明の目的は、クロック信号周波数変更時においても、メモリコントローラの負荷が軽減される同期型半導体記憶装置を提供することである。

40

【0023】

この発明の他の目的は、動作環境の変化にかかわらず、高速かつ安定に動作する同期型半導体記憶装置を提供することである。

【0024】

この発明のさらに他の目的は、内部制御信号の発生タイミングをクロック信号周波数に合わせて容易に変更し、最適な動作タイミングで動作して高速アクセスを実現することのできる同期型半導体記憶装置を提供することである。

【0025】

【課題を解決するための手段】

請求項1に係る半導体記憶装置は、この半導体記憶装置の動作モードを指定する動作モ

50

ード指示信号に応答して起動され、周期的に与えられるクロック信号をカウントするカウンタ手段と、このカウンタ手段からのカウント値に従って行または列選択に関連する内部動作制御信号を発生する制御信号発生手段を備える。

請求項 1 に係る半導体記憶装置は、さらに、行列状に配列される複数のメモリセルを有するメモリアレイを備える。カウンタ手段が、動作モード指示信号がメモリアレイの行選択動作を示すときに活性化されてカウント動作を開始するカウンタ回路と、このカウンタ回路からのカウント値が第 1 の所定値に到達するとカウンタ回路のカウント動作を停止させる手段と、この動作モード指示信号がメモリアレイの行選択動作の完了を示すとき停止手段を非活性化してカウンタ回路にカウント動作を再開させるための手段と、このカウンタ回路のカウント値が第 2 の所定値に到達するとカウンタ回路のカウント値をリセットする手段とを備える。

10

【 0 0 2 9 】

請求項 2 に係る半導体記憶装置は、動作モード指示信号に応答して起動され、周期的に与えられるクロック信号をカウントするカウンタ手段と、このカウンタ手段からのカウント値に従って行または列選択に関連する内部動作制御信号を発生する制御信号発生手段を備える。

請求項 2 に係る同期型半導体記憶装置は、さらに、カウンタ手段のカウント値が第 1 の所定値に到達するまで行選択動作に関連する動作モード指示信号の入力を禁止するためのロウ禁止信号を装置外部へ出力する手段と、カウンタ手段からのカウント値が第 2 の所定値に到達するまで列選択動作に関連する動作モード指示信号の入力を禁止するためのコラム禁止信号を装置外部へ出力する手段とを備える。

20

【 0 0 3 0 】

請求項 3 に係る同期型半導体記憶装置は、請求項 2 の装置のカウンタ手段が動作モード指定信号が列選択に関連する動作を指定するとき起動されるコラムカウンタを含み、このコラムカウンタのカウント値が第 3 の所定値に到達すると列選択に関連する動作の完了を示す信号を装置外部へ出力する手段をさらに備える。

【 0 0 3 3 】

請求項 4 に係る同期型半導体記憶装置は、請求項 3 の列選択完了を示す信号は、有効データが装置外部に出力されることを示す。

【 0 0 3 4 】

請求項 5 に係る半導体記憶装置は、動作モード指示信号に応答して起動され、周期的に与えられるクロック信号をカウントするカウンタ手段と、このカウンタ手段からのカウント値に従って行または列選択に関連する内部動作制御信号を発生する制御信号発生手段を備える。

30

請求項 5 に係る同期型半導体記憶装置は、さらに、行列状に配列される複数のメモリセルを有するメモリアレイと、これらメモリセルの保持データのリフレッシュを指定するセルフリフレッシュ指示信号の活性化に応答して起動され、所定の周期で発振動作を行なうリフレッシュ発振手段と、このクロック信号とリフレッシュ発振手段の出力信号とを受け、セルフリフレッシュ指示信号の活性化に応答してリフレッシュ発振手段の出力を選択してカウンタ手段へ与える選択手段と、リフレッシュ発振手段の出力信号をカウントし、このリフレッシュ発振手段の出力信号を分周する分周カウンタ手段と、この分周カウンタ手段のカウント値に従ってメモリアレイの活性化を指示する信号を動作モード指示信号として制御信号発生手段へ与える手段を備える。

40

請求項 5 に係る同期型半導体記憶装置はさらに、セルフリフレッシュ指示信号の活性化に応答して起動され、分周カウンタ手段のカウント値が所定のカウンタ値に到達するまでの間活性状態とされてリフレッシュ発振手段よりも高速で発振動作を行なう高速発振手段を備える。選択手段は、リフレッシュ発振手段の出力に代えてこの高速発振手段の出力信号を受ける。

【 0 0 3 6 】

半導体記憶装置内部においてクロック信号に同期して内部制御信号をすべて発生すること

50

により、内部動作はクロック信号に同期して行なわれ、内部動作タイミングマージンを考慮する必要がなく、また、クロック信号周波数変更時にも動作モード指示信号発生タイミングは、論理手段の変更により調整でき、半導体記憶装置を高速かつ正確に動作させることができる。またこのクロック信号のカウント値に従って記憶装置外部に対しロウ/コラム系のコマンドの入力を禁止する信号を出力することにより、外部のメモリコントローラは、クロック信号をカウントすることなく、コマンドを出力することのできるタイミングを知ることができ、メモリコントローラのコマンド(信号)発生のための負荷が軽減され、メモリコントローラ的设计も容易となる。

【0037】

【発明の実施の形態】

図1は、この発明に従うDRAM内蔵プロセサの全体の構成を概略的に示す図である。図1において、DRAM内蔵プロセサは、メインメモリとして機能するDRAM1と、このDRAM1に格納されたデータ/命令に従って演算処理を行なうプロセサ(CPU)2と、プロセサ(CPU)2とDRAM1との間でのデータ転送を制御するためのメモリコントローラ3を含む。

【0038】

このDRAM内蔵プロセサは、さらに、DRAM1の格納されたデータのうち、プロセサ(CPU)2が要求するデータを予めキャッシュとして格納するSRAMキャッシュSCHと、プロセサ(CPU)2が要求する命令およびデータを待ち行列化してそれぞれ格納する命令キューITQおよびデータキューDTQと、SRAMキャッシュSCHの格納されたデータのタグそれぞれのアドレスを格納するタグメモリTGMを含む。メモリコントローラ3は、DRAM1に対しアクセスをする必要のある場合、DRAMコントロールバスDCBおよびDRAMアドレスバスDABを介してコマンド(制御信号)およびアドレスを与える。このメモリコントローラ3からDRAM1へ与えられる制御信号は、コマンドの形態で与えられてもよく、またメモリコントローラ3内部において、コマンドがデコードされて、動作モード指示信号として与えられてもよい。

【0039】

DRAM1は、アクセス要求があったとき、メモリコントローラ3に対し、行選択動作に関連するコマンドの入力を禁止するロウ系コマンド禁止信号RINH、列選択動作に関連するコマンドの入力を禁止するコラム系コマンド禁止信号CINHおよびコラム動作完了信号COLendを与える。このロウ系コマンド禁止信号RINHおよびコラム系コマンド禁止信号CINHが非活性状態とされると、メモリコントローラ3はそれぞれロウ系コマンドおよびコラム系コマンドをDRAM1へ与える。コラム動作完了信号COLendは、DRAM1から利用可能な有効データが出力されたことおよび列選択動作が完全に完了し、次のコマンドを入力してもよいことを示す。メモリコントローラ3からアクセス要求があったときには、DRAM1が、メモリコントローラ3に対しロウ系コマンド禁止信号RINH、コラム系コマンド禁止信号CINHおよびコラム動作完了信号COLendを与えことにより、いわゆる「ハンドシェイク」方式でメモリコントローラ3はDRAM1へアクセスすることができる。したがって、メモリコントローラ3は、クロック信号の動作周波数に合わせて各コマンドを出力するタイミングを内部で監視する必要がなく、負荷が軽減される。

【0040】

[実施の形態1]

図2は、図1に示すDRAM1の内部動作制御信号発生部の構成を概略的に示すブロック図である。図2において、DRAM1は、アクティブ信号ACTの活性化時に起動され、クロック信号P1をカウントするACTカウンタ10と、ACTカウンタ10のカウント値をデコードし、該デコード結果に従ってDRAMの内部動作制御信号のアサートタイミング(活性化タイミング)を決定するアサートタイミングデコーダアレイ12と、プリチャージ指示信号PCGの活性化にตอบสนองして起動され、クロック信号P1をカウントするPCGカウンタ14と、PCGカウンタ14の出力カウント値をデコードし、該デコード結

10

20

30

40

50

果に従って内部動作制御信号の非活性化タイミングを決定する信号を発生するネゲートタイミングデコーダアレイ16と、読出動作指示信号DRTおよび書込動作指示信号DWTの一方に応答して起動され、クロック信号P1をカウントするCOLカウンタ18と、読出動作指示信号DRTおよび書込動作指示信号DWTの一方に応答して活性化され、COLカウンタ18の出力するカウント値をデコードし、そのデータ書込/読出に関連する動作制御信号のアサート/ネゲートタイミングを決定するアサート/ネゲートタイミングデコーダアレイ20と、デコーダアレイ12、16および20の出力信号に従って、DRAM内部動作制御信号の活性/非活性を行なうDRAM制御信号発生回路22を含む。アサートタイミングデコーダアレイ12は、DRAMのアレイ活性化、すなわち行(ワード線)選択動作に関連する部分の制御信号を活性化するタイミングを与える。ネゲートタイミ

10

【0041】

クロック信号P1は、図1におけるシステムクロック信号として用いられる。またアレイ活性化指示信号ACT、プリチャージ指示信号PCG、読出動作指示信号DRTおよび書込動作指示信号DWTは、それぞれメモリコントローラ3から信号として与えられてもよく、またメモリコントローラ3からコマンドの形態で与えられて、DRAM1内部でこのコマンドをデコードして発生されてもよいDRAMとメモリコントローラは同一半導体チップ上に形成されており、コマンドデコーダがいずれに設けられても特に相違はない。以下の説明においては、メモリコントローラ3が内部にコマンドデコーダを備えており、メモリコントローラ3からは、制御信号ACT, PCG, DRTおよびDWTが出力されるものと想定する。

20

【0042】

このDRAM制御信号発生回路22は、またデコーダアレイ12, 16および20からの出力信号に従って、ロウ系コマンド禁止信号RINH、コラム系コマンド禁止信号CINHおよびコラム動作完了信号COLendを生成して装置外部(メモリコントローラ)へ与える。

【0043】

図2に示すように、内部動作制御信号の活性/非活性(アサート/ネゲート)タイミングは、すべてクロック信号P1のカウント数により決定される。それにより、内部動作タイミングをすべてクロック信号に同期して決定することができ、動作タイミングマージンを考慮する必要がなく、高速アクセスが可能となる。またこれらのクロックカウントに従ってロウ系コマンド禁止信号RINH、コラム系コマンド禁止信号CINHおよびコラム動作完了信号COLendを生成することにより、メモリコントローラは、コマンドの発行タイミングを容易に判別することができる。コラム動作完了信号COLendは、コラム選択動作が完了した後に活性状態とされ、有効データがデータバスDBS(図1参照)上

30

に出力されたことおよび次のコマンドの入力が可能であることを示す。次に各部の具体的な構成について説明する。

【0044】

図3は、アレイ活性化指示信号(以下、単にアクティブ信号と称す)ACTとアレイプリチャージ動作指示信号(以下、単にプリチャージ信号と称す)PCGに

40

応答して動作する回路の構成を示す。この図3に示す構成は、通常、「ロウ系回路」と呼ばれる。図3においては、このDRAMに含まれる複数のメモリブロックのうち1つのメモリブロックに対する構成のみが代表的に示される。メモリブロックにおいては、メモリセルMCが行および列のマトリクス状に配列される。メモリセルMCの各行に対応してワード線WLが配置され、メモリセルMCの各列に対応してビット線BL, ZBLが配置される。メモリセルMCは、情報を記憶するキャパシタCと、対応のワード線WL上の信号電位に

50

応答して導通し、キャパシタCを対応のビット線BL(またはZBL)に接続するメモリトランジスタMTを含む。ビット線BLおよびZBLは対をなし、互いに相補なデータ信号を伝達する。

【 0 0 4 5 】

プリチャージ/イコライズ回路30およびセンスアンプ32がビット線対BL, ZBLに設けられる。これらのプリチャージ/イコライズ回路30およびセンスアンプ32は、それぞれ隣接する2つのメモリブロックの各列(ビット線対BLおよびZBL)に対応して配置される。プリチャージ/イコライズ回路30は、ビット線イコライズ指示信号BLEQにตอบสนองしてノードNSおよびZNSを所定の電位(中間電位VBL)にプリチャージしおよびかつこれらのノードNSおよびZNSを電氣的に短絡する。

【 0 0 4 6 】

センスアンプ32は、センスアンプ活性化信号ZSOP、SONおよびSOFにตอบสนองして活性化され、ノードNSおよびZNSの電位を差動的に増幅する。このセンスアンプ32は、センスアンプ活性化信号ZSOPの活性化時に活性化され、ノードNSおよびZNSの高電位のノードを電源電圧レベルに駆動する交差結合されたpチャンネルMOSトランジスタと、センスアンプ活性化信号SONおよびSOFにตอบสนองして活性化され、ノードNSおよびZNSの低電位のノードを接地電位レベルへ放電する交差結合されたnチャンネルMOSトランジスタを含む。センスアンプ活性化信号SOFは、センスアンプ活性化信号SONよりも速いタイミングで活性状態とされ、センスアンプ32を比較的小さなセンス速度で動作させ、一方、センスアンプ活性化信号SONは、大きなセンス速度でセンスアンプ32を動作させる。センスアンプ活性化信号SOFにより、ノードNSおよびZNSの電位差を緩やかに拡大し、次いでこの拡大されたノード間電位差をセンスアンプ活性化信号SONに従って高速で拡大する。これにより、微小電位差を安定かつ高速で増幅する。

【 0 0 4 7 】

ノードNSおよびZNSとビット線BLおよびZBLの間に、ビット線分離指示信号BLIaにตอบสนองして導通し、ビット線BLおよびZBLをノードNSおよびZNSに結合するビット線分離ゲートBIGAが設けられる。図示しない他方のメモリブロックとノードNSおよびZNSの間に、ビット線分離指示信号BLIbにตอบสนองして導通し、ノードNSおよびZNSをこの図示しないメモリブロックの対応のビット線に接続するビット線分離ゲートBIGBが設けられる。スタンバイ状態時(プリチャージ状態時:アレイ非活性化時)においては、ビット線分離指示信号BLIaおよびBLIbはともに活性状態のHレベルにあり、ビット線分離ゲートBIGAおよびBIGBは、ともに導通状態にあり、ノードNSおよびZNSは隣接するメモリブロック両者の対応の列(ビット線対)に接続される。このスタンバイ時においては、ビット線イコライズ指示信号BLEQがHレベルの活性状態にあり、プリチャージ/イコライズ回路30はノードNSおよびZNSを中間電位レベルにプリチャージしかつイコライズする。したがって対応のビット線BL, ZBLも中間電位レベルにプリチャージされる。このビット線分離ゲートBIGA, BIGB, プリチャージ/イコライズ回路30およびセンスアンプ32は、ロウ系回路の構成要素である。

【 0 0 4 8 】

ロウ系回路は、さらに、ロウアドレスラッチ指示信号RALにตอบสนองして与えられたアドレス信号Adをラッチし内部ロウアドレス信号を発生するロウアドレスバッファ34と、ロウアドレスデコードイネーブル信号RADEにตอบสนองして活性化され、ロウアドレスバッファ34から与えられた内部アドレス信号から相補アドレス信号を生成しかつデコードしてワード線選択信号を生成するロウデコーダ36と、ワード線活性化タイミング指示信号ZRX Tにตอบสนองして活性化され、高電圧VPPレベルのワード線駆動信号RX Tを発生するRX T発生回路38と、ロウデコーダ36からのワード線選択信号とRX T発生回路38からのワード線駆動信号RX Tとに従って、選択された(アドレス指定された)ワード線WL上へ高電圧VPPレベルのワード線駆動信号RX Tを伝達するワード線ドライバ40を含む。

【 0 0 4 9 】

ロウデコーダ36は、プリデコーダ/ロウデコーダの構成を備えており、プリデコード信号により、複数のワード線が同時に選択され、これら複数の同時に選択されたワード線の

10

20

30

40

50

うちの1つのワード線に対し、ワード線駆動信号RXTがデコード信号に従って伝達される。このワード線駆動信号RXTは、したがってロウデコーダ36の出力信号(デコード信号)と論理がとられて各ワード線ドライバ40へ与えられてもよい。

【0050】

図4は、図3に示すロウ系回路駆動用内部制御信号の発生シーケンスを示すタイミングチャート図である。この図4に示すロウ系回路駆動用内部制御信号は、図2に示すACTカウンタ10、アサートタイミングデコーダアレイ12、PCGカウンタ14およびネゲードタイミングデコーダアレイ16の出力信号に従ってDRAM制御信号発生回路22から出力される。以下、図2ないし4を参照して、ロウ系回路駆動用内部制御信号の発生動作シーケンスについて説明する。

10

【0051】

時刻t0以前において、ACTカウンタ10およびPCGカウンタ14は、そのカウント値は0にリセットされている。時刻t0においてアクティブ信号ACTがクロック信号P1の立下がりに同期して活性状態とされると、ACTカウンタ10は、次のクロック信号P1の立上がりに対応してカウント動作を行ない、そのカウント値を1増分する。この時刻t1においてACTカウンタ10のカウント値が1になると、アサートタイミングデコーダアレイ12からの出力信号に従って、DRAM制御信号発生回路22は、ロウ系コマンド禁止信号RINHを活性状態のHレベルとし、またはロウアドレスラッチ指示信号RAL、ロウアドレスデコードイネーブル信号RADEをHレベルの活性状態とする。これにより、ロウアドレスバッファ34が与えられたアドレス信号Adをラッチし内部アドレス信号を発生し、またロウデコーダ36がデコード動作を開始する。ビット線分離指示信号BLIの非活性化に対応して、選択メモリブロックと対をなすメモリブロックが対応のセンスアンプノードNS, ZNSから切離される。このときビット線イコライズ指示信号BLEQはHレベルの活性状態にあり、プリチャージ/イコライズ回路30はイコライズ動作を行なっており、対応のメモリブロックの各列を中間電位にプリチャージしている。

20

【0052】

時刻t2において、クロック信号P1がHレベルに立上がると、ACTカウンタ10のカウント値が1増分され、応じて(選択メモリブロックに対する)ビット線イコライズ指示信号BLEQがLレベルの非活性状態とされ、各プリチャージ/イコライズ回路30が非活性状態とされ、ノードNSおよびZNSのプリチャージ動作が停止される。時刻t1においては、与えられたアドレス信号に含まれるブロック指定信号に従って、選択メモリブロックと対をなす非選択メモリブロックに対するビット線分離指示信号もまた非活性状態とされている選択メモリブロックは対応のセンスアンプ回路に接続され、この選択メモリブロックと対をなす非選択メモリブロックはセンスアンプ回路から分離される。センスアンプを共有するメモリブロックがともに非選択状態の場合にはこれらの非選択メモリブロックはともにセンスアンプ回路に接続される。

30

【0053】

時刻t3において、クロック信号P1が再びHレベルに立上がると、ACTカウンタ10のカウント値が1増分され3となる。このカウント値3に従って、ワード線駆動タイミング信号ZRXがLレベルの活性状態とされ、RXT発生回路38が活性化され、ワード線駆動信号RXTを活性状態とする。この活性状態のワード線駆動信号RXTは、ロウデコーダ36により生成されたワード線選択信号に対応してワード線ドライバ40を介して選択されたワード線WL上に伝達される。

40

【0054】

時刻t4において、再びクロック信号P1がHレベルに立上がると、ACTカウンタ10のカウント値が1増分され、センスアンプ活性化信号SOFがHレベルの活性状態とされる。これにより、センスアンプ32が活性化され、ノードNSおよびZNS上に現れた電位差を緩やかに増幅する。ここで、センスアンプ活性化信号SOFは、選択メモリブロックに対するセンスアンプのみが活性状態とされる。これはメモリブロック指定信号とセンスアンプ活性化信号SOFの論理積をとることにより実現される。

50

【 0 0 5 5 】

時刻 t 5 において、クロック信号 P 1 が H レベルに立上がると、A C T カウンタ 1 0 のカウント値が 5 となり、応じてセンスアンプ活性化信号 S O N が H レベルの活性状態とされる。これによりセンスアンプ 3 2 が高速で動作し、ノード N S および Z N S の低電位のノードを高速で接地電位レベルへと放電する。

【 0 0 5 6 】

時刻 t 6 において再びクロック信号 P 1 が H レベルに立上がると、センスアンプ活性化信号 Z S O P が L レベルの活性状態とされ、センスアンプ 3 2 は、ノード N S および Z N S の高電位のノードを電源電圧レベルへ駆動する。この時刻 t 6 において、それまで H レベルの活性状態にあったコラム系コマンド禁止信号 C I N H が L レベルとされ、コラム系コマンドの入力が許可される。この時刻 t 1 から時刻 t 6 までの期間は、R A S - C A S 遅延時間 t R C D に対応する。この時刻 t 6 以降において、後に説明するコラム系のコマンドが与えられ、列選択動作が行なわれる。

10

時刻 t 7 において、クロック信号 P 1 が H レベルに立上がり、A C T カウンタ 1 0 のカウント値が 1 1 に立上がる。次いで時刻 t 8 において、クロック信号 P 1 が H レベルに立上がると、A C T カウンタ 1 0 のカウント値が 1 1 から 0 となり、ロウ系コマンド禁止信号 R I N H が L レベルの非活性状態とされる。これにより、ロウ系コマンドの入力が許可される。この時刻 t 1 から時刻 t 8 までの時間は、R A S アクティブ時間 t R A S として規定される。したがって、この時間 t R A S は、最初にアクティブコマンドが与えられてから、ワード線が選択され、センスアンプが動作し、センスアンプにより増幅されたメモリセルのデータが再びメモリセルへ書込まれるまでに必要とされる時間である。

20

【 0 0 5 7 】

時刻 t 8 の経過後、クロック信号 P 1 の立下がりに応答してプリチャージ信号 P C G が活性状態の H レベルとされ、時刻 t 9 において、P C G カウンタ 1 4 のカウント値が 0 から 1 に増加する。この P C G カウンタ 1 4 のカウント値に従って再びロウ系コマンド禁止信号 R I N H が H レベルの活性状態とされ、ロウ系コマンドの入力が禁止される。またこの P C G カウンタ 1 4 のカウント値が 1 になると、コラム系コマンド禁止信号 C I N H が H レベルとされ、コラム系コマンドの入力が禁止される。この P C G カウンタ 1 4 のカウント値が 1 になると、応じてワード線駆動タイミング指示信号 Z R X T が H レベルの非活性状態とされ、選択ワード線に伝達されたワード線駆動信号 R X T が L レベルとされ、選択ワード線が非選択状態へ移行する。

30

【 0 0 5 8 】

時刻 t 1 0 において、クロック信号 P 1 が H レベルに立上がると、P C G カウンタ 1 4 のカウント値が 1 増分され、2 となる。これにより、ビット線分離指示信号 B L I が H レベルとされ、切離されたていたメモリブロックは対応のセンスアンプに接続される。またセンスアンプ活性化信号 S O F および S O N はともに L レベルの非活性状態とされ、またセンスアンプ活性化信号 Z S O P が L レベルの非活性状態とされる。

【 0 0 5 9 】

次いで時刻 t 1 1 において、クロック信号 P 1 が立上がると、P C G カウンタ 1 4 のカウント値が 3 に増加し、ロウアドレスラッチ指示信号 R A L およびロウアドレスデコードイネーブル信号 R A D E が L レベルの非活性状態とされ、ロウアドレスバッファ 3 4 はラッチ状態から解放される。ロウデコード 3 6 は、デコード動作が禁止される（相補が内部アドレス信号の発生およびそのデコード動作が禁止される）。

40

【 0 0 6 0 】

これにより、D R A M のロウ系回路がスタンバイ状態（プリチャージ状態）に復帰する。

【 0 0 6 1 】

時刻 t 1 2 において、クロック信号 P 1 が H レベルに立上がると、P C G カウンタ 1 4 のカウント値が 0 に復帰する。この P C G カウンタ 1 4 のカウント値が 0 になると、ロウ系コマンド禁止信号 R I N H が再び L レベルの非活性状態とされ、ロウ系コマンドの入力が許可される。この時刻 t 9 から時刻 t 1 3 の間の期間は R A S プリチャージ期間 t R P に

50

対応し、この期間において、DRAMの内部信号線およびノードが所定のプリチャージ電位に復帰する。

【0062】

上述のように、各回路部の動作を行なうための制御信号をクロック信号P1に同期して活性/非活性状態とすることにより、これらの制御信号のタイミングマージンを考慮する必要がなく、高速で内部動作（ロウ選択/非選択：アレイ活性化/非活性化）を行なうことができる。またクロック信号P1に同期して制御信号が発生されているため、動作環境が変化しても、クロック信号P1に従って正確なタイミングで内部制御信号が発生され、不安定な信号に従って動作することが防止される。したがって安定かつ高速に動作するDRAMを実現することができる。

10

【0063】

図5は、DRAMのコラム系回路の構成を概略的に示す図である。プリチャージ/イコライズ回路30およびセンスアンプ32は、図3に示すのと同じであり、また、ビット線分離ゲートBIGは、1つのメモリブロックに対するビット線分離ゲートのみを代表的に示す。このDRAMにおいては、メモリブロックそれぞれに応じて、ローカルIO線LIOおよびZLIOが設けられ（シェアードセンスアンプ構成では、センスアンプ帯において）、複数のメモリブロックに共通にグローバルIO線GIOおよびZGIOが設けられる。

【0064】

コラム系回路は、ビット線BLおよびZBLにそれぞれ設けられ、後に説明するコラムデ
 コーダからの列選択信号CSLに
 20 応答して導通し対応のビット線BL, ZBL（センスノードNS, ZNS）をローカルIO線LIOおよびZLIOへ接続するビット線選択ゲートIOGと、ブロック選択信号BAに
 応答して導通し、ローカルIO線LIOおよびZLIOをグローバルIO線GIOおよびZGIOへ接続するブロック選択ゲートBSGと、ローカルIO線イコライズ指示信号LIEQに
 応答して活性化され、ローカルIO線LIOおよびZLIOを所定の電位（中間電位レベル）へイコライズするイコライズ回路40と、グローバルIO線イコライズ指示信号GIOEQに
 30 応答して活性化され、グローバルIO線GIOおよびZGIOを所定の電位（通常電源電圧レベル）へプリチャージし
 かつイコライズするグローバルIO線イコライズ回路42を含む。メモリブロック選択ゲートBSGの導通/非導通を制御する信号BAは、ローカルIO線イコライズ信号LIEQ（またはグローバルIO線イコライズ指示信号GIOEQ）の活性化と同期して活
 性状態とされる。

20

30

【0065】

コラム系回路は、さらに、コラムアドレスラッチ指示信号CALに
 40 応答してアドレス信号Adを取込みラッチし内部列アドレス信号を発生するコラムアドレスバッファ44と、コラムアドレスデコードイネーブル信号CADEに
 応答して活性化され、コラムアドレスバッファ44から与えられた内部列アドレス信号から相補な内部列アドレス信号を生成してデコードし、アドレス指定された列（ビット線対）に対応する列選択信号CSLを活性状態へ駆動するコラムデコーダ46と、プリアンプイネーブル信号PAEに
 40 応答して活性化され、グローバルIO線GIOおよびZGIO上の電位を差動的に増幅するプリアンプ48と、ライトドライバイネーブル信号WDEに
 応答して活性化され、与えられた書込データから相補内部書込データを生成してグローバルIO線GIOおよびZGIO上に伝達するライトドライバ54を含む。リードコマンドが与えられたときにはプリアンプ48が活性状態とされ、ライトコマンドが与えられた場合にはライトドライバ54が活性状態とされる。DRAM、プロセッサおよびメモリコントローラは同一チップ上に形成されており、DRAM入出力バッファは設けられていない。次に、この図5に示すコラム系回路のための内部動作制御信号の発生シーケンスを図6に示すタイミングチャート図を参照して説明する。図6においては、読出動作指示信号（リードコマンド）DRTが与えられた場合の動作が一例として示される。

40

【0066】

50

時刻 t_0 以前においては、COLカウンタ18のカウント値は0である。この状態において、ローカルIO線イコライズ指示信号LIOEQおよびグローバルIO線GIOEQがHレベルの活性状態にあり、図5に示すイコライズ回路40および42が活性状態とされてローカルIO線LIOおよびZLIOならびにグローバルIO線GIOおよびZGIOをそれぞれ所定の電位レベルにプリチャージしかつイコライズしている。

【0067】

時刻 t_0 において、読出動作指示信号(リードコマンド)DR Tが与えられる(活性状態とされる)と、COLカウンタ18のカウント値が時刻 t_1 のクロック信号P1の立上がりと共に同期して1に変化する。このCOLカウンタ18のカウント値が1となると、コラムアドレスラッチ指示信号CALおよびコラムアドレスデコードイネーブル信号CADEがHレベルの活性状態とされる。これにより、図5に示すコラムアドレスバックアップ44がラッチ状態とされ、内部列アドレス信号を出力する。またコラムデコーダ46が、コラムアドレスデコードイネーブル信号CADEに应答して活性化され、この与えられた内部列アドレス信号から生成された相補内部列アドレス信号をデコードし、列選択信号CSLを活性状態とする。この時刻 t_1 において、またイコライズ指示信号LIOEQおよびGIOEQがともにLレベルの非活性状態とされ、イコライズ回路40および42が非活性状態とされる。この状態において、ブロック選択ゲートBSGに与えられるブロック選択信号BAが活性状態とされ、選択メモリブロックのローカルIO線LIO、ZLIOとグローバルIO線GIOおよびZGIOが接続される(この信号は図示せず)。

【0068】

時刻 t_2 において、COLカウンタ18のカウント値がクロック信号P1の立上がりと共に同期して2に変化する。この状態において、内部で列選択動作が行なわれ、選択列上のメモリセルデータ(センスノードのNSおよびZNSの電位)がローカルIO線LIOおよびZLIOを介してグローバルIO線GIOおよびZGIO上に伝達される。

【0069】

時刻 t_3 において、クロック信号P1が立上がると、COLカウンタ18のカウント値が3に変化し、応じてプリアンピネーブル信号PAEがHレベルの活性状態とされる。これにより、プリアンプ48が活性状態とされ、グローバルIO線GIOおよびZGIO上に伝達されたメモリセルデータを増幅し、データバス(DBS)へ出力する。プリアンプ48は信号PAEがLレベルのときラッチ状態とされる。

【0070】

時刻 t_4 において、クロック信号P1がHレベルに立上がると、COLカウンタ18のカウント値が5に変化し、コラム動作完了信号COLendがHレベルの活性状態とされる。これにより、外部に設けられたメモリコントローラは、有効データが出力されたことを検知し、データバスDBSのデータのサンプリングが行なわれる。この時刻 t_4 において、コラムアドレスデコードイネーブル信号CADEがLレベルの非活性状態とされ、列選択動作が完了し、選択列が非選択状態へ以降し、またはローカルIO線イコライズ信号LIOEQおよびグローバルIO線イコライズ指示信号GIOEQがHレベルの活性状態とされる。これにより、ローカルIO線LIOおよびZLIOならびにグローバルIO線GIOおよびZGIOがともにそれぞれ所定の電位レベルにプリチャージされかつイコライズされる。

【0071】

時刻 t_5 において、クロック信号P1がHレベルに立上がると、COLカウンタ18のカウント値が0に戻り、コマンド発行可能を示す列コラム動作完了信号COLendがLレベルとされ、またコラムアドレスラッチ指示信号CALもLレベルの非活性状態とされ、コラムアドレスバッファ44がスルー状態とされて新たな列アドレス信号を取込む状態に設定される。また時刻 t_4 においてはプリアンピネーブル信号PAEも非活性状態とされており、プリアンプ48も、ラッチ状態にある。このコラム動作完了信号COLendがLレベルに立下がると、メモリコントローラは、再びリードコマンドが与えられることができると判定し、データ読出指示信号DR Tが再び活性状態とされ、時刻 t_6 において

、COLカウンタ18のカウンタ値が1となり、コラムアドレスラッチ指示信号CALがHレベルの活性状態とされ、コラムアドレスバッファ44がラッチ状態となり、またコラムアドレスデコードイネーブル信号CADEがHレベルの活性状態とされ、コラムデコーダ46がデコード動作を行なう。また時刻t6において、イコライズ指示信号LIOEQおよびGIOEQがともにLレベルの非活性状態とされ、IO線LIO, ZLIO, GIO, ZGIOがそれぞれプリチャージ電位でフローティング状態とされる。

【0072】

時刻t7において、COLカウンタ18のカウンタ値が3となると、プリアンピネーブル信号PAEが再び活性状態とされ、プリアンプ48が増幅動作を行ない、内部データバス上に読出データを伝達する。

10

【0073】

時刻t8において、COLカウンタ18のカウンタ値が5に変化すると(クロック信号P1の立上がりに同期して)、内部列選択動作が完了し、コラムアドレスデコードイネーブル信号CADEおよびプリアンピネーブル信号PAEがLレベルの非活性状態とされ、次いでローカルIO線イコライズ指示信号LIOEQおよびGIOEQがそれぞれHレベルの活性状態とされる。

【0074】

時刻t9において、このCOLカウンタ18のカウンタ値が0に戻ると、コラムアドレスラッチ指示信号CALがLレベルの非活性状態とされ、再びコラムアドレスバッファ40がスルー状態とされる。この時刻t8からt9の期間、再びコラム動作完了信号COLendがHレベルの活性状態とされて有効データが出力されたことおよびコマンド発行可能メモリコントローラに知らされる。

20

【0075】

プリアンプ48により増幅されたデータはそのプリアンプのラッチ機能により持続的に出力される。これにより、コラム動作完了信号COLendにより、メモリコントローラに有効データが「レディ」状態にあることを知らせることができ、有効データを確実にサンプリングすることができる。またこのコラム動作完了信号COLendは、メモリコントローラに対し、次のサイクルにおいて、リードコマンドまたはライトコマンドを与えてもよいことを知らせる信号となる。

【0076】

データ書込動作時においては、ライトコマンド(データ書込動作指示信号)DWTに従ってデータリードと同様の動作が行なわれる。プリアンピネーブル信号PAEに代えてライトドライバイネーブル信号WDEが活性状態とされる点が異なるだけである。データ入出力インタフェースとしてデータ入出力バッファが更に設けられてもよい。

30

【0077】

図7は、図2に示すアサートタイミングデコーダアレイ12の構成を示す図である。図2に示すネゲードタイミングデコーダアレイ16およびアサート/ネゲードタイミングデコーダアレイ20も同様の構成を備える。

【0078】

図7において、アサートタイミングデコーダアレイ12は、アクティブ信ACTおよびACTカウンタ10からの出力カウンタCO_{3:0}およびZCO_{3:0}を伝達する信号線S1~S9と、これらの信号線S1~S9と交差する方向に配設されるゲート入力信号線群GL1~GL8と、ゲート入力線群GL1~GL8それぞれに対応して設けられるANDゲート回路G1~G8を含む。ANDゲートG1に対して設けられたゲート入力線群GL1は、信号線S1、S2、S4、S6およびS8それぞれと電氣的に接続される。AND回路G2に対して設けられた入力線群GL2は、信号線S1、S2、S4、S6、およびS8それぞれと電氣的に接続される。AND回路G3に対して設けられたゲート入力信号線群GL3は、信号線S3、S4、S6、およびS8それぞれと電氣的に接続される。AND回路G4に対して設けられたゲート入力線群GL4は、信号線S1、S2、S4、S6、およびS8それぞれと電氣的に接続される。AND回路G5に対して設けら

40

50

れたゲート入力信号線群GL5は、信号線S1、S5、S6、およびS8それぞれと電氣的に接続される。AND回路G6に対して設けられたゲート入力信号線群GL6は、信号線S3、S5、S6、およびS8それぞれと電氣的に接続される。AND回路G7に対して設けられたゲート入力信号線群GL7は、信号線S1、S4、S7、およびS8それぞれと電氣的に接続される。AND回路G8に対して設けられたゲート入力信号線群GL8は、信号線S3、S4、S7、およびS8それぞれと電氣的に接続される。AND回路G1から、ロウアドレスラッチ指示信号セット信号RALsetが出力される。AND回路G2から、ビット線分離指示信号セット信号BLIsetが出力される。AND回路G3から、ビット線イコライズ指示信号セット信号BLEQsetが出力される。AND回路G4から、ロウアドレスデコードイネーブル信号セット信号RADEsetが出力される。AND回路G5から、ワード線活性化タイミング指示信号セット信号ZRXtsetが出力される。AND回路G6から、センスアンプ活性化信号セット信号SOFsetが出力される。AND回路G7から、センスアンプ活性化信号セット信号SONsetが出力される。AND回路G8から、センスアンプ活性化信号セット信号ZSOPsetが出力される。これらのAND回路G1～G8から出力されるセット信号がHレベルの活性状態とされると、対応の指示信号が活性状態とされる(アサートされる)。アクティブ信号ACTは、AND回路G1、G2およびG4へ与えられている。これらのAND回路G1、G2およびG4から出力される信号RALset、BLIset、およびRADEsetは、ACTカウンタからのカウントビットZCO<0>、ZCO<1>、ZCO<2>およびZCO<3>を受けている。したがって、アクティブ信号ACTが与えられると、即座にこれらの信号RALset、BLIsetおよびRADEsetが活性状態とされ、ロウアドレス信号のラッチおよびデコード動作が開始され、またメモリブロックの切離し動作が実行される。なお、ACTカウンタは、プリチャージ状態そのカウント値は0にリセットされており、このカウント値ZCO<3:0>は、すべて“1”の状態にある。残りの信号は、対応のカウントビットがすべて“1”とされると、活性状態のHレベルとされる。

【0079】

この図7に示すアサートタイミングデコーダアレイ12において、信号線S1～S9と、ゲート入力信号線グループGL1～GL8の交差部、電氣的な接続点がプログラムされる。この接続を適当に設定することにより、必要とされるタイミングで容易に内部動作制御信号を活性状態とすることができる。また、この電氣的接続位置を変更することにより、容易にこれらの内部動作制御信号の活性化タイミング/非活性化タイミングを調整することができる(ネゲートタイミングデコーダアレイも同様の構成を備えているため)。

【0080】

この信号線S1～S9とゲート入力信号線グループGL1～GL8の接続は、マスク配線により固定的に行なわれてもよく、また制御信号線に応じてその接続ノードが切換えられる構成が用いられてもよい。この構成は、信号線S1～S9とゲート入力信号線グループGL1～GL8それぞれの交差部にスイッチングトランジスタを設けておき、制御信号に応じてこれらのスイッチングトランジスタを選択的に導通状態/非導通状態とすることにより、1つのチップで、複数のクロック動作周波数に対応することが可能となる。

【0081】

なおACTカウンタ、PCGカウンタおよびCOLカウンタは、その構成について後に詳細に説明するが、これらはそれぞれアクティブ信号ACT、プリチャージ信号PCG、リード信号DRTおよびライト信号DWTが与えられたときに起動されてカウント動作を行なうバイナリカウンタで構成される。

【0082】

図8(A)は、図2に示すDRAM制御信号発生回路22に含まれるロウアドレスラッチ指示信号RAL発生部の構成を示す図である。各内部動作制御信号に対してこの図8(A)に示す構成と同様の構成が用いられる。図8(A)において、ロウアドレスラッチ指示信号発生部は、図2に示すアサートタイミングデコーダアレイ12から与えられるロウア

ドレスラッチ指示信号セット信号 $RALset$ と図 2 に示すネゲートタイミングデコーダ
 アレイ 16 から与えられるロウアドレスラッチリセット信号 $RALrst$ およびロウアド
 レスラッチ指示信号 RAL を受ける OR/AND 複合ゲート 22a と、複合ゲート 22a
 の出力信号をクロック信号 $P1$ の立上がり同期して取込み出力 Q から出力する D フリッ
 プフロップ 22b を含む。出力 Q から、ロウアドレスラッチ指示信号 RAL が出力される
 。複合ゲート 22a は、等価的に、ロウアドレスラッチ指示信号 RAL およびロウアドレ
 スラッチ指示信号セット信号 $RALset$ を受ける OR ゲートと、この OR ゲートの出力
 信号とロウアドレスラッチ指示信号リセット信号 $RALrst$ を受けるゲート回路を含む
 。このゲート回路は、信号 $RALrst$ が L レベルでありかつ OR ゲートの出力信号が H
 レベルのときに H レベルの信号を出力する。次にこの図 8 (A) に示すロウアドレスラッ
 チ指示信号発生部の動作を図 8 (B) に示すタイミングチャート図を参照して説明する。

10

【0083】

時刻 t_0 において、アクティブ信号 ACT が H レベルの活性状態とされる。このアクティ
 ブ信号 ACT の活性化にตอบสนองして、信号 $RALset$ が半クロックサイクルの間 H レベル
 の活性状態とされる (図 7 参照)。この信号 $RALset$ が H レベルとされると、信号 R
 $AALrst$ は L レベルであるため、複合ゲート 22a の出力信号が H レベルとされる。こ
 の期間、クロック信号 $P1$ は、 L レベルであり、 D フリップフロップの出力信号 RAL は
 L レベルを維持する。

【0084】

時刻 t_1 において、クロック信号 $P1$ が立上がると、 D フリップフロップ 22b がこの複
 合ゲート 22a の出力信号を取込みラッチする。時刻 t_1 において、信号 $RALset$ は
 L レベルに低下するが、この複合ゲート 22a の固有の遅延時間により、複合ゲート 22
 a の出力信号は H レベルであり、したがって D フリップフロップ 22b からの信号 RAL
 が H レベルに立上がる。信号 RAL が H レベルにありかつ信号 $RALrst$ が L レベルに
 ある間、 D フリップフロップ 22b は、複合ゲート 22a から与えられる H レベルの信号
 をクロック信号 $P1$ に同期して取込みラッチする。したがってこの間、信号 RAL は H レ
 ベルの活性状態とされる。

20

【0085】

時刻 t_2 においてプリチャージ信号 PCG が活性状態とされる。 PCG カウンタが動作し
 、ネゲートタイミングデコーダアレイ 16 からのリセット信号 $RALset$ が時刻 t_3 から
 時刻 t_4 の間の 1 クロックサイクル期間 H レベルとされる。このリセット信号 $RALrst$
 が H レベルとなると、複合ゲート 22a の出力信号が L レベルとなるが、この複合ゲ
 ート 22a の固有の遅延時間のため、時刻 t_3 から時刻 t_4 においては、 D フリップフロ
 ップ 22b からの信号 RAL は H レベルを維持している。時刻 t_4 において、クロック信
 号 $P1$ が H レベルに立上がると、リセット信号 $RALrst$ が L レベルとなり、複合ゲ
 ート 22a の出力信号が H レベルとなりかける。しかしながらこの場合も複合ゲート 22a
 の遅延時間により、クロック信号 $P1$ の立上がり時点においては、複合ゲート 22a の出
 力信号は L レベルであり、したがって D フリップフロップ 22b から出力される信号 R
 AAL が L レベルとなる。これにより、以降複合ゲート 22a の出力信号は L レベルに保持さ
 れる。

30

40

【0086】

上述のように、デコーダアレイからのセット信号およびリセット信号に従って、クロック
 信号 $P1$ に従って内部動作制御信号の活性/非活性を正確に制御することができる。

【0087】

図 9 は、ロウ系コマンド禁止信号 $RINH$ 発生部の構成の一例を示す図である。図 9 にお
 いて、 $RINH$ 発生部は、 ACT カウンタの出力ビット $ZCO<0> \sim ZCO<3>$ を受
 ける $NAND$ 回路 62 と、 PCG カウンタの出力カウント値 $ZCO<0> \sim ZCO<2>$
 を受ける $NAND$ 回路 64 と、 $NAND$ 回路 62 および 64 の出力信号を受ける OR 回路
 66 を含む。 $NAND$ 回路 62 は、 ACT カウンタのカウント値が 0 のとき、すなわちビ
 ット $ZCO<0> \sim ZCO<3>$ がすべて “1” のときに L レベルの信号を出力する。一

50

方、NAND回路64は、PCGカウンタのカウント値が0のとき、すなわちビットZCO<0>~ZCO<2>がすべて“1”のときにLレベルの信号を出力する。したがって、ロウ系コマンド禁止信号RINHは、ACTカウンタのカウント値が“0”にありかつPCGカウンタのカウント値が“0”のときにのみLレベルの非活性状態とされ、ロウ系コマンド入力は、許可される。すなわちNAND回路62が、RASアクティブ期間tRASにおけるロウ系コマンドの禁止期間を決定し、NAND回路64が、RASプリチャージ時間tRPの期間のロウ系コマンドの入力を禁止する。

【0088】

この図9に示すRINH発生部の構成において、NAND回路62および64は、デコーダレイ内に含まれ、OR回路66のみがDRAM制御信号発生回路に含まれるように構成されてもよい。

10

【0089】

図10は、コラム系コマンド禁止信号CINH発生部の構成の一例を示す図である。図10において、CINH信号発生部は、PCGカウンタの出力カウントビットZCO<0>~ZCO<2>を受ける3入力NAND回路71と、ACTカウンタの出力カウントビットCO<1>およびCO<2>を受けるNAND回路72と、ACTカウンタの出力カウントビットCO<3>とAND回路72の出力を受ける2入力NOR回路73と、NAND回路71の出力信号とNOR回路73の出力信号を受けるAND回路74を含む。AND回路72およびNOR回路73は、複合ゲートで構成されてもよい。

【0090】

20

この図10に示す構成の場合、NAND回路71は、PCGカウンタのカウント値が“0”のとき、すなわちカウントビットZCO<0>~ZCO<2>がすべて“1”のときにLレベルの信号を出力する。AND回路72は、ACTカウンタのカウントビットCO<1>およびCO<2>がともに“1”のときにHレベルの信号を出力する。NOR回路73は、そのAND回路72の出力信号およびACTカウンタのカウントビットCO<3>の一方がHレベルのときにLレベルの信号を出力する。したがって、NOR回路73からは、ACTカウンタのカウント値が6以上のときにLレベルの信号が出力される。したがって、PCGカウンタのカウント値が“0”のときまたはACTカウンタのカウント値が6~11のときにこのコラム系コマンド禁止信号CINHがLレベルの非活性状態とされる。

30

【0091】

なお上述の説明において、ACTカウンタは、カウント値が11に到達すると0にそのカウント値がリセットされ、またPCGカウンタもそのカウント値が5に到達すると次のサイクルでは0にリセットされるように構成されている。別の構成のカウンタが用いられる場合、当然、ロウ系コマンド禁止信号RINHおよびコラム系コマンド禁止信号CINHを発生する部分の回路構成は応じて異なる。

【0092】

コラム動作完了信号COLendは、コラム系の動作が完了したことを示している。COLカウンタのカウント値が“5”のときに信号COLendが発生されればよい。プリアンプイネーブル信号PAEが非活性状態とされ、内部のプリアンプはラッチ状態とされており、有効データが出力されている(データ読出時)。データ書込時においては、次のコマンドを与えてもよいことをメモリコントローラに知らせる信号となる。

40

【0093】

[実施の形態2]

図11は、この発明の実施の形態2に従うDRAMの内部動作制御信号発生部の構成を概略的に示すブロック図である。図11において、内部動作制御信号発生部は、アクティブ信号ACTおよびプリチャージ信号PCGに応答してカウント動作が規定され、2相の互いに重り合わないクロック信号P1およびP2に従ってカウント動作を行なうRowカウンタ110と、読出動作指示信号(リードコマンド)DRTまたは書込動作指示信号(ライトコマンド)DWTに従って起動され、2相の互いに重り合わないクロック信号P1お

50

よびP2をカウントするC o lカウンタ120と、R o wカウンタ110およびC o lカウンタ120の出力カウント値に従って内部動作制御信号を発生するD R A M制御信号発生回路130を含む。

【0094】

この図11に示す構成においては、内部行選択動作に関連する制御信号(アレイ活性化/非活性化に関連する制御信号)は、アクティブ信号A C Tおよびプリチャージ信号P C Gに従ってカウント動作が調整されるR o wカウンタ110から出力される。列選択に関連する動作に対する制御信号は列選択動作を指定する信号(読出動作指示信号(リードコマンド)または書込動作指示信号(ライトコマンド))に应答して起動されるC o lカウンタ120のカウント値に従って発生される。D R A M制御信号発生回路130は、これら

10

【0095】

図12は、図11に示すR o wカウンタ110の具体的構成を示す図である。図12において、R o wカウンタ110は、初段のジョンソンカウンタを構成するDフリップフロップF F 1<0>-F F 1<4>と、これらのフリップフロップF F 1<0>~F F 1<4>の出力信号C O 1<0>~C O 1<4>をクロック信号P2に同期して取込みカウント値C O 2<0>~C O 2<4>を出力するDフリップフロップF F 2<0>~F F 2<4>を含む。DフリップフロップF F 1<0>~F F 1<4>は、クロック信号P1に同期して動作する。これらのDフリップフロップF F 1<0>~F F 1<4>のデータ入力部には、複合ゲートF G 0~F G 4がそれぞれ設けられる。

20

【0096】

このR o wカウンタ110は、さらに、内部カウント値Z C O 1<0>, Z C O 1<1>, Z C O 1<2>, C O 1<3>およびC O 1<4>を受けるA N D回路112と、内部カウントビットZ C O 1<0>, C O 1<1>, C O 1<2>, C O 1<3>およびC O 1<4>とプリチャージ信号P C Gを受けるゲート回路114と、このゲート回路114の出力信号を受けるインバータ116を含む。A N D回路112からリセット信号R e s e tが出力され、フリップフロップF F 1<0>-F F 1<4>の出力カウントビットC O 1<0>-C O 1<4>の値が“0”にリセットされる。

【0097】

複合ゲートF G 0は、カウントビットC O 1<0>とゲート回路114からのウエイト信号W a i t tを受けるA N Dゲートと、カウントビットC O 1<0>とカウントビットZ C O 1<4>を受けるA N Dゲートと、アクティブ信号A C TとカウントZ C O 1<4>を受けるA N Dゲートと、これらの3つのA N Dゲートの出力信号を受けるO Rゲートを含む構成と等価である。O Rゲートの出力信号がフリップフロップF F 1<0>のデータ入力Dで与えられる。

30

【0098】

複合ゲートF G 1は、カウントビットC O 1<1>を受ける真入力と、インバータ116の出力信号を受ける補の入力を有するA N Dゲートと、カウントC O 1<1>とインバータ116の出力信号を受けるA N Dゲートと、それらのA N Dゲートの出力信号を受けるO Rゲートを含む構成と等価である。O Rゲートの出力信号がフリップフロップF F 1<1>のデータ入力Dへ与えられる。

40

【0099】

複合ゲートF G 2は、カウントビットC O 1<2>を受ける真入力とインバータ116の出力信号を受ける補の入力を有するA N Dゲートと、カウントビットC O 1<1>およびインバータ116の出力信号を受けるA N Dゲートと、これらのゲートの出力信号を受けるO Rゲートを含む。

【0100】

複合ゲートF G 3は、カウントビットC O 1<3>を受ける真入力と、インバータ116の出力信号を受ける補の入力を有するA N Dゲートと、カウントビットC O 1<2>とインバータ116の出力信号を受けるA N Dゲートと、これらのA N Dゲートの出力信号を

50

受けるORゲートを含む構成と等価である。ORゲートの出力信号がDフリップフロップFF1<3>のデータ入力Dへ与えられる。

【0101】

複合ゲートFG4は、カウントビットCO1<4>を受ける真入力とインバータ116の出力信号を受ける補入力を有するANDゲートと、カウントビットCO1<3>とインバータ116の出力信号を受けるANDゲート、これらのゲートの出力信号を受けるORゲートを含む構成と等価である。この複合ゲートFG4のORゲートの出力信号がDフリップフロップFF1<4>のデータ入力Dへ与えられる。

【0102】

AND回路112は、D-フリップフロップFF1<4>-FF1<0>のカウント値CO1<4:0>が<00011>となるとリセット信号ResetをHレベルとする。ゲート回路114は、プリチャージ信号PCGがHレベルになれば、ウエイト信号WaitをLレベルの非活性状態とする。プリチャージ信号PCGがLレベルにあり、かつカウントビットCO1<4:0>が<11110>のときに、ウエイト信号WaitがHレベルの活性状態とされる。このウエイト信号WaitがHレベルの活性状態とされると、複合ゲートFG1~FG4は、インバータ116の出力信号に従って、常時対応のDフリップフロップの出力するカウントビットCO1<1>~CO1<4>を選択してその対応のフリップフロップのデータ入力Dへ与える。したがってこのウエイト信号WaitがHレベルの活性状態においては、DフリップフロップFF1<1>-FF1<4>はその出力カウント値を維持し続ける。DフリップフロップFF1<0>においては、ウエイト信号WaitがHレベルのときには、同様、自身の出力カウントCO1<0>を選択してデータ入力Dへ与える。

【0103】

アクティブ信号ACTが与えられると(活性状態とされると)、DフリップフロップFF1<0>がクロック信号P1の立上がり同期してそのカウント値CO1<0>を“1(Hレベル)”に立上げる。これよりカウント動作が開始される。このカウント動作が行なわれ、カウント値が所定値に到達するまで順次カウント動作が行なわれる。このウエイト信号WaitがLレベルのときには、複合ゲートFG0~FG4は、それぞれ前段のDフリップフロップの出力カウントを選択している。ただし、初段のフリップフロップFF1<0>は、カウントビットCO1<0>とカウントZCO1<4>の論理積の結果をそのデータ入力Dへ与える。この構成において、DフリップフロップFF1<0>-FF1<4>はジョンソンカウンタを構成し、DフリップフロップFF1<0>-FF1<4>の出力カウントCO1<0>~CO1<4>の1つのビットのみがその状態を変化させ、残りのビットはその前のサイクルの状態を維持する。

【0104】

次段のDフリップフロップFF2<0>~FF2<4>は、それらのジョンソンカウンタを構成するDフリップフロップFF1<0>~FF1<4>の出力信号をクロック信号P2に同期して取込んでカウント値CO2<0>-CO2<4>を出力している。したがって、これらのDフリップフロップFF2<0>~FF2<4>は、ジョンソンカウンタのカウント値を半クロックサイクル遅延させて伝達する機能を備えている。クロック信号P1に同期して動作するDフリップフロップ(ジョンソンカウンタ)FF1<0>~FF1<4>およびクロック信号P2に同期して動作するDフリップフロップFF2<0>~FF2<4>の出力カウント値を使用することにより、半クロックサイクルで内部動作制御信号の活性/非活性タイミングを設定することができ、内部動作の制御タイミングをより最適化することができる。

【0105】

図13は、図12に示すジョンソンカウンタ(Dフリップフロップ)FF1<0>~FF1<4>の出力カウント値CO1<0>~CO1<4>の状態遷移を示す。この図13に示す状態遷移はクロック信号P1に従って生じる。以下、図13を参照してこの図12に示すジョンソンカウンタ(フリップフロップ)FF1<0>~FF1<4>の動作につい

て簡単に説明する。

【0106】

リセット状態においては、ジョンソンカウンタの出力カウント $FF1 < 4 : 0 >$ はすべて“0”にある。アクティブ信号 ACT が L レベルの間、このリセット状態を維持する。アクティブ信号 ACT が H レベルとされると、初段のフリップフロップ $FF1 < 0 >$ のデータ入力 D へ与えられる信号が H レベルとなる（複合ゲート $FG0$ はアクティブ信号 ACT とビット $ZCO1 < 4 >$ を受けている）。したがってカウントビット $CO1 < 0 >$ が“1”に変化する。このアクティブ信号 ACT は、複合ゲート $FG0$ へ与えられているだけであり、残りのフリップフロップ $FF1 < 1 > \sim FF1 < 4 >$ の出力状態は変化しない。次のクロックサイクルにおいて、アクティブ信号 ACT は L レベルに復帰している。カウントビット $ZCO1 < 4 >$ は H レベルであり、カウント $CO1 < 0 >$ も H レベルであり、フリップフロップ $FF1 < 0 >$ の出力カウント $CO1 < 0 >$ は再び“1”を維持する。一方、次段のフリップフロップ $FF1 < 1 >$ は、ウエイト信号 $Wait$ が L レベルであるため、このカウントビット $CO1 < 0 >$ を選択して OR ゲートを介してデータ入力 D に受ける。したがって、カウントビット $CO1 < 1 >$ が“1”に変化する。以降この動作が繰返され、カウントビット $CO1 < 2 >$, $CO1 < 3 >$ およびカウントビット $CO1 < 4 >$ が順次 1 へ変化する。次のクロックサイクルにおいては、カウントビット $ZCO1 < 4 >$ が“0”となるため、複合ゲート $FG0$ の出力信号は“0”となり（ウエイト信号 $Wait$ は L レベルである）、したがってカウントビット $CO1 < 0 >$ のみが“0”に変化する。

10

【0107】

この状態において、プリチャージ信号 PCG が L レベルにあれば、ゲート回路 114 からのウエイト信号 $Wait$ が H レベルに立上がり、インバータ 116 の出力信号が L レベルに立下がる。これにより、プリチャージ信号 PCG が L レベルにある間、D フリップフロップ $FF1 < 0 > \sim FF1 < 4 >$ は、対応の複合ゲート $FG0 \sim FG4$ を介して自身の出力カウント $CO1 < 0 > \sim CO1 < 4 >$ をその対応のデータ入力 D に受けるため、各カウントビット $CO1 < 0 > \sim CO1 < 4 >$ は変化しない。

20

【0108】

プリチャージ信号 PCG が H レベルとされ、プリチャージ動作が指定されると、ウエイト信号 $Wait$ が L レベルとされ、カウントウエイト動作状態が解放される。この状態において、再びジョンソンカウンタがカウント動作を開始し、前段（下位ビット側の）のフリップフロップのカウント値が順次伝達される。カウントビット $CO1 < 2 >$, $CO1 < 1 >$ および $CO1 < 0 >$ の値が“0”となると、AND 回路 112 からのリセット信号 $Reset$ が活性状態とされ、カウントビット $CO1 < 0 > \sim CO1 < 4 >$ はすべて“0”にリセットされ、ジョンソンカウンタは初期状態に復帰する。

30

【0109】

上述のように、カウント動作時ジョンソンカウンタのカウント値はすべて 1 ビットずつ変化している。したがって、このジョンソンカウンタのカウント値を用いて内部動作制御信号を発生する場合、AND ゲートまたは OR ゲートを用いて発生すれば、その一方入力の論理は変化しないため、両入力と同時に変化するときには生じるハザード（不安定な入力信号により誤った出力信号が出力される状態）が防止され、安定に内部動作制御信号を発生することができる。リセット状態時においては、複数の D フリップフロップ（図 12 に示す実施例においては、フリップフロップ $FF1 < 3 >$ および $FF1 < 4 >$ ）が同時にリセットされる。しかしながらこの場合においても、内部動作制御信号を AND 回路または OR 回路を用いて発生することにより、この複数の同時にリセットされるフリップフロップの出力カウントビットのみならず他のカウントビットとの論理をとることにより、ハザードフリーの内部動作制御信号を出力することができる。

40

図 14 は、ロウ系の内部制御信号発生シーケンスを示すタイミングチャート図である。以下、図 14 を参照して、ロウ系内部制御信号発生シーケンスについて説明する。図 14 において、P1 用 Row カウンタは、図 12 に示す D フリップフロップ $FF1 < 4 > \sim FF1 < 0 >$ に対応し、P2 用 Row カウンタは、図 12 に示す D フリップフロップ $FF2 <$

50

4 > ~ F F 2 < 0 > に対応する。

【 0 1 1 0 】

時刻 t 0 以前においては、D R A M はプリチャージ状態にあり、制御信号 R I N H、R A L、R A D E、S O F および S O N はそれぞれ L レベルにあり、また制御信号 C I N H および B L I、B L E Q および Z S O P は H レベルにある。これにより、D R A M アレイにおいては、メモリブロックの各列は対応のセンスアンプ帯に接続されており、中間電位にプリチャージされている。ロウ系コマンドの入力およびコラム系コマンドの入力は許可されている。

【 0 1 1 1 】

P 1 用 R o w カウンタおよび P 2 用 R o w カウンタのカウンタ値はともに 0 にリセットされている。

10

【 0 1 1 2 】

時刻 t 0 において、アクティブ信号 A C T が与えられると、時刻 t 1 におけるクロック信号 P 1 の立上がりに同期して（またはクロック信号 P 2 の立下がりに同期して）制御信号 R I N H、R A L および R A D E が H レベルの活性状態とされる。これにより、以降のロウ系コマンドの入力が禁止され、また外部から与えられたアドレス信号がラッチされて次いでデコードされる。制御信号 B L I が H レベルまたは L レベルとされ、選択メモリブロックがセンスアンプ帯に接続された状態を維持し、一方、この選択メモリブロックと対をなす非選択メモリブロックが対応のセンスアンプ帯から切離される。非選択メモリブロック対は対応のセンスアンプに接続される。

20

【 0 1 1 3 】

時刻 t 2 において、P 2 用 R o w カウンタのカウンタ値がクロック信号 P 2 の立上がりに同期して 1 増分され、応じて制御信号 B L E Q が L レベルの非活性状態とされる。これにより、D R A M アレイにおいて、（選択メモリブロック）ビット線のプリチャージが停止する。

【 0 1 1 4 】

時刻 t 3 において、P 1 用 R o w カウンタのカウンタが 1 ビット変化され、応じてワード線タイミング規定信号 Z R X T が L レベルの活性状態とされ、選択ワード線上へ活性状態のワード線駆動信号が伝達される。

【 0 1 1 5 】

時刻 t 4 において、P 2 用 R o w カウンタのカウンタ値が 1 増分され（クロック信号 P 2 の立上がりに同期して）、センスアンプ活性化信号 S O F が H レベルの活性状態とされ、センスアンプが緩やかにセンス動作を開始する。

30

【 0 1 1 6 】

時刻 t 5 において P 1 用 R o w カウンタのカウンタ値がクロック信号 P 1 の立上がりに同期してそのカウンタが 1 ビット変化され、応じてセンスアンプ活性化信号 S O N が H レベルの活性状態とされ、センスアンプ帯が高速でセンス動作を行なう。

【 0 1 1 7 】

時刻 t 6 において、クロック信号 P 2 が H レベルへ立上がると、P 2 用 R o w カウンタのカウンタがまた 1 ビット変化され、センスアンプ活性化信号 Z S O P が L レベルの活性状態とされ、D R A M において、ビット線電位のプルアップが行なわれる。

40

【 0 1 1 8 】

時刻 t 7 において、クロック信号 P 1 の立上がりに同期して P 1 用 R o w カウンタのカウンタが 1 ビット変化され、応じてコラム系コマンド禁止信号 C I N H が L レベルの非活性状態とされ、コラム系コマンドの入力が許可される。以降、後に説明する列選択のための制御信号（コマンド）が与えられ、列選択動作が行なわれる。

【 0 1 1 9 】

時刻 t 8 において、クロック信号 P 1 が H レベルへ立上がると、P 1 用 R o w カウンタのカウンタ値が変化し、応じてウエイト信号 W a i t が H レベルの活性状態とされ、またロウ系コマンド禁止信号 R I N H が L レベルに立下がる。以降時刻 t 1 0 まで、プリチャー

50

ジ信号 P C G が与えられない期間、 P 1 用 R o w カウンタおよび P 2 用 R o w カウンタは、そのカウント値を維持する。

【 0 1 2 0 】

したがって、時刻 t 9 において、クロック信号 P 1 が H レベルに立上がっても、 P 1 用 R o w カウンタのカウント値が変化しない。

【 0 1 2 1 】

時刻 t 1 0 において、プリチャージ信号 P C G が H レベルに立上がると、ウエイト信号 W a i t が L レベルの非活性状態とされ、時刻 t 1 1 において、クロック信号 P 1 の立上がりにより同期して、 P 1 用 R o w カウンタのカウントが 1 ビット 0 へ変化され、ロウ系コマンド禁止信号 R I N H が再び H レベルの活性状態とされる。この時刻 t 1 1 において、ワード線駆動タイミング規定信号 Z R X T が H レベルの非活性状態とされて、選択状態とされたワード線が非選択状態へと駆動される。またコラム系コマンド禁止信号 C I N H が再び H レベルの活性状態とされ、コラム系コマンド（制御信号）の入力が禁止される。

10

【 0 1 2 2 】

時刻 t 1 2 において、クロック信号 P 2 が H レベルへ立上がると、 P 2 用 R o w カウンタのカウントの 1 ビットが 0 に変化され、応じてビット線分離指示信号 B L I が H レベルに復帰し、メモリブロックがすべてセンスアンプ帯に接続される。また、センスアンプ活性化信号 S O F および S O N および Z S O P がそれぞれ非活性状態となる。

【 0 1 2 3 】

時刻 t 1 3 において、クロック信号 P 1 が H レベルに立上がると、 P 1 用 R o w カウンタのカウント値が変化し、制御信号 R A L および R A D E が非活性状態となり、またビット線イコライズ指示信号 B L E Q が H レベルとなる。これにより、 D R A M メモリアレイにおいて、ビット線のプリチャージ/イコライズが行なわれ、また新たなアドレス信号の入力が許可され、またロウデコードのデコード動作が禁止される。

20

【 0 1 2 4 】

時刻 t 1 4 において、クロック信号 P 2 が立上がると、 P 2 用 R o w カウンタのカウント値が変化し、時刻 t 1 5 において、クロック信号 P 1 の立上がりにより同期して、リセット信号が出力され、 P 1 用 R o w カウンタのカウント値が “ 0 ”（ 1 0 進）にリセットされ、次いで時刻 t 1 6 において、 P 2 用 R o w カウンタのカウント値も “ 0 ”（ 1 0 進）にリセットされる。

30

【 0 1 2 5 】

時刻 t 1 から時刻 t 8 の期間が R A S アクティブ期間 t R A S であり、時刻 t 1 ないし時刻 t 7 の期間が R A S - C A S 遅延時間 t R C D であり、時刻 t 1 ないし時刻 t 1 5 の期間が、 R A S プリチャージ時間 t R P である。

【 0 1 2 6 】

図 1 4 に示すように、各制御信号の活性/非活性タイミングは、 2 相のクロック信号 P 1 および P 2 を用いることにより、半クロックサイクルで調整することができ、内部動作タイミングを最適化することができ、高速動作が可能となる。

【 0 1 2 7 】

図 1 5 は、アクティブ信号 A C T およびプリチャージ信号 P C G が与えられたときの D フリップフロップ F F 1 < 4 > ~ F F 1 < 0 > の出力カウントビット C 0 1 < 4 > ~ C 0 1 < 0 > の変化態様を示すタイミングチャート図である。図 1 5 に示すように、時刻 t 0 から時刻 t 4 のそれぞれのクロック信号 P 1 の立上がりにより同期してカウントビット C 0 1 < 0 > ~ C 0 1 < 4 > が順次 H レベルに立上がる。時刻 t 5 において、クロック信号 P 1 の立上がりにより同期して、カウントビット C 0 1 < 0 > が “ 0 ” に立下がる。プリチャージ信号 P C G が与えられると、時刻 t 7 において、カウントビット C 0 1 < 1 > が “ 0 ” に変化し、時刻 t 8 において、クロック信号 P 1 の立上がりにより同期して、カウントビット C 0 1 < 2 > が “ 0 ” に立下がり、時刻 t 9 において、リセット信号が活性状態とされ、カウントビット C 0 1 < 3 > および C 0 1 < 4 > がともに “ 0 ” に変化する。

40

【 0 1 2 8 】

50

このカウントビット $CO1<4>\sim CO1<0>$ の状態を見ることにより、ロウ系コマンド禁止信号 $RINH$ 、コラム系コマンド禁止信号 $CINH$ を発生するための論理ゲートを形成することができる。すなわち、ロウ系コマンド禁止信号 $RINH$ は時刻 $t_0\sim t_5$ および $t_7\sim t_9$ の間 H レベルとされる。コラム系コマンド禁止信号 $CINH$ は、時刻 t_3 ないし t_7 の間 L レベルとされる。

【0129】

図16は、ロウ系コマンド禁止信号 $RINH$ を発生する部分の構成を示す図である。図16において、ロウ系コマンド禁止信号発生部は、 D フリップフロップ $FF1<3>$ および $FF1<1>$ の出力カウントビット $CO1<3>$ および $ZCO1<1>$ を受けるANDゲート121aと、ANDゲート121aの出力信号とカウントビット $CO1<0>$ を受け
10
る2入力ORゲート121bを含む。このANDゲート121aおよびORゲート121bは、複合ゲートとして構成される。ANDゲート121aは、 RAS プリチャージ時間 tRP の間、ロウ系コマンド禁止信号 $RINH$ を H レベルの活性状態とし、ORゲート121bは、 RAS アクティブ期間 $tRAS$ の間、ロウ系コマンド禁止信号 $RINH$ を H レベルの活性状態とする。図16において、カウントビット $CO1<3>$ に変えて、カウントビット $CO1<4>$ が用いられてもよい。

【0130】

図17は、コラム系コマンド禁止信号 $CINH$ 発生部の構成を示す図である。図17において、コラム系コマンド禁止信号発生部は、カウントビット $ZCO1<3>$ および $ZCO1<1>$ を受け
20
る2入力ORゲート122で構成される。図15に示すように、コラム系コマンド禁止信号 $CINH$ は、時刻 t_3 ないし時刻 t_7 の間 L レベルとされる。この期間は、カウントビット $ZCO1<1>$ および $ZCO1<3>$ がともに“0”である。すなわち、カウントビット $CO1<1>$ および $CO1<3>$ はともに H レベル(“1”)レベルになる。したがって、カウントビット $ZCO1<1>$ および $ZCO1<3>$ の論理和をとることにより、図15に示す時刻 t_3 ないし時刻 t_7 の間コラム系コマンド禁止信号 $CINH$ は L レベルとなる。

【0131】

図18は、センスアンプ活性化信号 SON を発生する部分の構成を示す図である。図18において、センスアンプ活性化信号発生部は、モード指定信号 $C(H/L)$ とカウントビット $CO1<2>$ を受け
30
るANDゲートAG1と、カウントビット $CO1<2>$ および $CO2<1>$ を受け
るANDゲートAG2と、モード指定信号 $C(H/L)$ とカウントビット $CO1<1>$ を受け
るANDゲートAD3と、ANDゲートAD1～AD3の出力信号を受け
るORゲートOG1を含む。これらのゲートAG1～AG3およびOG1は、複合ゲートとして構成され、ORゲートOG1からセンスアンプ活性化信号 SON が出力される。

【0132】

モード指定信号 $C(H/L)$ は、 H レベルまたは L レベルに設定される。モード指定信号 $C(H/L)$ が H レベルに指定されると、このセンスアンプ活性化信号発生部は、カウントビット $CO1<2>$ および $CO1<1>$ の論理和をとる論理ゲートとして作用し、一方、モード指定信号 $C(H/L)$ が L レベルに設定されると、このセンスアンプ活性化信号
40
発生部は、カウントビット $CO1<2>$ および $CO2<1>$ の論理積をとる論理ゲートとして機能する。したがって、このモード指定信号 $C(H/L)$ の論理レベルを指定することにより、センスアンプ活性化信号 SON の活性化タイミングを調整することができる。また、カウントビット $CO1<2>$ および $CO2<1>$ の様に、それぞれクロック信号 $P1$ および $P2$ に従って変化するカウントビットを利用することにより、センスアンプ活性化信号 SON の活性化タイミングは、クロック信号 $P1$ および $P2$ の半クロックサイクルで調整することができる。このモード指定信号 $C(H/L)$ は、装置製造時において、ボンディングワイヤまたはマスク配線などにより、固定的に設定されてもよく、また後に詳細に説明するように、ソフトウェアにより設定されてもよい(レジスタ内にモード指定ビットを格納することによりこのモード指定信号 $C(H/L)$ の論理レベルを設定する)。
50

この図18に示すような複合ゲートを利用することにより、モード指定信号C(H/L)に従って、内部動作制御信号の活性/非活性タイミングをクロック信号P1およびP2の動作周波数に応じて設定することができ、1つのチップで、複数の動作サイクルに応じて最適に動作する複数種類のDRAMを実現することができる。

【0133】

図19(A)は、図11に示すCOLカウンタの具体的構成を示す図である。図19(A)において、COLカウンタ120は、クロック信号P1に同期してカウント動作を行なうDフリップフロップCF1<1>およびCF1<0>と、クロック信号P2に同期してこれらのDフリップフロップCF1<1>およびCF1<0>の出力カウントビットCO1<1>およびCO1<0>を取込みラッチして出力するDフリップフロップCF2<1>およびCF2<0>と、読出動作指示信号(リードコマンド)DRと書込動作指示信号(ライトコマンド)DWを受けるOR回路125と、DフリップフロップCF1<1>およびCF1<0>の出力カウントビットCO1<1>およびCO1<0>を受けるAND回路127を含む。

10

【0134】

DフリップフロップCF1<0>は、AND回路127の出力するリセット信号Resetを受けるとリセット入力Rと、複合ゲートFGCの出力信号を受けるとデータ入力Dと、カウントビットCO1<0>およびZCO1<0>を出力する出力QおよびZQを含む。DフリップフロップCF1<1>は、AND回路127からのリセット信号Resetを受けるとリセット入力Rと、カウントビットCO1<0>を受けるとデータ入力Dと、カウントビットCO1<1>およびZCO1<1>を出力する出力QおよびZQを含む。複合ゲートFGCは、カウントビットCO1<0>とOR回路125の出力信号を受けるとOR回路と、このROゲートの出力信号とカウントビットZCO1<1>を受けるとAND回路を含む構成と等価である。

20

【0135】

COLカウンタ120は、さらに、クロック信号P1に同期して、データ読出指示信号DRを取込むDフリップフロップFF1Rと、クロック信号P1に同期して、データ書込指示信号DWを取込むDフリップフロップFF1Wと、クロック信号P2に同期して、DフリップフロップFF1RおよびFF1Wの出力信号O1RおよびO1Wをそれぞれ取込みラッチしてかつ出力するDフリップフロップFF2RおよびFF2Wを含む。これらのフリップフロップFF1R、FF2R、FF1WおよびFF2Wは、列選択動作が、データ読出のために行なわれるか、データ書込のために行なわれるかを示す。すなわち、読出動作指示信号DRと与えられたときには、プリアンブイネーブル信号PAEが活性状態とされ、一方、データ書込指示信号DWと与えられたときには、ライトドライバイネーブル信号WDEが活性状態とされる。

30

【0136】

図19(B)は、この図19(A)に示すCOLカウンタの出力カウントの状態遷移を示す図である。次に動作について簡単に説明する。

【0137】

読出動作指示信号DRまたは書込動作指示信号DWが与えられると、複合ゲートFGCの出力信号がHレベルとなり、DフリップフロップCF1<0>の出力するカウントビットCO1<0>がクロック信号P1の立上がり時に同期してHレベル("1")に立上がる。一方DフリップフロップCF1<1>においては、クロック信号P1の立上がり時において、カウントビットCO1<0>は、Lレベル("0")であり、出力カウントビットCO1<1>は変化せず、"0"の状態を維持する。ここで、リセット状態において、カウントビットCO1<1>およびCO1<0>はともに"0"の状態に保持されている。

40

【0138】

次いでクロック信号P1が与えられると、DフリップフロップCF1<1>のカウントビットCO1<1>が"1"に変化する。次のクロックサイクルにおいて、AND回路1

50

27の出力信号ResetがHレベルとされ、DフリップフロップCF F 1 < 1 >およびCF F 1 < 0 >がリセットされ、カウントビットCO 1 < 1 >およびCO 1 < 0 >が“0”にリセットされる。

【0139】

DフリップフロップFF 1 Rは、読出動作指示信号DRTが与えられると、その出力O 1 Rを“H”レベルとし、DフリップフロップFF 1 Wは、データ書込指示信号DWTが与えられると、その出力O 1 Wを“H”レベルとする。

【0140】

この図19(A)に示す構成において、リセット時において、複数のフリップフロップが同時にリセット状態とされる。しかしながら、内部動作制御信号は、これらのカウントビットの逆方向に変化するカウントビットを受けるAND回路またはOR回路を用いて内部動作制御信号を発生するように構成することにより、複数のフリップフロップが同時にリセット状態とされても、このリセット時のハザードは防止され、正確に内部動作制御信号を発生することができる。DフリップフロップCF F 2 < 1 >、CF F 2 < 2 >、FF 2 R、FF 2 Wは、それぞれクロック信号P 2に従って対応のDフリップフロップの出力をラッチして出力しており、Rowカウンタの場合と同様、半クロックサイクル遅れてカウントを行なう機能を備える。

【0141】

なお図19(A)に示す構成において、カウントビットCO 1 < 1 >およびCO 1 < 0 >がともに“1”となると、リセット信号ResetがHレベルの活性状態とされ、フリップフロップCF F 1 < 1 >およびCF F 1 < 0 >がリセットされる様に示される。この場合、カウントビット“11”を1クロックサイクル保持する必要があるため、このリセットは、次のクロックサイクルにおいて行なわれる。この構成は、単にAND回路127の出力部に、クロック信号P 1に同期して動作するDフリップフロップを設けることにより容易に実現することができる。またリセットは、クロック信号P 1の立上がり時に行なわれるように、これらのDフリップフロップCF F 1 < 1 >およびCF F 1 < 0 >が構成されてもよい。これは、Rowカウンタ構成においても同様である。このようなDフリップフロップを設ける構成に代えて、リセット信号ResetがHレベルからLレベルに変化するときに、これらのフリップフロップがすべてリセットされるように構成されてもよい。

【0142】

図20は、図11に示すDRAM制御信号発生回路130の列選択に関連する内部動作制御信号の発生シーケンスを示すタイミングチャート図である。以下、図19および図20を参照して、列選択系の内部動作制御信号(データ書込/読出)の動作シーケンスについて説明する。

【0143】

時刻t 0において、データ読出指示信号DRTが与えられ、時刻t 1において、クロック信号P 1の立上がりに同期してクロックP 1用CO 1カウンタのカウント値が“01”に変化する。ここで、クロックP 1用CO 1カウンタは、図19に示すDフリップフロップCF F 1 < 1 >およびCF F 1 < 0 >に対応し、クロックP 2用CO 1カウンタは、図19に示すDフリップフロップCF F 2 < 1 >およびCF F 2 < 0 >に対応する。この時刻t 1によるP 1用CO 1カウンタのカウント値の変化に同期して、コラムアドレスラッチ指示信号CALおよびコラムアドレスデコードイネーブル信号CADEがHレベルの活性状態とされ、またグローバルIO線イコライズ指示信号GIOEQおよびローカルIO線イコライズ指示信号LIOEQがLレベルの非活性状態とされる。時刻t 2において、P 2用CO 1カウンタのカウント値がクロック信号P 2の立上がりに同期して変化する。

【0144】

時刻t 3において、クロック信号P 1の立上がりに同期して、P 1用CO 1カウンタのカウント値が“11”に変化し、リセット信号ResetがHレベルとされる。フリップフロップのリセットはこのリセット信号Resetの立下がりまたはクロック信号P 1の立上りに同期して行なわれるため、各カウントビットはまだリセットされない。この時刻t

10

20

30

40

50

3のクロック信号P1の立上がりに同期して、プリアンプイネーブル信号PAEが活性状態とされ、プリアンプが増幅動作を行ない、増幅したデータをデータバス上に伝達する。

【0145】

時刻t4において、クロック信号P2の立上がりに同期して、P2用C01カウンタのカウント値が“11”に変化する。

【0146】

時刻t5において、クロック信号P1がHレベルに立上がると、リセット信号ResetがLレベルとされ、P1用C01カウンタがリセットされ、そのカウント値が“00”にリセットされる。この時刻t5において、各制御信号CAL、CADEおよびPEがLレベルの非活性状態とされ、イコライズ指示信号LIEQおよびGIOEQがともにHレベルとされる。それにより、列選択動作が完了する。プリアンプイネーブル信号PAEがLレベルとされると、プリアンプは、ラッチ状態とされ、先に読出されたデータをラッチした状態に保持される。この時刻t5における列選択動作完了に従って、コラム系動作完了指示信号COLendがHレベルとされ、メモリコントローラに対し、次のコマンドの発行を許可する。このコラム系動作完了信号COLendは、また有効データがデータバスに出力されていることを示す信号として用いられてもよい。

10

【0147】

時刻t6において、クロック信号P2がHレベルに立上がると、コラム動作完了信号COLendがLレベルの非活性状態とされる。この時刻t6において、書込動作指示信号DWTが与えられる。

20

【0148】

時刻t7において、この書込動作指示信号DWTに従って、再び制御信号CALおよびCADEがHレベルとされ、イコライズ指示信号LIEQおよびGIOEQがLレベルとされる。このデータ書込時において、ライトドライバイネーブル信号WDEが時刻t7において“H”レベルに立下がる。

【0149】

時刻t8において、クロック信号P2の立上がりに同期して、P2用C01カウンタのカウント値がリセット値から変化する。

【0150】

時刻t9において、クロック信号P1の立上がりに同期して、リセット信号ResetがHレベルとされる。

30

【0151】

時刻t10において、クロック信号P2がHレベルに立上がると、ライトドライバイネーブル信号WDEがLレベルの非活性状態とされる。この時点において、既にグローバルIO線およびローカルIO線を介してセンスアンプのセンスノードへ書込データが伝達されている。

【0152】

時刻t11において、クロック信号P1が“H”に立上がると、リセット信号ResetがLレベルに立下がり、P1用C01カウンタのカウント値が“00”にリセットされ、また各制御信号CAL、CADEがLレベルに立下がり、イコライズ指示信号LIEQおよびGIOEQが“H”レベルに立上がり、列選択部のプリチャージが行なわれる。この時刻t11において、書込動作完了を示し、次のコマンドの入力を許可するために、コラム系動作完了信号COLendがHレベルとされる。時刻t12において、クロック信号P2の立上がりに同期して、P2用C01カウンタのカウント値が“00”にリセットされる。

40

【0153】

図20に示す信号波形図において、各信号は、クロック信号P1の立上がりに同期して変化している。しかしながら、先の図18に示すような構成を利用することにより、各制御信号は半クロックサイクルでその活性/非活性期間を調整することができる。

【0154】

50

以上のように、クロック信号をカウントするカウンタとして、ジョンソンカウンタを利用することにより、各クロックサイクルにおいて、変化するカウントビットは1ビットであり、論理ゲートを用いてこれらのカウンタ出力ビットを受けて内部動作制御信号を発生することにより、ハザードを生じることなく、正確に必要とされる内部動作制御信号を発生することができる。また、クロック信号として2相の重り合わないクロック信号を利用することにより、内部動作制御信号の活性/非活性タイミングを半クロックサイクルで調整することができ、最適なタイミングで各内部動作制御信号を活性/非活性とすることができる。高速アクセスを実現することができる。

【0155】

また、内部動作制御信号を発生するための論理を複合ゲートを用いて制御信号により選択的に切換える構成とすることにより、複数の動作周波数に対応して内部動作制御信号の活性/非活性タイミングを調整することが可能となる。

【0156】

[内部動作制御信号の発生部の他の構成]

図21は、DRAM制御信号発生回路の他の構成を示す図である。図21(A)においては、センスアンプ活性化信号SONを発生する部分の構成が示される。図21において、センスアンプ活性化信号発生部は、RowカウンタのカウントビットCO2<1>、CO1<1>およびCO2<2>の1つを、選択信号SONset<0>およびSONset<1>に従って選択する3to1セレクタ140と、カウントビットCO1<3>、CO2<3>およびCO1<4>の1つを、選択信号SONrst<0>およびSONrst<1>に従って選択する3to1セレクタ142と、機能制御信号SONfuncとセレクタ142の出力信号を受けるANDゲートAG4と、制御信号SONfuncとセレクタ140の出力信号を受けるANDゲートAG5と、セレクタ140および142の出力信号を受けるANDゲートAG6と、ANDゲートAG4ないしAG6の出力信号を受けるORゲートOG2を含む。これらのゲートAG4~AG6およびOG2は、複合ゲートとして構成される。機能制御信号SONfuncをHレベルまたはLレベルに設定することにより、このセンスアンプ活性化信号発生部は、その論理機能が、論理和演算を行なうか、論理積演算を行なうかが決定される。これは、先の図18に示す制御信号C<H/L>と等価である。セレクタ140および142を用いて、このセンスアンプ活性/非活性を行なう期間を調整することにより、動作周波数に合わせてセンスアンプの活性/非活性化期間を調整することができ、最適動作タイミングで動作するDRAMを実現することができる。

【0157】

セレクタ140および142の選択経路の指定のために、図21(B)に示すように、セレクタ140および142へ与えられる制御信号SONset<0>、SONset<1>、SONrst<0>およびSONrst<1>は、レジスタ145に格納される。このレジスタ145へのそれらのデータの格納は、ソフトウェアによりメモリコントローラまたはプロセサの制御の下に行なわれる。このレジスタ145に内部動作制御信号の活性/非活性のタイミングを制御するための信号(ビット)を格納することにより、動作周波数に合わせて、ソフトウェアにより内部動作活性/非活性化タイミングを調整することができる。

【0158】

図22(A)は、ウエイト信号Wait発生部の変更例を示す図である。図22(A)において、ウエイト信号発生部は、選択信号SELaに従って、カウンタFF<0>~FF<4>の出力カウントビット値を選択するセレクタ150と、セレクタ150の選択したカウント値とプリチャージ信号PCGを受けるゲート回路152を含む。フリップフロップFF<0>~FF<4>は、Rowカウンタに含まれるDフリップフロップFF1<0>~FF1<4>、FF2<0>~FF2<4>の適当な組合せの出力カウントビットである。セレクタ150へ与えられる選択信号SELaは、図21(B)に示す構成と同様のレジスタ内に格納された選択態様を決定する情報に基づいて生成される。このゲート回

10

20

30

40

50

路152は、図12に示すゲート回路112に対応する。このウエイト信号Waitの発生タイミングを調整することにより、RASアクティブ期間tRASをクロック信号の周波数に合わせて調整することができる。

【0159】

図22(B)は、リセット信号発生部の変更例を示す図である。図22(B)において、リセット信号発生部は、Rowカウンタに含まれるDフリップフロップFF<0>~FF<4>の出力カウント値(ビット)の組を選択信号SELbに従って選択するセクタ154と、セクタ154から与えられるカウントビットを受けるゲート回路156を含む。このゲート回路156は、図12に示すゲート回路112に対応する。セクタ154へ与えられる制御信号SELbは、図21(B)に示す構成と同様のレジスタに、プロセッサまたはメモリコントローラの制御の下に書込まれる。このリセット信号Resetの活性/非活性タイミングを調整することにより、RASプリチャージ時間tRPをクロック信号の周波数に合わせて調整することができる。

10

【0160】

上述のように、制御信号を発生するゲート回路へ与えられるカウンタの出力カウントビットを選択指示情報に従って選択できるように構成したため、クロック信号の動作周波数が変化する場合においても、ソフトウェアにより容易に内部動作制御信号発生タイミング(活性/非活性タイミング)を調節することができ、DRAMを最適な内部動作タイミングで動作させることができる。

【0161】

[セルフリフレッシュ動作]

図23は、この発明に従うDRAMのセルフリフレッシュ動作を行なうための制御部の構成を概略的に示す図である。図23において、セルフリフレッシュ制御部は、セルフリフレッシュ指示信号(セルフリフレッシュコマンドSREF)の活性化時活性状態とされ、たとえば1μsの周期で発振を行なうセルフリフレッシュ用リングオシレータ210と、常時動作し、システムクロックに同期した内部クロック信号を生成する発振器200と、セルフリフレッシュモード指示信号SREFを受けるインバータ202と、セルフリフレッシュモード指示信号SREFの非活性化時導通状態とされ、発振器200の出力信号Pfを選択してクロック信号P1としてRowカウンタへ与える選択ゲート204と、セルフリフレッシュモード指示信号SREFの活性化時導通状態とされ、セルフリフレッシュ用リングオシレータ210の出力する信号Psを選択してクロック信号P1としてRowカウンタへ与える選択ゲート206と、セルフリフレッシュ用リングオシレータ210の出力信号Psをカウントする5ビットの分周カウンタ212と、分周カウンタ212のカウント値に従ってリフレッシュ時のアクティブ信号およびプリチャージ信号PCGを発生するACT/PCG発生回路214を含む。

20

30

【0162】

発振器200は、位相ロックループ(PLL)またはディレイドロックループ(DLL)で構成され、安定に発振動作を行なう。分周カウンタ212は、このセルフリフレッシュ用リングオシレータ210の出力信号Psをカウントしており、また5ビットカウンタであり、したがって、セルフリフレッシュ用リングオシレータ210の出力信号Psを64分周している。ACT/PCG発生回路214は、分周カウンタ212の出力カウント値が“1”のときにリフレッシュのためのアクティブ信号ACTを出力し、内部のRow系コマンド禁止信号RINHが活性状態から非活性状態とされると、そのクロックサイクルにおいてプリチャージ信号PCGを発生する。このACT/PCG発生回路214からの信号ACTおよびPCGは、通常動作モード時(ノーマル時)に与えられるコマンドACTおよびPCGとそれぞれ論理和がとられて、先に説明したRowカウンタへ与えられる。次にこの図23に示すセルフリフレッシュ制御部の動作をそのタイミングチャート図である図24を参照して説明する。

40

【0163】

発振器200(PLL/DLL)は常時発振動作を行なっており、通常動作時には

50

、選択ゲート204によりこの発振信号P_sが伝達されてクロック信号P₁として出力される。

【0164】

時刻t₀において、セルフリフレッシュモード指示信号SREFがHレベルとされ、セルフリフレッシュモードが指定される。このセルフリフレッシュモード指示信号SREFの活性化にตอบสนองして、セルフリフレッシュ用リングオシレータ210が活性化され、発振動作を行ない、出力信号P_sが所定の周期(1μs)で変化する。分周カウンタ212は、このセルフリフレッシュ用リングオシレータ210の出力信号P_sをカウントしている。リセット時において、分周カウンタ212は、その初期値は0にリセットされている(セルフリフレッシュモード解除時)。このセルフリフレッシュ用リングオシレータ210の出力信号P_sが立上がると、分周カウンタ212がカウントを行ない、そのカウント値が“1”となる。

10

【0165】

時刻t₁において、ACT/PCG発生回路214からリフレッシュ用のアクティブ信号ACTが活性状態とされてRowカウンタへ与えられる。この状態において、選択ゲート204は非導通状態とされ、選択ゲート206が導通状態とされ、Rowカウンタへは、クロック信号P₁としてセルフリフレッシュ用リングオシレータ210からの出力信号P_sが与えられる。このクロック信号P_sの立上がり同期して時刻t₂において、Row系コマンド禁止信号RINHがHレベルとされ、内部で行選択動作が開始される。時刻t₄において、Rowカウンタがカウント動作を行なうと、Row系コマンド禁止信号RINHがLレベルとされる。この信号RINHがHレベルにある期間は、RSアクティブ期間tRASを規定しており、したがって、この期間が経過することにより、内部で選択行に接続されるメモリセルデータの検知、増幅および再書込みが行なわれている。

20

【0166】

次いで時刻t₅において、クロック信号P_sが立下がると、ACT/PCG発生回路214からリフレッシュ用のプリチャージ信号PCGがHレベルとされてRowカウンタへ与えられる。これにより、選択状態にあったリフレッシュ行のメモリセルのリフレッシュ動作が完了する。以降、分周カウンタ212のカウントが“1”となるごとに、すなわち64μsごとにリフレッシュ動作が行なわれる。

【0167】

ここで、分周カウンタ212のカウント値が“1”のときに、リフレッシュ用のアクティブ信号ACTが活性状態とされと説明している。これは、セルフリフレッシュモード指示信号SREFが最初に与えられたときに、セルフリフレッシュ用リングオシレータ210の出力する信号P_sが立上がり、分周カウンタ212のカウント値が0から1に変化するため、確実にリフレッシュ用のアクティブ信号ACTを発生するためである。リフレッシュ動作時において、高速アクセスは要求されない(データアクセスは行なわれないため)。したがって、内部で低速でDRAMを動作させても、何ら問題を生じることがない。また内部の回路が低速のクロック信号P_sに従って動作しているため、その充放電回数は通常動作モード時よりも少なくとも消費電流が低減される。

30

【0168】

図25(A)は、図23に示すACT/PCG発生回路214に含まれるリフレッシュ用のアクティブ信号ACT発生部の構成を示す図である。図25(A)において、ACT/PCG発生回路は、分周カウンタ212の出力するカウントビットZCO<0>およびCO<1>...CO<4>を受けるAND回路220と、このAND回路220の出力信号を、クロック信号P_sの立下がり同期して取込みラッチするDフリップフロップ220を含む。Dフリップフロップの出力Qからリフレッシュ用アクティブ信号ACTが出力される。図25(B)は、この図25(A)に示すACT発生部の動作を示すタイミングチャート図である。信号P_sが所定の周期(1μs)で発振しており、分周カウンタがそのクロック信号P_sの立上がりごとにカウント値を変化させる。分周カウンタのカウント値が“1”となると、AND回路220の出力信号がHレベルとなり、クロック信号P_sの立

40

50

下がり同期してDフリップフロップ220がこのAND回路220の出力信号を取込みラッチする。したがって、時刻t0から時刻t1の間、このリフレッシュ用のアクティブ信号ACTがHレベルの活性状態とされる。

【0169】

図26(A)は、図23に示すACT/PCG発生回路214のリフレッシュプリチャージ信号PCG発生部の構成を示す図である。図26において、リフレッシュプリチャージ信号発生部は、分周カウンタ212のカウンタ値を受けるAND回路224と、AND回路224の出力信号をクロック信号Psの立下りに同期して取込みラッチするDフリップフロップ226を含む。このAND回路224の入力へは、分周カウンタの出力値が7のときにそのAND回路220の出力信号がHレベルとされるように組合せられたカウントビットが与えられる。通常のバイナリカウンタまたはジョンソンカウンタのいずれが用いられるかによってこの組合せられるカウントビットが異なる。次にこの図26(A)に示すプリチャージ信号発生部の動作をそのタイミングチャート図である図26(B)を参照して説明する。ここで、図26(B)においては、図25(B)に示すように、分周カウンタのカウント値が1のときにリフレッシュ用のアクティブ信号ACTを発生する場合を示す。したがって、RASアクティブ期間tRASは、5クロックサイクル期間であり、分周カウンタのカウント値が2から6の期間ロウ系コマンド禁止信号RINHがHレベルの活性状態とされる。

10

【0170】

時刻t0において、クロック信号Psの立上りに同期して、ロウ系コマンド禁止信号RINHがLレベルの非活性状態とされる。この時刻t0において、分周カウンタのカウント値が7となり、AND回路224の出力信号がHレベルとされる。したがって時刻t1において、クロック信号PsがLレベルに立下ると、Dフリップフロップ226からのプリチャージ信号PCGがHレベルに立上がる。次いで時刻t2において、クロック信号Psが立下ると、そのときには、分周カウンタ212のカウント値はクロック信号Psの立上りに同期して8に変化しており、AND回路224の出力信号は時刻t2においては既にLレベルであり、したがって、このプリチャージ信号PCGがLレベルに立下がる。これにより、時刻t1から時刻t2の間リフレッシュ用のプリチャージ信号PCGが活性状態とされる。

20

【0171】

図27は、セルフリフレッシュ用のアドレス発生部の構成を概略的に示す図である。図27において、セルフリフレッシュアドレス発生部は、セルフリフレッシュ指示信号SREFの活性化時活性状態とされ、リフレッシュ用プリチャージ信号PCGの活性化時そのカウント値が増分されるリフレッシュアドレスカウンタ230と、リフレッシュアドレスカウンタ230の出力カウント値と外部(メモリコントローラ)からのアドレス信号Adを受け、セルフリフレッシュモード指示信号SREFに従って一方を選択してアドレスバッファへ与えるマルチプレクサ232を含む。セルフリフレッシュモード指示信号SREFの活性化時マルチプレクサ232はリフレッシュアドレスカウンタ230からのカウント値(リフレッシュアドレス)を選択し、通常動作モード時のセルフリフレッシュモード指示信号SREFの非活性化時には、外部(メモリコントローラ)からのアドレス信号Ad

30

40

【0172】

[セルフリフレッシュ動作の他の構成]

図28は、セルフリフレッシュ動作を行なう制御部の他の構成を示す図である。図28において、リフレッシュ制御部は、発振器200、インバータ202、選択ゲート204、セルフリフレッシュ用リングオシレータ210、分周カウンタ212、分周カウンタ212のカウント値が0のとき(または1のとき)の期間のみ活性状態とされて発振動作を行なうセルフリフレッシュ用リングオシレータ235と、セルフリフレッシュモード指示信号SREFの活性化時導通し、セルフリフレッシュ用リングオシレータ235の出力する信号Pssを選択してクロック信号P1としてRowカウンタへ与える選択ゲート241

50

と、分周カウンタ212のカウンタ値が0(または1)のときにワンショットのパルス信号を発生してリフレッシュ用のアクティブ信号ACTとして出力するACT発生回路240を含む。セルフリフレッシュ用リングオシレータ235は、たとえば10nsまたは100nsまたは両者の間の周期で発振動作を行なう。このセルフリフレッシュ用リングオシレータ235は、分周カウンタ212のカウンタ値が0または1のときにのみ発振動作を行なうため、その発振動作期間はセルフリフレッシュ用リングオシレータ210の発振周期である1 μ sとなる。

【0173】

セルフリフレッシュ制御部は、さらに、セルフリフレッシュモード指示信号SREFと通常動作モード時に与えられるプリチャージ信号PCGを受けるORゲート242と、ORゲート242の出力信号とRowカウンタ(ジョンソンカウンタ)の出力カウンタビットCO1<4>~CO1<1>およびZCO1<0>を受けるゲート回路114を含む。ゲート回路114から、ウエイト信号Waitが出力される。このゲート回路114は、図12に示すゲート回路114に対応する。

10

【0174】

セルフリフレッシュ動作モード時においては、セルフリフレッシュモード指示信号SREFがHレベルにあり、OR回路242の出力信号はHレベルである。したがって、ウエイト信号Waitは常時Lレベルとされ、ジョンソン型のRowカウンタは、そのカウンタ動作をウエイトすることなく順次実行する。リフレッシュ動作時において、アクティブ信号ACTが与えられると、Rowカウンタのカウンタ値が順次増分し、内部で自動的に行選択および非選択(活性/非活性)を行なうための制御信号が発生される。したがってこのジョンソン型カウンタを用いてウエイト信号Waitを常時非活性状態に保持することにより、プリチャージ信号PCGをリフレッシュ動作モード時に発生する必要はない。次にこの図28に示す構成の動作を図29(A)に示す波形図を参照して説明する。図29(A)においては分周カウンタ212のカウンタ値が“0”のときにリフレッシュ用アクティブ信号ACTが生成される。

20

【0175】

図29(A)において、既にセルフリフレッシュモード指示信号SREFがHレベルの状態に保持されている。この状態においては、選択ゲート204は非導通状態にあり、発振器200の出力する信号P_fは伝達されない。セルフリフレッシュ用リングオシレータ210の出力する信号P_sに従って分周カウンタ212がカウンタ動作を行なう。したがって、この分周カウンタ212のカウンタ値が0となると、セルフリフレッシュ用リングオシレータ235が活性化され、発振動作を行ない、セルフリフレッシュ用リングオシレータ235からの発振信号P_{ss}がクロック信号P1としてRowカウンタへ与えられる。この分周カウンタ212のカウンタ値が0に変化すると、ACT発生回路240は、ワンショットのパルス信号を発生してRowカウンタへリフレッシュ用のアクティブ信号ACTとして出力する。これにより、Rowカウンタが起動され、内部でカウンタ動作を行ない、順次制御信号が出力される。したがってこの間において、セルフリフレッシュ用リングオシレータ235の出力するクロック信号P_{ss}に従って制御信号が発生されて行選択動作および選択行に接続されるメモリセルのデータの検知、増幅および再書込が行なわれる。

30

40

【0176】

分周カウンタ212のカウンタ値が1に変化すると、セルフリフレッシュ用リングオシレータ235が発振動作を停止する。このときには、既に内部でRowカウンタはカウンタ動作を完了しており、既にワード線選択動作およびメモリセルの検知増幅再書込動作を完了している。セルフリフレッシュ用リングオシレータ235の発振動作が停止されると、応じてRowカウンタもカウンタ動作が停止される。分周カウンタ212のカウンタ値が再び0に復帰すると、ACT発生回路240がリフレッシュ用のアクティブ信号ACTを出力する。

【0177】

50

Rowカウンタは、そのカウント値がリセットされると、次にアクティブ信号ACTが与えられるまで、その初期状態を保持している(図13参照)。したがって、確実に64 μ sごとにリフレッシュ動作を行なうことができる。

【0178】

図29(B)は、図28に示すセルフリフレッシュ用リングオシレータ210の構成の一例を示す図である。図29(B)において、セルフリフレッシュ用リングオシレータ210は、4段の縦続接続されるインバータ251~254と、インバータ254の出力信号とセルフリフレッシュモード指示信号SREFを受けるNAND回路255と、NAND回路255の出力信号を受けるインバータ256を含む。NAND回路255の出力信号がインバータ251の入力へ与えられる。インバータ256から信号Psが出力される。セルフリフレッシュモード指示信号SREFがLレベルのときには、NAND回路255の出力信号はHレベルに固定される。したがって信号Psは、常時Lレベルに固定される。一方、セルフリフレッシュモード指示信号SREFがHレベルとされると、NAND回路255がインバータとして機能し、このセルフリフレッシュ用リングオシレータ210が活性状態とされ、5段のインバータで構成されるリングオシレータとして動作し、所定の周期(1 μ s)で発振動作を行なう。

10

【0179】

図29(C)は、図28に示すセルフリフレッシュ用リングオシレータ235の構成の一例を示す図である。図29(C)において、セルフリフレッシュ用リングオシレータ235は、分周カウンタ212の出力カウントビットZCO<0>~ZCO<4>を受けるNAND回路260と、NAND回路260の出力信号を受けるインバータ261と、インバータ261の出力信号とセルフリフレッシュモード指示信号SREFとインバータ264の出力信号を受けるNAND回路262と、インバータ263、264および265を含む。インバータ263は、NAND回路262の出力信号を受け、インバータ264は、インバータ263の出力信号を受ける。インバータ265はNAND回路262の出力信号を受けて発振信号Pssを出力する。

20

【0180】

この図29(C)に示す構成において、分周カウンタ212のカウントビットがすべて0のときには、NAND回路260の出力信号がLレベルとなり、応じてインバータ261の出力信号がHレベルとなる。セルフリフレッシュモード指示信号SREFがHレベルにあり、したがってこの期間(分周カウンタ212のカウント値が0のとき)、NAND回路262がインバータとして作用し、このセルフリフレッシュ用リングオシレータ235は3段のインバータのリングオシレータとして動作する。セルフリフレッシュモード指示信号SREFがLレベルのときには、NAND回路262の出力信号はHレベルであり、信号Pssは常時Lレベルに固定される。

30

【0181】

リフレッシュアドレス発生部の構成においては、したがって図27に示すリフレッシュアドレスカウンタ230が、Rowカウンタから出力されるリセット信号Resetに従ってそのカウント値が増分されるように構成されればよい。

【0182】

ACT発生回路240は、通常のワンショットのパルス発生回路で構成される。なおこの分周カウンタ212のカウント値が0のときでなく、1とされたときにのみセルフリフレッシュ用リングオシレータ235が活性状態とされる構成が用いられてもよい。

40

【0183】

以上のように、セルフリフレッシュ動作モード時において、このセルフリフレッシュは、比較的高速(通常動作時よりも遅い)のクロック信号に従ってセルフリフレッシュ動作を行なうことにより、ワード線が選択状態とされてからセンスアンプが活性状態とされるまでの期間を短くすることができ、応じてノイズなどの影響により、このセンス動作前の微小な読出電圧が変動を受けるのを抑制することができ、正確にリフレッシュ動作を行なうことができる。

50

【0184】

以上のように、セルフリフレッシュ時においても、リフレッシュ指示信号をすべてクロック信号に同期して発生することにより、正確なタイミングで動作環境の影響を受けることなくリフレッシュ動作を実行することができる。

【0185】

[他の構成]

上述の実施の形態の説明においては、DRAM内蔵プロセッサにおけるDRAMの内部動作はすべてクロック信号に同期して行なうように説明している。しかしながら、このDRAMは、個別的な素子であっても、クロック信号に同期して動作するDRAMであれば本発明はすべて適用可能である。

10

【0186】

【発明の効果】

以上のように、この発明に従えば、DRAMの内部動作をすべてクロック信号に同期して行なうように構成したため、内部制御信号のタイミングマージンを考慮する必要がなく、正確にかつ高速で動作するDRAMを実現することができる。また、DRAMからメモリコントローラへ、アクセス動作禁止信号を与えるように構成しているため、メモリコントローラの制御の負荷が軽減される。

【0187】

請求項1に係る発明に従えば、DRAMに設けられたカウンタ手段からのカウント値に従って行/列選択に関連する内部動作制御信号を発生しているため、内部動作を正確にクロック信号に同期して行なうことができ、内部動作タイミングマージンを考慮する必要がなく、安定かつ高速で動作させることができる。

20

また、カウンタ回路を、所定値に到達すると一旦その動作を停止させ、次にアレイ行選択動作完了信号を示す信号が与えられるときにカウント動作を再開させるようにしているため、1つのカウンタを用いてアレイ活性/非活性化のためのカウント値を生成することができ、カウンタ回路の占有面積が低減される。

【0191】

請求項2に係る発明に従えば、DRAMに設けられたカウンタ手段からのカウント値に従って行/列選択に関連する内部動作制御信号を発生しているため、内部動作を正確にクロック信号に同期して行なうことができ、内部動作タイミングマージンを考慮する必要がなく、安定かつ高速で動作させることができる。

30

また、カウンタ手段のカウント値に従ってロウ禁止信号、コラム禁止信号を装置外部へ出力するように構成しているため、外部のメモリコントローラがコマンド(制御信号)を発生するタイミングをモニタする必要がなく、外部のメモリコントローラの制御の負荷が軽減される。

【0192】

また、クロック信号の周波数変更時においても、メモリコントローラは何らその周波数変更を考慮する必要がなく、メモリコントローラ的设计が容易となる。

【0193】

請求項3に係る発明に従えば、カウンタ手段のカウント値に従って、コラム動作完了信号を外部へ出力するように構成したため、外部のメモリコントローラは、有効データが出力されていることおよび次のコマンドを入力してもよいことを容易に知ることができ、外部のメモリコントローラは、コマンド発行タイミングを内部で常時考慮する必要がなく、メモリコントローラの負荷が軽減される。

40

【0196】

請求項4に係る発明に従えば、列選択完了時には、有効データが出力されたことを示す信号を出力しているため、外部のメモリコントローラは、容易に有効データをサンプリングするタイミングを知ることができる。

【0197】

請求項5に係る発明に従えば、DRAMに設けられたカウンタ手段からのカウント値に

50

従って行ノ列選択に関連する内部動作制御信号を発生しているため、内部動作を正確にクロック信号に同期して行なうことができ、内部動作タイミングマージンを考慮する必要がなく、安定かつ高速で動作させることができる。

また、セルフリフレッシュ動作時においては、リフレッシュ発振手段の出力信号に従って内部動作制御信号を発生しているため、セルフリフレッシュ動作時においては、通常動作時と異なる動作速度でリフレッシュ動作を行なうことができ、比較的低速で動作するため、電源電圧が低くされた場合においても、正確にリフレッシュ動作を行なうことができる。

さらに、セルフリフレッシュ動作時においては、通常動作時よりも比較的高速のクロック信号を用いてリフレッシュ動作を行なっているため、微小読出電圧がノイズの影響により変動するのを抑制することができ、高速でかつ正確にリフレッシュを行なうことができる。

10

【図面の簡単な説明】

【図 1】 この発明に従う D R A M 内蔵プロセサの全体の構成を概略的に示す図である。

【図 2】 図 1 に示す D R A M の制御部の構成を概略的に示すブロック図である。

【図 3】 図 1 に示す D R A M のロウ系制御信号に従って動作する回路部分を概略的に示す図である。

【図 4】 図 2 に示す D R A M 制御信号発生回路のロウ系制御信号の発生シーケンスを示すタイミングチャート図である。

【図 5】 図 1 に示す D R A M のコラム系制御信号に従って動作する回路部分を概略的に示す図である。

20

【図 6】 図 2 に示す D R A M 制御信号発生回路のコラム系制御信号の発生シーケンスを示すタイミングチャート図である。

【図 7】 図 2 に示すデコーダアレイの構成を概略的に示す図である。

【図 8】 (A) は、図 2 に示す D R A M 制御信号発生回路の構成の一例を示し、(B) は (A) に示す回路の動作を示すタイミングチャート図である。

【図 9】 ロウ系コマンド禁止信号発生部の構成を概略的に示す図である。

【図 10】 コラム系禁止信号発生部の構成の一例を概略的に示す図である。

【図 11】 この発明の他の実施例である D R A M の制御部の構成を概略的に示す図である。

30

【図 12】 図 11 に示す R o w カウンタの構成を概略的に示す図である。

【図 13】 図 12 に示す R o w カウンタのカウント値の状態遷移を示す図である。

【図 14】 図 11 に示す D R A M 制御信号発生回路のロウ系制御信号の発生シーケンスを示すタイミングチャート図である。

【図 15】 内部動作制御信号発生のための制御論理回路を構成するための図であり、R o w カウンタのセルカウントビットとロウ系コマンド禁止信号およびコラム系コマンド禁止信号との対応関係を示すタイミングチャート図である。

【図 16】 ロウ系コマンド禁止信号発生部の構成の一例を示す図である。

【図 17】 コラム系コマンド禁止信号発生部の構成の一例を示す図である。

【図 18】 内部動作制御信号発生用論理回路の構成の一例を示す図である。

40

【図 19】 図 11 に示す C o l カウンタの構成の一例およびその状態の遷移シーケンスを示す図である。

【図 20】 図 11 および図 19 に示す C o l カウンタのカウント値と D R A M 制御信号発生回路から発生されるコラム系制御信号の発生シーケンスを示すタイミングチャート図である。

【図 21】 D R A M 制御信号発生回路に含まれる制御信号発生論理回路の変更例を示す図である。

【図 22】 R A S アクティブ期間 R A S プリチャージ期間を調整するための構成を概略的に示す図である。

【図 23】 セルフリフレッシュ動作制御部の構成を概略的に示す図である。

50

【図24】 図23に示すセルフリフレッシュ制御部の動作を示すタイミングチャート図である。

【図25】 図23に示すACT/PCG発生回路の信号ACT発生部の構成および動作を示す図である。

【図26】 図23に示すACT/PCG発生回路の信号PCG発生部の構成および動作を示す図である。

【図27】 セルフリフレッシュアドレス発生部の構成を概略的に示す図である。

【図28】 セルフリフレッシュ制御部の他の構成を示す図である。

【図29】 (A)は図28に示す制御部の動作を示すタイミングチャート図であり、(B)および(C)は、図28に示すセルフリフレッシュ用リングオシレータの構成の一例を示す図である。 10

【図30】 従来のDRAM内蔵プロセサの全体の構成を概略的に示す図である。

【図31】 図30に示すDRAM内蔵プロセサの動作を示すタイミングチャート図である。

【図32】 従来のDRAM内蔵プロセサの問題点を説明するための図である。

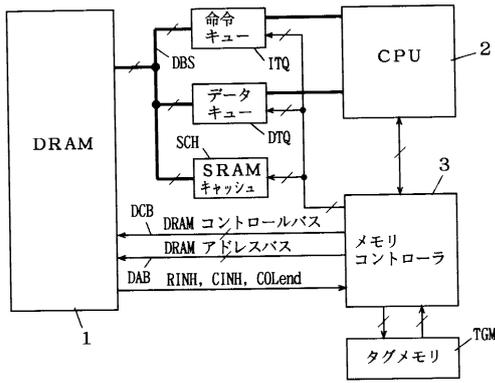
【図33】 従来のメモリコントローラの構成を概略的に示す図である。

【図34】 従来のDRAMの問題点を説明するための図である。

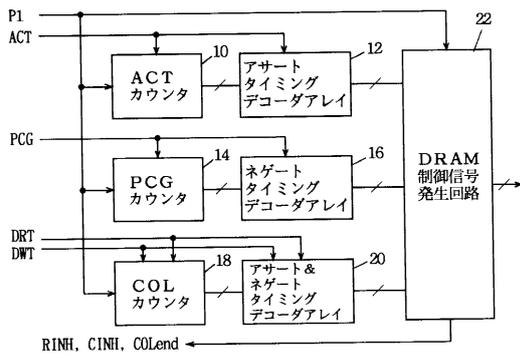
【符号の説明】

1 DRAM、2 CPU、3 メモリコントローラ、10 ACTカウンタ、12 アサートタイミングデコーダアレイ、14 PCGカウンタ、16 ネゲートタイミングデ 20
 コーダアレイ、18 COLカウンタ、20 アサート/ネゲートタイミングデコーダアレイ、22 DRAM制御信号発生回路、G1~G8 AND回路、22a 複合ゲート、22b Dフリップフロップ、62, 64 NAND回路、66 OR回路、71 N
 AND回路、72, 74 AND回路、73 NOR回路、110 Rowカウンタ、1
 20 Colカウンタ、130 DRAM制御信号発生回路、112 AND回路、11
 4 ゲート回路、116 インバータ、FF1<4>~FF1<0>, FF2<4>~F
 F2<0> Dフリップフロップ、121a ANDゲート、121b ORゲート、1
 22 OR ゲート、AG1~AG3 ANDゲート、OG1 ORゲート、127 A
 ND回路、125 OR回路、FGC 複合ゲート、CFF1<1>, CFF1<0>、
 CFF2<1>およびCFF2<0>、FF1R、FF1W、FF2R、FF2W Dフ 30
 リップフロップ、140, 142 3to1セレクタ、AG4~AG6 ANDゲート、
 OG2 ORゲート、145 レジスタ、150, 154 セレクタ、152 ゲート回
 路、156 AND回路、200発振回路、210 セルフリフレッシュ用リングオシレ
 ータ、204, 206 選択ゲート、212 分周カウンタ、214 ACT/PCG発生
 回路、220 AND回路、222 Dフリップフロップ、224 AND回路、226
 Dフリップフロップ、230 リフレッシュアドレスカウンタ、232 マルチプレクサ
 、235 セルフリフレッシュ用リングオシレータ、241、選択ゲート、240 AC
 T発生回路、242 ORゲート。

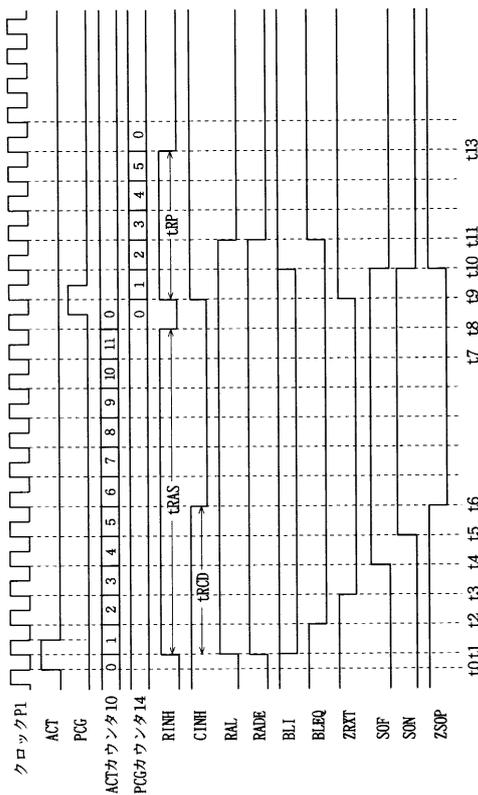
【 図 1 】



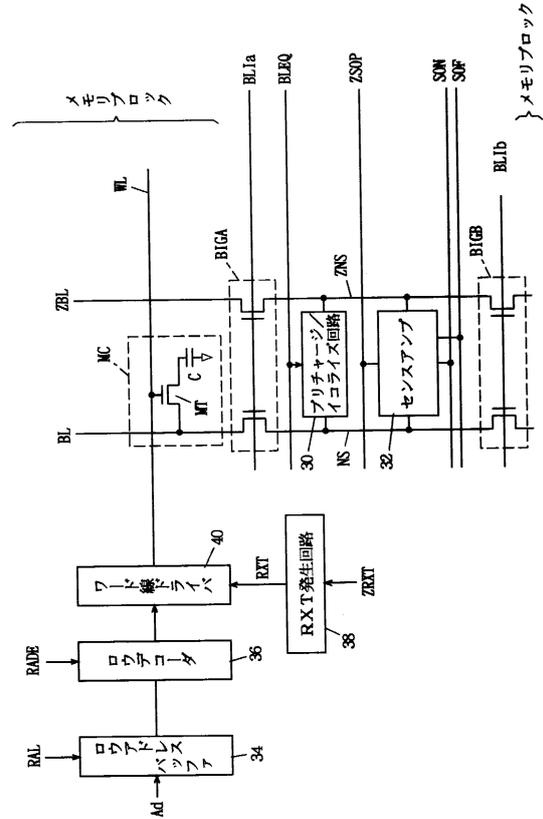
【 図 2 】



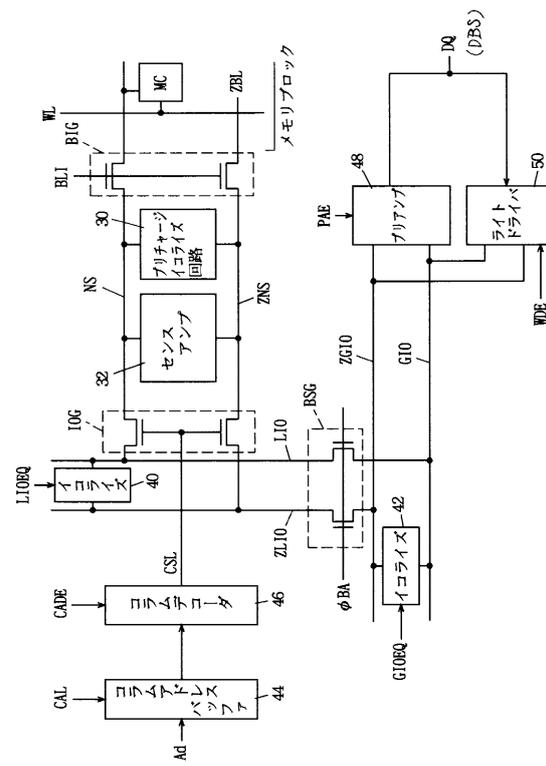
【 図 4 】



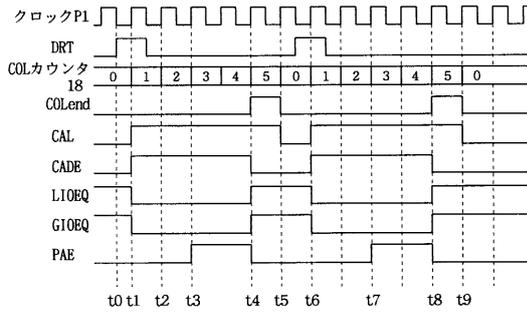
【 図 3 】



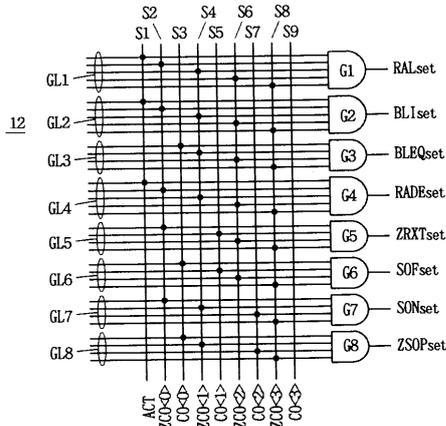
【 図 5 】



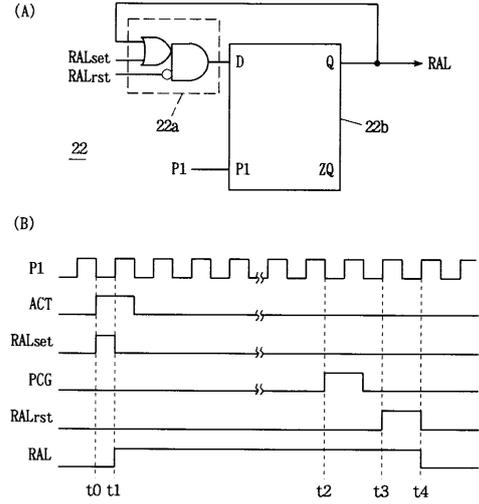
【 図 6 】



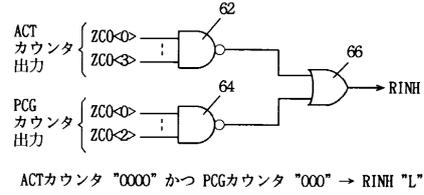
【 図 7 】



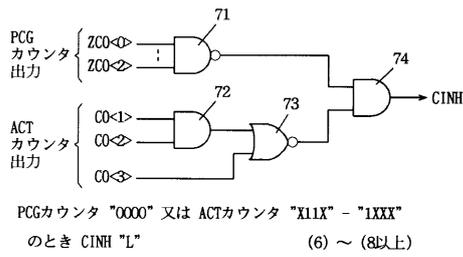
【 図 8 】



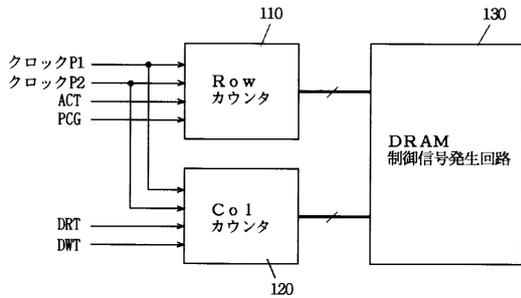
【 図 9 】



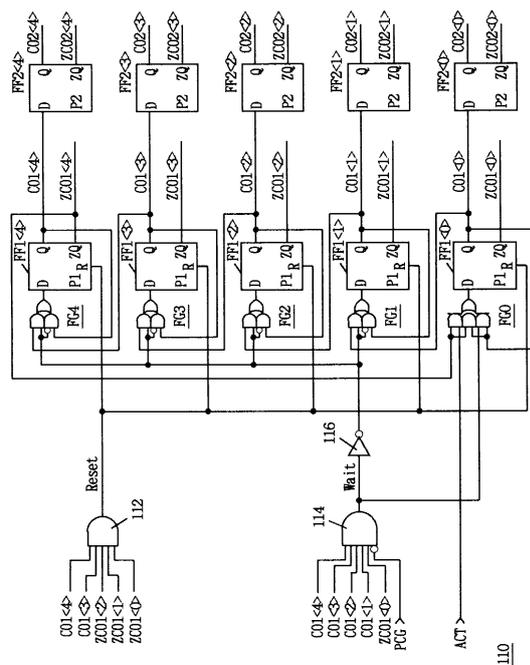
【 図 10 】



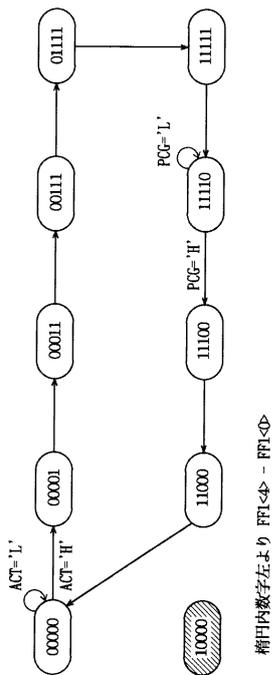
【 図 11 】



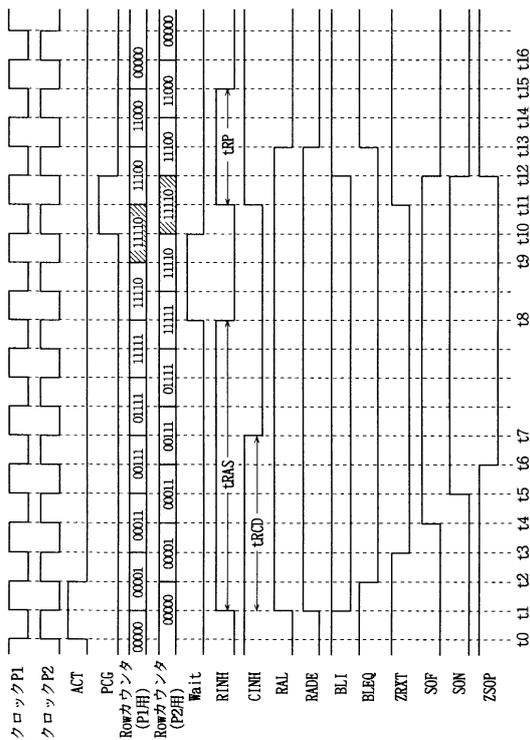
【 図 12 】



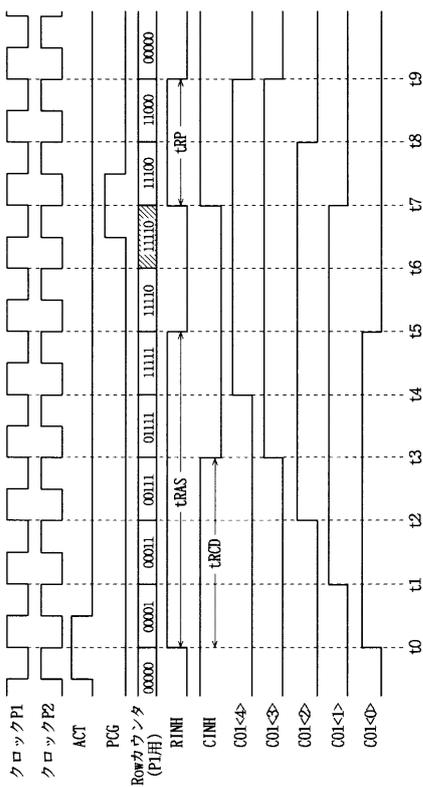
【 図 1 3 】



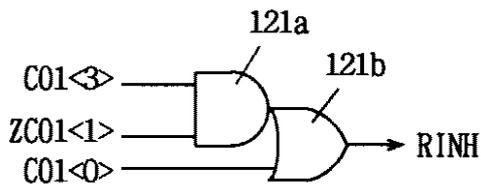
【 図 1 4 】



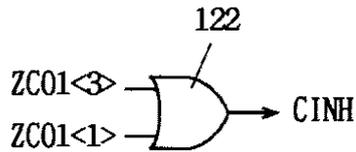
【 図 1 5 】



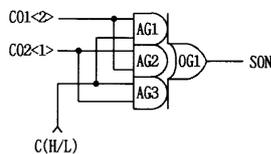
【 図 1 6 】



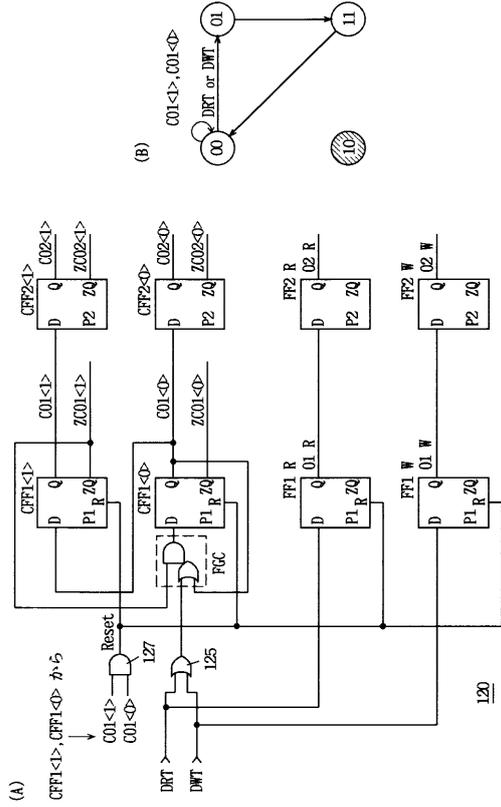
【 図 1 7 】



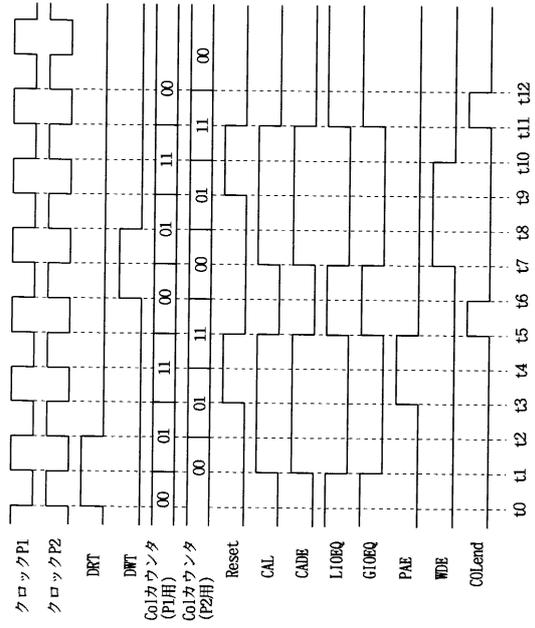
【 図 1 8 】



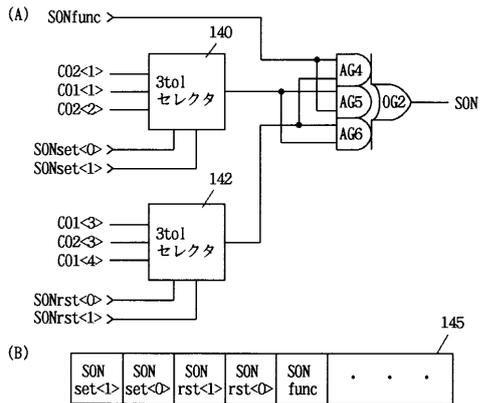
【 図 19 】



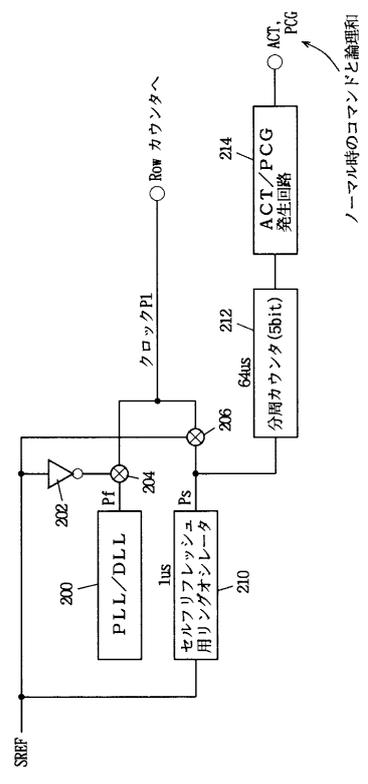
【 図 20 】



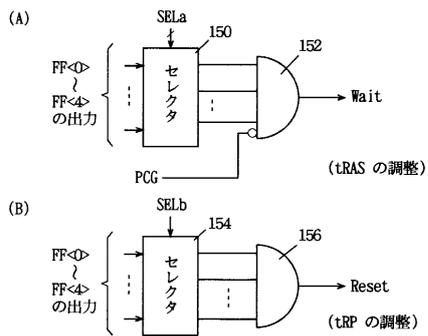
【 図 21 】



【 図 23 】

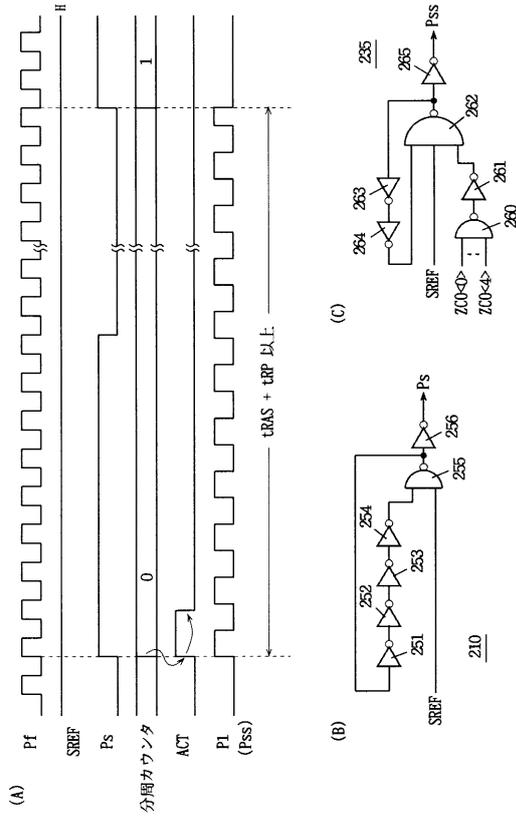


【 図 22 】

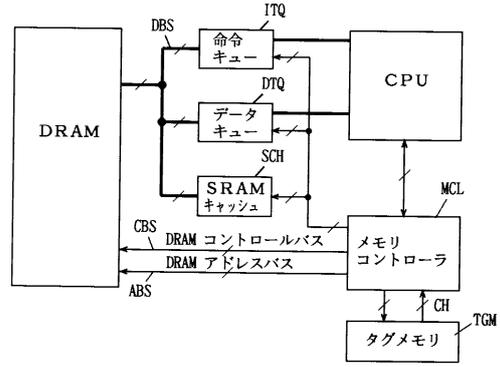


ノーマル時のコマンドと論理和

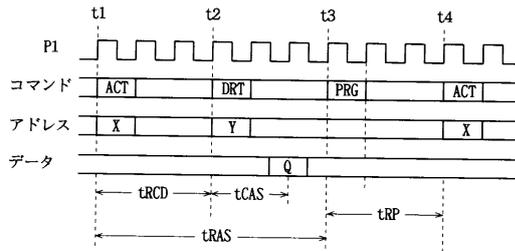
【 図 2 9 】



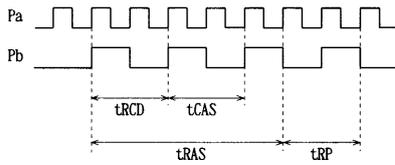
【 図 3 0 】



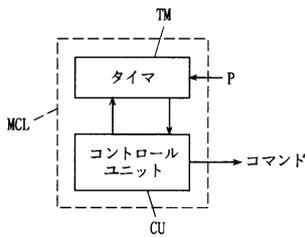
【 図 3 1 】



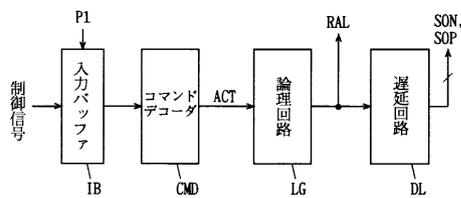
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

- (72)発明者 山崎 彰
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 堂阪 勝己
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 園田 康弘

- (56)参考文献 特開平08-106784(JP,A)
特開平01-182996(JP,A)
特開平07-319764(JP,A)
特開平07-045072(JP,A)
特開平07-141865(JP,A)
特開平02-071488(JP,A)
特開平03-049094(JP,A)
特開平08-096574(JP,A)
特開昭62-223891(JP,A)
特開平08-087883(JP,A)
特開平04-034793(JP,A)
特開平05-143445(JP,A)
特開平07-249289(JP,A)
特開平04-259984(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/401
G11C 11/403
G11C 11/407
G11C 11/4076