



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0004017  
(43) 공개일자 2012년01월12일

<p>(51) Int. Cl.  <i>G11C 11/4074</i> (2006.01) <i>G11C 11/4096</i> (2006.01)  <i>G11C 11/4093</i> (2006.01)</p> <p>(21) 출원번호 10-2010-0064640                  (22) 출원일자 2010년07월06일                  심사청구일자 2010년07월06일</p>	<p>(71) 출원인                  주식회사 하이닉스반도체                  경기도 이천시 부발읍 경충대로 2091 (현대전자)</p> <p>(72) 발명자                  허영도                  충청북도 청주시 흥덕구 가경로 75, 104동 1003호                  (가경동, 진로아파트)</p> <p>(74) 대리인                  김성남</p>
--	--

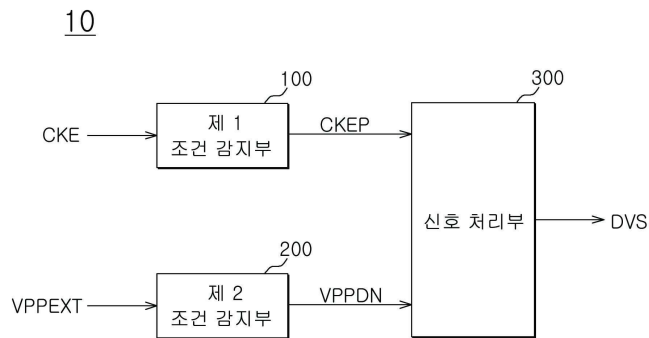
전체 청구항 수 : 총 23 항

(54) 동적 전압 조정 모드 판별 장치와 방법 및 이를 이용한 펌핑 전압 감지 장치와 방법

(57) 요약

본 발명의 동적 전압 조정 모드 판별 장치는 동적 전압 조정 모드에 진입하면 활성화되는 클럭 인에이블 신호에 응답하여 제 1 조건 신호를 생성하는 제 1 조건 감지부, 동적 전압 조정 모드에서 노멀 모드 시의 전압 레벨과 다른 레벨을 가지는 외부 고전압에 응답하여 제 2 조건 신호를 생성하는 제 2 조건 감지부 및 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 생성하는 신호 처리부를 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

동적 전압 조정 모드에 진입하면 활성화되는 클럭 인에이블 신호에 응답하여 제 1 조건 신호를 생성하는 제 1 조건 감지부;

동적 전압 조정 모드에서 노멀 모드 시의 전압 레벨과 다른 레벨을 가지는 외부 고전압에 응답하여 제 2 조건 신호를 생성하는 제 2 조건 감지부; 및

상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 생성하는 신호 처리부를 포함하는 동적 전압 조정 모드 판별 장치.

### 청구항 2

제 1 항에 있어서,

상기 제 1 조건 신호는 상기 클럭 인에이블 신호가 활성화되면 소정 시간의 펄스 폭을 가지고 활성화되는 신호 인 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

### 청구항 3

제 1 항에 있어서,

상기 제 2 조건 감지부는 상기 외부 고전압을 소정 레벨과 비교하고, 비교 결과를 상기 제 2 조건 신호로서 출력하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

### 청구항 4

제 1 항에 있어서,

상기 신호 처리부는 상기 제 1 조건 신호 및 제 2 조건 신호가 모두 활성화되면 상기 동적 전압 조정 모드 신호를 활성화하고, 상기 제 1 조건 신호가 활성화되고 상기 제 2 조건 신호가 비활성화되면 상기 동적 전압 조정 모드 신호를 비활성화하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

### 청구항 5

제 1 항에 있어서,

상기 신호 처리부는 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 상태 노드를 구동하는 신호 변경부; 및

상기 상태 노드의 전압을 상기 동적 전압 조정 모드 신호로서 출력하고 상기 상태 노드의 전압을 래치하는 신호 유지부를 포함하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

### 청구항 6

제 5 항에 있어서,

상기 신호 변경부는 상기 제 1 조건 신호 및 상기 제 2 조건 신호가 모두 활성화되면 상기 상태 노드를 차지하는 신호 활성화부; 및

상기 제 1 조건 신호가 활성화되고 상기 제 2 조건 신호가 비활성화되면 상기 상태 노드를 디스차지하는 신호 비활성화부를 포함하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

### 청구항 7

제 5 항에 있어서,

상기 신호 유지부는 리셋 신호를 추가로 입력받고, 상기 리셋 신호에 응답하여 상기 동적 전압 조정 모드 신호

를 초기화 하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

**청구항 8**

제 7 항에 있어서,

상기 신호 유지부는 상기 리셋 신호를 입력받아 초기화되는 래치 회로를 포함하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

**청구항 9**

클럭 인에이블 신호의 활성화 여부를 감지하여 제 1 조건 신호를 활성화하는 단계;

외부 고전압이 소정 레벨 이하로 하강하는 것을 감지하여 제 2 조건 신호를 활성화하는 단계; 및

상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 활성화하는 단계를 포함하는 동적 전압 조정 모드 판별 방법.

**청구항 10**

제 9 항에 있어서,

상기 동적 전압 조정 모드 신호를 활성화 하는 단계는 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 상태 노드를 구동하는 단계; 및

상기 상태 노드의 전압을 상기 동적 전압 조정 모드 신호로서 출력하고 상기 상태 노드의 전압을 래치하는 단계를 포함하는 것을 특징으로 하는 동적 전압 조정 모드 판별 방법.

**청구항 11**

동적 전압 조정 모드에 진입하면 활성화되는 동적 전압 조정 모드 신호를 생성하는 동적 전압 조정 모드 판별부; 및

내부 고전압을 상기 동적 전압 조정 모드 신호에 따라 다른 비교 전압과 비교하여 펌핑 인에이블 신호를 생성하는 펌핑 신호 생성부를 포함하는 펌핑 전압 감지 장치.

**청구항 12**

제 11 항에 있어서,

상기 동적 전압 조정 모드 판별부는 상기 동적 전압 조정 모드에 진입하면 활성화되는 클럭 인에이블 신호에 응답하여 제 1 조건 신호를 생성하는 제 1 조건 감지부;

상기 동적 전압 조정 모드에서 노멀 모드 시의 전압 레벨과 다른 레벨을 가지는 외부 고전압에 응답하여 제 2 조건 신호를 생성하는 제 2 조건 감지부; 및

상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 상기 동적 전압 조정 모드 신호를 생성하는 신호 처리부를 포함하는 펌핑 전압 감지 장치.

**청구항 13**

제 12 항에 있어서,

상기 제 1 조건 신호는 상기 클럭 인에이블 신호가 활성화되면 소정 시간의 펄스 폭을 가지고 활성화되는 신호인 것을 특징으로 하는 펌핑 전압 감지 장치.

**청구항 14**

제 12 항에 있어서,

상기 제 조건 감지부는 상기 외부 고전압 및 소정 레벨을 비교하고, 비교 결과를 상기 제 2 조건 신호로서 출력하는 것을 특징으로 하는 펌핑 전압 감지 장치.

**청구항 15**

제 12 항에 있어서,

상기 신호 처리부는 상기 제 1 조건 신호 및 제 2 조건 신호가 모두 활성화되면 상기 동적 전압 조정 모드 신호를 활성화하고, 상기 제 1 조건 신호가 활성화되고 상기 제 2 조건 신호가 비활성화되면 상기 동적 전압 조정 모드 신호를 비활성화하는 것을 특징으로 하는 펌핑 전압 감지 장치.

**청구항 16**

제 12 항에 있어서,

상기 신호 처리부는 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 상태 노드를 구동하는 신호 변경부; 및

상기 상태 노드의 전압을 상기 동적 전압 조정 모드 신호로서 출력하고 상기 상태 노드의 전압을 래치하는 신호 유지부를 포함하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

**청구항 17**

제 16 항에 있어서,

상기 신호 변경부는 상기 제 1 조건 신호 및 상기 제 2 조건 신호가 모두 활성화되면 상기 상태 노드를 차지하는 신호 활성화부; 및

상기 제 1 조건 신호가 활성화되고 상기 제 2 조건 신호가 비활성화되면 상기 상태 노드를 디스차지하는 신호 비활성화부를 포함하는 것을 특징으로 하는 동적 전압 조정 모드 판별 장치.

**청구항 18**

제 16 항에 있어서,

상기 신호 유지부는 리셋 신호를 추가로 입력받고, 상기 리셋 신호에 응답하여 상기 동적 전압 조정 모드 신호를 초기화 하는 것을 특징으로 하는 펌핑 전압 감지 장치.

**청구항 19**

제 18 항에 있어서,

상기 신호 유지부는 상기 리셋 신호를 입력받아 초기화되는 래치 회로를 포함하는 것을 특징으로 하는 펌핑 전압 감지 장치.

**청구항 20**

제 11 항에 있어서,

상기 펌핑 신호 생성부는 상기 내부 고전압에 대해 상기 동적 전압 조정 모드 신호에 따라 비율을 달리한 전압 분배를 하여 비교 고전압을 생성하는 전압 분배부; 및

상기 비교 고전압 및 기준 전압을 비교하여 펌핑 인에이블 신호를 생성하는 전압 비교부를 포함하는 것을 특징으로 하는 펌핑 전압 감지 장치.

**청구항 21**

클럭 인에이블 신호의 활성화 여부를 감지하여 제 1 조건 신호를 활성화하는 단계;

외부 고전압이 소정 레벨 이하로 하강하는 것을 감지하여 제 2 조건 신호를 활성화하는 단계;

상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 활성화하는 단계;

상기 동적 전압 조정 모드 신호에 응답하여 내부 고전압을 전압 분배를 하여 비교 고전압을 생성하는 단계; 및

상기 비교 고전압 및 기준 전압을 비교하여 펌핑 인에이블 신호를 생성하는 단계를 포함하는 펌핑 전압 감지 방

법.

**청구항 22**

제 21 항에 있어서,

상기 동적 전압 조정 모드 신호를 활성화 하는 단계는 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 상태 노드를 구동하는 단계; 및

상기 상태 노드의 전압을 상기 동적 전압 조정 모드 신호로서 출력하고 상기 상태 노드의 전압을 래치하는 단계를 포함하는 것을 특징으로 하는 펌핑 전압 감지 방법.

**청구항 23**

제 22 항에 있어서,

상기 제 1 조건 신호를 활성화 하는 단계 이전에 리셋 신호에 응답하여 상기 동적 전압 조정 모드 신호를 초기화 하는 단계를 추가로 포함하는 펌핑 전압 감지 방법.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 동적 전압 조정 모드가 적용될 수 있는 반도체 장치에 관한 것이다.

**배경기술**

[0002] 각종 반도체장치에서는 외부로부터 외부 전압(VDD)을 입력받아 외부 전압(VDD)과 다른 레벨을 가지는 내부전압(internal voltage)을 만들어 사용하고 있다. 이러한 내부전압 중에는 반도체 장치 외부로부터 입력되는 외부 전압(VDD)보다 높은 전압(이하 내부 고전압)도 존재한다. DRAM과 같은 반도체 메모리장치에서는 워드라인(Word Line)을 구동하는 전압으로 내부 고전압, 특히 펌핑 전압(VPP, 이하에서 내부 고전압을 펌핑 전압(VPP)로 예시하여 설명한다)을 생성해 사용하고 있다.

[0003] 내부 고전압(VPP)의 생성은 내부 고전압(VPP)의 현재 레벨을 피드백하여 목표 전압과 비교하는 단계 및 비교된 결과에 따라 내부 고전압(VPP)의 레벨을 높이는 단계를 반복하며 이뤄진다. 여기서 언급된 내부 고전압(VPP)의 현재 레벨을 피드백하여 목표 전압과 비교하는 동작을 위해 펌핑 전압 감지 장치가 사용된다.

[0004] 펌핑 전압 감지 장치는 내부 고전압(VPP)의 레벨을 감지하고, 내부 고전압(VPP)이 목표 전압에 도달하였는지를 확인하여 펌핑 인에이블 신호를 생성한다. 일반적으로 펌핑 전압 감지 장치는 내부 고전압(VPP)의 레벨이 목표 전압보다 높으면 펌핑 인에이블 신호를 비활성화하고, 반대로 내부 고전압(VPP)의 레벨이 목표 전압보다 낮으면 펌핑 인에이블 신호를 활성화하여 출력한다. 이렇게 생성된 펌핑 인에이블 신호는 반도체 장치의 펌핑 회로로 입력되어 내부 고전압(VPP)에 대한 펌핑 동작을 관장하는 데에 사용된다.

[0005] 최근의 반도체 장치, 특히 DRAM에서는 전력 소모를 줄이고자 동적 전압 조정 모드(Dynamic Voltage Scaling Mode)가 도입되고 있다. 동적 전압 조정 모드에서는 외부 전압(VDD)이 노멀 모드보다 낮게 공급되어 반도체 장치의 전력 소모를 줄일 수 있도록 한다.

[0006] 또한 최근의 반도체 장치, 특히 DRAM이 발전함에 따라(예를 들어 DDR3 기술 이후) 반도체 장치의 외부로부터 공급되는 전원 전압으로서 외부 전압(VDD)뿐만 아니라 외부 고전압(VPPEXT)을 추가로 공급받는 방식이 도입되고 있다. 외부 고전압(VPPEXT)은 외부 전압(VDD)보다 레벨이 높은 전압으로서, 반도체 장치의 내부에서 외부 전압(VDD) 보다 높은 전압을 필요로 하는 회로에 사용되는 신호이다. 또한 반도체 장치는 외부 고전압(VPPEXT)과 별도로, 내부 고전압(VPP)를 추가적으로 생성하여 사용한다.

[0007] 동적 전압 조정 모드에서는 반도체 장치의 외부에서 입력되는 전원 전압, 즉 외부 전압(VDD) 및 외부 고전압(VPPEXT)이 노멀 모드보다 낮게 입력된다. 반도체 장치는 동적 전압 조정 모드에서 노멀 모드보다 낮게 입력되는 외부 전압(VDD) 및 외부 고전압(VPPEXT)을 사용하여 동작함으로써 전력 소모를 줄일 수 있다. 동적 전압 조정 모드에서 내부 고전압(VPP)이 노멀 모드보다 낮게 생성되면 위에서 언급된 전력 소모 감소 효과를 더욱 크게 할 수 있다. 하지만 종래 기술에서는 외부 고전압(VPPEXT)에 대한 감지 없이, 동적 전압 조정 모드 및 노멀 모

드에서 모두 동일한 레벨의 내부 고전압(VPP)을 생성하고 있어 불필요한 전력 소모가 발생하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0008] 본 발명은 동적 전압 조정 모드를 판별할 수 있는 동적 전압 조정 모드 판별 장치를 제공하는 데 그 기술적 과제가 있다.
- [0009] 또한 본 발명은 내부 고전압(VPP)에 따라 펌핑 인에이블 신호를 생성하되, 그 기준이 동적 전압 조정 모드 및 노멀 모드에 따라 서로 다른 펌핑 전압 감지 장치를 제공하는 데 그 기술적 과제가 있다.

**과제의 해결 수단**

- [0010] 본 발명의 일 실시예에 따른 동적 전압 조정 모드 판별 장치는 동적 전압 조정 모드에 진입하면 활성화되는 클럭 인에이블 신호에 응답하여 제 1 조건 신호를 생성하는 제 1 조건 감지부, 동적 전압 조정 모드에서 노멀 모드 시의 전압 레벨과 다른 레벨을 가지는 외부 고전압에 응답하여 제 2 조건 신호를 생성하는 제 2 조건 감지부 및 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 생성하는 신호 처리부를 포함한다.
- [0011] 또한 본 발명의 일 실시예에 따른 동적 전압 조정 모드 판별 방법은 클럭 인에이블 신호의 활성화 여부를 감지하여 제 1 조건 신호를 활성화하는 단계, 외부 고전압이 소정 레벨 이하로 하강하는 것을 감지하여 제 2 조건 신호를 활성화하는 단계 및 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 활성화하는 단계를 포함한다.
- [0012] 또한 본 발명의 다른 실시예에 따른 펌핑 전압 감지 장치는 동적 전압 조정 모드에 진입하면 활성화되는 동적 전압 조정 모드 신호를 생성하는 동적 전압 조정 모드 판별부 및 내부 고전압을 상기 동적 전압 조정 모드 신호에 따라 다른 비교 전압과 비교하여 펌핑 인에이블 신호를 생성하는 펌핑 신호 생성부를 포함한다.
- [0013] 또한 본 발명의 다른 실시예에 따른 펌핑 전압 감지 방법은 클럭 인에이블 신호의 활성화 여부를 감지하여 제 1 조건 신호를 활성화하는 단계, 외부 고전압이 소정 레벨 이하로 하강하는 것을 감지하여 제 2 조건 신호를 활성화하는 단계, 상기 제 1 조건 신호 및 상기 제 2 조건 신호에 응답하여 동적 전압 조정 모드 신호를 활성화하는 단계, 상기 동적 전압 조정 모드 신호에 응답하여 내부 고전압을 전압 분배를 하여 비교 고전압을 생성하는 단계 및 상기 비교 고전압 및 기준 전압을 비교하여 펌핑 인에이블 신호를 생성하는 단계를 포함한다.

**발명의 효과**

- [0014] 본 발명은 반도체 장치가 동적 전압 조정 모드로 진입하는 것 및 동적 전압 조정 모드를 중지하고 노멀 모드로 진입하는 것을 판별할 수 있는 효과를 창출한다.
- [0015] 또한 본 발명은 동적 전압 조정 모드에서 내부 고전압의 레벨을 낮게 생성할 수 있어 전력 소모를 줄이는 효과를 창출한다.

**도면의 간단한 설명**

- [0016] 도 1은 본 발명의 일 실시예에 따른 동적 전압 조정 모드 판별 장치의 블록도,
- 도 2는 도 1에 도시된 제 1 조건 감지부(100)의 일 실시예에 따른 회로도,
- 도 3은 도 1에 도시된 제 2 조건 감지부(200)의 일 실시예에 따른 회로도,
- 도 4A는 도 1에서 도시된 신호 처리부(300)의 일 실시예에 따른 회로도,
- 도 4B는 도 1에서 도시된 신호 처리부(300)의 다른 실시예에 따른 회로도,
- 도 5는 본 발명의 다른 실시예에 따른 펌핑 전압 감지 장치의 블록도,
- 도 6은 도 5에 도시된 펌핑 신호 생성부(20)의 일 실시예에 따른 회로도,
- 도 7은 도 5에 도시된 펌핑 전압 감지 장치의 입출력 신호 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 본 발명에서는 반도체 장치가 동적 전압 조정 모드 및 노멀 모드 중 어느 모드로 동작하는 지를 판별할 수 있는 동적 전압 조정 모드 판별 장치를 제안한다. 또한 본 발명에서는 내부 고전압을 상기 동적 전압 조정 모드 판별 장치에서 생성되는 동적 전압 조정 모드 신호에 따라 서로 다른 비교 전압과 비교하여 펌핑 인에이블 신호를 생성하는 펌핑 전압 감지 장치를 제안한다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 동적 전압 조정 모드 판별 장치의 블록도이다.
- [0019] 동적 전압 조정 모드를 사용하는 반도체 장치, 특히 DRAM에서는 동적 전압 조정 모드로 진입할 때 클럭 인에이블 신호(CKE)를 활성화하게 된다. 상기 클럭 인에이블 신호(CKE)는 DRAM의 셀프 리프레쉬(Self Refresh) 동작을 관장하는 신호이다.
- [0020] 또한 위에서 언급한 것처럼 동적 전압 조정 모드에서, 반도체 장치의 외부로부터 입력되는 외부 고전압(VPPEXT)은 노멀 모드보다 낮게 입력된다.
- [0021] 도 1에서 도시된 본 발명의 일 실시예에 따른 상기 동적 전압 조정 모드 판별 장치는 상기 클럭 인에이블 신호(CKE) 및 상기 외부 고전압(VPPEXT)을 감지하여 상기 반도체 장치가 동적 전압 조정 모드로서 동작하는지를 확인하고, 확인된 결과를 동적 전압 조정 모드 신호(DVS)로서 출력한다.
- [0022] 상기 동적 전압 조정 모드 판별 장치는 제 1 조건 감지부(100), 제 2 조건 감지부(200) 및 신호 처리부(300)를 포함하여 구성될 수 있다.
- [0023] 상기 제 1 조건 감지부(100)는 동적 전압 조정 모드로 진입되면 활성화되는 상기 클럭 인에이블 신호(CKE)를 감지하고, 감지한 결과에 따라 제 1 조건 신호(CKEP)를 생성한다.
- [0024] 상기 제 2 조건 감지부(200)는 동적 전압 조정 모드에서 노멀 모드 시의 전압 레벨과 다른 레벨을 가지는 상기 외부 고전압(VPPEXT)을 감지하고, 감지한 결과에 따라 제 2 조건 신호(VPPDN)를 생성한다.
- [0025] 상기 신호 처리부(300)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)에 응답하여 동적 전압 조정 모드 신호(DVS)를 생성한다.
- [0026] 상기 클럭 인에이블 신호(CKE)는 로우 레벨 활성 신호(Low-Active Signal)이고 위에서 언급한 것처럼 DRAM의 셀프 리프레쉬 동작을 관장하는 신호이다. 따라서 상기 제 1 조건 감지부(100)는 상기 클럭 인에이블 신호(CKE)가 활성화되면 상기 제 1 조건 신호(CKEP)가 활성화되도록 하되, 상기 신호 처리부(300)에서 상기 제 1 조건 신호(CKEP)를 사용하는 동작 방식에 따라 활성화 타이밍, 펄스 폭 및 레벨을 조절하여 생성하는 것이 바람직하다.
- [0027] 상기 제 2 조건 감지부(200)는 상기 외부 고전압(VPPEXT) 및 소정 레벨을 비교하고, 비교 결과를 상기 제 2 조건 신호로서 출력하도록 구성하는 것이 바람직하다.
- [0028] 상기 신호 처리부(300)는 상기 클럭 인에이블 신호(CKE)의 활성화 정보를 갖고 있는 상기 제 1 조건 신호(CKEP) 및 상기 외부 고전압(VPPEXT)의 레벨 정보를 갖고 있는 상기 제 2 조건 신호(VPPDN)를 확인하여 상기 동적 전압 조정 모드 신호(DVS)를 생성하도록 구성하는 것이 바람직하다. 동적 전압 조정 모드는 상기 외부 고전압(VPPEXT)이 노멀 모드보다 낮고, 동적 전압 조정 모드로 진입될 때 상기 클럭 인에이블 신호(CKE)가 활성화된다. 따라서 상기 신호 처리부(300)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)가 모두 활성화되면 상기 동적 전압 조정 모드 신호(DVS)를 활성화하도록 구성될 수 있다. 또한 동적 전압 조정 모드가 종료되고 노멀 모드로 진입되면, 상기 외부 고전압(VPPEXT)이 노멀 모드의 레벨로 상승하고, 상기 클럭 인에이블 신호(CKE)가 활성화된다. 따라서 상기 신호 처리부(300)는 상기 제 1 조건 신호(CKEP)가 활성화되고 상기 제 2 조건 신호(VPPDN)가 비활성화되면 상기 동적 전압 조정 모드 신호(DVS)를 비활성화하도록 구성될 수 있다. 상기 동적 전압 조정 모드에서, 상기 외부 고전압(VPPEXT)은 노멀 모드보다 낮지만, 상기 클럭 인에이블 신호(CKE)는 셀프 리프레쉬 동작에 따라 활성화 및 비활성화를 반복한다. 따라서 상기 신호 처리부(300)는 상기 외부 고전압(VPPEXT)의 정보를 갖는 상기 제 2 조건 신호(VPPDN) 및 상기 클럭 인에이블 신호(CKE)의 정보를 갖는 상기 제 1 조건 신호(CKEP)를 모두 확인하여 상기 동적 전압 조정 모드 신호(DVS)를 생성하도록 구성하는 것이 바람직하다.
- [0029] 도 2는 도 1에 도시된 상기 제 1 조건 감지부(100)의 일 실시예에 따른 회로도이다.
- [0030] 상기 제 1 조건 감지부(100)는 제 1 노어 게이트(NR1), 제 1 인버터(IV1) 및 지연 회로(110)를 포함하여 구성될

수 있다. 상기 지연 회로(110)는 상기 클럭 인에이블 신호(CKE)를 지연하여 출력한다. 상기 제 1 인버터(IV1)는 상기 지연 회로(110)로부터 출력된 신호를 반전하여 출력한다. 상기 제 1 노어 게이트(NR1)는 상기 제1 인버터(IV)에서 출력된 신호 및 상기 클럭 인에이블 신호(CKE)를 노어 연산하여 상기 제 1 조건 신호(CKEP)로서 출력한다. 상기 제 1 조건 감지부(100)의 동작에 따라 생성되는 상기 제 1 조건 신호(CKEP)는 상기 클럭 인에이블 신호(CKE)의 활성화 시점에 활성화되고, 상기 지연 회로(110)의 지연 시간만큼 활성화를 유지하는 신호이다. 도 2 에 도시된 상기 제 1 조건 감지부(100)는 상기 클럭 인에이블 신호(CKE)가 로우 활성화(Low-Active) 신호인 것을 감안하여 상기 제 1 노어 게이트(NR1)를 포함하여 설계되었다. 하지만 상기 제 1 조건 감지부(100)로 입력되는 상기 클럭 인에이블 신호(CKE)의 활성화 레벨에 따라 상기 제 1 노어 게이트(NR1) 대신 다른 종류의 논리 게이트(예를 들어, 낸드 게이트)를 포함하여 구성될 수도 있다.

[0031] 도 3은 도 1에 도시된 제 2 조건 감지부(200)의 일 실시예에 따른 회로도이다.

[0032] 상기 제 2 조건 감지부(200)는 제 1 및 제 2 저항(R1, R2), 제 1 피모스 트랜지스터(P1) 및 제 1 엔모스 트랜지스터(N1)를 포함하여 구성될 수 있다. 상기 제 1 및 제 2 저항(R1, R2)는 직렬 구성으로 상기 외부 고전압(VPPEXT) 단자 및 접지 전압(VSS) 단자 사이에 연결된다. 상기 제 1 피모스 트랜지스터(P1)는 상기 외부 고전압(VPPEXT) 단자 및 상기 제 1 엔모스 트랜지스터(N1)의 드레인 단자 사이에 연결되어 접지 전압(VSS)을 입력받는다. 상기 제 1 엔모스 트랜지스터(N1)는 상기 제 1 피모스 트랜지스터(P1)의 드레인 단자 및 접지 전압(VSS) 단자 사이에 연결되어 상기 제 1 및 상기 제 2 저항(R1, R2)의 공통 노드의 전압을 인가 받는다. 상기 제 1 피모스 트랜지스터(P1) 및 상기 제 1 엔모스 트랜지스터(N1)의 공통 드레인 단자의 전압은 상기 제 2 조건 신호(VPPDN)로서 출력된다. 도 3에 도시된 상기 제 2 조건 감지부(200)는 다음과 같이 동작한다. 상기 외부 고전압(VPPEXT)이 노멀 모드로서 동적 전압 조정 모드보다 높고, 이때의 제 2 조건 신호(VPPDN)는 비활성화 상태인 상황에서, 상기 외부 고전압(VPPEXT)이 점점 하강하면 상기 제 1 및 제 2 저항(R1, R2)의 공통 노드의 전압 레벨도 점점 하강한다. 이에 따라 상기 제 1 엔모스 트랜지스터(N1)의 게이트-소스 전압 차이가 점점 하강함에 따라 상기 제 1 엔모스 트랜지스터(N1) 및 상기 제 1 피모스 트랜지스터(P1)의 공통 드레인 단자를 디스차지하는 전류가 작아진다. 상기 외부 고전압(VPPEXT)이 소정 레벨 이하로 하강하여 상기 제 1 엔모스 트랜지스터(N1)를 통해 디스차지하는 전류가 상기 제 1 피모스 트랜지스터(P1)를 통해 차지하는 전류보다 작아지면, 상기 제 2 조건 신호(VPPDN)는 하이 레벨이 된다. 이후 상기 외부 고전압(VPPEXT)가 점점 상승하면, 상기 제 1 및 제 2 저항(R1, R2)의 공통 노드의 전압 레벨도 점점 상승한다. 이에 따라 상기 제 1 엔모스 트랜지스터(N1)의 게이트-소스 전압 차이가 점점 증가함에 따라 상기 제 1 엔모스 트랜지스터(N1) 및 상기 제 1 피모스 트랜지스터(P1)의 공통 드레인 단자를 디스차지 하는 전류가 커진다. 상기 외부 고전압(VPPEXT)가 상기 소정 레벨 이상으로 상승하여 상기 제 1 엔모스 트랜지스터(N1)를 통해 디스차지하는 전류가 상기 제 1 피모스 트랜지스터(P1)를 통해 차지하는 전류보다 커지면, 상기 제 2 조건 신호(VPPDN)는 로우 레벨이 된다. 상기 제 1 및 제 2 저항(R1, R2)의 저항 값 크기 및 상기 제 1 엔모스 트랜지스터(N1) 및 상기 제 1 피모스 트랜지스터(P1)의 크기는 상기 외부 고전압(VPPEXT)이 어느 전압에 도달하였을 때 상기 제 2 조건 신호(VPPDN)의 값을 천이할 수 있는 지, 즉 상기 소정 레벨을 결정하는 요소이므로, 동적 전압 조정 모드에서의 상기 외부 고전압(VPPEXT) 레벨과 노멀 모드에서의 상기 외부 고전압(VPPEXT) 레벨을 고려하여 설계하는 것이 바람직하다.

[0033] 도 4A는 도 1에서 도시된 상기 신호 처리부(300)의 일 실시예에 따른 회로도이다.

[0034] 도 4A 에 도시된 상기 신호 처리부(300A)는 신호 변경부(310) 및 신호 유지부(320)를 포함하여 구성될 수 있다.

[0035] 상기 신호 변경부(310)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)에 응답하여 상태 노드(ns)를 구동한다.

[0036] 상기 신호 유지부(320)는 상기 상태 노드(ns)의 전압을 상기 동적 전압 조정 모드 신호(DVS)로서 출력하고 상기 상태 노드(ns)를 래치한다.

[0037] 상기 신호 변경부(310)는 신호 활성화부(311) 및 신호 비활성화부(312)를 포함하여 구성될 수 있다.

[0038] 상기 신호 활성화부(311)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)에 응답하여 상태 노드(ns)를 차지한다. 상기 상태 노드(ns)의 전압은 상기 신호 유지부(320)에 의해 상기 동적 전압 조정 모드 신호(DVS)로서 출력되므로, 상기 신호 활성화부(311)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)이 모두 활성화되면 상기 상태 노드(ns)를 차지하도록 구성하는 것이 바람직하다. 상기 신호 활성화부(311)는 제 1 낸드 게이트(ND1) 및 제 2 피모스 트랜지스터(P2)를 포함하여 구성될 수 있다. 상기 제 1 낸드 게이트(ND1)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)를 입력받아 낸드 연산한다. 상기 제 2 피모



스 트랜지스터(P2)는 외부 전압(VDD) 단자 및 상기 상태 노드(ns)사이에 연결되어 상기 제 1 낸드 게이트(ND1)로부터 출력되는 전압을 인가 받는다. 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)가 모두 활성화되면 상기 제 1 낸드 게이트(ND1)는 낸드 연산을 통해 로우 레벨을 출력하고, 이에 따라 상기 제 2 피모스트랜지스터(P2)가 턴온되어 상기 상태 노드(ns)를 차지하게 된다.

[0039] 상기 신호 비활성화부(312)는 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)에 응답하여 상태 노드(ns)를 디스차지한다. 위에서 언급한 것처럼, 상기 상태 노드(ns)의 전압은 상기 신호 유지부(320)에 의해 상기 동적 전압 조정 모드 신호(DVS)로서 출력되므로, 상기 신호 비활성화부(312)는 상기 제 1 조건 신호(CKEP)가 활성화되고 상기 제 2 조건 신호(VPPDN)가 비활성화되면 상기 상태 노드(ns)를 디스차지하도록 구성하는 것이 바람직하다. 상기 신호 비활성화부(312)는 제 2 인버터(IV2), 제 1 앤드 게이트(AND1) 및 제 2 엔모스트랜지스터(N2)를 포함하여 구성될 수 있다. 상기 제 2 인버터(IV2)는 상기 제 2 조건 신호(VPPDN)을 반전하여 출력한다. 상기 제 1 앤드 게이트(AND1)는 상기 제 2 인버터(IV2)로부터 출력된 상기 제 2 조건 신호(VPPDN)의 반전된 값 및 상기 제 1 조건 신호(CKEP)를 앤드 연산한다. 상기 제 2 엔모스트랜지스터(N2)는 상기 상태 노드(ns) 및 접지 전압(VSS) 단자 사이에 연결되어 상기 제 1 앤드 게이트(AND1)로부터 출력되는 전압을 인가 받는다. 상기 제 1 조건 신호(CKEP)가 활성화되고 상기 제 2 조건 신호(VPPDN)가 비활성화되면 상기 제 1 앤드 게이트(AND1)는 앤드 연산을 통해 하이 레벨을 출력하고, 이에 따라 상기 제 2 엔모스트랜지스터(N2)가 턴온되어 상기 상태 노드(ns)를 디스차지하게 된다.

[0040] 상기 신호 유지부(320)는 제 1 래치(L1) 및 제 3 인버터(IV3)를 포함하여 구성될 수 있다. 상기 제 1 래치(L1)는 상기 상태 노드(ns)에 연결되어 래치 동작을 수행한다. 상기 제 3 인버터(IV3)는 상기 제 1 래치(L1)의 출력을 반전하여 상기 동적 전압 조정 모드 신호(DVS)로서 출력한다.

[0041] 도 4B는 도 1에서 도시된 상기 신호 처리부(300)의 다른 실시예에 따른 회로도이다.

[0042] 도 4B에 도시된 상기 신호 처리부(300B)는 도 4A와 유사하게 구성되어 있으며 도 4A처럼 신호 변경부(310) 및 신호 유지부(320-1)를 포함하여 구성될 수 있다. 도 4B에 도시된 상기 신호 변경부(310)는 도 4A에 도시된 상기 신호 변경부(310)와 동일한 구성이므로 상세한 설명은 생략한다. 상기 신호 유지부(320-1)는 도 4A에 도시된 상기 신호 유지부(320)에 리셋 신호(RESETB)에 응답하여 상기 동적 전압 조정 모드 신호(DVS)를 초기화하는 제 3 엔모스트랜지스터(N3)를 추가로 포함하여 구성된다. 이에 따라 상기 신호 유지부(320-1)는 상기 동적 전압 조정 모드 신호(DVS)를 상기 리셋 신호(RESETB)에 응답하여 초기화하는 동작을 추가로 수행할 수 있다. 상기 신호 유지부(320)를 도 4A와 같이 구성하게 되면 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)가 신뢰할 수 없는 정보를 가지고 있을 경우 상기 동적 전압 조정 모드 신호(DVS)의 값을 예측할 수가 없다. 하지만 상기 신호 유지부(320-1)를 도 4B와 같이 구성하게 되면, 상기 제 1 조건 신호(CKEP) 및 상기 제 2 조건 신호(VPPDN)가 신뢰할 수 없는 정보를 가지고 있을 경우, 상기 리셋 신호(RESETB)를 활성화하여 상기 동작 전압 조정 모드 신호(DVS)를 초기화함으로써 상기 동적 전압 조정 모드 판별 장치를 포함하는 반도체 장치의 동작에 예상 가능한 상기 동적 전압 조정 모드 신호(DVS)를 제공할 수 있다. 상기 리셋 신호(RESETB)는 DRAM의 초기화 동작을 관장하는 신호이다. 도 4B에 제공된 상기 신호 처리부(300B)를 포함하는 반도체 장치의 동작은 아래에서 다시 설명하기로 한다.

[0043] 도 5는 본 발명의 다른 실시예에 따른 펌핑 전압 감지 장치의 블록도이다.

[0044] 위에서 언급한 것처럼, 종래 기술에 따른 펌핑 전압 감지 장치를 포함하는 반도체장치에서는 상기 외부 고전압(VPPEXT)에 대한 감지 없이, 동적 전압 조정 모드 및 노멀 모드에서 모두 동일한 레벨의 상기 내부 고전압(VPP)을 생성하기 때문에 불필요한 전력 소모가 발생하는 문제가 있다. 본 발명의 다른 실시예에 따른 상기 펌핑 전압 감지 장치를 포함하는 반도체 장치는, 동적 전압 조정 모드 및 노멀 모드에 따라 서로 다른 레벨의 상기 내부 고전압(VPP)을 생성함으로써, 불필요한 전력이 소모되는 것을 방지한다.

[0045] 도 5에 도시된 상기 펌핑 전압 감지 장치는 내부 고전압(VPP) 및 비교 전압을 비교하여 펌핑 인에이블 신호(PEN)를 생성하는데, 상기 내부 고전압(VPP)과 비교되는 상기 비교 전압을 동적 전압 조정 모드 및 노멀 모드에 따라 레벨을 달리한다. 이에 따라 상기 펌핑 전압 감지 장치를 포함하는 반도체 장치는 동적 전압 조정 모드 및 노멀 모드에 따라 서로 다른 레벨의 상기 내부 고전압(VPP)을 생성할 수 있다.

[0046] 도 5에 도시된 상기 펌핑 전압 감지 장치는 동적 전압 조정 모드 판별부(10) 및 펌핑 신호 생성부(20)를 포함하여 구성될 수 있다.

[0047] 상기 동적 전압 조정 모드 판별부(10)는 상기 클럭 인에이블 신호(CKE), 상기 외부 고전압(VPPEXT) 및 상기 리

셋 신호(RESETB)에 응답하여 동적 전압 조정 모드 신호(DVS)를 생성한다. 상기 동적 전압 조정 모드 판별부(10)는 도 1에 도시된 상기 동적 전압 조정 모드 판별 장치를 포함하여 구성될 수 있다. 상기 동적 전압 조정 모드 판별부(10)는 상기 리셋 신호(RESETB)에 응답하여 동적 전압 조정 모드 신호(DVS)를 초기화하는 동작도 수행할 수 있으므로 도 4B에 도시된 상기 신호 처리부(300B)를 포함하여 구성하는 것이 바람직하다. 상기 동적 전압 조정 모드 판별부(10)의 구성 및 동작은 도 1 내지 도 4B에서 설명되었으므로 상세한 설명은 생략한다.

- [0048] 상기 펌핑 신호 생성부(20)는 상기 내부 고전압(VPP)을 상기 동적 전압 조정 모드 신호(DVS)에 따라 다른 상기 비교 전압과 비교하여 상기 펌핑 인에이블 신호(PEN)를 생성한다. 예를 들어 상기 펌핑 신호 생성부(20)는 노멀 모드로 동작 시, 상기 비교 전압을 3V로 설정하여 상기 내부 고전압(VDD)이 3V보다 크고 작을지에 따라 상기 펌핑 인에이블 신호(PEN)을 활성화하고, 동적 전압 조정 모드로 동작 시 상기 비교 전압을 2V로 설정하여 상기 내부 고전압(VDD)이 2V보다 크고 작을지에 따라 상기 펌핑 인에이블 신호(PEN)을 활성화하는 동작을 수행한다. 상기 펌핑 인에이블 신호(PEN)는 상기 펌핑 전압 감지 장치를 포함하는 반도체 장치의 펌핑 동작을 관장하는 신호이므로, 상기 펌핑 전압 감지 장치를 포함하는 반도체 장치에서 생성되는 상기 내부 고전압(VPP)은 노멀 모드에서 3V, 동적 전압 조정 모드에서 2V이다.
- [0049] 도 6은 도 5에 도시된 상기 펌핑 신호 생성부(20)의 일 실시예에 따른 회로도이다. 상기 내부 고전압(VPP)에 대한 전압 비교 방식은 상기 내부 고전압을 전압 분배하여 비교 고전압(VPP1)을 생성하고, 상기 비교 고전압(VPP1)을 기준 전압(REF)과 비교하는 방식으로 수행될 수 있다.
- [0050] 상기 펌핑 신호 생성부(20)는 전압 분배부(21) 및 전압 비교부(22)를 포함하여 구성될 수 있다.
- [0051] 상기 전압 분배부(21)는 상기 내부 고전압(VPP)에 대해 상기 동적 전압 조정 모드 신호에 따라 비율을 달리한 전압 분배를 하여 비교 고전압 신호(VPP1)를 생성한다.
- [0052] 상기 전압 비교부(22)는 상기 비교 고전압 신호(VPP1) 및 상기 기준 전압(REF)을 비교하여 상기 펌핑 인에이블 신호(PEN)를 생성한다.
- [0053] 상기 전압 분배부(21)가 상기 동적 전압 조정 모드 신호에 따라 비율을 달리한 전압 분배를 함으로써, 상기 펌핑 신호 생성부(20)는 상기 내부 고전압(VPP)과 비교되는 상기 비교 전압의 레벨을 상기 동적 전압 조정 모드 및 노멀 모드에 따라 서로 달리할 수 있다.
- [0054] 상기 전압 분배부(21)는 제 3 내지 제 5 저항(R3~R5) 및 제 4 엔모스 트랜지스터(N4)를 포함하여 구성될 수 있다. 상기 제 3 내지 제 5 저항(R3~R5)는 직렬 연결되어 상기 내부 고전압(VPP) 단자 및 접지 전압(VSS) 단자 사이에 연결된다. 상기 제 4 엔모스 트랜지스터(N4)는 상기 제 3 저항(R3)에 병렬로 연결되어 상기 제 3 저항(R3)에 대한 바이패스 역할을 하고 게이트 단자로 상기 동적 전압 조정 모드 신호(DVS)를 입력받는다. 상기 제 4 및 제 5 저항(R4, R5)의 공통 노드의 전압 레벨은 상기 비교 고전압(VPP1)으로서 출력된다. 상기 내부 고전압(VPP)은 상기 동적 전압 조정 모드 신호(DVS)를 입력받는 상기 제 4 엔모스 트랜지스터(N4)가 턴온 또는 턴오프 됨에 따라 비율을 달리하여 전압 분배된다.
- [0055] 상기 전압 비교부(22)는 비교기(CMP)를 포함하여 구성될 수 있다. 상기 비교기(CMP)는 상기 비교 고전압(VPP) 및 기준 전압(REF)를 비교하고, 비교한 결과를 상기 펌핑 인에이블 신호로서 출력한다.
- [0056] 도 7은 도 5에 도시된 상기 펌핑 전압 감지 장치의 입출력 신호 파형도이다.
- [0057] 도 7에서, (a)는 상기 펌핑 전압 감지 장치를 포함하는 반도체 장치에 입력되는 상기 외부 고전압(VPPEXT)의 전압 레벨을 도시하고 있다. (a)를 참조하면, 상기 외부 고전압(VPPEXT)은 상기 반도체 장치가 파워를 공급받으면 초기화 구간 동안(1~2) 점차 상승하여 노멀 모드에 해당하는 레벨이 된다(2). 이후 동적 전압 조정 모드로 진입되면 상기 외부 고전압(VPPEXT)은 노멀 모드보다 낮은 레벨로 변경된다(3). 동적 전압 조정 모드가 종료되고 노멀 모드로 다시 진입되면 상기 외부 고전압(VPPEXT)은 노멀 모드에 해당하는 레벨로 상승하게 된다(4).
- [0058] 도 7에서 (b)는 상기 펌핑 전압 감지 장치로 입출력되는 신호들의 파형을 도시하고 있다. (b)를 참조하면, 상기 반도체 장치의 초기화 단계에서(1~2) 상기 리셋 신호(RESET)신호가 로우 레벨로 활성화된다. 이에 따라 상기 동적 전압 조정 모드 신호(DVS)는 로우 레벨로 초기화 된다(1~2). 이후 노멀 모드로 진입되면(2) 상기 외부 고전압(VPPEXT)이 소정 레벨 이상이므로 상기 제 2 조건 신호(VPPDN)는 로우 레벨로 비활성화된다. 이에 따라 상기 동적 전압 조정 모드 신호(DVS)는 로우 레벨 상태를 유지한다. 상기 클럭 인에이블 신호(CKE)가 로우 레벨로 활성화 됨에 따라 상기 제 1 조건 신호(CKEP)가 활성화되고, 상기 외부 고전압(VPPEXT)이 소정 레벨 이하로 하강하여 상기 제 2 조건 신호(VPPDN)이 활성화되면(3) 상기 동적 전압 조정 모드 신호(DVS)가 활성화된다. 상기 외

부 고전압(VPPEXT)이 소정 레벨 이상으로 상승하여 상기 제 2 조건 신호(VPPDN)이 비활성화되고 상기 클럭 인에이블 신호(CKE)가 활성화되어 상기 제 1 조건 신호(CKEP)가 활성화되면(4) 상기 동적 전압 조정 모드 신호(DVS)가 비활성화된다.

[0059] 상기 펌핑 전압 감지 장치가 동적 전압 조정 모드로 동작하는 동안(3~4), 상기 펌핑 전압 감지 장치는 상기 내부 고전압(VPP)을 전압 분배하되, 이 때의 전압 비율은 상기 내부 고전압(VPP)이 상기 노멀 모드보다 낮게 생성될 수 있는 비율이다(이하 저전력 비율). 상기 펌핑 전압 감지 장치는 상기 저전력 비율로 상기 내부 고전압(VPP)을 전압 분배하여 상기 비교 고전압(VPP1)를 생성하고, 상기 비교 고전압(VPP1) 및 상기 기준 전압(REF)을 비교하여 상기 펌핑 인에이블 신호(PEN)를 생성한다.

[0060] 상기 펌핑 전압 감지 장치가 동적 전압 조정 모드로 동작하는 것을 중지하고 노멀 모드로 동작을 하면(4), 상기 펌핑 전압 감지 장치는 상기 내부 고전압(VPP)을 전압 분배하되, 이 때의 전압 비율은 상기 내부 고전압(VPP)이 동적 전압 조정 모드보다 높게 생성될 수 있는 비율이다(이하 평전력 비율). 상기 펌핑 전압 감지 장치는 상기 평전력 비율로 상기 내부 고전압(VPP)을 전압 분배하여 상기 비교 고전압(VPP1)를 생성하고, 상기 비교 고전압(VPP1) 및 상기 기준 전압(REF)을 비교하여 상기 펌핑 인에이블 신호(PEN)를 생성한다.

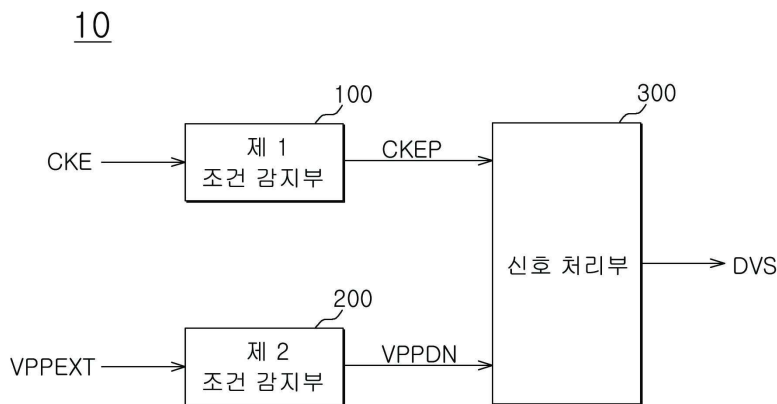
[0061] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

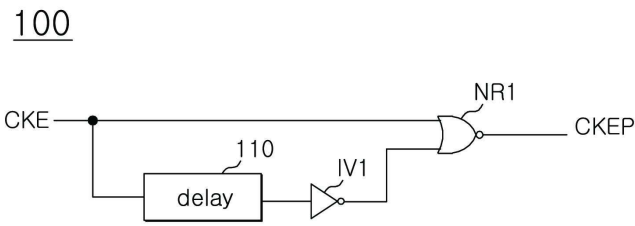
- |        |                     |                   |
|--------|---------------------|-------------------|
| [0062] | 10: 동적 전압 조정 모드 관별부 | 20: 펌핑 신호 생성부     |
|        | 21: 전압 분배부          | 22: 전압 비교부        |
|        | 100: 제 1 조건 감지부     | 110: 지연 회로        |
|        | 200: 제 2 조건 감지부     | 300: 신호 처리부       |
|        | 310: 신호 변경부         | 311: 신호 활성화부      |
|        | 312: 신호 비활성화부       | 320/320-1: 신호 유지부 |

**도면**

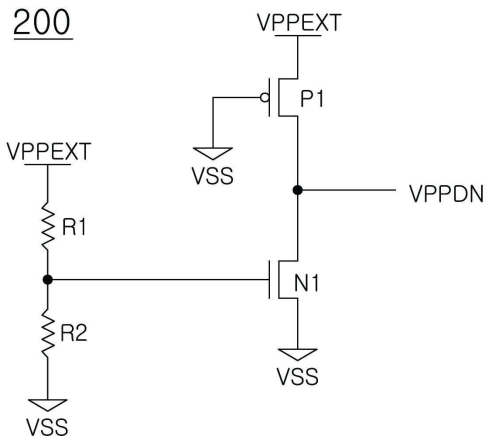
**도면1**



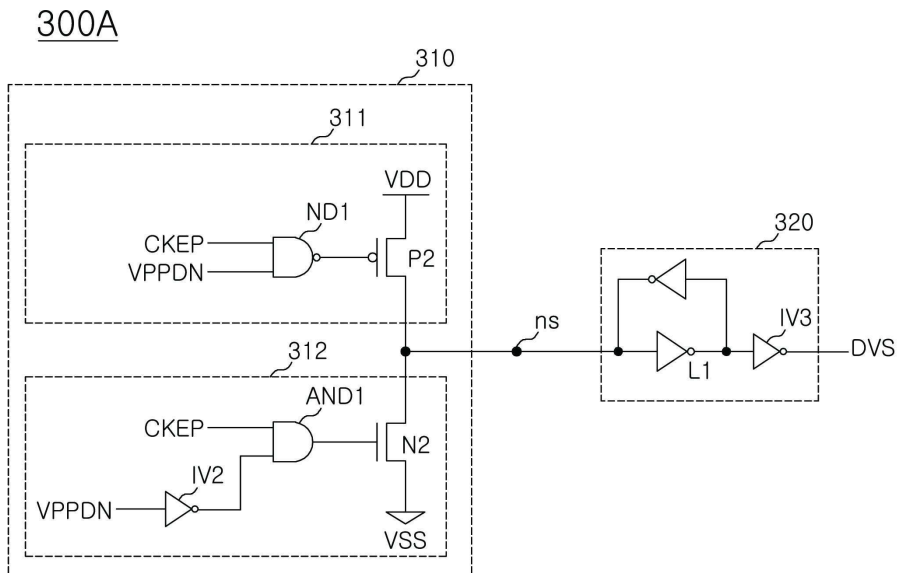
도면2



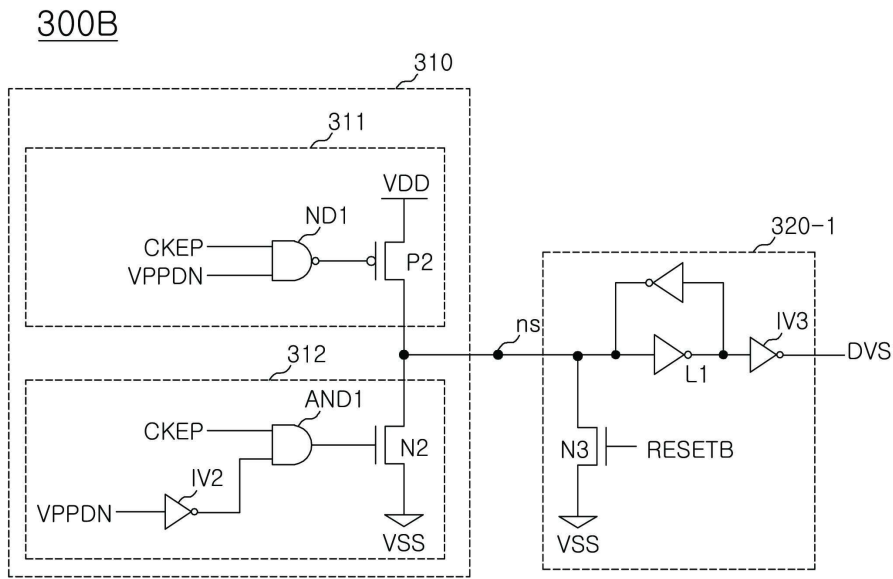
도면3



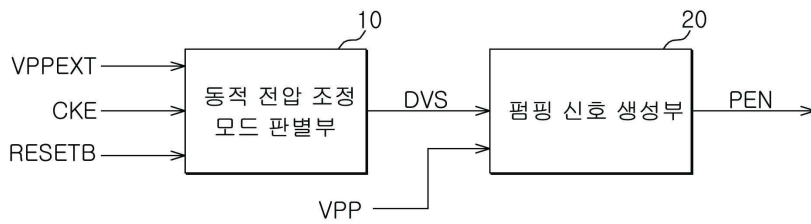
도면4a



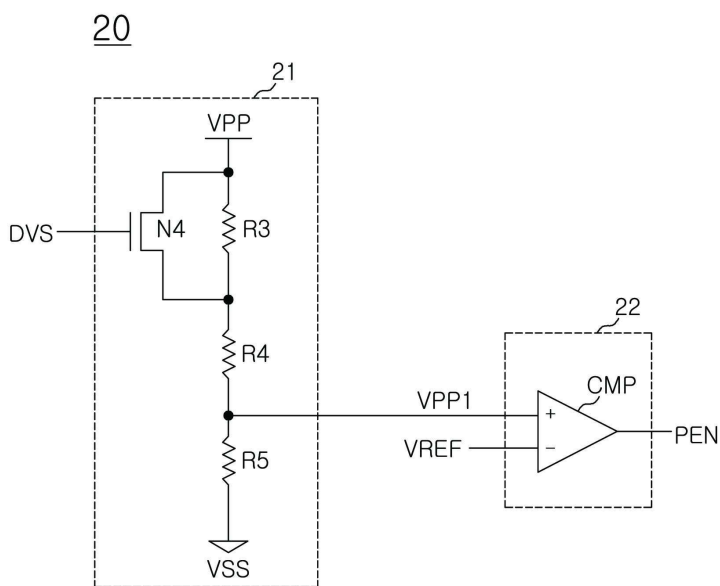
도면4b



도면5



도면6



도면7

