

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
G06T 9/00

(11) 공개번호 특1998-018884  
(43) 공개일자 1998년06월05일

(21) 출원번호	특1997-040045
(22) 출원일자	1997년08월22일
(30) 우선권주장	특원평 8-220,888 1996년08월22일 일본(JP)
(71) 출원인	마쯔시다 덴키 산교 가부시키키가이샤 모리시다 요이치
(72) 발명자	일본국 오사카후 가도마시 오아자가도마 1006반지 와타베 아키히로 일본국 나라켄 우다군 하이바라쵸 덴마다이히가시 2쵸메 8-8 미야고시 에이지
(74) 대리인	일본국 오사카후 오사카시 요도가와쿠 신키타노 2-6-22 김영철

**심사청구 : 없음**

**(54) 화상처리장치 (Image Processor)**

**요약**

각각 N개의 슬롯으로 이루어진 5개의 필드와, 3개의 부가 슬롯을 포함한 프레임 메모리를 설치한다. 각 슬롯은 화상 8 라인분을 기억할 만큼의 용량을 갖는다. 5개의 필드 중 임의의 4개는 움직임 보상을 위한 참조 프레임을 저장한다. 나머지 1개의 필드와 3개의 부가 슬롯은 B 픽처의 인터레이스 변환에 제공된다. 제어부 중에 슬롯 관리 메모리와 기입 슬롯용 포인터 및 판독 슬롯용 포인터가 설치되고, 화상 출력부가 프레임 메모리를 올바른 슬롯 순서로 판독시키도록 비트스트림 해석부에 의한 프레임 메모리로의 기입시에 슬롯 관리 메모리의 내용이 갱신된다.

**대표도**

**도1**

**명세서**

**도면의 간단한 설명**

- 도 1은 본 발명에 의한 MPEG 디코더의 구체예를 도시한 블록도.
- 도 2는 도 1 중의 프레임 메모리의 내부 구성을 도시한 개념도.
- 도 3은 도 2 중의 1개의 메모리 블록의 내부 구성을 도시한 개념도.
- 도 4는 도 2 중의 부가 메모리 블록의 내부 구성을 도시한 개념도.
- 도 5는 도 1 중의 비트 스트림 해석부의 내부 구성을 도시한 블록도.
- 도 6은 도 1 중의 화상 출력부의 내부 구성을 도시한 블록도.
- 도 7은 도 1 중의 화상 출력부의 개략 동작을 도시한 도면.
- 도 8은 도 1 중의 제어부의 내부 구성을 도시한 블록도.
- 도 9는 도 1 의 MPEG 디코더의 개략 동작예를 도시한 도면.
- 도 10은 도 1의 MPEG 디코더의 상세 동작예를 도시한 도면.
- 도 11은 도 10에 계속되는 도면.
- 도 12는 도 11에 계속되는 도면.
- 도 13은 도 12에 계속되는 도면.
- 도 14는 도 13에 계속되는 도면.
- 도 15는 도 14에 계속되는 도면.
- 도 16은 도 8 중의 슬롯 관리 메모리의 갱신 과정의 예를 도시한 도면.
- 도 17은 도 16에 계속되는 도면.

도 18은 도 2 중의 부가 블록이 2개의 부가 슬롯으로 구성된 경우의 도 16에 상당하는 도면.

도 19는 도 2 중의 부가 블록이 1개의 부가 슬롯으로 구성된 경우의 도 16에 상당하는 도면.

**\* 도면의 주요 부분에 대한 부호의 설명 \***

10 : MPEG 디코더	11 : 프레임 메모리
12 : 비트스트림 해석부	13 : 화상 출력부
14 : 제어부	15 : 데이터 버스
16 : 어드레스 버스	17 : 레지스터 버스
31 : 헤더 해석부	32 : 가변길이 복호기(VLD)
33 : 역양자화기(IQ)	34 : 역이산 코사인 변환기(IDCT)
35 : 움직임 보상기(MC)	36 : 내부 레지스터
52 : 워크 메모리	RSLP : 판독 슬롯용 포인터
SCM : 슬롯 관리 메모리	WSLP : 기입 슬롯용 포인터

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 화상 정보의 디코드 처리에 적합하게 사용되는 화상처리장치에 관한 것이다.

동화상 데이터의 압축 및 신장에 관한 국제 표준으로서, ISO/IEC의 워킹 그룹의 이름을 취하여 일반적으로 MPEG(Moving Picture Image Coding Experts Group)이라 불리는 국제 표준이 알려져 있다. 동화상 데이터를 재생하기 위한 MPEG 디코드는 가변길이 복호기(Variable Length Decoder : VLD)와 역양자화기(Inverse Quantizer : IQ)와, 역이산 코사인 변환기(Inverse Discrete Cosine Transformer : IDCT)와, 움직임 보상기(Motion Compensator : MC)로 구성된 데이터 처리부를 주된 구성 요소로 한다. MPEG 디코더는 움직임 보상이나 인터레이스 변환을 위하여 복수 프레임분의 메모리도 필요로 한다.

MPEG은 움직임 보상의 참조용으로 시간적으로 전반 화상과 후반 화상의 2 프레임을 사용하는 것이 큰 특징으로 되어 있다. 한편, 만일 모든 화상에 움직임 보상을 이용하면 에러 전파나 특수 재생 등의 문제가 있기 때문에 I(Intra-coded) 픽처, P(Predictive-coded) 픽처 및 B(Bidirectionally predictive-coded) 픽처가 도입되어 있다. I 픽처, 즉 코딩형 I 픽처는 전혀 다른 화상을 참조하지 않는다. P 픽처, 즉 코딩형 P 픽처는 시간적으로 전의 프레임으로부터의 움직임 보상을 행한다. B 픽처, 즉 코딩형 B 픽처는 시간적으로 전반의 프레임과 후반의 프레임으로부터 쌍방향의 움직임 보상을 행한다. B 픽처는 다른 프레임의 디코드시의 참조 프레임으로서 사용되는 것은 없다.

각각의 코딩형의 예측 상태에 대하여 설명하기로 한다. I0, P3, B1, B2 측에서 입력 픽처의 비트스트림이 MPEG 디코더에 주어지는 것이라 하자. P3는 I0로부터 움직임 보상되고, B1은 I0 및 P3으로부터 움직임 보상되고, B2는 I0 및 P3로부터 움직임 보상된다. 표시는 I0, B1, B2, P3의 순번으로 이루어진다. 이와 같이 MPEG 디코더에서는 디코드의 순번과 표시의 순번이 일치하지 않기 때문에 MPEG 디코더 중에서 순번을 변화시킬 필요가 있다. 또, B1, B2의 디코드에는 I0, P3의 화상 2 프레임의 데이터가 필요하게 되기 때문에 움직임 보상의 참조용으로 화상 2 프레임분의 프레임 메모리가 필요하게 된다. 따라서, MPEG 디코더는 움직임 보상의 참조용으로 2 프레임을 필요로 한다.

다음에, MPEG의 화상단위에서의 디코드의 순번과, 화상출력될 때의 화상단위에서의 순번에 대하여 설명하기로 한다. 텔레비전 등에서는 처음에는 짝수 라인만 출력하고, 다음에 홀수 라인만을 출력하는 것 처럼 1라인 점프하여 왼쪽 위에서부터 오른쪽 아래의 순번으로 화상의 출력이 행해진다. 상기 짝수 라인만의 부분을 최상 필드, 홀수 라인만을 최저 필드라 부른다. 인터레이스 출력은 우선 최상 필드를 왼쪽 위에서부터 오른쪽 아래의 순번으로 출력하고, 다음에 최저 필드를 왼쪽 위에서부터 오른쪽 아래의 순번으로 출력하는 것이라고 할 수 있다.

화상 데이터는 2차원이고, 공간적으로 가까운 위치의 데이터는 상호 관련이 높다고 생각되지만, 인터레이스 출력의 경우, 예를 들면 최상 필드의 어느 1 라인을 생각하면, 그 1 라인 상은 최저 필드에 속하게 된다. 즉, 1 라인 상의 화소는 공간적으로는 매우 가깝지만, 시간적으로는 떨어져 있게 된다. 그래서, 만약 움직임이 격심한 경우는 1 라인 상 보다도 시간적으로 가까운 2 라인 상의 쪽이 상관 높은 경우가 있을 수 있다. 이와 같은 경우를 상정하여, MPEG에서는 화상 단위의 디코드의 순번으로서는 크게 나누어 프레임 구조와 필드 구조의 2 종류의 순번이 있다.

또 MPEG에서는 16×16 화소를 하나의 매크로 블록이라 불리는 기본 단위로서 디코드를 행하도록 되어 있다. 매크로 블록은 왼쪽에서부터 오른쪽의 순번으로 디코드되지만, 여기에서 예를 들면 화상의 최상부의 1 라인의 첫 번째 오른쪽의 화소는 그 화면의 첫 번째 오른쪽의 매크로 블록 중에 포함되어 있다. 한편, 첫 번째 오른쪽의 매크로 블록의 디코드가 종료되면 결과적으로 16라인의 데이터가 디코드된다. 따라서, MPEG 에서는 16 라인 정도의 데이터는 거의 동시에 디코드가 종료된다.

프레임 구조의 경우에는 화상 1 프레임의 데이터가 그대로 세로 16화소, 가로 16화소의 매크로 블록을 구성하여 그 매크로 블록마다 디코드되어 간다. 따라서, 최상 필드와 최저 필드가 거의 동시에 디코드된다. 따라서, 화상 출력의 순서와는 완전히 일치하지 않기 때문에 순서 변환이 필요하게 된다.

필드 구조의 경우에는 화상 프레임을 최상 필드와 최저 필드로 분할하고, 각각의 필드에서 세로 16화소, 가로 16화소의 매크로 블록을 구성하고, 그 매크로 블록마다 디코드되어 간다. 이 경우, 1 매크로 블록은 최상 필드만, 혹은 최저 필드만이고, 최상 필드의 데이터를 모두 디코드한 후에 최저 필드의 데이터가 디코드된다. 이 경우는 화상 출력과 대체로 일치하는 순번으로 되고 있지만, 디코드의 순서는 매크로 블록 단위로 행해지므로 화상 출력의 순서와 완전하게는 일치하지 않는다.

화상 출력은 최상 필드, 최저 필드의 순번으로 행해진다. 최상 필드의 최종 8 라인을 출력 개시하는 시점에 주목하면, 상기 최종 8 라인 출력 개시 전에는 그 화상 프레임의 마지막의 16 라인분의 매크로 블록의 디코드를 종료해야만 한다. 왜냐하면, 최종 8 라인 중 가장 오른쪽의 16 화소는 그 화소의 가장 마지막의 매크로 블록을 디코드하기 시작하여 값을 확정하기 때문이다. 따라서, 상기의 시점에는 최상 필드, 최저 필드 모두 디코드를 완료하여야만 한다. 한편, 상기 시점 이후에는 최상 필드 8 라인과, 최저 필드 모두를 차례로 출력해야만 하지만, 상기 데이터는 이미 디코드되어 있다. 따라서, 상기 최상 필드 8 라인과, 최저 필드의 데이터 모두를 프레임 메모리에 기억하여 두면 데이터가 출력되기 전에 소멸되어 버리고, 화상 출력이 이루어지지 않는다. 결국, 최저 필드의 데이터 모두와 최상 필드의 8 라인분의 데이터를 기억하는 만큼의 약 절반 프레임의 용량을 갖는 프레임 메모리가 필요하게 된다.

이상을 정리하면, 움직임 보상을 행하기 위하여 2 프레임분의 메모리를 필요로 하고, 또 B 픽처의 인터레이스 변환을 행하기 위하여 약 절반 프레임분의 메모리를 필요로 한다. 결국, 총 약 2.5 프레임분의 메모리가 최소한 필요하게 된다.

석도준일(石渡俊一) 외 「MPEG 2 디코더 LSI의 개발--효율적인 메모리 할당」, 1994년 전자정보 통신학회 춘계대회 강연 논문집, C-659, 1994년 3월에는 B 픽처의 인터레이스 변환용으로 1.5 프레임분의 메모리를 사용하는 MPEG 디코더의 예가 기재되어 있다. 또, 다카 하타케 아키히코 외 「MPEG 2 비디오 디코더 LSI에 있어서의 DRAM 인터페이스」, 1995년 전자정보 통신학회 총합대회 강연 논문집, C-586, 1995년 3월에는 B 픽처의 인터레이스 변환용으로 1 프레임분의 메모리를 사용하는 MPEG 디코더의 예가 기재되어 있다.

### 발명이 이루고자 하는 기술적 과제

상기 종래의 양 MPEG 디코더는 B 픽처의 인터페이스 변환용으로 1.0~1.5 프레임분의 메모리를 필요로 하기 때문에 MPEG 디코더가 가격이 비싸진다는 문제점이 있었다. 상기와 같이 원리적으로는 인터레이스 변환용으로 약 1/2 프레임분의 메모리로 충분하다는 것을 고려하면 개선의 여지가 있다.

본 발명의 목적은 MPEG 디코더가 갖는 프레임 메모리의 용량을 삭감하고, 또한 상기 프레임 메모리를 효율적으로 이용하는 것에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에서는 다음의 점에 착안하였다. 즉, B 픽처는 화상 출력을 마치면 이미 사용되는 것은 없다는 점과, 현재 디코드 중의 매크로 블록의 영역이 언제 출력되는지를 입력 픽처의 부가 정보의 부분(헤더)의 해석에 의하여 예측할 수 있다는 점에 착안한 것이다.

구체적으로는, 본 발명에 의하면 프레임 메모리를 포함한 화상 처리장치에 있어서, 상기 프레임 메모리는 각각 화상 1/2 프레임분의 용량을 갖는 5개의 블록과, 상기 5개 블록의 각각보다 작은 용량을 갖는 1개의 부가 블록으로 구성되고, 일단, 상기 5개의 블록 중에서 선택된 4개의 블록은 움직임 보상의 참조용을 위한 I 및/또는 P 픽처의 저장에 이용되고, 나머지 1개의 블록과 상기 부가 블록으로 B 픽처의 인터레이스 변환에 이용되는 1개의 데이터 메모리를 구성하고, 그 후, 상기 B 픽처용의 데이터 메모리는 상기 4개의 블록 내의 1개의 블록과 상기 부가 블록으로 재구성된다. 이로써, 약 2.5 프레임분의 메모리로서, B 픽처의 인터레이스 변환 뿐만 아니라 모든 타입의 픽처의 움직임 보상도 실현할 수 있다. 게다가, I 및/또는 P 픽처가 3개 이상 연속한 경우에 B 픽처를 위하여 데이터 메모리를 사용하지 않기 때문에 상기 데이터 메모리의 일부를 구성하는 1개의 블록을 I 및/또는 P 픽처의 저장용으로 이용할 수 있는 이점이 있다.

상기 5개의 블록의 각각과 상기 부가 블록은 각각 일정한 용량을 갖는 복수개의 슬롯으로 각각 분할된다. 게다가, 본 발명에 의한 화상 처리장치는 슬롯번호를 기억하기 위한 슬롯 관리 메모리와, 상기 슬롯 관리 메모리에 기억된 슬롯번호를 이용하여 상기 데이터 메모리의 판독을 제어하기 위한 컨트롤러를 추가로 포함한 구성을 채용한 것으로서, 상기 컨트롤러는 데이터 메모리의 판독을 위하여 상기 데이터 메모리의 기입시에 이용한 슬롯번호를 슬롯 관리 메모리에 기입한다. 이로써, 데이터 메모리가 올바른 슬롯 순서로 판독되도록 상기 데이터 메모리의 기입시에 슬롯 관리 메모리의 내용을 갱신할 수 있다. 따라서, 상기 데이터 메모리 중의 어느 슬롯의 판독이 행해진 직후에 상기 슬롯의 기입이 행해지도록 함으로써 약 1/2 프레임분의 메모리로 B 픽처의 인터레이스 변환을 실현할 수 있다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

이하, 동화상 데이터의 리얼 타임 재생처리를 실현하기 위한 MPEG 디코더의 구체예에 대하여 도면을 참조하여 설명하기로 한다.

도 1은 본 발명에 의한 MPEG 디코더의 구성예를 도시한다. 도 1의 MPEG 디코더(10)는 약 2.5 프레임분의 화상 데이터를 기억하기 위한 프레임 메모리(11)와, 입력 비트스트림(IN)을 해석하기 위한 비트스트림 해석부(12)와, 화상출력신호(OUT) 및 인터럽트신호(INTR)를 공급하기 위한 화상 출력부(13)와, 인터럽트신호(INTR)에 응답하여 비트스트림 해석부(12)로 기동신호(INIT)를 공급하기 위한 제어부(14)로 구성되어 있다. 도 1에 있어서, 15는 데이터 버스, 16은 어드레스 버스, 17은 레지스터 버스이다. 비트스트림 해석부(12)는 입력 비트스트림(IN) 중의 헤더부를 해석하는 기능외에 매크로 블록을 디코드하고, 그 결과를 프레임 메모리(11)에 기입하는 기능을 갖는다. 이들 2개의 기능은 제어부(14)로부터의 기동신호(INIT)에 의하여 기동된다. 프레임 메모리(11)는 움직임 보상의 참조용의 화상의 저장과 인터레이스 변환을 위하여 이용되는 것이다. 화상 출력부(13)는 재구성된 화상 데이터를 프레임 메모리(11)로부터 판독하고,

인터레이스 순서의 화상 출력신호(OUT)를 공급한다. 상기 화상 출력신호(OUT)를 디스플레이에 연결함으로써 디코드된 동화상을 볼 수 있다. 또, 화상 출력부(13)는 출력의 타이밍에 맞추어 인터럽트신호(INTR)를 제어부(14)로 송신한다. 제어부(14)는 레지스터 버스(17)를 통하여 비트스트림 해석부(12) 및 화상 출력부(13) 각각의 내부 레지스터를 판독하거나 각 내부 레지스터로 값을 설정할 수 있다.

도 2는 프레임 메모리(11)의 개략 구성을, 도 3 및 도 4는 그 상세 구성을 각각 도시한다. 프레임 메모리(11)는 도 2에 도시된 바와 같이, 0 부터 4 까지의 필드번호가 부여된 5개의 블록(20, 21, 22, 23, 24)과, 1개의 부가 블록(25)으로 구성되어 있다. 1개의 블록(20)은 도 3에 도시된 바와 같이 0부터 N-1까지의 슬롯번호가 부여된 N개의 슬롯으로 구성되어 있다. 여기에서, N은 MPEG 디코더(10)가 디코드를 행하는 화상 사이즈에 의존하는 량이고, 예를 들면 NTSC(National Television System Committee)의 화상에서는 N이 30으로 된다. 각 슬롯은 화상 8 라인분의 기억용량을 갖는다. 결국, 1개의 블록(20)은 240 라인분의 데이터, 즉 NTSC의 화상 1필드(1/2 프레임)분의 데이터를 기억할 수 있다. 다른 4개의 블록(21, 22, 23, 24)도 각각 N개의 슬롯으로 구성되어 있다. 부가 블록(25)은 도 4에 도시된 바와 같이 N부터 N+2까지의 슬롯번호가 부여된 3개의 부가 슬롯으로 구성되어 있다.

프레임 메모리(11)는 슬롯을 단위로 하여 관리된다. 상기 관리 단위인 1 슬롯(8라인)은 매크로 블록의 세로 사이즈(16 라인)의 1/2 이고, 프레임 구조, 필드 구조의 양쪽에 대응하기 위한 가장 적합한 단위이다. 구체적으로는, 필드 번호와 슬롯번호로 1개의 슬롯이 지정된다. 예를 들면, 블록(20) 중의 첫 번째의 슬롯은 필드번호 0, 슬롯번호 0으로 지정된다. 부가블록(25) 중의 첫 번째 슬롯은 필드번호 0, 슬롯번호 N으로 지정된다. 부가블록(25) 중 동일 슬롯을 필드번호 1, 슬롯번호 N으로 지정할 수도 있다.

5개의 블록(20, 21, 22, 23, 24) 중 4개의 블록은 움직임 보상의 참조용의 화상의 저장에 이용되고, 나머지 1개의 블록과 부가 블록(25)은 B 픽처의 인터레이스 변환에 이용된다. 다음의 설명에서는 B 픽처를 위하여 사용되는 슬롯의 수, 즉 N+3을 Sn으로 표기한다. 예를 들면, I 픽처의 최상 필드가 필드번호 0의 번호 0부터 N-1까지의 슬롯에, 상기 I 픽처의 최하 필드가 필드번호 1의 번호 0부터 N-1까지의 슬롯에, P 픽처의 최상 필드가 필드번호 2의 번호 0부터 N-1까지의 슬롯에, 상기 P 픽처의 최하 필드가 필드번호 3의 번호 0부터 N-1까지의 슬롯에 각각 저장된다. 이 때, 최상 필드가 저장되어 있는 필드의 슬롯 0에는 상기 최상 필드의 최초의 8 라인인, 슬롯 1에는 다음의 8 라인인, 이러한 식으로 순서대로 저장된다. B 픽처는, 예를 들면 필드번호 4의 번호 0부터 Sn-1까지의 슬롯에 저장된다. 이 때, N 부터 N+2까지의 슬롯번호가 부여된 3개의 부가 슬롯이 사용된다. 다만, 어느 슬롯이 최상 필드를 저장하고 있는가 라는 것은 프레임 구조인지 필드 구조인지라는 화상의 스트럭처에 따라 변화된다. 또, 초기상태에서는 프레임 메모리(11)의 각 필드에 디폴트의 화상 데이터가 이미 기입되어 있는 것으로 한다. 예를 들면, 검은색에 상당하는 데이터가 기입되어 있다. 디코드 결과의 화상이 출력되기까지는 디폴트 화상이 출력된다.

도 5는 도 1 중의 비트스트림 해석부(12)의 내부 구성을 도시한다. 비트스트림 해석부(12)는 헤더 해석부(31)와 VLD(가변길이 복호기)(32)와, IQ(역양자화기)(33)와, IDCT(역이산 코사인 변환기)(34)와, MC(움직임 보상기)(35)와, 내부 레지스터(36)로 구성되어 있다. 내부 레지스터(36)는 10개의 레지스터, 즉,

코딩형 레지스터	CTYR
스트럭처 레지스터	STRR
최상용 전방 참조필드 레지스터	T_FRFR
최저용 전방 참조필드 레지스터	B_FRFR
최상용 후방 참조필드 레지스터	T_BRFR
최저용 후방 참조필드 레지스터	B_BRFR
최상용 기입 필드 레지스터	T_WFDR
최저용 기입필드 레지스터	B_WFDR
제 1 기입 슬롯 레지스터	WSR1
제 2 기입 슬롯 레지스터	WSR2

를 포함한다. 코딩형 레지스터(CTYR)는 입력 화상의 코딩형을 저장하기 위한 레지스터이다. 스트럭처 레지스터(STRR)는 입력 화상의 구조가 프레임 구조인지 필드 구조인지를 나타내는 레지스터이다. 4개의 참조필드 레지스터(T\_FRFR, B\_FRFR, T\_BRFR, B\_BRFR)는 프레임 메모리(11) 중의 움직임 보상의 참조용 화상의 저장위치를 나타내는 필드번호를 지정하기 위한 레지스터이다. 2개의 기입필드 레지스터(T\_WFDR, B\_WFDR)는 프레임 메모리(11) 중의 기입 필드의 번호를 지정하기 위한 레지스터이다. 제 1 및 제 2 기입 슬롯 레지스터(WSR1, WSR2)는 프레임 메모리(11) 중의 기입 슬롯의 번호를 지정하기 위한 레지스터이다.

제어부(14)로부터의 기동신호(INIT)에 의하여 헤더 해석부(31) 또는 VLD(32)가 기동한다. 헤더 해석부(31)는 기동하면 입력 비트스트림(IN) 중의 화상 헤더 정보를 디코드하고, 내부 레지스터(36) 중의 코딩형 레지스터(CTYR)에 화상의 코딩형을, 스트럭처 레지스터(STRR)에 화상의 구조를 각각 기입한다. VLD(32)가 기동하면 VLD(32)의 출력을 수신하여 IQ(33), IDCT(34) 및 MC(35)가 차례로 기동되고, 16 라인분의 화상 데이터의 디코드 결과가 데이터 버스(15)를 통하여 프레임 메모리(11)에 기입된다. 상기 16라인분이라는 것은 가로 720 화소의 경우에는 45 매크로 블록에 상당한다. 그 중에서 MC(35)는 움직임 보상을 행하여 최종적인 화상 데이터를 작성하고, 또한 재구성된 데이터를 프레임 메모리(11)에 기입하는 역할을 한다. VLD(32)는 움직임 보상을 위하여 움직임 벡터 MV를 MC(35)로 보낸다. 또, 프레임 메모리(11)의 슬롯은 어드레스 버스(16) 상의 어드레스에 의하여 특정된다.

비트스트림 해석부(12) 중에서 메모리 관리에 관계하는 부분은 MC(35) 뿐이다. MC(35)는 움직임 보상을 위하여 예측용의 화상이 프레임 메모리(11)의 어느 위치에 저장되는지를 알려야만 한다. 따라서, 최상용

전방 참조필드 레지스터(T\_FRFR), 최저용 전방 참조필드 레지스터(B\_FRFR), 최상용 후방 참조필드 레지스터(T\_BRFR), 최저용 후방 참조필드 레지스터(B\_BRFR)를 사용한다. 여기에서, 예를 들면 전방 참조를 위한 데이터 중 최상 필드 부분은 최상용 전방 참조필드 레지스터(T\_FRFR)로 지정된 번호의 필드 슬롯 0으로부터 슬롯 N-1에 저장되어 있다.

재구성한 화상 데이터를 기입하는 슬롯을 결정하기 위해서는 최상용 기입필드 레지스터(T\_WFDR)와, 최저용 기입필드 레지스터(B\_WFDR)와, 제 1 기입슬롯 레지스터(WSR1)와, 제 2 기입슬롯 레지스터(WSR2) 및 스트럭처 레지스터(STRR)를 사용한다. 구체적으로는, 다음과 같이 하여 기입 위치를 결정한다. 프레임 구조의 경우에는 최상용 기입필드 레지스터(T\_WFDR)의 필드번호와 제 1 기입슬롯 레지스터(WSR1)의 슬롯번호로 지정된 슬롯에 최상 8 라인분을 각각 기입한다. 필드 구조의 경우에는 최상 필드(최초의 1/2 프레임)에 대해서는 최상용 기입필드 레지스터(T\_WFDR)의 필드번호와 제 1 기입슬롯 레지스터(WSR1)의 슬롯번호로 지정된 슬롯에 상부 8라인분을, 최상용 기입필드 레지스터(T\_WFDR)의 필드번호와 제 2 기입슬롯 레지스터(WSR2)의 슬롯번호로 지정된 슬롯에 하부 8라인분을 각각 기입한다. 또, 최저 필드(다음의 1/2 프레임)에 대해서는 최저용 기입필드 레지스터(B\_WFDR)의 필드번호와 제 1 기입슬롯 레지스터(WSR1)의 슬롯번호로 지정된 슬롯에 상부 8 라인분을, 최저용 기입필드 레지스터(B\_WFDR)의 필드번호와 제 2 기입슬롯 레지스터(WSR2)의 슬롯번호로 지정된 슬롯에 하부 8 라인분을 각각 기입한다. 이상과 같이, 최상 필드와 최저 필드가 하나의 슬롯 중에 혼재하는 것은 없도록 되어 있다. 또, 내부 레지스터(36) 중의 메모리 관리에 관계하는 레지스터는 레지스터 버스(17)를 통하여 제어부(14)에 의해 설정된다.

도 6은 도 1 중의 화상 출력부(13)의 내부 구성도이다. 화상 출력부(13)는 타이밍 발생부(41)와 판독부(42) 및 내부 레지스터(43)로 구성되어 있다. 내부 레지스터(43)는 4개의 레지스터, 즉,

판독 필드 레지스터	RFDR
판독 슬롯 레지스터	RSLR
출력 로우 레지스터	ORWR
출력 패리티 레지스터	OPYR

를 포함한다. 판독 필드 레지스터(RFDR)는 프레임 메모리(11) 중의 판독필드의 번호를 지정하기 위한 레지스터이다. 판독 슬롯 레지스터(RSLR)는 프레임 메모리(11) 중의 판독 슬롯의 번호를 지정하기 위한 레지스터이다. 출력 로우 레지스터(ORWR)는 현재 출력 중의 라인이 1 필드 중의 어느 위치인지를 나타내는 레지스터이다. 출력 패리티 레지스터(OPYP)는 현재 최상 필드와 최저 필드의 어느쪽을 출력하고 있는지를 나타내는 레지스터이다.

도 7은 화상 출력부(13)의 개략 동작도이다. 출력의 1 사이클은 수직 귀선 구간(VB), 최상 필드 출력기간, 수직 귀선 구간 및 최저 필드 출력 기간으로 구성되어 있다. 예를 들면, NTSC의 경우에는 1초간에 30 사이클의 출력이 이루어진다. 타이밍 발생부(41)는 화상 출력부(13)가 일정 주기로 동작하기 위한 타이밍 신호(TMNG)를 발생하고, 또한 화면 출력의 8 라인마다 인터럽트 신호(INTR)를 제어부(14)로 송신한다. 인터럽트 신호(INTR)는 도 7의 (a)에 도시된 바와 같이 각 필드의 출력 개시시에 1회 발생하고, 그 후 8 라인 출력 종료마다 발생한다. 판독부(42)는 타이밍 발생부(41)에서 발생된 타이밍 신호(TMNG)에 동기하여 지정된 슬롯을 스캔 순서로 판독하여 화상출력신호(OUT)를 공급한다. 판독 슬롯은 내부 레지스터(43) 중의 판독 필드 레지스터(RFDR)와 판독 슬롯 레지스터(RSLR)의 조로 지정된다. 이들의 판독 슬롯 설정용의 레지스터는 인터럽트 발생시에 제어부(14)가 레지스터 버스(17)를 통하여 설정을 행한다. 또, 타이밍 발생부(41)는 내부 레지스터(43) 중의 출력 로우 레지스터(ORWR)와 출력 패리티 레지스터(OPYP)를 다음과 같이 변화시킨다. 즉, 출력 패리티 레지스터(OPYP)의 값은 도 7의 (b)에 도시된 바와 같이 각 필드의 출력 개시의 인터럽트 직전에, 다음에 최상 필드를 출력하는 상태라면 0으로 되고, 다음에 최저 필드를 출력하는 상태라면 1로 된다. 출력 로우 레지스터(ORWR)의 값은 도 7의 (c)에 도시된 바와 같이 출력 개시의 인터럽트 직전에 0으로 되고, 이하 8 라인 종료의 인터럽트 직전에 하나씩 증가한다.

도 8은 도 1 중의 제어부(14)의 내부 구성을 도시한 블록도이다. 제어부(14)는 콘트롤러(51)와 워크 메모리(52) 및 프로그램 메모리(53)로 구성되어 있다. 워크 메모리(52)는 슬롯 관리 메모리(SCM)와 12개의 워크 즉,

최상용 전방 참조필드 워크	T_FRFW
최저용 전방 참조필드 워크	B_FRFW
최상용 후방 참조필드 워크	T_BRFW
최저용 후방 참조필드 워크	B_BRFW
디코드 로우 번호 워크	ORNW
디코드형 워크	DTYW
출력형 워크	OTYW
디코드 스트럭처 워크	DSTW
최상용 출력필드 워크	T_OFDW
최저용 출력필드 워크	B_OFDW
기입 슬롯용 포인터	WSLP
판독 슬롯용 포인터	RSLP

를 포함한다. 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW)는 각각 비트 스트림 해석부(12) 중의 4개의 참조필드 레지스터(T\_FRFR, B\_FRFR, T\_BRFR, B\_BRFR)에 대응하는 워크로서, 프레임

메모리(11) 중의 움직임 보상의 참조용 화상의 저장 위치를 나타내는 필드 번호를 지정하는 것이다. 디코드 로우번호 워크(DRNW)는 1 프레임 중 어느 부분까지 디코드가 행해지는가를 나타내는 로우번호를 지정하기 위한 워크로서, 예를 들면 최초의 16 라인의 디코드 중은 0, 다음의 16 라인의 디코드 중은 1 이라고 하는 것처럼 로우 번호가 증가되어 간다. 디코드형 워크(DTYW)는 현재 디코드 중의 화상의 코딩형을 나타내는 워크이다. 출력형 워크(OTYW)는 현재 출력 중의 화상의 코딩형이 B인지의 여부를 나타내는 워크로서, 코딩형 B와 그 이외에서는 메모리 관리방식이 다르기 때문에 그 식별을 위하여 이용된다. 디코드 스트럭처 워크(DSTW)는 현재 디코드 중의 화상의 구조가 프레임 구조인지 필드 구조인지를 나타내는 워크로서, 기입 슬롯의 설정이나 슬롯 관리 메모리(SCM)로의 액세스에 영향을 미친다. 2개의 출력필드 워크(T\_OFDW, B\_OFDW)는 출력화상의 필드번호를 나타내는 워크이다. 기입슬롯용 포인터(WSLP) 및 판독 슬롯용 포인터(RSLP)는 후술하는 바와 같이 코딩형 B의 경우의 메모리 관리에 이용되는 워크로서, 슬롯 관리 메모리(SCM) 중의 워드를 나타내는 어드레스를 항상 유지하고 있다.

워크 메모리(52) 중의 슬롯 관리 메모리(SCM)의 어드레스 0으로부터 Sn-1까지의 각 워드에는 0부터 Sn-1 까지 차례로 하나씩 증가하는 초기값이 저장된다. 이들의 초기값은 최초로 오는 코딩형 B의 화상을 디코드할 때 사용되는 기입 슬롯의 번호를 차례로 지정한 값이다. 워크 메모리(52) 중 10개의 워크는,

```
T_FRFW = 0
B_FRFW = 1
T_BRFW = 2
B_BRFW = 3
DTYW = 1
OTYW = IP
T_OFDW = 0
B_OFDW = 1
WSLP = 0
RSLP = Sn
```

와 같이 초기화된다.

컨트롤러(51)는 프로그램 메모리(53)에 기입된 명령(INST)을 차례로 실행한다. 우선, 컨트롤러(51)는 통상 루틴을 실행한다. 이로써, 비트스트림 해석부(12) 중의 내부 레지스터(36)의 설정이 이루어진다. 화상 출력부(13)로부터 인터럽트 신호(INTR)가 송신되면 컨트롤러(51)는 인터럽트 처리 루틴으로 이행한다. 이로써, 화상 출력부(13) 중의 내부 레지스터(43)의 설정이 이루어지게 된다.

제어부(14)는 통상 루틴의 실행에 의해 비트 스트림 해석부(12)를 제어한다. 상세하게는 다음의 순서 1.1 로부터 순서 1.14 까지 실행된다.

순서 1.1 : 헤더 해석부(31)를 기동한다. 이에 응답하여 헤더 해석부(31)는 내부 레지스터(36) 중의 코딩형 레지스터(CTYR) 및 스트럭처 레지스터(STAR)에 각각 값을 설정한다.

순서 1.2 : 코딩형 레지스터(CTYR)의 값을 디코드형 워크(DTYW)에 기입한다.

순서 1.3 : 스트럭처 레지스터(STAR)의 값을 디코드 스트럭처(DSTW)에 기입한다.

순서 1.4 : 디코드형 워크(DTYW)가 I 또는 P이고, 또한 출력형 워크(OTYW)가 IP이라면 각각 기입 필드를 지정하기 위한 제 1 및 제 2 필드번호를 다음과 같이하여 결정한다. 즉, 우선, 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW)의 어느 하나에도 포함되지 않은 필드의 번호를 선택한다. 예를 들면, 이들 워크에 0, 1, 2, 3 이라는 값이 들어 있으면 4를 선택하고, 또, 2, 3, 4, 0 이라는 값이 들어 있으면 1을 선택한다. 그리고, 선택한 필드의 번호를 제 1 필드 번호로 한다. 또, 최상용 전방 참조필드 워크(T\_FRFW)의 값을 제 2 필드번호로 한다.

순서 1.5 : 디코드형 워크(DTYW)가 I 또는 P이고, 또한 출력형 워크(OTYW)가 B라면 최상용 전방 참조필드 워크(T\_FRFW)의 값을 제 1 필드 번호로 하고, 최저용 전방 참조필드 워크(B\_FRFW)의 값을 제 2 필드번호로 한다.

순서 1.6 : 디코드형 워크(DTYW)가 I 또는 P이라면 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW)를 갱신한다. 구체적으로는, 최상용 후방 참조필드 워크(T\_BRFW)의 값을 최상용 전방 참조필드 워크(T\_FRFW)에, 최저용 후방 참조필드 워크(B\_BRFW)의 값을 최저용 전방 참조필드 워크(B\_FRFW)에, 상기 결정된 제 1 필드번호를 최상용 후방 참조필드 워크(T\_BRFW)에, 상기 결정된 제 2 필드번호를 최저용 후방 참조필드 워크(B\_BRFW)에 각각 기입한다.

순서 1.7 : 비트스트림 해석부(12)의 내부 레지스터(36)에 움직임 보상의 참조용 필드를 설정한다. 구체적으로는, 최상용 전방 참조필드 워크(T\_FRFW)의 값을 최상용 전방 참조필드 레지스터(T\_FRFR)에, 최저용 전방 참조필드 워크(B\_FRFW)의 값을 최저용 전방 참조필드 레지스터(B\_FRFR)에, 최상용 후방 참조필드 워크(T\_BRFW)의 값을 최상용 후방 참조필드 레지스터(T\_BRFR)에, 최저용 후방 참조필드 워크(B\_BRFW)의 값을 최저용 후방 참조필드 레지스터(B\_BRFR)에 각각 기입한다.

순서 1.8 : 비트스트림 해석부(12)의 내부 레지스터(36)에 기입용의 필드를 설정한다. 구체적으로는, 디코드형 워크(DTYW)가 I 또는 P인 경우에는 최상용 후방 참조필드 레지스터(T\_BRFR)의 값을 최상용 기입 필드 레지스터(T\_WFDR)에, 최저용 후방 참조필드 레지스터(B\_BRFR)의 값을 최저용 기입 필드 레지스터(B\_WFDR)에 각각 기입한다. 디코드형 워크(DTYW)가 B인 경우에는 4개의 참조필드 레지스터(T\_FRFR, B\_FRFR, T\_BRFR, B\_BRFR)의 어느 하나에도 포함되지 않은 필드의 번호를 선택하고, 상기 선택한 필드의

번호를 최상용 기입필드 레지스터(T\_WFDR) 및 최저용 기입필드 레지스터(B\_WFDR)에 기입한다.

순서 1.9 : 디코드 로우번호 워크(DRNW)에 0을 기입한다.

순서 1.10 : 기입슬롯을 설정한다. 또, 상기 기입슬롯 설정순서의 상세한 내용에 대해서는 후술하기로 한다.

순서 1.11 : 16 라인분의 매크로 블록의 디코드를 비트스트림 해석부(12)로 행해지게 한다.

순서 1.12 : 1 프레임의 디코드가 종료되면 순서 1.1로 복귀한다.

순서 1.13 : 디코드 로우번호 워크(DRNW)를 1만큼 증가시킨다.

순서 1.14 : 다음의 16 라인분의 매크로 블록의 디코드를 행하도록 순서 1.10으로 복귀한다.

그런데 제어부(14)는 인터럽트 처리루틴의 실행에 의해 화상 출력부(13)를 제어한다. 구체적으로는, 우선 출력화상이 B 픽처인지의 여부를 판정하고, 판독 필드번호를 결정하며, 다음에 슬롯번호를 결정하는 동작을 행한다. I 픽처 또는 P 픽처의 디코드 중이라면 그보다 전에 디코드된 화상을 출력하면 되고, 이것은 꼭 전방 참조에 이용되는 화상이다. B 픽처는 그 디코드의 개시로부터 1/2 프레임 늦게 출력된다. 따라서, 다음의 프레임을 출력할 때 B 픽처의 디코드 중이라면 상기 B 픽처를 출력하면 된다. 상세하게는 인터럽트의 발생마다 다음의 순서 2.1로부터 순서 2.6 까지 실행된다.

순서 2.1 : 출력 로우 레지스터(OPWR)가 0이고, 또한 출력 패리티 레지스터(OPYR)가 0(최상필드의 출력개시)이라면 디코드형 워크(DTYW)의 값을 출력형 워크(OTYW)에 기입한다. 출력형 워크(OTYW)는 다음에 출력할 화상의 코딩형이 B인지 B가 아닌지를 의미한다. 구체적으로는, 디코드형 워크(DTYW)가 I 또는 P인 경우에는 출력형 워크(OTYW)에 IP가, 디코드형 워크(DTYW)가 B인 경우에는 출력형 워크(OTYW)에 B가 각각 기입된다.

순서 2.2 : 출력로우 레지스터(OPWR)가 0이고, 출력 패리티 레지스터(OPYR)가 0(최상필드의 출력개시)이고, 또한 출력형 워크(OTYW)가 I이라면 최상용 전방 참조필드 워크(T\_FFRW)의 값을 최상용 출력필드 워크(T\_OFDW)에, 최저용 전방 참조필드 워크(B\_FFRW)의 값을 최저용 출력필드 워크(B\_OFDW)에 각각 기입한다. 이 때, 전방 참조용의 화상은 그 이전에 디코드된 I 픽처 또는 P 픽처이다. 따라서, I 픽처 또는 P 픽처의 디코드 중에는 그 이전에 디코드된 화상이 출력되게 된다.

순서 2.3 : 출력로우 레지스터(OPWR)가 0이고, 출력 패리티 레지스터(OPYR)가 0(최상필드의 출력개시)이며, 또한 출력형 워크(OTYW)가 B이라면 4개의 참조필드 워크(T\_FFRW, B\_FFRW, T\_BRFW, B\_BRFW)의 어느 하나에도 포함되지 않은 필드를 선택하고, 상기 선택된 필드의 번호를 최상용 출력필드 워크(T\_OFDW) 및 최저용 출력필드 워크(B\_OFDW)에 기입한다. 프레임 메모리(11) 중의 코딩형 B의 화상이 기입되어 있는 필드는 전방 예측용 및 후방 예측용 출력필드의 어느쪽에서도 당연히 없을 것이다.

순서 2.4 : 이미 결정된 최상용 출력필드 워크(T\_OFDW) 및 최저용 필드 워크(B\_OFDW)의 값을 화상 출력부(13)에 설정한다. 구체적으로는, 출력 패리티 레지스터(OPYR)가 0(최상필드를 다음에 출력함)이라면 최상용 출력필드 워크(T\_OFDW)의 필드번호를 화상 출력부(13)의 판독 필드 레지스터(RFDR)로 설정한다. 또, 출력 패리티 레지스터(OPYR)가 1(최저필드를 다음에 출력함)이라면 최저용 출력필드 워크(B\_OFDW)의 필드번호를 화상 출력부(13)의 판독 필드 레지스터(RFDR)로 설정한다.

순서 2.5 : 판독 슬롯을 설정한다. 또, 상기 판독 슬롯 설정순서의 상세한 내용에 대해서는 후술하기로 한다.

순서 2.6 : 인터럽트 처리를 종료한다.

그런데 도 9는 도 1의 MPEG 디코더(10)의 개략 동작, 즉 기입 필드 및 판독 필드의 취급도이다. 도 9에서는 I0, P1, P4, B2, B3, P5의 차례로 입력 비트스트림(IN)이 비트스트림 해석부(12)에 부여되는 것으로 하고 있다. 또, I0나 P4라는 표현은 최초의 I, P, B라는 기호로 코딩형을 나타내고, 다음의 숫자로 표시(출력)의 순서를 나타내고 있다.

픽처(I0)의 디코드 기간 즉, 기간 1의 개시 시점에서는 출력형 워크(OTYW)의 값이 I0이다. 따라서, 기간 1에서는 순서 1.4 및 순서 1.6에 따라 또한 기간 0의 초기값에 기초하여 4개의 참조필드 워크(T\_FFRW, B\_FFRW, T\_BRFW, B\_BRFW)의 값이 각각 2, 3, 4, 0으로 갱신된다. 그리고, 최상용 후방 참조필드 워크(T\_BRFW)의 값 즉, 4가 최상용 기입필드의 번호로 되고, 또한 최저용 후방 참조필드 워크(B\_BRFW)의 값 즉, 0이 최저용 기입필드의 번호로 된다. 따라서, 프레임 메모리(11) 중의 필드 4 및 0에 픽처(I0)가 기입된다.

픽처(P1)의 디코드 기간 즉, 기간 2에서는 순서 1.4 및 순서 1.6에 따라 4개의 참조필드 워크(T\_FFRW, B\_FFRW, T\_BRFW, B\_BRFW)의 값이 각각 4, 0, 1, 2로 갱신된다. 그리고, 최상용 후방 참조필드 워크(T\_BRFW)의 값, 즉 1이 최상용 기입필드의 번호로 되고, 또한 최저용 후방 참조필드 워크(B\_BRFW)의 값 즉, 2가 최저용 기입필드의 번호로 된다. 따라서, 필드 4 및 0 중의 픽처(I0)를 전방 참조함으로써 움직임 보상된 픽처(P1)가 필드 1 및 필드 2에 기입된다.

픽처(P4)의 디코드 기간 즉, 기간 3에서는 순서 1.4 및 순서 1.6에 따라 4개의 참조필드 워크(T\_FFRW, B\_FFRW, T\_BRFW, B\_BRFW)의 값이 각각 1, 2, 3, 4로 갱신된다. 그리고, 최상용 후방 참조필드 워크(T\_BRFW)의 값, 즉 3이 최상용 기입필드의 번호로 되고, 또한 최저용 후방 참조필드 워크(B\_BRFW)의 값 즉, 4가 최저용 기입필드의 번호로 된다. 따라서, 필드 1 및 2 중 픽처(P1)를 전방 참조함으로써 움직임 보상된 픽처(P4)가 필드 3 및 4에 기입된다.

픽처(B2)의 디코드 기간 즉, 기간 4에서는 4개의 참조필드 워크(T\_FFRW, B\_FFRW, T\_BRFW, B\_BRFW)의 갱신이 행해지지 않는다. 그리고, 상기 4개의 참조필드 워크의 어느 하나에도 포함되지 않은 필드의 번호 즉, 0이 최상용 및 최저용의 기입 필드의 번호로 된다. 따라서, 프레임 메모리(11) 중의 필드 0 및 3개의 부가슬롯에 움직임 보상된 픽처(B2)가 기입된다. 이 때, 필드 1 및 2 중의 픽처(P1)가 전방 참조되

고, 필드 3 및 4 중의 픽처(P4)가 후방 참조된다.

픽처(B3)의 디코드 기간 즉, 기간 5에서는 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW)의 갱신이 행해지지 않는다. 그리고, 상기 4개의 참조필드 워크의 어느 하나에도 포함되지 않은 필드의 번호 즉, 0이 최상용 및 최저용의 기입필드의 번호로 된다. 따라서, 움직임 보상된 픽처(B3)가 필드 0 및 3개의 부가슬롯에 기입된다. 이 때, 필드 1 및 2 중의 픽처(P1)가 전방 참조되고, 필드 3 및 4 중의 픽처(P4)가 후방 참조된다.

픽처(P5)의 디코드 기간 즉, 기간(6)의 개시 시점에서는 출력형 워크(OTYW)의 값이 B이다. 따라서, 기간 6에서는 순서 1.5 및 순서 1.6에 따라 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW)의 값이 각각 3, 4, 1, 2로 갱신된다. 그리고, 최상용 후방 참조필드 워크(T\_BRFW)의 값 즉, 1이 최상용 기입필드의 번호로 되고, 또한 최저용 후방 참조필드 워크(B\_BRFW)의 값 즉, 2가 최저용 기입필드의 번호로 된다. 따라서, 움직임 보상된 픽처(P5)가 필드 1 및 2에 기입된다. 이 때, 필드 3 및 4 중의 픽처(P4)가 전방 참조된다.

한편, 도 7의 (b)에서 설명한 바와 같이, 화상 출력부(13) 중의 출력 패리티 레지스터(OPYR)의 값은 각 필드의 출력 개시의 인터럽트 직전에 다음에 최상 필드를 출력하는 상태라면 0으로 되고, 다음에 최저 필드를 출력하는 상태라면 1로 된다. 결국, 최상 필드의 출력 개시 시점에서 출력 패리티 레지스터(OPYR)의 값 '1'로부터 0으로 변한다. 도 9는 상기 출력 패리티 레지스터(OPYR)의 1로부터 0으로의 변화에 동기하여 최상용 출력 필드 워크(T\_OFDW) 및 최저용 출력 필드 워크(B\_OFDW)가 갱신되는 것을 나타낸다.

구체적으로 설명하면, 기간 2의 후반의 개시 시점에서 순서 2.2에 따라 2개의 전방 참조필드 워크(T\_FRFW, B\_FRFW)의 값을 이용하여 2개의 출력필드 워크(T\_OFDW, B\_OFDW)의 값이 각각 4, 0으로 갱신된다. 따라서, 프레임 메모리(11) 중의 필드 4에 저장되어 있던 픽처(10)의 최상 필드가 기간 2의 후반에, 필드 0에 저장되어 있던 픽처(10)의 최저 필드가 기간 3의 전반에 각각 출력된다.

기간 3의 후반의 개시 시점에서는 순서 2.2에 따라 2개의 출력 필드 워크(T\_OFDW, B\_OFDW)의 값이 각각 1, 2로 갱신된다. 따라서, 필드 1에 저장되어 있던 픽처(P1)의 최상 필드가 기간 3의 후반에, 필드 2에 저장되어 있던 픽처(P1)의 최저 필드가 기간(4)의 전반에 각각 출력된다.

기간 4의 후반의 개시 시점에서는 순서 2.3에 따라 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW) 중 어느 하나에도 포함되지 않은 필드의 번호 즉, 0이 2개의 출력 필드 워크(T\_OFDW, B\_OFDW)에 기입된다. 따라서, 픽처(B2)의 디코드 개시로부터 1/2 프레임 늦게 픽처(B2)의 출력이 개시되고, 픽처(B2)의 최상 필드가 기간 4의 후반에, 픽처(B2)의 최저 필드가 기간 5의 전반에 각각 출력된다.

기간 5의 후반의 개시 시점에서도 순서 2.3에 따라 4개의 참조필드 워크(T\_FRFW, B\_FRFW, T\_BRFW, B\_BRFW) 중 어느 하나에도 포함되지 않은 필드의 번호 즉, 0이 2개의 출력 필드 워크(T\_OFDW, B\_OFDW)에 기입된다. 따라서, 픽처(B3)의 디코드 개시로부터 1/2 프레임 늦게 픽처(B3)의 출력이 개시되고, 픽처(B3)의 최상 프레임이 기간 5의 후반에, 픽처(B3)의 최저 필드가 기간 6의 전반에 각각 출력된다.

기간 6의 후반의 개시 시점에서는 순서 2.2에 따라 2개의 전방 참조 필드 워크(T\_FRFW, B\_FRFW)의 값을 이용하여 2개의 출력 필드 워크(T\_OFDW, B\_OFDW)의 값이 각각 3, 4로 갱신된다. 따라서, 필드 3에 저장되어 있던 픽처(P4)의 최상 필드가 기간 6의 후반에, 필드 4에 저장되어 있던 픽처(P4)의 최저 필드가 다음 기간의 전반에 각각 출력된다.

이상과 같이 도 9에 의하면 10, P1, B2, B3, P4의 순서로 출력 화상이 얻어진다. 또, 도 9에 의하면, 기간 2의 후반에서 필드 4로부터 픽처(10)의 최상 필드가 판독된 직후에, 기간 3의 전반에서 상기 필드 4에 픽처(P4)의 최저 필드가 기입되고 있는 것을 알 수 있다. 결국, 프레임 메모리(11) 중의 필드의 효율적인 이용이 이루어지고 있다. 또, 기간 4의 후반의 개시 시점으로부터 기간 5의 후반의 종료 시점까지는 코딩형 B의 화상에 대하여 필드 0 및 3개의 부가 슬롯으로의 기입과 판독이 동시에 행해지고 있으나, 다음에 설명하는 슬롯 관리에 의해 문제가 생기지 않도록 되어 있다.

여기에서, 순서 1.10에 의한 기입 슬롯 설정 순서의 상세한 내용에 대하여 설명하기로 한다. 대충 말하면, 제어부(14)는 비트스트림 해석부(12) 중의 제 1 및 제 2 기입 슬롯 레지스터(WSR1, WSR2)의 설정을 행한 후, 일정한 조건이 갖춰질 때까지 대기한다.

우선, 제 1 및 제 2 기입 슬롯 레지스터(WSR1, WSR2)의 설정에 대하여 설명하기로 한다. 디코드형 워크(DTYW)가 1 또는 P이고, 또한 디코드 스트럭처 워크(DSTW)가 프레임 구조를 지시하고 있다면 디코드 로우 번호 워크(DRNW)의 값을 제 1 및 제 2 기입 슬롯 레지스터(WSR1, WSR2)에 기입한다. 디코드형 워크(DTYW)가 1 또는 P이고, 또한 디코드 스트럭처 워크(DSTW)가 필드 구조를 지시하고 있다면, (디코드 로우 번호 워크(DRNW)의 값)×2를 제 1 기입 슬롯 레지스터(WSR1)에, (디코드 로우 번호 워크(DRNW)의 값)×2+1을 제 2 기입 슬롯 레지스터(WSR2)에 각각 기입한다. 다만,  $DRNW \times 2 \geq N$  이라면  $DRNW \times 2$ 가  $DRNW \times 2 - N$ 으로,  $DRNW \times 2 + 1$ 이  $DRNW \times 2 + 1 - N$ 으로 각각 변경된다. 이상의 설정에 의해 디코드형 워크(DTYW)가 1 또는 P인 경우에는 프레임 구조이거나 필드 구조인 것을 묻지 않고, 최상 필드는 최상용 기입 필드 레지스터(T-WFDR)에서 지시되는 필드로, 최저용 필드는 최저용 기입 필드 레지스터(B-WFDR)에서 지시되는 필드로 각각 기입된다. 각각의 필드 내에서는 최초의 8 라인이 슬롯 0에, 다음의 8 라인이 슬롯 1에 라고 하는 것처럼 기입된다.

디코드형 워크(DTYW)가 B이라면 제어부(14)는 다음의 순서 3.1로부터 순서 3.7까지를 실행함으로써 제 1 및 제 2의 기입 슬롯 레지스터(WSR1, WSR2)를 설정한다.

순서 3.1 : 슬롯 관리 메모리(SCM) 중의 기입 슬롯용 포인터(WSLP)에서 지시된 어드레스의 워크로부터 제 1 슬롯번호 X를 인출한다.

순서 3.2 : 슬롯 관리 메모리(SCM) 중의 다음 어드레스의 워드로부터 제 2 슬롯번호 Y를 인출한다.

순서 3.3 : 제 1 슬롯번호 X를 제 1 기입 슬롯 레지스터(WSR1)에 기입한다.



순서 3.4 : 제 2 슬롯번호 Y를 제 2 기입 슬롯 레지스터(WSR2)에 기입한다.

순서 3.5 : 판독 슬롯 레지스터(RSLR)의 설정 기준을 위하여 슬롯 관리 메모리(SCM) 중에 제 1 슬롯번호(X)를 기입한다. 구체적으로는, 디코드 스트럭처 워크(DSTW)가 프레임 구조를 지시하는 경우에는 슬롯 관리 메모리(SCM) 중의 (기입 슬롯용 포인터(WSLP)의 값)+Sn-(디코드 로우 번호 워크(DRNW)의 값)에서 지시된 어드레스의 워드에 제 1 슬롯번호(X)를 기입한다. 디코드 스트럭처 워크(DSTW)가 필드 구조를 지시하는 경우에는 슬롯 관리 메모리(SCM) 중의 (기입 슬롯용 포인터(WSLP)의 값)+Sn에서 지시된 어드레스의 워드에 제 1 슬롯번호(X)를 기입한다.

순서 3.6 : 마찬가지로 판독 슬롯 레지스터(RSLR)의 설정 준비를 위하여 슬롯 관리 메모리(SCM) 중에 제 2 슬롯번호(Y)를 기입한다. 구체적으로는, 디코드 스트럭처 워크(DSTW)가 프레임 구조를 지시하는 경우에는 슬롯 관리 메모리(SCM) 중의 (기입 슬롯용 포인터(WSLP)의 값)+Sn-(디코드 로우 번호 워크(DRNW)의 값)+N에서 지시된 어드레스의 워드에 제 2 슬롯번호(Y)를 기입한다. 디코드 스트럭처 워크(DSTW)가 필드 구조를 지시하는 경우에는 슬롯 관리 메모리(SCM) 중의 (기입 슬롯용 포인터(WSLP)의 값)+Sn+1에서 지시된 어드레스의 워드에 제 2 슬롯번호(Y)를 기입한다.

순서 3.7 : 기입 슬롯용 포인터(WSLP)를 2만큼 증가시킨다.

그런데 제어부(14)는 비트스트림 해석부(12) 중의 제 1 및 제 2 기입 슬롯 레지스터(WSR1, WSR2)의 설정을 행한 후, 다음의 조건 1부터 4 까지의 조건 중 어느 하나의 조건이 만족될 때 까지 대기한다. 이것은 어느 슬롯으로부터 데이터가 판독되기 전에 상기 슬롯으로 기입을 행하는 것이 없도록 하기 위하여 필요하다.

조건 1 : 디코드형 워크(DTYW)가 I 또는 P이고, 최상용 출력 필드 워크(T\_OFDW)의 값이 최상용 후방 참조필드 워크(T\_BRFW)의 값과 다르고, 또한 최저용 출력필드 워크(B\_OFDW)의 값이 최저용 후방 참조필드 워크(B\_BRFW)의 값과 다를 것. 이 조건이 만족되는 경우에는 기입을 행하기로 하는 필드의 출력이 이미 종료되기 때문에 그 필드로의 기입을 행할 수 있다.

조건 2 : 디코드형 워크(DTYW)가 I 또는 P이고, 디코드 스트럭처 워크(DSTW)가 프레임 구조를 지시하고 있으며, 또한 출력 로우 레지스터(ORWR)의 값이 디코드 로우 번호 워크(DRNW)의 값보다 클 것. 이 조건이 만족되는 경우에는 출력 로우 레지스터(ORWR)의 값보다 작은 번호를 갖는 슬롯이 출력 완료되므로 기입을 행할 수 있다.

조건 3 : 디코드형 워크(DTYW)가 I 또는 P이고, 디코드 스트럭처 워크(DSTW)가 필드 구조를 지시하고 있으며, 또한 최상 필드의 디코드 기간일 것. 코딩형 I 또는 P의 디코드를 행하는 경우, 적어도 1 필드는 사용 가능하다. 최상 필드는 상기 사용 가능한 필드에 기입되므로 기입을 행할 수 있다.

조건 4 : 디코드형 워크(DTYW)가 B이고, 또한 판독 슬롯용 포인터(RSLP)의 값이 기입 슬롯용 포인터(WSLP)의 값 이상일 것. 슬롯 관리 메모리(SCM) 중 판독 슬롯용 포인터(RSLP)에서 지시된 어드레스에 저장되는 슬롯번호는 나중에 설명하는 바와 같이 현재 출력 중의 슬롯번호이다. 따라서, 상기 번호보다 작은 번호를 갖는 슬롯은 이미 당연히 판독되어 있기 때문에 기입을 행할 수 있다.

다음에, 순서 2.5에 의한 판독 슬롯 설정 순서의 상세한 내용에 대하여 설명하기로 한다. 출력형 워크(OTYW)가 IP라면 제어부(14)는 화상 출력부(13) 중의 판독 슬롯 레지스터(RSLR)에 동일 화상 출력부(13)의 출력 로우 레지스터(ORWR)의 값을 설정하는 것만으로 된다. 코딩형 I 또는 P의 화상 출력시에는 판독 필드 중의 판독 슬롯의 번호가 0으로부터 차례로 하나씩 증가하면 된다. 그런데, 출력 로우 레지스터(ORWR) 중의 출력 로우 번호도 0으로부터 차례로 하나씩 증가하여 간다. 따라서, 판독 슬롯 레지스터(RSLR)에 출력 로우 레지스터(ORWR)의 값을 설정하면 된다.

출력형 워크(OPTW)가 B이라면 제어부(14)는 다음의 순서 4.1로부터 순서 4.3까지의 단순한 처리를 실행함으로써 판독 슬롯 레지스터(RSLR)를 설정한다. 이것은, 상기 순서 3.5 및 순서 3.6에 나타난 준비 처리의 성과이다. 또, 판독 슬롯용 포인터(RSLP)는 8 라인 출력마다 하나씩 증가한다.

순서 4.1 : 슬롯 관리 메모리(SCMN) 중의 판독 슬롯용 포인터(RSLP)에서 지시된 어드레스의 워드로부터 슬롯번호(Z)를 인출한다.

순서 4.2 : 판독 슬롯 어드레스(RSLR)에 슬롯번호(Z)를 기입한다.

순서 4.3 : 판독 슬롯용 포인터(RSLP)를 1만큼 증가시킨다.

도 10~도 17은 도 1의 MPEG 디코더(10)의 상세 동작예를 도시한 것이다. 도 10~도 15는 각종 레지스터의 갱신 과정을, 도 16 및 도 17은 슬롯 관리 메모리(SCM)의 갱신 과정을 각각 도시한 도면이다. 도 10~도 17에서는 도 9의 경우와 마찬가지로, I0, P1, P4, B2, B3, P5의 순서로 입력 비트 스트림(IN)이 비트스트림 해석부(12)에 부여되는 것으로 하고 있다. 그 중, 픽처(P1, P4, B2, P5)는 프레임 구조를 갖고, 픽처(I0, B3)는 필드 구조를 갖는 것으로 한다. 또, 설명의 간략화를 위하여 N=6 또는 Sn=9로 한다. 또, 16 라인의 디코드에 16 라인 출력분의 시간이 걸리고, 게다가 수직 귀선 구간에는 디코드를 행하지 않는 것으로 한다.

도 10~도 15에 있어서, 0으로부터 71까지 번호 부여된 각 기간은 화상의 8 라인 출력 기간에 대응되어 있고, 출력(표시)은 I0, P1, B2, B3, P4의 순서로 이루어진다. 각 프레임의 디코드 개시 시점은 최상 필드(OPYR=0)의 최후의 8 라인의 출력개시 시점이다. 디코드 스트럭처 워크(DSTW) 란의 FR은 프레임 구조를, FD는 필드 구조를 각각 나타낸다. 여기에서, 도 12 중의 기간(24)에 주목하면 최저용 기입필드 레지스터(B\_WFDR)의 값 및 판독 필드 레지스터(RFDR)의 값이 모두 4이다. 결국, 필드 4로의 데이터 기입과 동시에 상기 필드 4로부터의 데이터 판독이 생기고 있다. 그러나, 기간 24에서는 판독 슬롯 레지스터(RSLR)의 값이 이미 5에 달해 있고, 제 1 및 제 2 기입 슬롯 레지스터(WSR1, WSR2)의 값이 모두 0이므로 전혀 문제가 생기지 않는다. 또, 기간 43으로부터 기간 59까지는 최상용 기입 필드 레지스터(T\_WFDR)의 값, 최저용 기입 필드 레지스터(B\_WFDR)의 값 및 판독 필드 레지스터(RFDR)의 값이 모두 0이다. 결국,

코딩형 B의 화상에 대하여 필드 0 및 3개의 부가 슬롯으로의 기입과 판독이 동시에 행해진다. 그러나, 기간 43으로부터 기간 59까지의 어떠한 기간에도 제 1 기입 슬롯 레지스터(WSR1)의 값과 제 2 기입 슬롯 레지스터(WSR2)의 값 및 판독 슬롯 레지스터(RSLR)의 값이 서로 다르므로 전혀 문제는 생기지 않는다.

도 16 및 도 17은 디코드형 워크(DTYW)가 B인 경우의 기입 슬롯 설정순서(순서 3.1~순서 3.7)와, 출력형 워크(OTYW)가 B인 경우의 판독 슬롯 설정순서(순서 4.1~순서 4.3)에 의한 슬롯 관리 메모리(SCM)의 갱신 과정을 도시한다. 도 16 및 도 17에 있어서, 각 행은 슬롯 관리 메모리(SCM)의 워드를 나타내고, 각 열은 화상의 8 라인 출력 기간에 대응한다. 슬롯 관리 메모리(SCM)의 어드레스 0으로부터 8 까지의 각 워드에는 도 16 중의 좌단 열에 도시된 바와 같이 0으로부터 8까지 차례로 하나씩 증가하는 초기값이 저장된다. 기입 슬롯용 포인터(WSLP)의 초기값은 0이고, 판독 슬롯용 포인터(RSLP)의 초기값은 9이다. 또, 슬롯 관리 메모리(SCM)는 20워드의 용량을 갖는 것으로 한다.

도 16 중의 왼쪽에서 2번째 및 3번째 열은 프레임 구조를 갖는 픽처(B2) 최초의 16 라인의 디코드 기간 즉, 도 13 중의 기간 36 및 기간 37에 대응하는 것이다. 이들 기간에서는 슬롯 관리 메모리(SCM) 중의 기입 슬롯용 포인터(WSLP)에서 지시된 어드레스(어드레스 0)의 워드로부터 슬롯번호 0이 인출되고, 다음 어드레스(어드레스 1)의 워드로부터 슬롯번호 1이 인출되어 제 1 기입 슬롯 레지스터(WSR1)에 슬롯번호 0 이, 제 2 기입 슬롯 레지스터(WSR2)에 슬롯번호 1이 각각 기입된다. 이 때, 순서 3.5 및 순서 3.6에 따라 판독 슬롯 레지스터(RSLR)의 설정 준비를 위하여 슬롯 관리 메모리(SCM) 중의 어드레스(9)의 워드에 슬롯번호 0이, 어드레스(15)의 워드에 슬롯번호 1이 각각 기입된다. 그리고, 기입 슬롯용 포인터(WSLP)가 2만큼 증가한다.

도 16 중의 왼쪽에서 9번째의 열은 픽처(B2)의 최상 필드의 최초의 8 라인의 출력 기간 즉, 도 13 중의 기간 43에 대응하는 것이다. 이 기간에서는 슬롯 관리 메모리(SCM) 중의 판독 슬롯용 포인터(RSLP)에서 지시된 어드레스(어드레스 9)의 워드로부터 슬롯번호 0이 인출되어 판독 슬롯 레지스터(RSLR)에 슬롯번호 0이 기입된다. 이 슬롯번호 0은 1/2 프레임 기간만큼 전에 슬롯 관리 메모리(SCM) 중에 기입된 번호이다. 그리고, 판독 슬롯용 포인터(RSLP)가 1만큼 증가한다.

도 16 중의 왼쪽에서 14번째 및 15번째의 열은 필드 구조를 갖는 픽처(B3) 최초의 16 라인의 디코드 기간 즉, 도 14 중의 기간(48) 및 기간(49)에 대응하는 것이다. 이들 기간에서는 슬롯 관리 메모리(SCM) 중의 기입 슬롯용 포인터(WSLP)로 지시된 어드레스(어드레스 12)의 워드로부터 슬롯번호 6이 인출되고, 다음 어드레스(어드레스 13)의 워드로부터 슬롯번호 8이 인출되어 제 1 기입 슬롯 레지스터(WSR1)에 슬롯번호 6이, 제 2 기입 슬롯 레지스터(WSR2)에 슬롯번호 8이 각각 기입된다. 이 때, 순서 3.5 및 순서 3.6에 따라 판독 슬롯 레지스터(RSLR)의 설정 준비를 위하여 슬롯 관리 메모리(SCM) 중의 어드레스 1의 워드에 슬롯번호 6이, 어드레스 2의 워드에 슬롯번호 8이 각각 기입된다. 그리고, 기입 슬롯용 포인터(WSLP)가 2만큼 증가한다.

도 17 중의 왼쪽에서 5번째의 열은 픽처(B3)의 최상 필드의 최초의 8 라인의 출력기간 즉, 도 14 중의 기간 55에 대응하는 것이다. 이 기간에서는 슬롯 관리 메모리(SCM) 중의 판독 슬롯용 포인터(RSLP)에서 지시된 어드레스(어드레스 1)의 워드로부터 슬롯번호 6이 인출되어 판독 슬롯 레지스터(RSLR)에 슬롯번호 6 이 기입된다. 상기 슬롯번호 6은 1/2 프레임 기간만큼 전에 슬롯 관리 메모리(SCM) 중에 기입된 번호이다. 그리고, 판독 슬롯용 포인터(RSLP)가 1만큼 증가한다.

그런데, 도 16 및 도 17에서는 어떠한 기간에서도 부호 W가 부여된 워드(기입 슬롯의 설정에 이용되는 2 워드)의 어드레스 보다 부호 R이 부여된 워드(판독 슬롯의 설정에 이용되는 1 워드)의 어드레스 쪽이 항상 크게 되어 있다. 따라서, 기입 대상의 슬롯은 판독이 종료된 슬롯인 것이 보증되고 있다. 또, 만일 고속 디코드가 달성되어 16 라인의 출력 기간에 비하여 16 라인의 디코드 기간 쪽이 짧아진다 하여도 상기 조건 4가 만족될 때 까지 제어부(14)가 대기 상태로 되어 있으므로 문제는 생기지 않는다.

### 발명의 효과

이상 설명한 바와 같이, 도 1의 MPEG 디코더(10)에 의하면 수직 귀선 구간에서는 입력 비트 스트림(IN)의 디코드를 행하지 않는 조건 하에서, 각각 1 필드분의 용량을 갖는 5개의 메모리 블록(20, 21, 22, 23, 24) 중 1개와, 3개의 부가 슬롯(25)으로 B 픽처의 인터레이스 변환을 실현할 수 있으므로 프레임 메모리(11)의 용량이 약 2.5 프레임분의 용량까지 삭감된다.

또, 부가 슬롯의 수를 줄일 수 있다. 도 18은 N+2개의 슬롯으로 B 픽처의 인터레이스 변환을 실현한 경우를 나타낸다(N=6). 다만, 도 18 중의 오른쪽에서 5번째의 열은 다른 열에 비하여 2배의 디코드 속도를 요구한다. 도 19는 N+1개의 슬롯으로 B 픽처의 인터레이스 변환을 실현한 경우를 나타낸다(N=6). 다만, 도 19 중의 오른쪽에서 5번째의 열은 수평 귀선 기간 내에 16 라인분의 디코드가 완료할 것을 요구한다. 따라서, N+3개의 슬롯으로 B 픽처의 인터레이스 변환을 실현하면 되고, 그 경우에도 16M비트의 기억 용량을 갖는 1개의 메모리 칩으로 MPEG 2에 필요한 모든 메모리 기능을 실현할 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

### (57) 청구의 범위

#### 청구항 1

프레임 메모리를 포함한 화상 처리장치에 있어서,

상기 프레임 메모리는 각각 화상 1/2 프레임분의 용량을 갖는 5개의 블록과, 상기 5개 블록의 각각 보다 작은 용량을 갖는 1개의 부가 블록으로 구성되고,

일단, 상기 5개의 블록 중에서 선택된 4개의 블록은 움직임 보상의 참조용을 위한 I 및/또는 P 픽처의 저장에 이용되고, 나머지 1개의 블록과 상기 부가 블록으로 B 픽처의 인터레이스 변환에 이용되는 1개의 데

이더 메모리를 구성하며,

그 후, 상기 B 픽처용의 데이터 메모리는 상기 4개의 블록 내의 1개의 블록과 상기 부가 블록으로 재구성되는 것을 특징으로 하는 화상처리장치.

## 청구항 2

제 1 항에 있어서,

상기 5개의 블록의 각각과 상기 부가 블록은 각각 일정한 용량을 갖는 복수개의 슬롯으로 각각 분할되고, 상기 화상처리장치는,

슬롯번호를 기억하기 위한 슬롯 관리 메모리와,

상기 슬롯 관리 메모리에 기억된 슬롯번호를 이용하여 상기 데이터 메모리의 판독을 제어하기 위한 콘트롤러를 추가로 포함하고,

상기 콘트롤러는 상기 데이터 메모리의 판독을 위하여 상기 데이터 메모리의 기입시에 이용한 슬롯번호를 슬롯 관리 메모리에 기입하는 것을 특징으로 하는 화상처리장치.

## 청구항 3

제 2 항에 있어서,

상기 데이터 메모리의 기입시에 이용되는 슬롯 번호의 상기 슬롯 관리 메모리 중의 기억 위치를 지정하기 위한 기입 슬롯용 포인터와,

상기 데이터 메모리의 판독시에 이용되는 슬롯 번호의 상기 슬롯 관리 메모리 중의 기억 위치를 지정하기 위한 판독 슬롯용 포인터를 추가로 포함하고,

상기 기입 슬롯용 포인터 및 상기 판독 슬롯용 포인터는 상기 데이터 메모리 중의 어느 슬롯의 판독이 행해진 직후에 상기 슬롯의 기입이 행해지도록 갱신되는 것을 특징으로 하는 화상처리장치.

## 청구항 4

제 2 항에 있어서,

상기 데이터 메모리의 각 슬롯은 디코드 처리 단위의 라인 수의 1/2에 상당하는 라인수 분량의 데이터 단위의 용량을 갖는 것을 특징으로 하는 화상처리장치.

## 청구항 5

제 4 항에 있어서,

상기 콘트롤러는 2개의 슬롯번호를 이용하여 상기 데이터 메모리의 기입을 제어하는 것을 특징으로 하는 화상처리장치.

## 청구항 6

제 4 항에 있어서,

상기 콘트롤러는 상기 B 픽처가 프레임 구조를 갖는 경우에는 상기 B 픽처를 구성하는 최상 필드 및 최저 필드 각각의 데이터 단위가 각각 상기 데이터 메모리에 기입되도록 2개의 슬롯 번호를 이용하여 상기 데이터 메모리의 기입을 제어하는 것을 특징으로 하는 화상처리장치.

## 청구항 7

제 6 항에 있어서,

상기 콘트롤러는 판독 슬롯용 포인터가 상기 최상 필드의 데이터 판독으로부터 상기 최저 필드의 데이터 판독까지 변화하는 정도만큼 상기 2개의 슬롯번호를 분리시켜 상기 슬롯 관리 메모리에 기입하는 것을 특징으로 하는 화상처리장치.

## 청구항 8

제 4 항에 있어서,

상기 콘트롤러는 상기 B 픽처가 필드 구조를 갖는 경우에는 상기 B 픽처를 구성하는 상반부 및 하반부 데이터 단위가 각각 상기 데이터 메모리에 기입되도록 2개의 슬롯 번호를 이용하여 상기 데이터 메모리의 기입을 제어하는 것을 특징으로 하는 화상처리장치.

## 청구항 9

제 8 항에 있어서,

상기 콘트롤러는 판독 슬롯용 포인터가 상기 상반부 및 하반부 분량의 필드 데이터를 연속하여 판독시키도록 각각 2개의 슬롯 번호를 상기 슬롯 관리 메모리에 기입하는 것을 특징으로 하는 화상처리장치.

## 청구항 10

제 2 항에 있어서,

상기 데이터 메모리의 기입시에 이용되는 슬롯번호의 상기 슬롯 관리 메모리 중의 기억 위치를 지정하기

위한 기입 슬롯용 포인터와,

상기 데이터 메모리의 판독시에 이용되는 슬롯번호의 상기 슬롯 관리 메모리 중의 기억위치를 지정하기 위한 판독 슬롯용 포인터를 추가로 포함하고,

상기 컨트롤러는 상기 기입 슬롯용 포인터의 값이 항상 상기 판독 슬롯용 포인터의 값보다 작아지도록 제어하는 것을 특징으로 하는 화상처리장치.

#### 청구항 11

복수개의 슬롯을 갖는 데이터 메모리와,

슬롯번호를 기억하기 위한 슬롯 관리 메모리와,

상기 슬롯 관리 메모리에 기억된 슬롯번호를 이용하여 상기 데이터 메모리의 판독과 기입을 제어하기 위한 컨트롤러를 포함하고,

상기 컨트롤러는 상기 데이터 메모리 중의 어느 슬롯의 판독이 행해진 직후에 상기 슬롯의 기입이 행해지고, 또한 상기 기입에 할당된 시간 중 전반 기간에 다른 슬롯의 판독이 행해지도록 상기 데이터 메모리의 판독과 기입을 제어하는 것을 특징으로 하는 화상처리장치.

#### 청구항 12

제 11 항에 있어서,

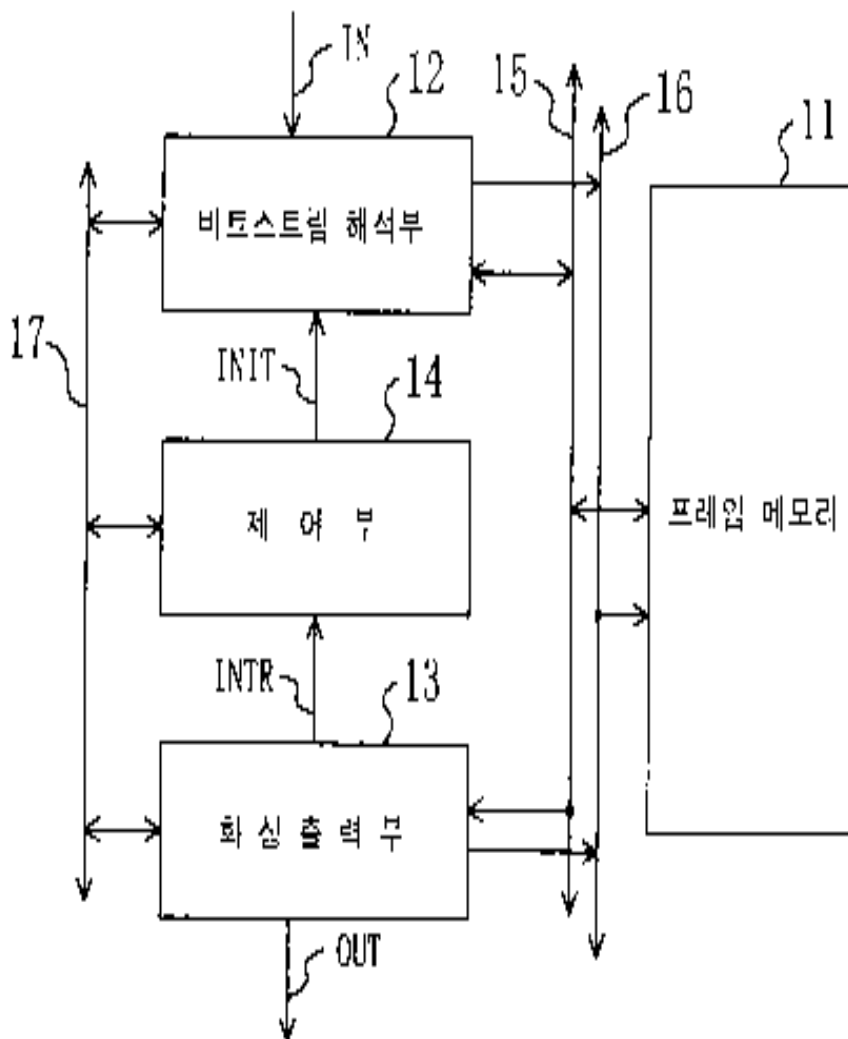
각각 화상 1/2 프레임분의 용량을 갖는 5개의 블록과, 상기 5개의 블록의 각각보다 작은 용량을 갖는 1개의 부가블록으로 구성된 프레임 메모리를 추가로 포함하고,

일단, 상기 5개의 블록 중에서 선택된 4개의 블록은 움직임 보상의 참조용을 위한 I 및/또는 P 픽처의 저장에 이용되고, 나머지 1개의 블록과 상기 부가 블록으로 B 픽처의 인터레이스 변환에 이용되는 상기 데이터 메모리를 구성하고,

그 후, 상기 B 픽처용의 데이터 메모리는 상기 4개의 블록 내의 1개의 블록과 상기 부가 블록으로 재구성되는 것을 특징으로 하는 화상처리장치.

**도면**

도면1

10

도면2

11

원 드 0	20
원 드 1	21
원 드 2	22
원 드 3	23
원 드 4	24
부가 슬롯	25

20

층	번호	0
층	번호	1
층	번호	2
층	번호	3
층	번호	4
층	번호	5
층	번호	6
층	번호	7
⋮		
층	번호	N-1

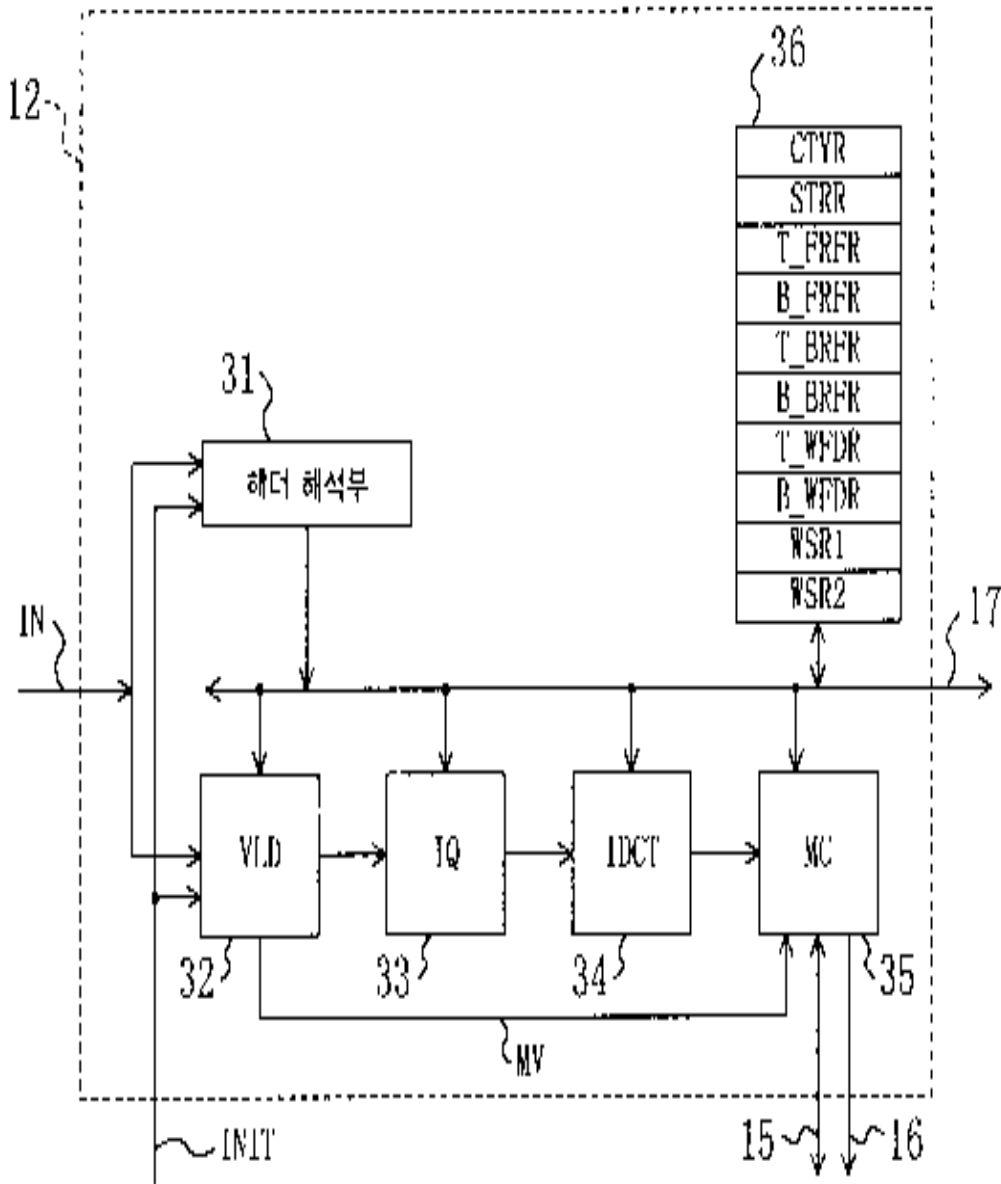
도면4

25

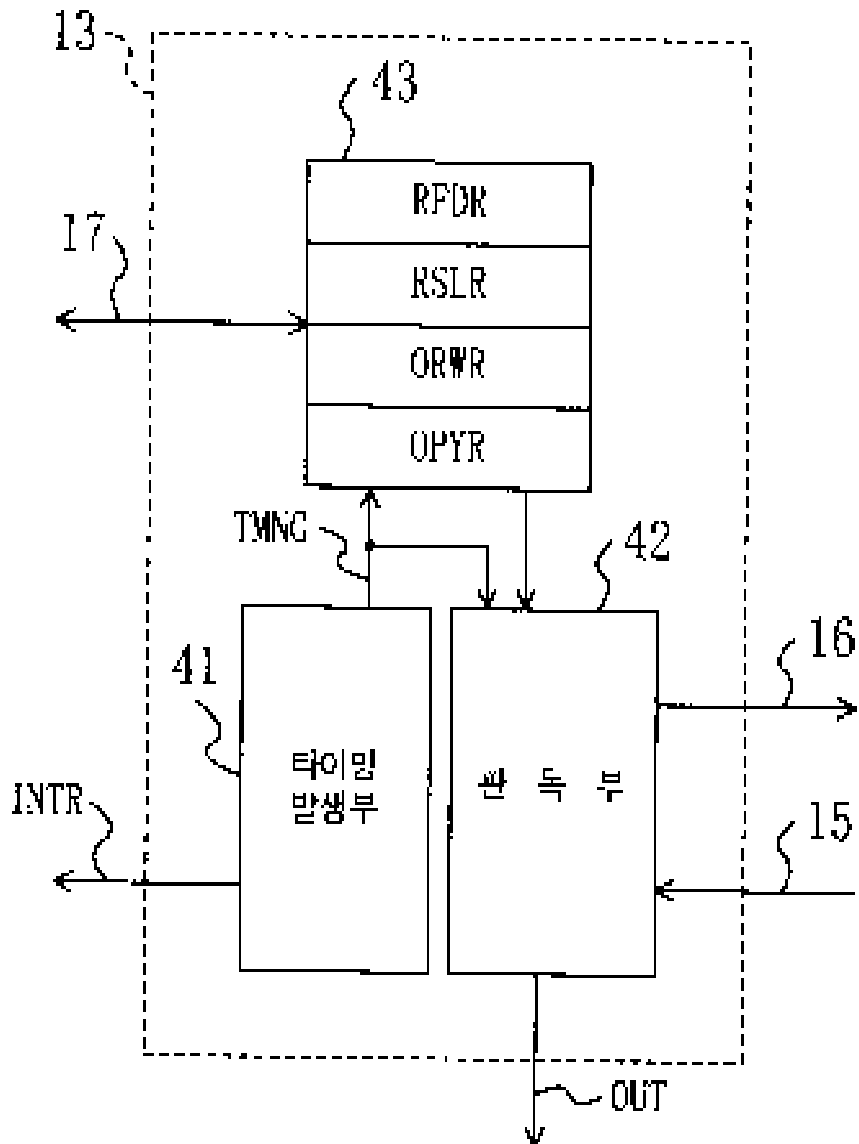
승 룻 N
승 룻 N+1
승 룻 N+2



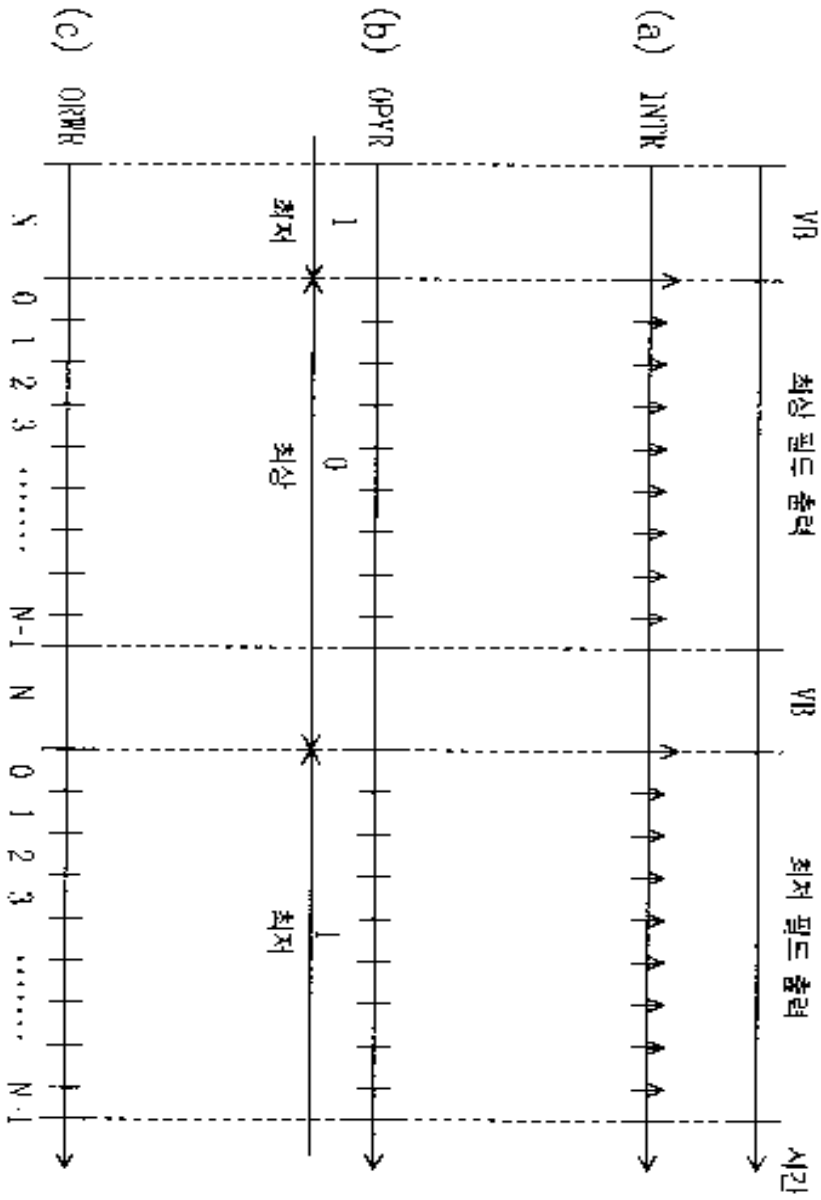
도면5



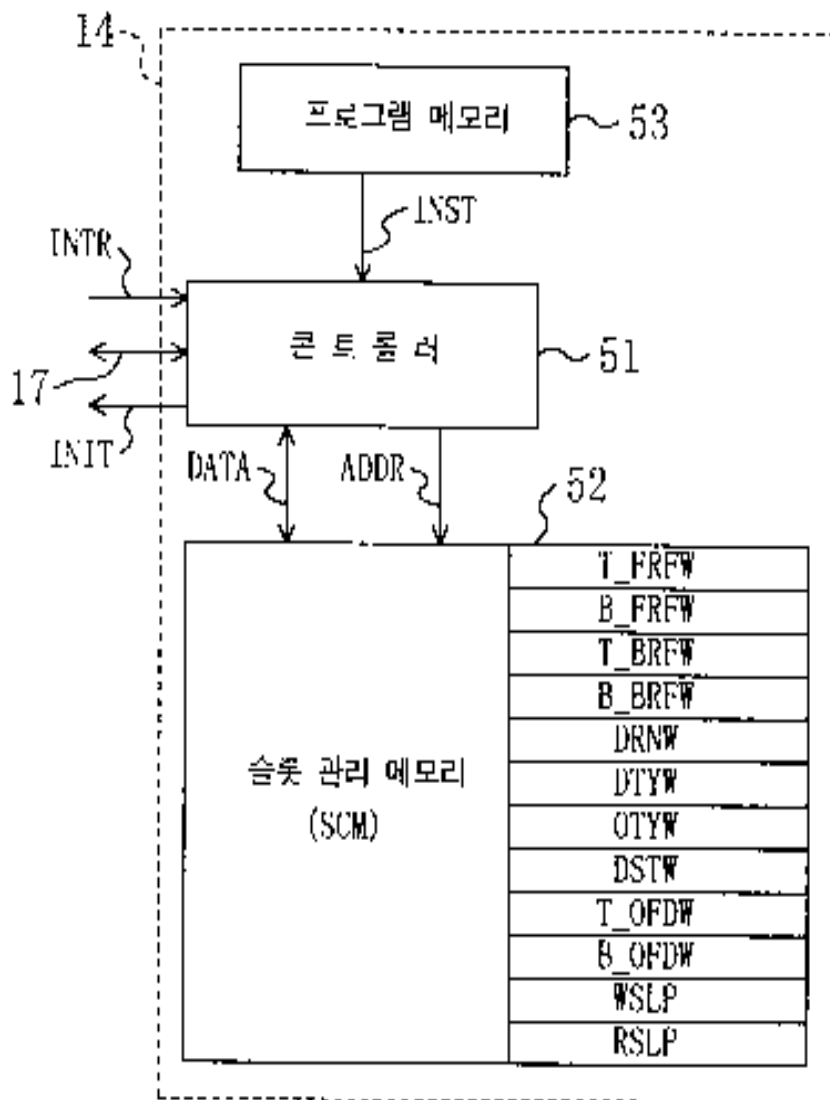
도면6



도면7



도면8

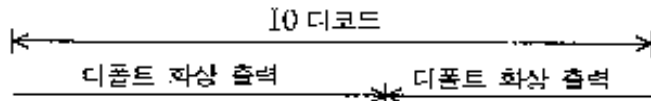


도면 6

	(0)	(1)	(2)	(3)	(4)	(5)	(6)		
	초기값 10 디코드		P1 디코드	P4 디코드	R2 디코드	B3 디코드	P5 디코드		
DTYW	1	1	P	P	R	B	P		
T_IPRW	0	2	4	1	1	1	3		
B_FIKW	1	3	0	2	2	2	4		
T_RRW	2	4	1	3	3	3	1		
B_BRW	3	0	2	4	4	4	2		
OYK	0	1	0	1	0	1	0	1	
OYW	TP	IP	IP	IP	R	R	IP		
T_ODW	0	2	4	1	0	0	3		
B_ODW	1	3	0	2	0	0	4		
RDR	0	1	2	3	4	0	0	3	4

← 10 출력 → \* P1 출력 → \* R2 출력 → \* B3 출력 → \* P4 출력 →

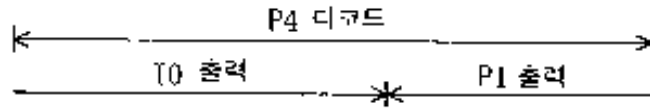
## 도면10



기 간	0	1	2	3	4	5	6	7	8	9	10	11
ORWR	5	0	1	2	3	4	5	0	1	2	3	4
OPYR	0	1	1	1	1	1	1	0	0	0	0	0
OTYW	IP	IP	IP	IP	IP	IP	IP	IP	TP	IP	IP	IP
RFDR	0	1	1	1	1	1	2	2	2	2	2	2
RSLR	5	0	1	2	3	4	5	0	1	2	3	4
T_OFDW	0	0	0	0	0	0	0	2	2	2	2	2
B_OFDW	1	1	1	1	1	1	1	3	3	3	3	3
T_BRFW	2		2		2		2		2		2	
B_BRFW	3		3		3		3		3		3	
T_BRFW	4		4		4		4		4		4	
B_BRFW	0		0		0		0		0		0	
T_WFDR	4		4		4		4		4		4	
B_WFDR	0		0		0		0		0		0	
WSR1	0		2		4		0		2		4	
WSR2	1		3		5		1		3		5	
DTYW	I		I		I		I		I		I	
DSTW	FD		FD		FD		FD		FD		FD	
DRNW	0	1	2		3		4		5		6 0	



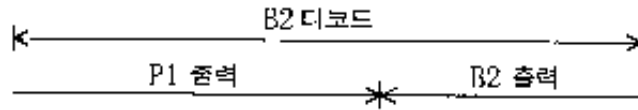
## 도면12



기 간	24	25	26	27	28	29	30	31	32	33	34	35
ORWR	5	0	1	2	3	4	5	0	1	2	3	4
OIPYR	0	1	1	1	1	1	1	0	0	0	0	0
OTYW	IP	IP	IP	IP	IP	TP	TP	IP	IP	IP	IP	IP
RFDR	4	0	0	0	0	0	0	1	1	1	1	1
RSLR	5	0	1	2	3	4	5	0	1	2	3	4
T_OFDW	4	4	4	4	4	4	4	1	1	1	1	1
B_OFDW	0	0	0	0	0	0	0	2	2	2	2	2
T_FRFW	1	1	1	1	1	1	1	1	1	1	1	1
B_FRFW	2	2	2	2	2	2	2	2	2	2	2	2
T_BRFW	3	3	3	3	3	3	3	3	3	3	3	3
B_BRFW	4	4	4	4	4	4	4	4	4	4	4	4
T_WFDR	3	3	3	3	3	3	3	3	3	3	3	3
B_WFDR	4	4	4	4	4	4	4	4	4	4	4	4
WSR1	0	1	2	3	4	5	6	7	8	9	10	11
WSR2	0	1	2	3	4	5	6	7	8	9	10	11
DTYW	P	P	P	P	P	P	P	P	P	P	P	P
DSTW	FR	FR	FR	FR	FR	FR	FR	FR	FR	FR	FR	FR
DRNW	0	1	2	3	4	5	6	7	8	9	10	11



도면13

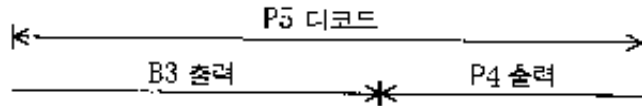


기 간	36	37	38	39	40	41	42	43	44	45	46	47	
ORWR	5	0	1	2	3	4	5	0	1	2	3	4	
OPYR	0	1	1	1	1	1	1	0	0	0	0	0	
OTYW	IP	IP	IP	IP	TP	IP	IP	B	B	B	B	B	
RFDR	1	2	2	2	2	2	2	0	0	0	0	0	
RSLR	5	0	1	2	3	4	5	0	2	4	6	8	
T_OFDW	1	1	1	1	1	1	1	0	0	0	0	0	
B_OFDW	2	2	2	2	2	2	2	0	0	0	0	0	
T_FRFW	1		1		1		1		1		1		
B_FRFW	2		2		2		2		2		2		
T_BRFW	3		3		3		3		3		3		
B_BRFW	4		4		4		4		4		4		
T_WFDR	0		0		0		0		0		0		
B_WFDR	0		0		0		0		0		0		
WSR1	0		2		4		6		8		2		
WSR2	1		3		5		7		0		4		
DTYW	B		B		B		B		B		B		
DSTW	FR		FR		FR		FR		FR		FR		
DRNW	0	1	2		3		4		5		6		0

## 도면14

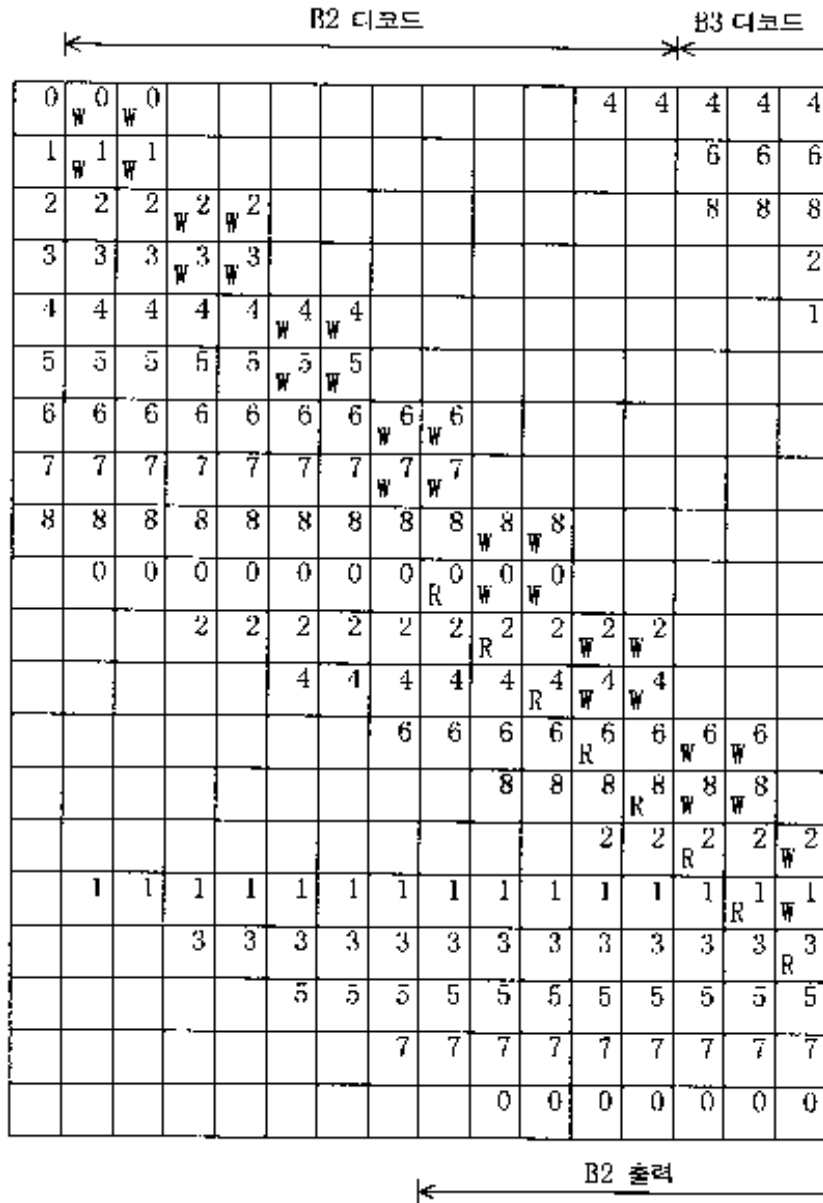
기 간	B3 디코드												
	B2 출력						B3 출력						
	48	49	50	51	52	53	54	55	56	57	58	59	
ORWR	5	0	1	2	3	4	5	0	1	2	3	4	
OPYR	0	1	1	1	1	1	1	0	0	0	0	0	
OTYW	B	B	B	B	B	B	B	B	B	B	B	B	
RFDR	0	0	0	0	0	0	0	0	0	0	0	0	
RSTR	2	1	3	5	7	0	4	6	8	2	1	3	
T_OFDW	0	0	0	0	0	0	0	0	0	0	0	0	
B_OFDW	0	0	0	0	0	0	0	0	0	0	0	0	
T_FRFW	1		1		1		1		1		1		
B_FRFW	2		2		2		2		2		2		
T_BRFW	3		3		3		3		3		3		
B_BRFW	4		4		4		4		4		4		
T_WFDR	0		0		0		0		0		0		
B_WFDR	0		0		0		0		0		0		
WSR1	6		2		3		7		4		8		
WSR2	8		1		5		0		6		2		
DIYW	B		B		B		B		B		B		
DSTW	FD		FD		FD		FD		FD		FD		
DRNW	0	1	2		3		4		5		6		0

도면15



기 간	60	61	62	63	64	65	66	67	68	69	70	71
ORWR	5	0	1	2	3	4	5	0	1	2	3	4
OPYR	0	1	1	1	1	1	1	0	0	0	0	0
OYVW	B	B	B	B	B	B	B	IP	TP	IP	IP	IP
RFDR	0	0	0	0	0	0	0	3	3	3	3	3
RSLR	5	7	0	4	6	8	2	0	1	2	3	4
T_OFDW	0	0	0	0	0	0	0	3	3	3	3	3
B_OFDW	0	0	0	0	0	0	0	4	4	4	4	4
T_BRFW	3		3		3		3		3		3	
B_BRFW	4		4		4		4		4		4	
T_BRFW	1		1		1		1		1		1	
B_BRFW	2		2		2		2		2		2	
T_WFDR	1		1		1		1		1		1	
B_WFDR	2		2		2		2		2		2	
WSR1	0		1		2		3		4		5	
WSR2	0		1		2		3		4		5	
DIYV	P		P		P		P		P		P	
DSTW	FR		FR		FR		FR		FR		FR	
DRNW	0	1	2	3	4	5	6	0				

도면 16



도면17

B3 디코노

4	4	4	R 4	4	W 4	W 4										
6	6	6	R 6	6	W 6	W 6										
8	8	8	8	R 8	8	8	W 8	W 8								
2	2	2	2	2	2	R 2	W 2	W 2								
1	1	1	1	1	1	1	R 1	1	1	1	1	1	1	1	1	1
	3	3	3	3	3	3	3	R 3	3	3	3	3	3	3	3	3
	5	5	5	5	5	5	5	5	R 5	5	5	5	5	5	5	5
			7	7	7	7	7	7	7	R 7	7	7	7	7	7	7
			0	0	0	0	0	0	0	0	R 0	0	0	0	0	0
					4	4	4	4	4	4	4	R 4	4	4	4	4
					6	6	6	6	6	6	6	6	R 6	6	6	6
							8	8	8	8	8	8	8	R 8	8	8
							2	2	2	2	2	2	2	2	R 2	2
	W 2															
	W 1															
	3	W 3	W 3													
	R 5	W 5	W 5													
	7	R 7	7	W 7	W 7											
	0	0	R 0	W 0	W 0											

B2 순력

B3 순력

도면 18

B2 디코드											B3 디코드				
0	W 0	W 0											0	0	0
1	W 1	W 1											4	4	4
2	2	2	W 2	W 2											1
3	3	3	W 3	W 3											3
4	4	4	4	4	W 4	W 4									
5	5	5	5	5	W 5	W 5									
6	6	6	6	6	6	6	W 6	W 6							
7	7	7	7	7	7	7	W 7	W 7							
	0	0	0	0	0	0	R 0	0	W 0	W 0					
			2	2	2	2	2	2	R 2	W 2	W 2				
				4	4	4	4	4	R 4	4	W 4				
					6	6	6	6	R 6	W 6					
								0	0	R 0	0	W 0	W 0		
									4	R 4	W 4	W 4			
	1	1	1	1	1	1	1	1	1	1	1	R 1	1	1	W 1
			3	3	3	3	3	3	3	3	3	3	R 3	3	W 3
				5	5	5	5	5	5	5	5	5	5	5	R 5
					7	7	7	7	7	7	7	7	7	7	7
								2	2	2	2	2	2	2	2
									6	6	6	6	6	6	6

← B2 출력

도면 19

