

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3688572号
(P3688572)

(45) 発行日 平成17年8月31日(2005.8.31)

(24) 登録日 平成17年6月17日(2005.6.17)

(51) Int. Cl.⁷

F I

H O 3 K 19/0175

H O 3 K 19/00 1 O 1 F

G 1 1 C 11/407

G 1 1 C 11/34 3 5 4 Q

G 1 1 C 11/409

G 1 1 C 11/34 3 6 2 S

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2000-296826 (P2000-296826)	(73) 特許権者	000003078
(22) 出願日	平成12年9月28日 (2000.9.28)		株式会社東芝
(65) 公開番号	特開2002-111475 (P2002-111475A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年4月12日 (2002.4.12)	(74) 代理人	100058479
審査請求日	平成15年1月21日 (2003.1.21)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

各々のゲートの少なくとももいづれかに電位が印加され、各々のドレインが出力端子に共通接続された第1 MOSトランジスタと、各々のゲートに前記出力端子の出力レベルを制御するためのスイッチング信号が共通に入力され、各々のドレインが前記第1 MOSトランジスタのソースにそれぞれ接続され、ソースが第1の電位に接続された、前記第1 MOSトランジスタと同一の導電型の第2 MOSトランジスタとを備える複数のトランジスタ回路を具備し、

少なくとも1つ以上の前記トランジスタ回路は、

前記第1 MOSトランジスタのゲートと、前記第1 MOSトランジスタのドレイン電位と相補な電位変化をするノードとの間に接続され、前記第1 MOSトランジスタのゲート、ドレイン間に寄生的に形成されるミラー容量によるカップリングで発生する該第1 MOSトランジスタのゲート電位の変化を補償する容量素子を備える

ことを特徴とする半導体集積回路。

【請求項2】

前記複数のトランジスタ回路が備える前記第1、第2 MOSトランジスタは、それぞれ互いに異なるゲート幅を有し、

前記ゲート幅を所定の値に設定することにより、それぞれの前記トランジスタ回路の電流供給能力を制御する

ことを特徴とする請求項1記載の半導体集積回路。

10

20

【請求項 3】

1つ以上の前記トランジスタ回路における前記第1MOSトランジスタと前記第2MOSトランジスタとの接続ノードは、他の前記トランジスタ回路における前記第1MOSトランジスタと前記第2MOSトランジスタとの接続ノードに接続されている

ことを特徴とする請求項1または2記載の半導体集積回路。

【請求項 4】

前記第1MOSトランジスタのドレイン電位と相補な電位変化をするノードは前記第2MOSトランジスタのゲートである

ことを特徴とする請求項1乃至3いずれか1項記載の半導体集積回路。

【請求項 5】

ソース、ドレイン間を短絡した第3MOSトランジスタを更に備え、
該第3MOSトランジスタは、ソースとドレインを短絡したノードを一方の電極とし、
ゲートを他方の電極とする前記容量素子である

ことを特徴とする請求項1乃至4いずれか1項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路に関するもので、特に高周波のクロックで動作する半導体メモリのバッファ回路に使用されるものである。

【0002】

【従来の技術】

近年、コンピュータの処理能力の高度化に伴って、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置の高速化技術に関する研究が盛んに行われている。次世代の高速DRAMとして、パーソナルコンピュータ (PC: Personal Computer) 向けにはDDRDRAM (Direct-Rambus DRAM) が、サーバやワークステーション (WS: Work Station) 向けにはDDR-SDRAM (Double Data Rate-Synchronous DRAM) が有力である。また、DDRの後継としてDDR2-SDRAMの開発も進められている。

【0003】

これらの高速半導体メモリでは、データや制御信号等の入出力を制御するコントローラと半導体メモリとの間の信号の授受を高周波のクロックに同期した小振幅の信号で行うことが多くなってきている。そのため、半導体メモリからの信号を出力する出力バッファにおいて、出力信号の出力レベルの電位と出力タイミングは、半導体メモリの高速動作についての信頼性を維持するための重要な要素となっている。

【0004】

半導体メモリ等に使用される従来の出力バッファ回路について図10を用いて説明する。図10は、MOSトランジスタを用いたオープン・ドレイン型の出力バッファ回路の回路図である。

【0005】

図示するように、本出力バッファ100は、ゲートがノードA1に接続され、ドレインが出力バッファ100の出力ノードOUTに接続されたnチャネルMOSトランジスタ110と、ゲートが入力ノードINに接続され、ドレインが上記MOSトランジスタ110のソースに接続され、ソースが接地電位に接続されたnチャネルMOSトランジスタ120と、MOSトランジスタ110のゲートと接地電位との間に接続された容量素子130とを有している。

【0006】

そして、上記出力バッファ100の出力ノードOUTは、負荷素子150を介して電源電位V2に接続されている。なお、容量140は、MOSトランジスタ110のゲート・ドレイン間に寄生的に生成されるミラー容量である。

【0007】

次に上記構成を有する出力バッファ100の動作について説明する。まず、ノードA1に

10

20

30

40

50

は内部電位 V_1 が印加されており MOS トランジスタ 110 はオン状態にある。一方、入力ノード IN には “High” または “Low” レベルのスイッチング信号が入力され、このスイッチング信号によって出力バッファの出力レベルが制御される。具体的には、入力ノード IN が “Low” (V_{SS} レベル) の時は、MOS トランジスタ 120 はオフ状態になり、電流は流れないため、出力ノード OUT には “High” (V_2) が出力される。入力ノード IN が “High” (V_{CC} レベル) の時は、MOS トランジスタ 120 がオン状態になり、出力ノード OUT から接地方向に電流が流れ、出力ノード OUT の出力は “Low” ($V_2 - V$) となる。ここで V は負荷素子 150 における電圧降下量である。

【0008】

上記出力バッファが出力する “Low” レベルの電位は、実質的に MOS トランジスタ 110 に流れる電流量により決定される。この電流量はノード A1 に印加される電位により決まる。そのため、ノード A1 には電圧生成器によって厳密に生成された内部電位 V_1 が与えられている。このように、ノード A1 に印加する電位を常時内部電位 V_1 となるよう電圧生成器によって制御することで、“Low” レベルの電位を常時一定としている。

【0009】

しかし、上記説明した出力バッファの動作は理想的な回路構成の場合のものであり、実際には MOS トランジスタ 110 のゲート・ドレイン間に寄生的に生成されるミラー容量 140 に起因した問題が発生する。この点について、図 11 (a) 乃至 (c) を用いて説明する。図 11 (a) 乃至 (c) は出力ノード OUT の出力レベルが “High” から “Low” に変化した際の各ノードの電位変化を示しており、(a) 図は入力ノード IN、(b) 図は出力ノード OUT、(c) 図はノード A1 の波形図である。

【0010】

図 10 に示した出力バッファにおいて、入力ノード IN への入力信号を “Low” から “High” へ変化させた場合を考える。すると、MOS トランジスタ 110 がオン状態となり出力ノード OUT の出力レベルは “Low” となる。このように出力ノード OUT の電位、すなわち MOS トランジスタ 110 のドレイン電位が低下すると、ノード A1 の電位は、MOS トランジスタ 110 に寄生的に形成されるミラー容量 140 でのカップリングにより低下し、内部電位 V_1 より低くなる。このため、ノード OUT から接地方向に流れる電流が設定値よりも減少し、ノード OUT の電位は、ノード A1 の電位が V_1 である場合より高くなる。

【0011】

ミラー容量 140 でのカップリングを原因に発生するノード A1 の電位の内部電位 V_1 に対する上昇及び低下は一時的なもので、一定時間後には再び内部電位 V_1 に戻る。しかし、出力ノード OUT の電位が高速で変化する場合、カップリングによりノード A1 の電位が内部電位 V_1 に対して上昇または低下している状態でノード OUT の電位が変化することとなる。このため、出力データが高速で変化する場合と、そうでない場合で出力レベルの電位が異なることになる。

【0012】

例として、“High”、“High”、“High”、“Low”、“High”、“Low”、“High” という順序でノード OUT の出力レベルが高速で変化する場合について図 12 (a) 乃至 (c) を用いて考察する。図 12 (a) 乃至 (c) はそれぞれ、入力ノード IN、出力ノード OUT、及びノード A1 における電位変化を示す波形図である。

【0013】

まず、時刻 t_1 で入力ノード IN への入力レベルが “Low” (V_{SS}) から “High” (V_{CC}) へ立ち上がるとする。これに対応して出力ノード OUT の出力レベルは時刻 t_2 で “High” (V_2) から “Low” に立ち下がる。時刻 t_2 までは出力ノード OUT の出力レベルは “High” 一定であるため、ノード A1 の電位は、内部電位 V_1 で安定している。しかし、時刻 t_2 で出力ノード OUT の電位が低下し始めるため、ノード A1 の電位もミラー容量 140 のカップリングにより内部電位 V_1 から低下し始める。この電位の低下量を V_{A1} とする。このように、ノード A1 の電位が内部電位 V_1 より小さくなるため、M

10

20

30

40

50

OSトランジスタ110に流れる電流量が設定値よりも減少し、出力ノードOUTの出力レベルは、ノードA1が内部電位V1であった場合の設定出力レベルであるV2 - Vまで下がることが出来ず、その電位は設定値よりもV1だけ高いV2 - V + V1となる。

【0014】

次に、時刻t4で入力ノードINへの入力レベルが“High”から“Low”へ立ち下がるとする。これに対応して時刻t5で出力ノードOUTの出力レベルが“Low”から“High”へ立ち上がる。この時のノードA1の電位に注目すると、時刻t2～t5において、ノードA1の電位は内部電位V1よりも低下していたため、電圧生成器はノードA1の電位を内部電位V1に設定しようとしてノードA1に電荷を供給する。更に、出力ノードOUTの電位が上昇することで、ミラー容量140のカップリングによってもノードA1の電位は上昇する。その結果、ノードA1の電位は内部電位V1よりも上昇する。

10

【0015】

ノードA1が内部電位V1よりも高い状態である時刻t6で入力ノードINへの入力レベルが“Low”から“High”へ立ち上がるとする。これに反応して時刻t7で出力ノードOUTの出力レベルが“High”から“Low”へ立ち下がる。すると、出力ノードOUTの電位が低下することにより、ノードA1の電位はミラー容量140のカップリングにより低下する。しかし、出力ノードOUTの電位が立ち下がる時刻t7では、上記のようにノードA1の電位は電圧生成器による電荷供給とミラー容量140によるカップリングにより内部電位V1よりも高い状態にある。容量140のカップリングによる電位の低下は、この高い状態から始まるため、ノードA1の電位の内部電位V1に対する低下量は、時刻t2～t5で生じたVA1よりも小さなVA2となる($VA1 > VA2$)。そのため、時刻t8～t10の間における出力ノードOUTの“Low”レベル出力の電位は、時刻t3～t5における“Low”レベルの電位よりも低い電位となり、その電位はV2 - V + V2である。すなわち、 $(V2 - V1) < (V2 - V2)$ の関係にある。

20

【0016】

このように、出力バッファ回路が高周波動作を行う場合、同じ“Low”レベル出力でありながら、出力条件(ノードA1の電位)によって、その電位が異なるという現象が生じる。

【0017】

次に、出力ノードOUTの電位変化について、出力レベルの“High”から“Low”への立ち下がりに着目して説明する。図13は出力ノードOUTにおける電位の立ち下がり部分についての電位変化を示す波形図である。

30

【0018】

出力ノードOUTの出力レベルが変化するのに要する時間はノードA1の電位等とは無関係であり一定である。この一定時間の間に、出力ノードOUTの電位は時刻t2～t3では電位V2から電位V2 - V + V1へ低下し、時刻t7～t8では電位V2から電位V2 - V + V2 ($V2 < V1$)へ低下する。ここで、出力レベルの“High”と“Low”とを判別する基準となる基準電位をVrefとする。すると、両時刻において出力される“Low”レベルを比較すれば、その“Low”レベルが認識される時間に差が生じるのは当然である。すなわち、図示するように、時刻t2～t3における立ち下がりで出力される“Low”レベルよりも時刻t7～t8における立ち下がりで出力される“Low”レベルの方が電圧降下量が大きいため、電位が基準電位Vrefに速く達する。この両者の時間差をt1とする。すなわち、出力波形のスルーレートが変化するために、ノードA1の電位によって、同じ“Low”レベルを認識するのに時間差が生じる。結果として、入力ノードINへの入力レベルを“High”に変化させてから、出力ノードOUTの出力レベルが“High”から“Low”に変化するまでの時間が、ノードA1の電位によって異なるという現象が生じる。

40

【0019】

通常、半導体集積回路には上記のような出力バッファが複数搭載されており、それぞれの

50

出力バッファが個々に保持する独立したデータを同じタイミングで出力する。このような半導体集積回路の構成について図14を用いて説明する。図14は半導体集積回路のブロック図である。

【0020】

図示するように、半導体集積回路は図10に示した出力バッファを例えば8個有しており、それらのノードA0~7は共通接続されている。出力ノードOUT0~7は、負荷素子160-0~7を介して電源電位V2に接続されている。また、各出力バッファ回路0~7の入力ノードIN0~7にはそれぞれ独立したスイッチング信号が入力される。なお、各出力バッファの出力ノードOUT0~7が共通接続されたノードを出力ノードOUT、ノードA0~7が共通接続されたノードを共通ノードAとする。

10

【0021】

上記回路において、まず全ての出力バッファ0~7が“High”、“High”、“Low”、“High”、“Low”という順序でデータを出力する場合の入力ノードIN0~7、出力ノードOUT0~7、及び共通ノードAの電位変化について図15(a)乃至(c)を用いて説明する。図15(a)乃至(c)はそれぞれ入力ノードIN、出力ノードOUT、及び共通ノードAの波形図である。

【0022】

まず、時刻t1で入力ノードIN0~7への入力レベルが“Low”から“High”へ立ち上がるとする。これに対応して全ての出力バッファ0~7の出力ノードOUT0~7の出力レベルは時刻t2で“High”から“Low”に立ち下がる。ノードA0~7の電位は、時刻t2までは内部電位V1で安定しているが、時刻t2で出力ノードOUTの電位が低下し始めるため、全ての出力バッファ0~7におけるミラー容量のカップリングは、共通ノードAの電位を低下させるように作用する。このように、8つのミラー容量によるカップリングの影響を受けるため、共通ノードAの電位は大幅に低下する。その結果、時刻t3~t5における出力ノードOUTの“Low”レベルの電位も、1つの出力バッファから出力されるデータのみが、“High”から“Low”に変化する場合に比べて大幅に高くなる。

20

【0023】

次に、時刻t4で入力ノードIN0~7への入力レベルが“High”から“Low”へ立ち下がるとする。これに対応して時刻t5で出力ノードOUTの電位が立ち上がる。この場合も前述のように、ミラー容量でのカップリングにより、共通ノードAの電位が上昇し、内部電位V1よりも高くなる。

30

【0024】

以上が全ての出力バッファが同じ出力を行う場合についての各ノードの電位変化である。

【0025】

次に、図14の回路構成において、出力バッファ0のみが、“High”、“High”、“High”、“Low”、“High”、“Low”という順序でデータを出力し、出力バッファ1~7が“Low”、“Low”、“Low”、“High”、“Low”、“High”という順序でデータを出力する場合について、図16(a)乃至(e)を用いて考える。図16(a)乃至(c)は上記出力パターンにおける各ノードの電位変化を示しており、(a)図は入力ノードIN0、(b)図は出力ノードOUT0、(c)図は入力ノードIN1~7、(d)図は出力ノードOUT1~7、(e)図は共通ノードAの波形図である。

40

【0026】

まず時刻t1で入力ノードIN0への入力レベルが“Low”から“High”へ立ち上がり、入力ノードIN1~7への入力レベルが“High”から“Low”へ立ち下がる。これに対応して出力ノードOUT0の出力レベルは時刻t2で“High”から“Low”へ立ち下がり、出力ノードOUT1~7の出力レベルは“Low”から“High”へ立ち上がる。

【0027】

この時の共通ノードAの電位変化について説明する。

【0028】

まず、“Low”レベルを出力する出力バッファ0におけるミラー容量でのカップリングは

50

、ノードA0の電位を低下させるように作用する。一方、“High”レベルを出力する出力バッファ1～7におけるミラー容量でのカップリングは、逆にノードA1～7の電位を上昇させるように作用する。この結果、共通ノードAの電位に対しては、出力バッファ1～7でのカップリングの影響が支配的になり、共通ノードAの電位は内部電位V1よりも高くなる。

【0029】

このように、共通ノードAの電位が内部電位V1よりも高くなるため、時刻t3～t5における出力バッファ0からの“Low”レベル出力の電位は、共通ノードAが内部電位V1であった場合の設定出力レベルV2 - Vよりも大幅に低くなる。

【0030】

このように、全ての出力バッファが同じ出力パターンで出力する場合と、異なる出力パターンで出力する場合でも、“Low”レベルの電位が異なるという現象が生じ、当然スルーレートの問題も起きる。これらの場合における出力ノードOUTの電位変化について、“High”から“Low”への立ち下がりに着目して説明する。図17は出力ノードOUTにおける電位の立ち下がり部分についての波形図である。

【0031】

前述の通り、出力ノードの出力レベルが変化するのに要する時間は共通ノードAの電位等とは無関係であり一定である。そして、出力バッファ0からのみ“Low”レベルが出力される際の電位は、出力バッファ1～7から“Low”レベルが出力される際の電位よりも大幅に低い。そのため、上記2つの場合における“Low”レベル出力が認識される時間に差が生じる。すなわち、電圧降下量の大きな、出力バッファ0からのみ“Low”レベルが出力される場合は、出力バッファ1～7の“Low”レベルを出力する場合よりも速く電位が基準電位V_{ref}に達し、両者の間には時間 t2の差がある。

【0032】

上記のように従来出力バッファにおいては、MOSトランジスタに寄生的に形成されるミラー容量のカップリングにより、当該MOSトランジスタのゲート電位が変化する。そのため、同じ“Low”レベル出力であっても、その出力条件によってその電位が異なっていたり、“Low”レベルを認識するための基準電位へ達する時間が異なるという問題があった。この問題は、高周波のクロックにより動作する半導体装置一般に広く共通する問題であり、特に高周波数動作時にはその振幅も小さくなるために、安定した動作を保證できるマージンが少なくなることの原因ともなる。

【0033】

この問題点を回避する方法としては、従来、複数の出力バッファ回路を有する場合には共通ノードAを共有せずに、各出力バッファ回路毎に内部電位V1を発生する電圧生成器を設け、各出力バッファ回路毎に独立して内部電位V1を与えるという方法が考えられている。

【0034】

この方法を用いると、出力データのパターンによって出力レベルが変化する問題は回避できる。また、全ての出力バッファ回路が同一パターンのデータを出力するような場合でも、共通ノードAの電位の変化量が極端に増大することはないため、出力レベルの変化量の増大も回避できる。

【0035】

しかし、この方法では出力バッファ回路の数だけ内部電位V1を発生させる電圧生成器が必要となり、レイアウト面積が大幅に増大してしまう問題がある。

【0036】

【発明が解決しようとする課題】

上記従来の半導体集積回路においては、MOSトランジスタのゲート・ドレイン間に寄生的に形成されるミラー容量により、出力バッファの出力ノードに接続されたMOSトランジスタのドレイン電位が変化すると、カップリングでゲート電位が変化する。このゲート電位の変化によりMOSトランジスタに流れる電流量が変化するため、常時設定通りの出

10

20

30

40

50

力電位を得ることが困難であるという問題があった。

【0037】

また、出力条件によって出力電位が異なるために、出力波形のスルーレートが変化し、出力タイミングを常時一定に保つことが困難であるという問題があった。

【0038】

この発明は、上記事情に鑑みてなされたもので、その目的は、レイアウト面積の増大を最小限に抑えつつ、出力電位及び出力タイミングを毎回ほぼ一定とすることが出来る半導体集積回路を提供することにある。

【0040】

【課題を解決するための手段】

この発明の一態様に係る半導体集積回路は、各々のゲートの少なくともいずれかに電位が印加され、各々のドレインが出力端子に共通接続された第1MOSトランジスタと、各々のゲートに前記出力端子の出力レベルを制御するためのスイッチング信号が共通に入力され、各々のドレインが前記第1MOSトランジスタのソースにそれぞれ接続され、ソースが第1の電位に接続された、前記第1MOSトランジスタと同一の導電型の第2MOSトランジスタとを備える複数のトランジスタ回路を具備し、少なくとも1つ以上の前記トランジスタ回路は、前記第1MOSトランジスタのゲートと、前記第1MOSトランジスタのドレイン電位と相補な電位変化をするノードとの間に接続され、前記第1MOSトランジスタのゲート、ドレイン間に寄生的に形成されるミラー容量によるカップリングで発生する該第1MOSトランジスタのゲート電位の変化を補償する容量素子を備えている。

【0043】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。

【0044】

この発明の第1の実施形態に係る半導体集積回路について図1を用いて説明する。図1はnチャンネルMOSトランジスタを用いたオープン・ドレイン型の出力バッファ回路の回路図である。

【0045】

図示するように、本出力バッファ10は、ゲートがノードA1に接続され、ドレインが出力バッファ10の出力ノードOUTに接続されたnチャンネルMOSトランジスタ11(第1MOSトランジスタ)と、ゲートが入力ノードINに接続され、ドレインが上記MOSトランジスタ11のソースに接続され、ソースが接地電位に接続されたnチャンネルMOSトランジスタ12(第2MOSトランジスタ)と、MOSトランジスタ11のゲートとMOSトランジスタ12のゲートとの間に設けられた容量素子13とを有している。

【0046】

そして、上記出力バッファ10の出力ノードOUTは、負荷素子15を介して電源電位V2に接続されている。なお、容量14は、MOSトランジスタ11のゲート・ドレイン間に寄生的に生成されるミラー容量である。

【0047】

次に上記構成の出力バッファ10の動作について説明する。ノードA1には内部電位V1が印加されておりMOSトランジスタ11はオン状態にある。一方、入力ノードINには“High”または“Low”レベルのスイッチング信号が入力され、この入力信号によって出力バッファの出力レベルのスイッチングが行われる。具体的には、入力ノードINへの入力レベルが“Low”(VSSレベル)の時は、MOSトランジスタ12はオフ状態になり、電流は流れないため、ノードOUTの出力レベルは“High”(V2)となる。入力ノードINへの入力レベルが“High”(VCCレベル)の時は、MOSトランジスタ12がオン状態になり、出力ノードOUTから接地方向に電流が流れ、出力ノードOUTの出力レベルは“Low”(V2 - V)となる。ここでVは負荷素子15における電圧降下量である。

【0048】

10

20

30

40

50

上記出力バッファの出力レベルが“Low”となる場合の出力電位は、実質的にMOSトランジスタ11が流す電流量より決定される。この電流量はノードA1に印加される電位により決まる。そのため、ノードA1には電圧生成器によって生成された内部電位V1が与えられている。このように、ノードA1に印加する電位が常時内部電位V1となるよう電圧生成器によって厳密に制御することで、“Low”レベル出力の電位を常時一定としている。

【0049】

上記出力バッファの動作時における各ノードの電位の波形変化について図2(a)乃至(c)を用いて説明する。図2(a)乃至(c)は出力ノードOUTの出力レベルが“High”から“Low”に変化した際の各ノードの電位変化を示しており、(a)図は入力ノードIN、(b)図は出力ノードOUT、(c)図はノードA1における波形図である。

10

【0050】

図1に示した出力バッファにおいて、まず入力ノードINへ入力するスイッチング信号のレベルを“Low”から“High”へ変化させる。すると、MOSトランジスタ12がオン状態となり出力ノードOUTの出力レベルは“Low”となる。このように出力ノードOUTの電位、すなわちMOSトランジスタ11のドレイン電位が低下すると、MOSトランジスタ11に寄生的に生成されるミラー容量14でのカップリングは、ノードA1の電位を低下させるように働く。一方、入力ノードINへの入力レベルが“High”になったことで、容量素子13によるカップリングは、ノードA1の電位を上昇させるように機能する。ここで、容量素子13の容量値を適当に与えてやれば、出力ノードOUTの出力レベルが“High”から“Low”に変化する際のミラー容量14でのカップリングによるノードA1の電位の低下と、入力ノードINへの入力レベルが“Low”から“High”に変化する際の容量素子13でのカップリングによるノードA1の電位の上昇とが相殺される。その結果、ノードA1の電位は、ほぼ一定に保持される。

20

【0051】

このように、出力ノードOUTの出力レベルが“Low”レベルに反転する際に起きるMOSトランジスタ11のゲート電位の変動を極めて微小なものとすることが出来、MOSトランジスタ11に流れる電流も常時ほぼ一定とする事が出来る。その結果、MOSトランジスタ11のドレイン電位、すなわち出力バッファの出力電位をほぼ一定とすることが出来る。また、ドレイン電位が一定と言うことは、“Low”レベルにおける電源電位V2からの電圧降下量が一定であるということでもあり、ドレイン電位が“Low”を認識する基準電位Vrefに達する時間、すなわち出力波形のスルーレートも一定とすることができる。

30

【0052】

このように、本実施形態に係る出力バッファに拠れば、高周波のクロックに基づいて動作する出力バッファにおいても、出力ノードOUTの出力電位及び出力タイミングを毎回一定に保持できる。

【0053】

次に、この発明の第2の実施形態に係る半導体集積回路について図3を用いて説明する。図3は、nチャネルMOSトランジスタを用いたオープン・ドレイン型の出力バッファ回路の回路図である。

40

【0054】

図示するように、本出力バッファ20は、ゲートがノードA1に接続され、ドレインが出力バッファ20の出力ノードOUTに接続されたnチャネルMOSトランジスタ21(第1MOSトランジスタ)と、ゲートがインバータ26を介して入力ノード/INに接続され、ドレインが上記MOSトランジスタ21のソースに接続され、ソースが接地電位に接続されたnチャネルMOSトランジスタ22(第2MOSトランジスタ)と、入力ノード/INとノードBとの間に接続されたインバータ27と、MOSトランジスタ21のゲートとノードBとの間に設けられた容量素子23とを有している。

【0055】

50

そして、上記出力バッファ20の出力ノードOUTは、負荷素子25を介して電源電位V2に接続されている。なお、容量24は、MOSトランジスタ21のゲート・ドレイン間に寄生的に生成されるミラー容量である。

【0056】

次に上記構成の出力バッファ20の動作について説明する。まず、ノードA1には内部電位V1が印加されておりMOSトランジスタ21はオン状態にある。一方、入力ノードINには“High”または“Low”レベルのスイッチング信号が入力され、このスイッチング信号によって出力バッファの出力レベルが制御される。具体的には、入力ノード/INへの入力レベルが“High”(VCCレベル)の時は、MOSトランジスタ22はオフ状態になり、電流は流れないため、ノードOUTの出力レベルは“High”(V2)となる。逆に、入力ノード/INへの入力レベルが“Low”(VSSレベル)の時は、MOSトランジスタ22がオン状態になり、出力ノードOUTから接地方向に電流が流れ、出力ノードOUTの出力レベルは“Low”(V2 - V)となる。ここでVは負荷素子25における電圧降下量である。

10

【0057】

上記出力バッファの動作時における各ノードの電位変化について図4(a)乃至(d)を用いて説明する。図4(a)乃至(d)は出力ノードOUTの出力レベルが“High”から“Low”に変化した際の、入力ノード/IN、インバータ26の出力ノード、出力ノードOUT、及びノードA1における電位変化をそれぞれ示す波形図である。

【0058】

図3に示した出力バッファにおいて、まず入力ノード/INへの入力するスイッチング信号のレベルを“High”から“Low”へ変化させる。それによってインバータ26の出力レベルも“Low”から“High”へ変化する。すると、MOSトランジスタ21がオン状態となり出力ノードOUTの出力レベルは“Low”となる。このように出力ノードOUTの電位、すなわちMOSトランジスタ21のドレイン電位が低下すると、MOSトランジスタ21に寄生的に形成されるミラー容量24でのカップリングは、ノードA1の電位を低下させるように働く。一方で、入力ノード/INへの入力レベルが“Low”、すなわちノードBのレベルが“High”になったことで、容量素子23によるカップリングは、ノードA1の電位を上昇させるように機能する。ここで、容量素子23の容量値を適当に与えることで、出力ノードOUTの出力レベルが“High”から“Low”に変化する際に生じるミラー容量24でのカップリングによるノードA1の電位の低下を、ノードBのレベルが“Low”から“High”に変化する際の容量素子23でのカップリングによるノードA1の電位の上昇によって相殺する事が出来る。その結果、ノードA1の電位は、ほぼ一定に保持される。

20

30

【0059】

このように、本実施形態における構造によっても、第1の実施形態と同様の効果を得ることが出来る。

【0060】

なお、本実施形態においては、MOSトランジスタ21のゲートとノードBとの間に容量素子23を設けている。これは、ミラー容量24によるカップリングでのMOSトランジスタ21のゲート電位の低下と、容量素子23によるMOSトランジスタ21のゲート電位の上昇との時間的なタイミングを合わせるためである。容量素子23をMOSトランジスタ21のゲートとMOSトランジスタ22のゲートとの間に設けても、勿論、容量素子23のカップリングはMOSトランジスタ21のゲート電位を上昇させるように機能する。しかし、本発明の趣旨は、ミラー容量24によるカップリングの効果を容量素子23によって相殺するというものである。その観点から、両容量素子23、24とによるカップリングでのMOSトランジスタ21のゲート電位の変化は時間的に同時に起こる必要がある。そのタイミングを合わせるために、本実施形態では、適当なサイズを有するインバータ27をわざわざ設け、このインバータ27の出力ノード(ノードB)とノードA1との間に容量素子23を設けているのである。よって、ミラー容量24によるカップリングの

40

50

効果を相殺できるのであれば、当然、MOSトランジスタ22のゲートとノードA1との間に容量素子23を設けてもかまわない。

【0061】

次に、この発明の第3の実施形態に係る半導体集積回路について図5を用いて説明する。図5は、pチャネルMOSトランジスタを用いたオープン・ドレイン型の出力バッファ回路の回路図である。

【0062】

図示するように、本出力バッファ30は、ゲートがノードA1に接続され、ドレインが出力バッファ30の出力ノードOUTに接続されたpチャネルMOSトランジスタ31（第1MOSトランジスタ）と、ゲートが入力ノードINに接続され、ドレインが上記MOSトランジスタ31のソースに接続され、ソースが電源電位V2に接続されたpチャネルMOSトランジスタ32（第2MOSトランジスタ）と、MOSトランジスタ31のゲートとMOSトランジスタ32のゲートとの間に設けられた容量素子33（容量素子）とを有している。

【0063】

そして、上記出力バッファ30の出力ノードOUTは、負荷素子35を介して接地電位に接続されている。なお、容量34は、MOSトランジスタ31のゲート・ドレイン間に寄生的に形成されるミラー容量である。

【0064】

次に上記構成の出力バッファ30の動作について説明する。ノードA1には内部電位V1'が印加されておりMOSトランジスタ31はオン状態にある。一方、入力ノードINには“High”または“Low”レベルのスイッチング信号が入力され、このスイッチング信号によって出力バッファの出力レベルが制御される。具体的には、入力ノードINへの入力レベルが“High”（VCCレベル）の時は、MOSトランジスタ32はオフ状態になり、電流は流れないため、ノードOUTの出力レベルは“Low”（接地電位）となる。一方、入力ノードINへの入力レベルが“Low”（VSSレベル）の時は、MOSトランジスタ32がオン状態になり、電源電位V2から接地方向に電流が流れ、出力ノードOUTの出力レベルは“High”（V）となる。ここでVは負荷素子35における電圧上昇量である。

【0065】

上記出力バッファの出力レベルが“High”である時の出力電位は、実質的にMOSトランジスタ31に流れる電流量により決定される。この電流量はノードA1に印加される電位により決まる。そのため、ノードA1には電圧生成器によって生成された内部電位V1'が与えられている。このように、ノードA1に印加する電位を常時内部電位V1'となるよう厳密に制御することで、“High”レベルにおける出力ノードOUTの電位を常時一定としている。

【0066】

上記出力バッファの動作時における各ノードの電位変化について図6(a)乃至(c)を用いて説明する。図6(a)乃至(c)は出力ノードOUTの出力レベルが“Low”から“High”に変化した際の、入力ノードIN、出力ノードOUT、及びノードA1における電位変化をそれぞれ示す波形図である。

【0067】

図5に示した出力バッファにおいて、まず入力ノードINへの入力レベルを“High”から“Low”へ変化させる。すると、MOSトランジスタ32がオン状態となり出力ノードOUTの出力レベルは“High”となる。このように出力ノードOUTの電位、すなわちMOSトランジスタ31のドレイン電位が上昇すると、MOSトランジスタ31に寄生的に形成されるミラー容量34でのカップリングは、ノードA1の電位を上昇させるように働く。一方、入力ノードINへの入力レベルが“Low”になったことで、容量素子33によるカップリングは、ノードA1の電位を低下させるように機能する。ここで、容量素子33の容量値を適当に与えてやれば、出力ノードOUTの出力レベルが“Low”から“High”

10

20

30

40

50

に変化する時のミラー容量 34 でのカップリングによるノード A 1 の電位の上昇と、入力ノード IN への入力レベルが " High " から " Low " に変化する時の容量素子 33 でのカップリングによるノード A 1 の電位の低下とを相殺する事が出来る。その結果、ノード A 1 の電位は、ほぼ一定に保持される。

【 0068 】

このように、出力ノード OUT の出力レベルが " High " レベルに反転する際に起きる MOS トランジスタ 31 のゲート電位の変動を極めて微少なものとすることが出来、MOS トランジスタ 31 に流れる電流も常時ほぼ一定とする事が出来る。その結果、MOS トランジスタ 31 のドレイン電位、すなわち出力バッファの出力電位をほぼ一定とすることが出来る。また、ドレイン電位が一定と言うことは、" High " レベルにおける接地電位からの電圧上昇量が一定であるということでもあり、ドレイン電位が " High " を認識する基準電位 V_{ref} に達する時間、すなわち出力波形のスルーレートも一定とすることができる。

10

【 0069 】

なお、本実施形態で説明した p チャンネル MOS トランジスタを用いた出力バッファにおいても、第 2 の実施形態で説明したように、インバータを用いることで反転スイッチング信号により制御出来るのは言うまでもなく、第 1、第 2 の実施形態と同様の効果を得ることが出来る。

【 0070 】

次に、この発明の第 4 の実施形態に係る半導体集積回路について図 7 を用いて説明する。図 7 は、n チャンネル及び p チャンネル MOS トランジスタを用いた出力バッファ回路の回路図である。

20

【 0071 】

図示するように、本出力バッファ 40 は、ゲートが入力ノード IN に接続され、ソースが電源電位 V_{CC} に接続された p チャンネル MOS トランジスタ 41 と、ゲートがノード A 1 に接続され、ソースが MOS トランジスタ 41 のドレインに接続された p チャンネル MOS トランジスタ 42 と、ゲートがノード A 2 に接続され、ドレインが MOS トランジスタ 42 のドレインに接続された n チャンネル MOS トランジスタ 43 と、ゲートが入力ノード IN に接続され、ドレインが MOS トランジスタ 43 のソースに接続され、ソースが接地電位に接続された n チャンネル MOS トランジスタ 44 と、入力ノード IN とノード A 1 との間に接続された容量素子 45 と、入力ノード IN とノード A 2 との間に接続された容量素子 46 とを有している。

30

【 0072 】

そして上記 p チャンネル MOS トランジスタ 42 のドレインと、n チャンネル MOS トランジスタ 43 のドレインとの接続ノードが、当該出力バッファの出力ノード OUT となる。この出力ノード OUT は、負荷素子 49 を介して電源電位 $V_3 (= V_{CC} / 2)$ に接続されている。なお、容量 47 は、MOS トランジスタ 42 のゲート・ドレイン間に寄生的に生成されるミラー容量であり、容量 48 は MOS トランジスタ 43 のゲート・ドレイン間に寄生的に生成されるミラー容量である。

【 0073 】

次に上記構成の出力バッファ 40 の動作について説明する。ノード A 1、A 2 にはそれぞれ内部電位 V_1' 、 V_1 が印加されており MOS トランジスタ 42、43 はオン状態にある。一方、入力ノード IN には " High " または " Low " レベルのスイッチング信号が入力され、このスイッチング信号によって出力バッファの出力レベルが制御される。具体的には、入力ノード IN への入力レベルが " Low " (V_{SS} レベル) の時は、MOS トランジスタ 41 がオン状態、MOS トランジスタ 44 はオフ状態になり、ノード OUT の出力レベルは " High " となる。一方、入力ノード IN への入力レベルが " High " の時は、MOS トランジスタ 41 がオフ状態、MOS トランジスタ 44 がオン状態になり、出力ノード OUT の出力レベルは " Low " レベルとなる。

40

【 0074 】

第 1、第 3 の実施形態で説明したように、n チャンネル MOS トランジスタにより構成され

50

た出力バッファでは、出力ノードOUTの出力レベルが“High”から“Low”に反転する際に、MOSトランジスタのミラー容量によるカップリングでのゲート電位の変化が問題となり、pチャネルMOSトランジスタにより構成された出力バッファでは、出力ノードOUTの出力レベルが“Low”から“High”に反転する際に、MOSトランジスタのミラー容量によるカップリングが問題となる。

【0075】

上記第4の実施形態によれば、出力ノードOUTの出力レベルが“High”から“Low”に反転する際の、MOSトランジスタ43のミラー容量48によるカップリングでのMOSトランジスタ43のゲート電位(ノードA2)の変化を、容量素子46によるカップリングで相殺している。他方、出力ノードOUTの出力レベルが“Low”から“High”に反転する際の、MOSトランジスタ42のミラー容量47によるカップリングでのMOSトランジスタ42のゲート電位(ノードA1)の変化を、容量素子45によるカップリングで相殺している。

10

【0076】

そのため、出力ノードOUTの出力レベルが“High”であっても“Low”であっても、それぞれの出力レベルにおける出力ノードOUTのそれぞれの電位を常時ほぼ一定とすること出来る。

【0077】

なお、本実施形態の回路は、ノードA1、A2にそれぞれクロック信号及び反転クロック信号を入力することでクロックド・インバータを構成できる。本クロックド・インバータを高周波のクロックで駆動させた場合でも、出力ノードOUTの出力レベルに応じた出力電位及び出力タイミングを毎回一定に保持することが出来る。

20

【0078】

次に、この発明の第5の実施形態に係る半導体集積回路について図8を用いて説明する。図8は出力バッファを複数備えた半導体集積回路の回路図である。

【0079】

図示するように半導体集積回路は、7つのバッファ回路51-1~7を有しており、それぞれの出力ノードOUTが共通に接続されている。

【0080】

バッファ回路51-1~7はそれぞれ、ゲートがノードA1~7にそれぞれ接続され、ドレインが出力ノードOUTに共通に接続されたnチャネルMOSトランジスタ52-1~7と、ゲートが入力ノードINに共通に接続され、ドレインがMOSトランジスタ52-1~7のソースにそれぞれ接続され、ソースが接地されたnチャネルMOSトランジスタ53-1~7と、ノードA1~7と入力ノードINとの間にそれぞれ接続された容量素子54-1~7とを備えている。

30

【0081】

そして、出力ノードOUTは負荷素子56を介して電源電位V2に接続されている。なお、容量55-1~7はそれぞれ、MOSトランジスタ52-1~7のゲート・ソース間に寄生的に生成されるミラー容量である。

【0082】

また、上記MOSトランジスタ52-1~7及び53-1~7のそれぞれのゲート幅W1~W14は、 $W2 = W1 \times 2$ 、 $W3 = W2 \times 2$ 、 $W4 = W3 \times 2$ 、 $W5 = W4 \times 2$ 、 $W6 = W5 \times 2$ 、 $W7 = W6 \times 2$ 、 $W8 = W7 \times 2$ 、 $W9 = W8 \times 2$ 、 $W10 = W9 \times 2$ 、 $W11 = W10 \times 2$ 、 $W12 = W11 \times 2$ 、 $W13 = W12 \times 2$ 、 $W14 = W13 \times 2$ という関係にある。

40

【0083】

次に、上記半導体集積回路50の動作について説明する。ノードA1~7の全て若しくはいずれかに内部電位V1を印加し、入力ノードINに“High”または“Low”レベルのスイッチング信号を与えることで出力ノードOUTの出力レベルを制御している。ここで、上記の通り、MOSトランジスタ52-1~7のゲート幅がそれぞれ異なっている。その

50

ため、ノードA1～7のうち、内部電位V1を印加するノードを選択することで、出力ノードOUTから接地電位へ流れる電流量を2進数的に制御することが出来る。

【0084】

通常、MOSトランジスタに流れる電流量は、同じゲート電位を印加しても、温度等の様々な要因によって変動する。しかし、図8に示したような回路を構成すれば、ノードA1～7のうちで内部電位V1を印加するノードを選択することにより、常時一定の電流量を維持することが出来る。

【0085】

上記半導体集積回路においても、ノードA1～7と入力ノードINとの間に容量素子54-1～7をそれぞれ設けている。この容量素子54-1～7によって、出力ノードOUTが“High”レベルから“Low”レベルに変化する際の、ミラー容量55-1～7によるカップリングの影響を相殺することが出来、出力ノードOUTの出力レベル及び出力タイミングを毎回一定に保持できる。

10

【0086】

なお上記実施形態では、ノードA1～7と入力ノードINとの間の全てに容量素子54-1～7を設けているが、これらは必ずしも全て必要となるものではない。この容量は、ゲート幅が大きく、特に電流供給量の大きなMOSトランジスタのゲートに接続されるノードに設けられていれば十分な効果を得ることが出来る。

【0087】

また、各出力バッファ51-1～7において、MOSトランジスタ52-1～7とMOSトランジスタ53-1～7との接続ノードをそれぞれノードC1～7とすると、これらのノードC1～7のいずれかの組み合わせ乃至は全てが共通に接続されていてもかまわない。このノードC1～7を接続することにより、半導体集積回路50として流すことが出来る総電流量を、上記2進数的に限定せずに、さまざまなバリエーションを持たせることが可能である。

20

【0088】

上記第1乃至第5の実施形態で説明したように、本発明によれば、MOSトランジスタのゲートと、このMOSトランジスタのドレイン電位と相補な電位変化をするノードとの間に容量素子を設けている。MOSトランジスタのゲート・ドレイン間には通常ミラー容量が寄生的に形成されているため、そのカップリングによりドレイン電位の変化に伴ってゲート電位が変化する。しかし、このMOSトランジスタのドレイン電位と相補な電位変化をするノードとの間に設けた容量素子は、上記カップリングを相殺するように機能し、ミラー容量によるカップリングでのゲート電位の変化を非常に微少なものとすることが可能となる。そのため、出力レベル及び出力タイミングを常時一定とすることが出来る。また、本発明を実施するに当たっては、MOSトランジスタのゲートと、このMOSトランジスタのドレイン電位と相補な電位変化をするノードとの間に容量素子を設けるだけで良いため、レイアウト面積の増大を最小限に押さえることが出来る。

30

【0089】

なお、本実施形態を説明するにあたって用いた図面においては、出力ノードOUTに接続される負荷素子の例として抵抗素子を示している。しかし、負荷素子として用いられるものは抵抗素子のみに限られるものではないのはいうまでもない。

40

【0090】

ここで、ミラー容量によるカップリングを相殺するために設ける容量の一例について図9に示す。図示するように、容量はソース、ドレインが短絡された1個のMOSトランジスタ60によって構成することが出来る。そして容量値はトランジスタのサイズによって簡易に制御できる。

【0091】

また、上記実施形態で説明した出力バッファは半導体メモリを始め、高周波のクロックで動作する装置に広く応用することが可能である。

【0092】

50

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【 0 0 9 3 】

【発明の効果】

以上説明したように、この発明によれば、レイアウト面積の増大を最小限に抑えつつ、出力電位及び出力タイミングを毎回ほぼ一定とすることが出来る半導体集積回路を提供できる。

10

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態に係る出力バッファの回路図。

【図 2】この発明の第 1 の実施形態に係る出力バッファの各ノードの電位変化を示しており、(a) 図は入力ノード I N、(b) 図は出力ノード O U T、(c) 図はノード A 1 の波形図。

【図 3】この発明の第 2 の実施形態に係る出力バッファの回路図。

【図 4】この発明の第 2 の実施形態に係る出力バッファの各ノードの電位変化を示しており、(a) 図は入力ノード I N、(b) 図はインバータ出力、(c) 図は出力ノード O U T、(d) 図はノード A 1 の波形図。

20

【図 5】この発明の第 3 の実施形態に係る出力バッファの回路図。

【図 6】この発明の第 3 の実施形態に係る出力バッファの各ノードの電位変化を示しており、(a) 図は入力ノード I N、(b) 図は出力ノード O U T、(c) 図はノード A 1 の波形図。

【図 7】この発明の第 4 の実施形態に係る出力バッファの回路図。

【図 8】この発明の第 5 の実施形態に係る半導体集積回路の回路図。

【図 9】この発明の第 1 乃至第 5 の実施形態に係る半導体集積回路における容量素子の構成の一例を示す回路図。

【図 1 0】従来の出力バッファの回路図。

30

【図 1 1】従来の出力バッファの各ノードの電位変化を示しており、(a) 図は入力ノード I N、(b) 図は出力ノード O U T、(c) 図はノード A 1 の波形図。

【図 1 2】従来の出力バッファの出力ノードを、“ High ”、“ High ”、“ High ”、“ Low ”、“ High ”、“ Low ”、“ High ”と高速変化させた場合の各ノードの電位変化を示しており、(a) 図は入力ノード I N、(b) 図は出力ノード O U T、(c) 図はノード A 1 の波形図。

【図 1 3】従来の出力バッファにおいて、出力ノードが“ High ”から“ Low ”に変化する際のスルーレートを示す波形図。

【図 1 4】従来の半導体集積回路の回路図。

【図 1 5】従来の半導体集積回路の各ノードの電位変化を示しており、(a) 図は入力ノード I N、(b) 図は出力ノード O U T、(c) 図は共通ノード A の波形図。

40

【図 1 6】従来の半導体集積回路が含む 1 つの出力バッファのみ出力パターンを変えた場合の各ノードの電位変化を示しており、(a) 図は入力ノード I N 0、(b) 図は出力ノード O U T 0、(c) 図は入力ノード I N 1 ~ 7、(d) 図は出力ノード O U T 1 ~ 7、(e) 図は共通ノード A の波形図。

【図 1 7】従来の半導体集積回路において、出力バッファ 0 のみが“ Low ”レベルを出力する場合と、出力バッファ 1 ~ 7 が“ Low ”レベルを出力する場合のスルーレートを示す波形図。

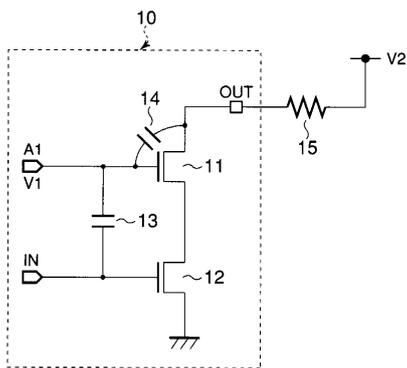
【符号の説明】

1 0、2 0、3 0、4 0、5 1 - 1 ~ 5 1 - 7、1 0 0 ... 出力バッファ

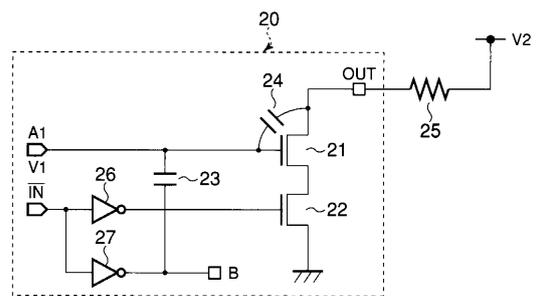
50

- 1 1、1 2、2 1、2 2、4 3、4 4、5 2 - 1 ~ 5 2 - 7、5 3 - 1 ~ 5 3 - 7、6 0
- 、1 1 0、1 2 0 ... nチャネルM O Sトランジスタ
- 1 3、2 3、3 3、4 5、4 6、5 4 - 1 ~ 5 4 - 7、1 3 0 ... 容量素子
- 1 4、2 4、3 4、4 7、4 8、5 5 - 1 ~ 5 5 - 7、1 4 0 ... ミラー容量
- 1 5、2 5、3 5、4 9、5 6、1 5 0、1 6 0 - 1 ~ 1 6 0 - 7 ... 負荷素子
- 2 6、2 7 ... インバータ
- 3 1、3 2、4 1、4 2 ... pチャネルM O Sトランジスタ
- 5 0 ... 半導体集積回路
- 6 0 ... 容量素子を構成するM O Sトランジスタ

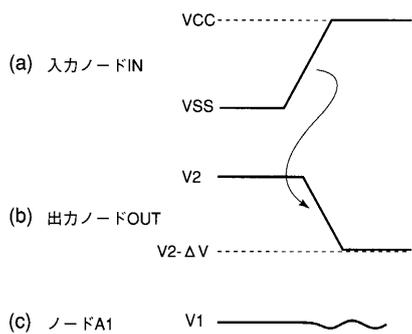
【 図 1 】



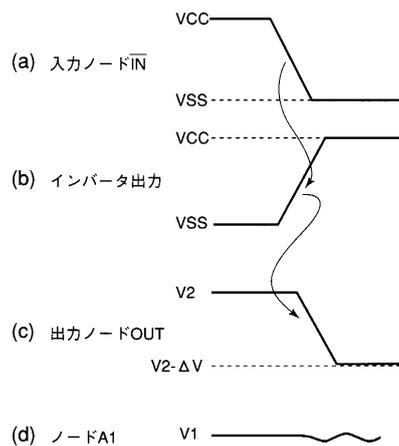
【 図 3 】



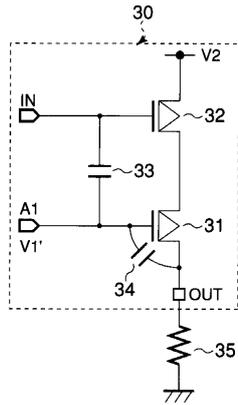
【 図 2 】



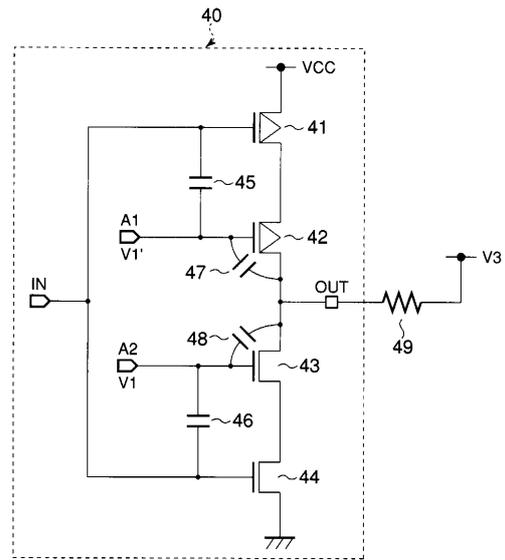
【 図 4 】



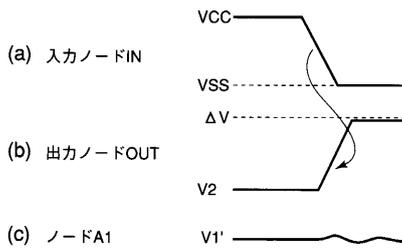
【 図 5 】



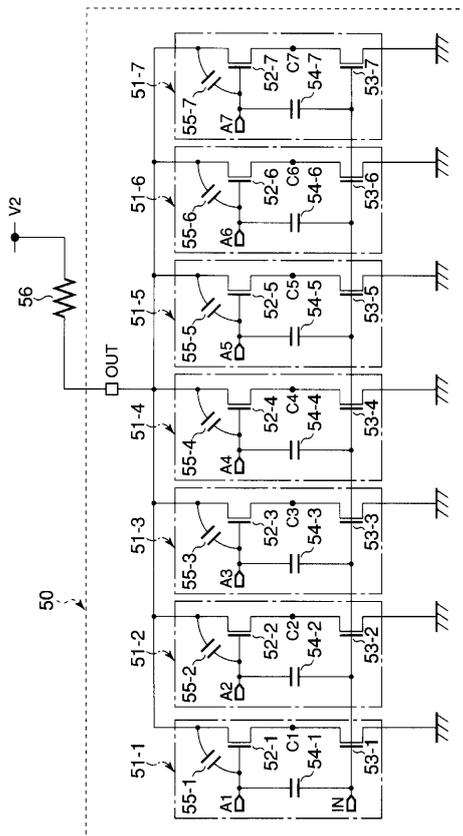
【 図 7 】



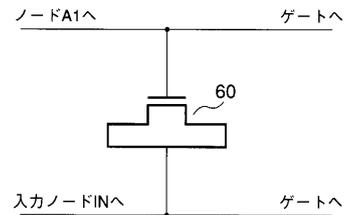
【 図 6 】



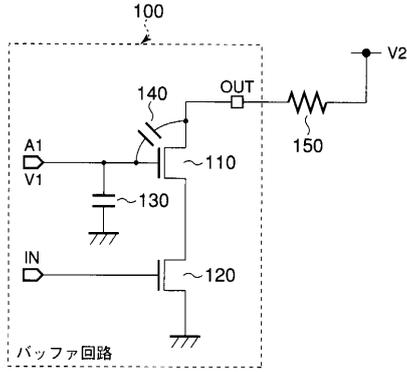
【 図 8 】



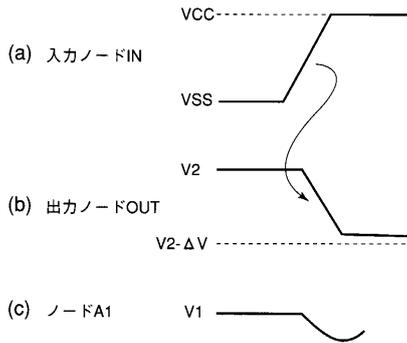
【 図 9 】



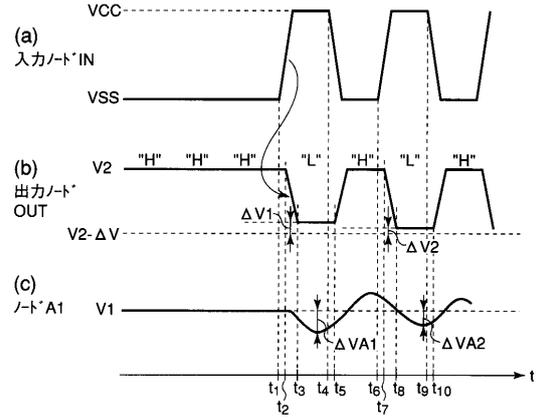
【 図 1 0 】



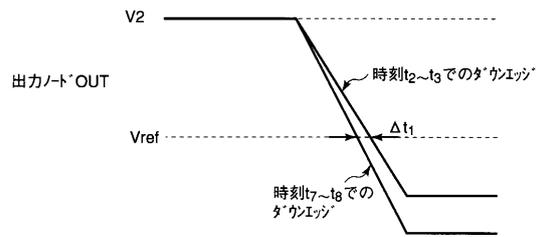
【 図 1 1 】



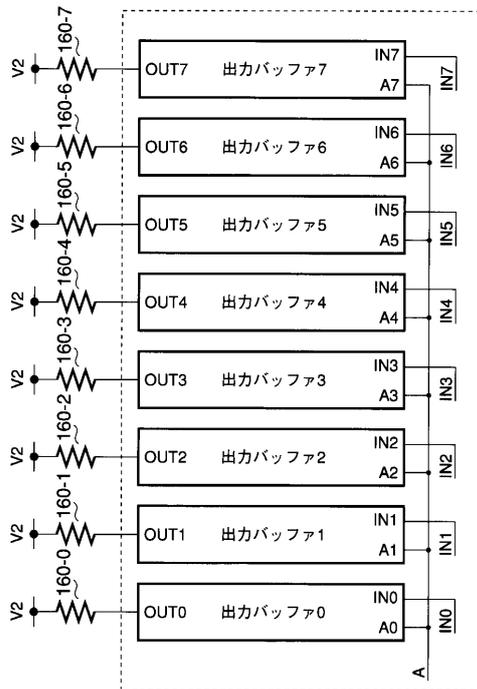
【 図 1 2 】



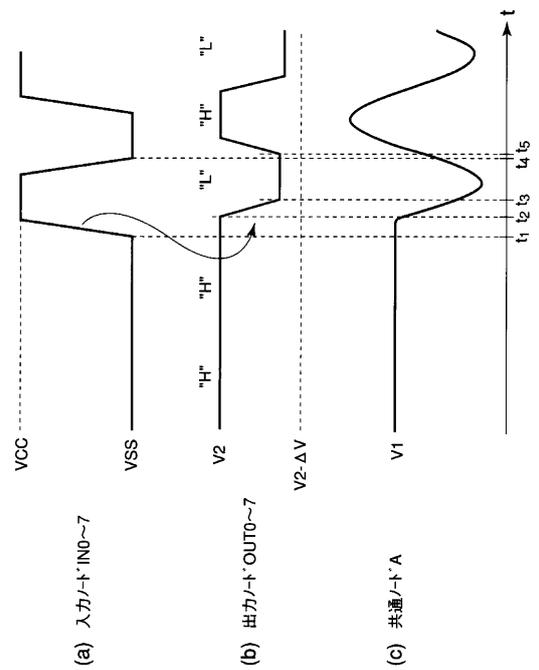
【 図 1 3 】



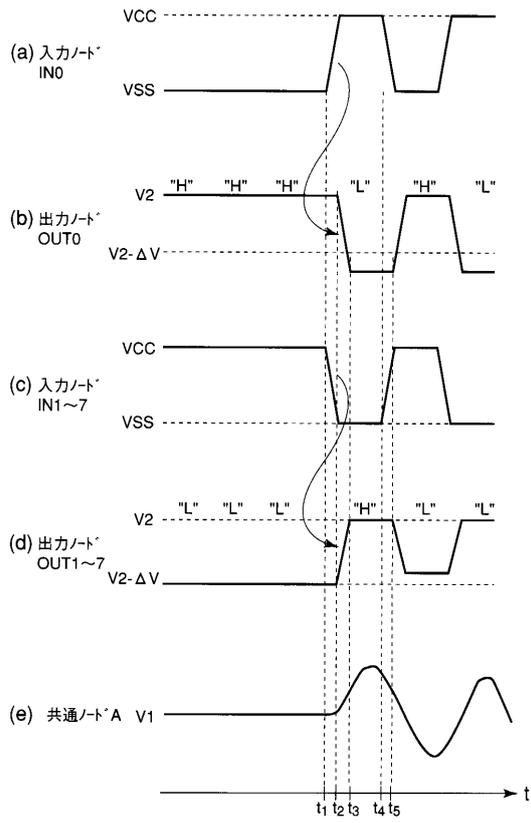
【 図 1 4 】



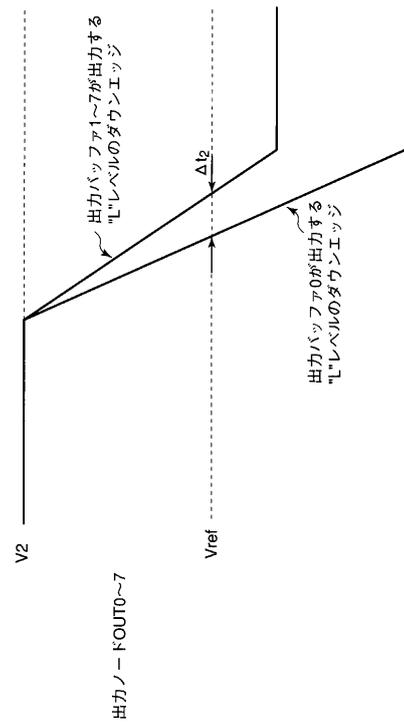
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

- (74)代理人 100070437
弁理士 河井 将次
- (72)発明者 鬼澤 忠
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 串山 夏樹
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 小柳 勝
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 松寺 克樹
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 石井 研一

- (56)参考文献 特開平02-101816(JP,A)
特開2002-009608(JP,A)
特開平09-036728(JP,A)
特開平08-130459(JP,A)
特開平05-343974(JP,A)
特開昭63-136715(JP,A)
国際公開第00/057554(WO,A1)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03K 19/0175
G11C 11/407