



(12)发明专利

(10)授权公告号 CN 106056033 B

(45)授权公告日 2019.07.05

(21)申请号 201610145200.5

(51)Int.Cl.

(22)申请日 2016.03.15

G06K 9/00(2006.01)

(65)同一申请的已公布的文献号

审查员 曹青

申请公布号 CN 106056033 A

(43)申请公布日 2016.10.26

(30)优先权数据

104111876 2015.04.14 TW

104133458 2015.10.13 TW

(73)专利权人 李美燕

地址 中国台湾新竹市建中一路29号10楼之

1

(72)发明人 吴宪明

(74)专利代理机构 北京北新智诚知识产权代理有限公司 11100

代理人 倪中翔 王淳

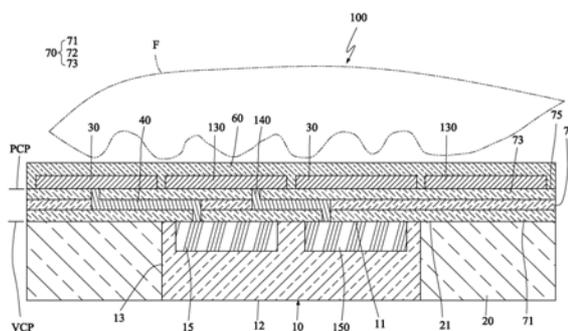
权利要求书3页 说明书9页 附图14页

(54)发明名称

复合基板感测装置及其制造方法

(57)摘要

一种复合基板感测装置及其制造方法,该复合基板感测装置包括:第一基板感测芯片,具有上表面、下表面、侧面及扫描与接收电路元;第二基板,连接至第一基板感测芯片;绝缘层组,包括多个绝缘层,位于一个虚拟共平面上的第二基板及第一基板感测芯片的上表面上;扫描与接收电极元,位于实体共平面上的绝缘层组的上表面,虚拟共平面实质上平行于实体共平面;以及扫描与接收导线,部分或全部形成于绝缘层组中,分别将这些扫描与接收电极元电连接至这些扫描与接收电路元,使接收电路元通过接收电极元及接收导线感测靠近物体的电场变化。上述感测装置的制造方法也一并提供。



1. 一种复合基板感测装置,其特征在于,它包括:

一第一基板感测芯片,具有一上表面、一下表面、连接至所述上表面及所述下表面的多个侧面及位于所述上表面下方的多个扫描电路元及多个接收电路元;

一第二基板,连接至所述第一基板感测芯片的所述的多个侧面的其中一个或多个;

一绝缘层组,包括多个绝缘层,位于所述第二基板的一上表面及所述第一基板感测芯片的所述上表面上,所述第二基板的所述上表面与所述第一基板感测芯片的所述上表面位于一个虚拟共平面上;

多个扫描电极元及多个接收电极元,位于所述绝缘层组的一上表面,所述绝缘层组的所述上表面位于一个实体共平面上,所述虚拟共平面平行于所述实体共平面;以及

多条扫描导线及多条接收导线,部分或全部形成于所述绝缘层组中,各所述扫描导线将所述的多个扫描电极元的其中一列电连接至所述的多个扫描电路元的对应的其中一个,各所述接收导线将所述的多个接收电极元的其中一行电连接至所述的多个接收电路元的对应的其中一个,所述的多个扫描电路元发出一个或多个扫描信号至所述的多个扫描电极元,使所述的多个接收电路元通过所述的多个接收电极元及所述的多个接收导线感测一靠近物体的电场变化。

2. 如权利要求1所述的复合基板感测装置,其特征在于,还包括:

一第二基板感测芯片,具有一上表面、一下表面、多个连接至所述上表面及所述下表面的侧面及位于所述第二基板感测芯片的所述上表面的下方的多个第二扫描电路元及多个第二接收电路元,所述第二基板连接所述第二基板感测芯片的所述的多个侧面的其中一个或多个,所述绝缘层组位于所述第二基板的所述上表面、所述第一基板感测芯片的所述上表面及所述第二基板感测芯片的所述上表面上;

多个第二扫描电极元及多个第二接收电极元,位于所述绝缘层组的所述上表面及所述第二基板感测芯片的所述上表面上;以及

多条第二扫描导线及多条第二接收导线,部分或全部形成于所述绝缘层组中,各所述第二扫描导线将所述的多个第二扫描电极元的其中一列电连接至所述的多个第二扫描电路元的对应的其中一个,各所述第二接收导线将所述的多个第二接收电极元的其中一行电连接至所述的多个第二接收电路元的对应的其中一个,所述的多个第二扫描电路元发出一个或多个第二扫描信号至所述的多个第二扫描电极元,使所述的多个第二接收电路元通过所述的多个第二接收电极元及所述的多个第二接收导线,配合所述接收电路元来感测所述靠近物体的电场变化。

3. 如权利要求1所述的复合基板感测装置,其特征在于,所述绝缘层组包括三个绝缘层。

4. 如权利要求1所述的复合基板感测装置,其特征在于,所述的多个扫描电路元排列成一个一维的第一阵列,所述的多个扫描电极元及所述的多个接收电极元排列成一个二维的第二阵列。

5. 如权利要求1所述的复合基板感测装置,其特征在于,还包括一装置保护层,位于所述绝缘层组及所述的多个扫描电极元及所述的多个接收电极元上,所述装置保护层直接或间接与所述物体接触。

6. 如权利要求1所述的复合基板感测装置,其特征在于,所述的多个扫描电极元及所述

的多个接收电极元分布于所述第一基板感测芯片与所述第二基板的上方,以使所述第一基板感测芯片的面积最小化,而没有牺牲所述复合基板感测装置的一物理感测面积。

7.如权利要求1所述的复合基板感测装置,其特征在于,还包括一分隔导电层,设置于所述的多个接收电极元与所述的多个接收电路元之间,并耦接至一固定电位,用于遮蔽所述的多个接收电极元与所述的多个接收电路元免于互相干扰。

8.如权利要求1所述的复合基板感测装置,其特征在于,所述第二基板包围所述第一基板感测芯片的所述的多个侧面。

9.如权利要求1所述的复合基板感测装置,其特征在于,所述第二基板与所述第一基板感测芯片的所述的多个侧面的其中一个直接接触。

10.如权利要求1所述的复合基板感测装置,其特征在于,相邻的两个扫描电极元与相邻的两个接收电极元组成一个感测单元,所述感测单元的尺寸介于20至100微米之间。

11.一种复合基板感测装置的制造方法,其特征在于,包括以下步骤:

(a)提供一第一基板感测芯片,所述第一基板感测芯片具有一上表面、一下表面、连接至所述上表面及所述下表面的多个侧面及位于所述上表面下方的多个扫描电路元及多个接收电路元;

(b)提供一第二基板,连接至所述第一基板感测芯片的所述的多个侧面的其中一个或多个;

(c)在所述第二基板的一上表面及所述第一基板感测芯片的所述上表面上方形成一个包括多个绝缘层的绝缘层组以及部分或全部位于所述绝缘层组中的多条扫描导线及多条接收导线;以及

(d)在所述绝缘层组的一上表面形成多个扫描电极元及多个接收电极元,各所述扫描导线将所述的多个扫描电极元的其中一列电连接至所述的多个扫描电路元的对应的其中一个,各所述接收导线将所述的多个接收电极元的其中一行电连接至所述的多个接收电路元的对应的其中一个,所述的多个扫描电路元发出一个或多个扫描信号至所述的多个扫描电极元,使所述的多个接收电路元通过所述的多个接收电极元及所述的多个接收导线感测一靠近物体的电场变化。

12.如权利要求11所述的制造方法,其特征在于,所述步骤(b)包括:

(b1)灌注所述第二基板包围所述第一基板感测芯片的所述的多个侧面、所述上表面及所述下表面;以及

(b2)执行回磨以移除位于所述第一基板感测芯片的所述上表面上方的所述第二基板。

13.如权利要求12所述的制造方法,其特征在于,所述步骤(b)被执行,以移除位于所述第一基板感测芯片的一芯片保护层,直到露出所述的多个接收电路元的传输电极为止。

14.如权利要求11所述的制造方法,其特征在于,还包括以下步骤:

(e)在所述绝缘层组、所述的多个扫描电极元及所述的多个接收电极元上形成一装置保护层,所述装置保护层与所述物体直接或间接接触。

15.如权利要求11所述的制造方法,其特征在于,所述步骤(b)包括:

在所述第二基板形成一凹槽;以及

将所述第一基板感测芯片置入于所述凹槽中。

16.如权利要求11所述的制造方法,其特征在于,所述步骤(b)包括:

(b1) 灌注所述第二基板连接至所述第一基板感测芯片的所述的多个侧面的其中一个、所述上表面及所述下表面;以及

(b2) 执行回磨以移除位于所述第一基板感测芯片的所述上表面上方的所述第二基板。

17. 如权利要求11所述的制造方法,其特征在于,相邻的两个扫描电极元与相邻的两个接收电极元组成一个感测单元,所述感测单元的尺寸介于20至100微米之间。

复合基板感测装置及其制造方法

技术领域

[0001] 本发明涉及一种电场阵列感测装置及其制造方法,且特别涉及一种复合基板感测装置及其制造方法。

背景技术

[0002] 传统的非光学式阵列感测装置,譬如电场/电容、热感应、压力感应等例如应用于指纹感测装置,因为必须对手指的纹路进行感测动作,所以其感测面积需要维持与手指接触的必需面积,才能得到足够的感测准确度。以电场/电容式的指纹传感器为例,其具有多个排列成阵列的感测元,这些感测元所占的面积与手指的面积是一比一地对应。例如具有解析度500dpi的指纹传感器的设计,感测阵列中的感测元的节距(pitch)大约等于50微米(um),每一个感测元同时包括了一感测电极元及其下面所对应的感测电路元,其通常的制作方式是将二者整合于半导体集成电路(IC)制造工艺,例如互补式金属氧化物半导体(CMOS)制造工艺,通过制造工艺中的最上层金属(top metal)作为感测电极元,以定义出感测元的节距,同时使每个感测电极元下方成为所对应的感测电路元,以形成一种单石型(monolithic)的设计。然而这样的单石型设计,对于面积型的传感器(area sensor)而言,如果需要有多大的感测面积,就需要有多大的感测电极元阵列以及其所对应的感测电路元阵列,也就是说传统的电极元及电路元都是一对一对应的面积,要多大的感测面积就要多大的半导体芯片面积。例如,感测阵列具有100X 100个感测元,则会有约5mm X 5mm的感测电极元面积及其下方的5mm X 5mm的感测电路元面积,如果再加上周边的模拟及数字电路,则整个指纹传感器或芯片的面积将会相当大,使得成本相当高昂。

[0003] 因此,如何缩小感测电路元的面积,却仍保有等效大的感测面积,实为本案所欲解决的问题。

发明内容

[0004] 本发明的目的是提供一种能缩小扫描电路元的面积,却仍保有等效大的感测面积的感测装置及其制造方法。

[0005] 为实现上述目的,本发明采取以下技术方案:

[0006] 本发明提供一种复合基板感测装置,包括:一第一基板感测芯片,具有一上表面、一下表面、连接至上表面及下表面的多个侧面及位于上表面下方的多个扫描电路元及多个接收电路元;一第二基板,连接至第一基板感测芯片的这些侧面的其中一个或多个;一绝缘层组,包括多个绝缘层,位于第二基板的一上表面及第一基板感测芯片的上表面上,第二基板的上表面与第一基板感测芯片的上表面位于一个虚拟共平面上;多个扫描电极元及多个接收电极元,位于绝缘层组的一上表面,绝缘层组的上表面位于一个实体共平面上,虚拟共平面实质上平行于实体共平面;以及多条扫描导线及多条接收导线,部分或全部形成于绝缘层组中,各扫描导线将这些扫描电极元的其中一列电连接至这些扫描电路元的对应的其中一个,各接收导线将这些接收电极元的其中一行电连接至这些接收电路元的对应的其中

一个,这些扫描电路元发出一个或多个扫描信号至这些扫描电极元,使这些接收电路元通过这些接收电极元及这些接收导线感测一靠近物体的电场变化。

[0007] 所述的复合基板感测装置,还包括:

[0008] 一第二基板感测芯片,具有一上表面、一下表面、多个连接至所述上表面及所述下表面的侧面及位于所述第二基板感测芯片的所述上表面的下方的多个第二扫描电路元及多个第二接收电路元,所述第二基板连接所述第二基板感测芯片的所述的多个侧面的其中一个或多个,所述绝缘层组位于所述第二基板的所述上表面、所述第一基板感测芯片的所述上表面及所述第二基板感测芯片的所述上表面上;

[0009] 多个第二扫描电极元及多个第二接收电极元,位于所述绝缘层组的所述上表面及所述第二基板感测芯片的所述上表面上;以及

[0010] 多条第二扫描导线及多条第二接收导线,部分或全部形成于所述绝缘层组中,各所述第二扫描导线将所述的多个第二扫描电极元的其中一列电连接至所述的多个第二扫描电路元的对应的其中一个,各所述第二接收导线将所述的多个第二接收电极元的其中一行电连接至所述的多个第二接收电路元的对应的其中一个,所述的多个第二扫描电路元发出一个或多个第二扫描信号至所述的多个第二扫描电极元,使所述的多个第二接收电路元通过所述的多个第二接收电极元及所述的多个第二接收导线,配合所述接收电路元来感测所述靠近物体的电场变化。

[0011] 所述绝缘层组包括三个绝缘层。

[0012] 所述的多个扫描电路元排列成一个一维的第一阵列,所述的多个扫描电极元及所述的多个接收电极元排列成一个二维的第二阵列。

[0013] 所述的复合基板感测装置,还包括一装置保护层,位于所述绝缘层组及所述的多个扫描电极元及所述的多个接收电极元上,所述装置保护层直接或间接与所述物体接触。

[0014] 所述的多个扫描电极元及所述的多个接收电极元分布于所述第一基板感测芯片与所述第二基板的上方,以使所述第一基板感测芯片的面积最小化,而没有牺牲所述复合基板感测装置的一物理感测面积。

[0015] 所述的复合基板感测装置,还包括一分隔导电层,设置于所述的多个接收电极元与所述接收电路元之间,并耦接至一固定电位,用于遮蔽所述的多个接收电极元与所述的多个接收电路元免于互相干扰。

[0016] 所述第二基板包围所述第一基板感测芯片的所述的多个侧面。

[0017] 所述第二基板与所述第一基板感测芯片的所述的多个侧面的其中一个直接接触。

[0018] 相邻的两个扫描电极元与相邻的两个接收电极元组成一个感测单元,所述感测单元的尺寸介于20至100微米之间。

[0019] 本发明也提供一种复合基板感测装置的制造方法,包括以下步骤:(a)提供一第一基板感测芯片,第一基板感测芯片具有一上表面、一下表面、多个连接至上表面及下表面的多个侧面及多个位于上表面下方的多个扫描电路元及多个接收电路元;(b)提供一第二基板,包围连接至第一基板感测芯片的这些侧面的其中一个或多个;(c)在第二基板的一上表面及第一基板感测芯片的上表面上方形成一个包括多个绝缘层的绝缘层组以及部分或全部位于绝缘层组中的多条扫描导线及多条接收导线;以及(d)在绝缘层组的一上表面形成多个扫描电极元及多个接收电极元,各扫描导线将这些扫描电极元的其中一列电连接至这

些扫描电路元的对应的其中一个,各接收导线将这些接收电极元的其中一行电连接至这些接收电路元的对应的其中一个,这些扫描电路元发出一个或多个扫描信号至这些扫描电极元,这些扫描电极元通过这些导线电连接至这些扫描电路元,使这些接收电路元通过这些接收电极元及这些接收导线感测一靠近物体的电场变化。

[0020] 所述步骤(b)包括:

[0021] (b1) 灌注所述第二基板包围所述第一基板感测芯片的所述多个侧面、所述上表面及所述下表面;以及

[0022] (b2) 执行回磨以移除位于所述第一基板感测芯片的所述上表面上方的所述第二基板。

[0023] 所述步骤(b)被执行,以移除位于所述第一基板感测芯片的一芯片保护层,直到露出所述的多个接收电路元的传输电极为止。

[0024] 所述的制造方法,还包括以下步骤:

[0025] (e) 在所述绝缘层组、所述的多个扫描电极元及所述的多个接收电极元上形成一装置保护层,所述装置保护层与所述物体直接或间接接触。

[0026] 所述步骤(b)包括:

[0027] 在所述第二基板形成一凹槽;以及

[0028] 将所述第一基板感测芯片置入于所述凹槽中。

[0029] 所述步骤(b)包括:

[0030] (b1) 灌注所述第二基板连接至所述第一基板感测芯片的所述多个侧面的其中一个、所述上表面及所述下表面;以及

[0031] (b2) 执行回磨以移除位于所述第一基板感测芯片的所述上表面上方的所述第二基板。

[0032] 相邻的两个扫描电极元与相邻的两个接收电极元组成一个感测单元,所述感测单元的尺寸介于20至100微米之间。

[0033] 本发明的有益效果是:通过本发明的装置及方法,可以利用小面积的感测芯片制作出适合于感测手指指纹的复合基板感测装置。因此,可以降低指纹感测装置的制造成本。此外,利用侧向电场来感测指纹,接收电路元与扫描电路元的总数远少于接收电极元与扫描电极元的总数,故可以有效降低第一基板感测芯片的体积,进而降低成本。

[0034] 为了让本发明的上述内容能更明显易懂,下文特举较佳实施例,并配合所附附图,作详细说明如下。

附图说明

[0035] 图1显示依据本发明第一实施例的复合基板感测装置的剖面示意图。

[0036] 图2显示依据本发明第一实施例的连接示意图。

[0037] 图3显示依据本发明第一实施例的俯视示意图。

[0038] 图4显示依据本发明第一实施例的接收电路元的示意图。

[0039] 图5显示依据本发明第二实施例的前视示意图。

[0040] 图6显示依据本发明第三实施例的俯视示意图。

[0041] 图7A与图7B显示依据本发明第四实施例的两个例子的前视示意图。

[0042] 图8至图9显示第一实施例的制造方法的各步骤的剖面示意图。

[0043] 图10显示第一实施例的制造方法的另一例子的剖面示意图。

[0044] 图11A至图11G显示第一基板感测芯片与第二基板的各种配置的示意图。

[0045] 图12显示本发明的一个感测单元的尺寸的示意图。

[0046] 附图标号:F:手指;PCP:实体共平面;VCP:虚拟共平面;10:第一基板感测芯片;10A:芯片保护层;11:上表面;12:下表面;13:侧面;15:扫描电路元;20:第二基板/模塑料层;20C:凹槽;21:上表面;30:扫描电极元;32:感测单元;35:第二扫描电极元;40:扫描导线;45:第二扫描导线;50:第二基板感测芯片;51:上表面;52:下表面;53:侧面;55:第二扫描电路元;60:装置保护层;70:绝缘层组;71、72、73:绝缘层;75:上表面;80:分隔导电层;90:电场发射元;92:信号源;95:覆盖板;100:复合基板感测装置;130:接收电极元;140:接收导线;150:接收电路元;150A:传输电极;150B:接收电路元实体部分;350:第二接收电极元;450:第二接收导线;550:第二接收电路元。

具体实施方式

[0047] 本发明的实施例利用埋植感测芯片(可以视为第一基板)于一第二基板中或将感测芯片连接至第二基板的一侧,所述第二基板在本实施例中可以为一种模塑料,而结合成组合体后(所述组合体可以称之为复合基板),对组合体进行布线及电极的形成,以形成复合基板式电场阵列感测装置,其可以例如应用于指纹感测装置及任何感测靠近物体的电场变化(特别是侧向电场变化)的装置。在本发明中,所述第二基板可以不限于模塑料,也可以是任意的基板,例如半导体硅基板及绝缘特性的基板,例如玻璃基板等等。如此一来,感测芯片与扫描电极元是在不同的制造工艺中形成。在不改变扫描电极元阵列的尺寸的情况下,感测芯片可以有效被缩小,藉此可以降低生产成本。再者,多个感测芯片可以通过本发明实施例的技术被整合在一起,以符合各种不同的需求。

[0048] 图1显示依据本发明第一实施例的复合基板感测装置100的剖面示意图。图2显示依据本发明第一实施例的连接示意图。图3显示依据本发明第一实施例的俯视示意图。值得注意的是,图1仅为示意显示结构的连接关系,但并未完全对应于图2与图3,此外,图3并未绘制出扫描导线及接收导线。

[0049] 如图1至图3所示,本实施例的复合基板感测装置100包括一第一基板感测芯片10、一第二基板(模塑料层)20、一绝缘层组70、多个扫描电极元30、多个接收电极元130以及多条扫描导线40及多条接收导线140。

[0050] 第一基板感测芯片10具有一上表面11、一下表面12、连接至上表面11及下表面12的多个侧面13及位于上表面11下方的多个扫描电路元15及多个接收电路元150。这些扫描电路元15可以由一个扫描电路配合多个开关单元所组成,也可以是彼此独立的扫描电路。这些接收电路元150可以是一个接收电路配合多个开关单元所组成,也可以是彼此独立的接收电路。

[0051] 第一基板感测芯片10是被埋植于所述第二基板20中而彼此成为一共平面的设计,此举可以完全节省完成后装置的厚度(完全相同于已知技术利用硅基板完成感测元阵列的设计),这一点对于应用于例如手机等产品是非常重要的,在此所述第二基板20为一模塑料层20,包围第一基板感测芯片10的这些侧面13。绝缘层组70包括多个绝缘层(譬如绝缘层

71、72、73),位于模塑料层20的一上表面21及第一基板感测芯片10的上表面11上,模塑料层20的上表面21与第一基板感测芯片10的上表面11位于一个虚拟共平面VCP上。在另一实施例中,第二基板连接至第一基板感测芯片的其中一个侧面,譬如将图1的第一基板感测芯片10往左边或右边移动到左边界或右边界,只要第一基板感测芯片的右侧面或左侧面可以连接至模塑料层20即可。亦即,第二基板与第一基板感测芯片的其中一个侧面可以直接接触即可。

[0052] 多个扫描电极元30及多个接收电极元130是位于绝缘层组70的一上表面75并且垂直水平交错配置,绝缘层组70的上表面75位于一个实体共平面PCP上,虚拟共平面VCP实质上平行于实体共平面PCP,并与实体共平面PCP隔开一段距离,此段距离是绝缘层组70的垂直距离。在本实施例中,这些扫描电极元30与接收电极元130均匀(homogeneous)分布于第一基板感测芯片10与第二基板20的上方,以使第一基板感测芯片10的面积最小化,而没有牺牲复合基板感测装置100的一物理感测面积(外露成与手指接触的面积)。在另一实施例中,这些扫描电极元30及这些接收电极元130是不均匀(heterogeneous)分布于第一基板感测芯片10与第二基板20的上方。在又另一实施例中,这些扫描电极元30与这些接收电极元130仅位于第二基板20的上方,而没有在第一基板感测芯片10的正上方。

[0053] 多条扫描导线40与多条接收导线140是部分或全部形成于绝缘层组70中(因为某些扫描导线40与某些接收导线140可以形成于绝缘层组70的上面或下面),各扫描导线40将这些扫描电极元30的其中一列电连接至这些扫描电路元15的对应的其中一个(譬如一扫描导线40将上方的一个扫描电路元15电连接至上方的一个扫描电极元30)。各接收导线140将这些接收电极元130的其中一行电连接至这些接收电路元150的对应的其中一个(譬如一接收导线140将上方的一个接收电路元150电连接至左方的一个接收电极元130)。这些扫描电路元15发出一个或多个扫描信号至这些扫描电极元30,使这些接收电路元150通过这些接收电极元130及这些接收导线140感测一靠近物体的电场变化。在本实施例中是以感测一手指F的指纹作为非限制例子作说明,因为通过电场变化可以计算出手指F的纹峰或纹谷对与此扫描电极元邻近的接收电极元的干扰,藉此可获得手指F的纹峰或纹谷之间的差异信息。在本实施例中,一系列的扫描电极元30彼此电连接在一起,且一行的接收电极元130彼此电连接在一起。

[0054] 在本实施例中,多个扫描电路元15组成一扫描电路元阵列,扫描电路元15及扫描电极元30的数目是一对多地对应。在其他实施例中,一个扫描电路元15可以对应于多条扫描导线40及多个扫描电极元30,使得扫描电路元15的数量及第一基板感测芯片的面积可以更加缩小;或一个扫描电路元15可以对应于多条扫描导线及一个扫描电极元,避免失效的导线影响到产品的良率。此外,多个接收电路元150组成一接收电路元阵列。接收电路元150及接收电极元130的数目是一对多地对应。在其他实施例中,一个接收电路元150可以对应于多条接收导线140及多个接收电极元130,使得接收电路元150的数量及第一基板感测芯片的面积可以更加缩小;或一个接收电路元150可以对应于多条接收导线及一个接收电极元,避免失效的导线影响到产品的良率。此外,多个扫描电极元30与多个接收电极元130组成一扫描接收电极元阵列。至此,本发明另一重要特色为,仅需要用一维线性(linear)接收电路元150,便可以设计出一种二维感测阵列元件,这是从未被提出的。当然本实施例图2的几何安排只是为了加以说明本发明的特色,而不是用于限定本发明仅能适用于此一线路布

局安排。

[0055] 此外,复合基板感测装置100可以还包括一装置保护层60,位于绝缘层组70及这些扫描电极元30与这些接收电极元130上,装置保护层60与手指F直接或间接接触,可以保护扫描电极元30及接收电极元130,所述保护层可以是单一材料或者复合层材料的组成。由于第一基板感测芯片10与模塑料层20当作两个基板,所以将本实施例称为复合基板感测装置100。扫描电极元30、接收电极元130、扫描导线40与接收导线140都是位于第一基板感测芯片10与模塑料层20上方,亦即,将扫描电极元30、接收电极元130、扫描导线40、接收导线140、扫描电路元15与接收电路元150正投影于虚拟共平面VCP或实体共平面PCP时,扫描导线40的涵盖范围涵盖了扫描电路元15的涵盖范围,以及/或扫描电极元30的涵盖范围涵盖了扫描电路元15的涵盖范围,以及/或接收导线140的涵盖范围涵盖了接收电路元150的涵盖范围,以及/或接收电极元130的涵盖范围涵盖了接收电路元150的涵盖范围。

[0056] 图4显示依据本发明第一实施例的接收电路元150的示意图。如图4所示,接收电路元150包括一传输电极150A及一个电连接至传输电极150A的接收电路元实体部分150B,传输电极150A与接收导线140电连接,当作一个信号传输使用。传输电极150A与接收导线140电连接,当作一个信号传输使用。在一例子中,接收电路元实体部分150B可以包括部分或全部的前端感测电路、模拟数字转换电路、增益放大电路、运算放大器等电路。值得注意的是,接收电路元150在尚未与第二基板(模塑料层)20结合时,传输电极150A的上面可以覆盖有一芯片保护层10A,因为可以在同一片晶片上制作出多个第一基板感测芯片10后进行切割及封装,因此,芯片保护层10A可以保护传输电极150A。

[0057] 再次参考图1,在本实施例中,绝缘层组70是由三个绝缘层所组成。在其他实施例中,绝缘层组70可以由四个或更多绝缘层所组成,这取决于导线布局的困难度。当扫描电路元15的水平方向的面积与扫描电极元30的水平方向的面积的比例越小时,所需的绝缘层的数目越多。

[0058] 如图2与图3所示,这些扫描电路元15排列成一个一维的第一阵列,这些扫描电极元30及这些接收电极元130排列成一个二维的第二阵列,所述第二阵列具有互相垂直的X轴及Y轴。亦即,扫描导线40与接收导线140是从扫描电路元15到扫描电极元30是作一维或二维的外扩。

[0059] 图5显示依据本发明第二实施例的前视示意图。如图5所示,本实施例的复合基板感测装置100类似于第一实施例,不同之处在于还包括一第二基板感测芯片50、多个第二扫描电极元35及多个第二接收电极元350、多条第二扫描导线45以及多条第二接收导线450。

[0060] 第二基板感测芯片50具有一上表面51、一下表面52、多个连接至上表面51及下表面52的侧面53及位于所述第二基板感测芯片50的上表面11的下方的多个第二扫描电路元55及多个第二接收电路元550,模塑料层20连接所述第二基板感测芯片50的这些侧面53的其中一个或多个(在本实施例中是包围所述第二基板感测芯片50的这些侧面53,且此处的连接譬如直接连接),绝缘层组70位于模塑料层20的上表面21、第一基板感测芯片10的上表面11及所述第二基板感测芯片50的上表面51上。多个第二扫描电极元35及多个第二接收电极元350位于绝缘层组70的上表面75及所述第二基板感测芯片50的上表面11上。多条第二扫描导线45及多条第二接收导线450是部分或全部形成于绝缘层组70中,各第二扫描导线45将这些第二扫描电极元35的其中一列电连接至这些第二扫描电路元55的对应的其中

一个,各第二接收导线450将这些第二接收电极元350的其中一行电连接至这些第二接收电路元550的对应的其中一个,这些第二扫描电路元55发出一个或多个第二扫描信号至这些第二扫描电极元35,使这些第二接收电路元550通过这些第二接收电极元350及这些第二接收导线450,配合接收电路元150来感测手指F的指纹。

[0061] 在本实施例中,第二基板感测芯片50与第一基板感测芯片10可以具有相同功能、尺寸,并且所述第二基板感测芯片50与第一基板感测芯片10实际上是电连接的(图中未式),例如通过电源供应或者同步的时脉(clock)来电连接,并且也可以将其中一者的数据传输到另一者,再由另一者将合并的数据传送到外界,种种不同的设计可以视为是独立芯片间的系统设计及数据传输,然而本发明的最大特色却是藉此以最少的芯片面积,整合出最大的物理感测面积。如此一来,感测芯片可以被大量生产,当作标准的感测芯片使用,当设计者需要多个感测芯片以完成复合基板感测装置时,可以使用多个感测芯片。在其他实施例中,第二基板感测芯片50与第一基板感测芯片10可以具有不同功能、尺寸,当作两个标准元件,由设计者选用。值得注意的是,在第二基板感测芯片50与第一基板感测芯片10中,不一定所有扫描电路元都需要连接至扫描电极元,不一定所有接收电路元都需要连接至接收电极元,以符合设计者的需求。

[0062] 图6显示依据本发明第三实施例的俯视示意图。如图6所示,本实施例类似于第一实施例,不同之处在于导线40是从扫描电路元15到扫描电极元30是作一维的外扩,也就是仅沿着X轴方向外扩。这样的好处是可以将第一基板感测芯片10制作成长条形,且仅作一维的外扩的布线会有简便的效果。综合图4及图6,本发明具有的另一特征为所述电极感测元是依设计被分布于所述第一及所述第二基板上方,以得到最小的感测芯片以及最小的感测装置的几何面积,却没有牺牲物理感测面积。当然本实施例的精神也可以包括所述扫描电极元仅位于所述第二基板上方。

[0063] 图7A与图7B显示依据本发明第四实施例的两个例子的前视示意图。如图7A所示,本实施例类似于第二实施例,不同之处在于复合基板感测装置还包括两个分隔导电层80,设置于接收电极元130与接收电路元150之间,并耦接至一固定电位(例如可以是5V,3.3V或接地电位),用于遮蔽接收电极元130与接收电路元150免于互相干扰。分隔导电层80处于同一平面。值得注意的是,分隔导电层80与导线40、140、45及145并无电连接,且只要有一个分隔导电层80即可达成遮蔽的效果。如图7B中所示,此例子类似于图7A,不同之处在于分隔导电层80是分别位于两个不同平面,且在正投影于水平面时可以是部分重叠或完全不重叠。

[0064] 图8至图9显示第一实施例的制造方法的各步骤的剖面示意图。复合基板感测装置100的制造方法包括以下步骤。首先,如图8所示,提供第一基板感测芯片10,第一基板感测芯片10具有上表面11、下表面12、连接至上表面11及下表面12的多个侧面13及位于上表面11下方的多个扫描电路元15及多个接收电路元150。第一基板感测芯片10譬如是由硅晶片通过半导体制造工艺来制作完成。第一基板感测芯片10上面可以具有所述芯片保护层10A,当然于其他例子中也可以没有芯片保护层10A。

[0065] 然后,提供模塑料层20,包围第一基板感测芯片10的这些侧面13或连接至这些侧面13的一个或多个。模塑料层20也覆盖住第一基板感测芯片10以及芯片保护层10A。细节说明如下。首先,将第一基板感测芯片10放入一个模具(未显示)中,灌注模塑料层20包围第一基板感测芯片10的这些侧面13、上表面11及下表面12,如图8所示。然后,执行回磨以移除位

于第一基板感测芯片10的上表面11上方的模塑料层20,露出扫描电路元15及接收电路元150,特别是露出接收电路元150的传输电极150A,如图9与图4所示。亦即执行回磨步骤以移除位于第一基板感测芯片10的芯片保护层10A,直到露出接收电路元150的传输电极150A为止。当然所述移除动作也可以停止于芯片保护层10A,传输电极150A可以通过一般的光刻技术予以裸露。

[0066] 值得注意的是,在另一实施例中,可以提供模塑料层20使其连接至这些侧面13的一个或多个,可以通过灌注第二基板20连接至第一基板感测芯片10的其中一个侧面13、上表面11及下表面,然后执行回磨以移除位于第一基板感测芯片10的上表面11上方的第二基板20。

[0067] 接着,如图1所示,在模塑料层20的上表面21及第一基板感测芯片10的上表面11上方形成一个包括多个绝缘层71、72、73的绝缘层组70以及部分或全部位于绝缘层组70中的多条扫描导线40及多条接收导线140。导线40及绝缘层71、72、73可以通过包括但不限于电镀、刻蚀、沉积等制造工艺来完成,特别是相容于半导体制造工艺的配线形成制造工艺。由于本领域具有通常知识者可以轻易理解到如何实施此种技术,故于此不再赘述。

[0068] 接着,如图1所示,在绝缘层组70的上表面75形成多个扫描电极元30及多个接收电极元130,各扫描导线40将这些扫描电极元30的其中一列电连接至这些扫描电路元15的对应的其中一个,各接收导线140将这些接收电极元130的其中一行电连接至这些接收电路元150的对应的其中一个,这些扫描电路元15发出一个或多个扫描信号至这些扫描电极元30。如此,这些接收电路元150可以通过这些接收电极元130及这些接收导线140感测手指F的指纹。当然,可以在绝缘层组70、这些扫描电极元30及这些接收电极元130上形成装置保护层60,装置保护层60与手指F直接或间接接触。装置保护层60较佳是由耐磨材料所组成,当然也可以包括不同颜色的涂层,抑或更可以将另一绝缘层基板(例如蓝宝石基板)覆盖于其上,以供防止手指甲或异物刮伤。

[0069] 当然上述的制造流程是为了熟悉所述技艺者可以实施而据以说明,本发明的精神不限于此,譬如,图10显示第一实施例的制造方法的另一例子的剖面示意图。所述第二基板20也可以是任意的基板,例如半导体及绝缘特性的例如玻璃基板等等,其制作流程可以先在所述第二基板20定义相同或略大于第一基板感测芯片10的几何尺寸的一凹槽20C,并将第一基板感测芯片10埋植于所述第二基板20中,并通过图8至9的流程予以整合,以制作绝缘层组70,所述多条导线40、所述扫描电极元30阵列以及所述装置保护层60。值得注意的是,图10的凹槽20C没有贯通第二基板20,故可在植入第一基板感测芯片10后,施以研磨来去除第二基板20的底层部分,以获得如图9所示的结构。当然,也可以直接提供贯通第二基板20的凹槽20C,然后将第一基板感测芯片10植入第二基板20中,以获得如图9所示的结构。或者,第二基板20的底层部分也可不必被移除。

[0070] 图11A至图11G显示第一基板感测芯片与第二基板的各种配置的示意图。如图11A所示,第一基板感测芯片10位于第二基板20的左侧,且在Y轴具有与第二基板20相同的尺寸。如图11B所示,第一基板感测芯片10的X轴与Y轴的尺寸都小于第二基板20的尺寸。如图11C所示,第一基板感测芯片10位于第二基板20的一个角落。如图11D所示,第一基板感测芯片10位于第二基板20的两个角落。如图11E所示,第一基板感测芯片10位于第二基板20的左侧及右侧。如图11F所示,第一基板感测芯片10位于第二基板20的四个角落。如图11G所示,

第一基板感测芯片10位于第二基板20的中央部位。

[0071] 图12显示本发明的一个感测单元32的尺寸的示意图。如图12所示,相邻的两个扫描电极元30与相邻的两个接收电极元130组成一个感测单元32。在本发明的实施例中,感测单元32呈现一个正方形。感测单元32的尺寸介于20至100微米之间,较佳是介于40至60微米之间,譬如50微米(对应于500dpi),以符合指纹感测的解析度需求。由于这么高解析度的需求,通过传统的有机基板制造及芯片粘合封装技术,是不容易完成完整的线路布局的。这也是本发明特色,通过晶片级复合基板的制造技术,可以将所述复合基板视为如一般的硅晶片,并通过硅晶片的半导体光刻技术,在所述晶片级复合基板上方完成高解析度的扫描及接收线路布局,这也是从未被提及的设计。

[0072] 通过本发明的上述实施例,可以利用小面积的感测芯片制作出适合于感测手指指纹的复合基板感测装置。因此,可以降低指纹感测装置的制造成本。此外,利用侧向电场来感测指纹,接收电路元与扫描电路元的总数远少于接收电极元与扫描电极元的总数,故可以有效降低第一基板感测芯片的体积,进而降低成本。

[0073] 在较佳实施例的详细说明中所提出的具体实施例仅方便说明本发明的技术内容,而非将本发明狭义地限制于上述实施例,在不超出本发明的精神及以下申请专利范围的情况,所做的种种变化实施,皆属于本发明的范围。

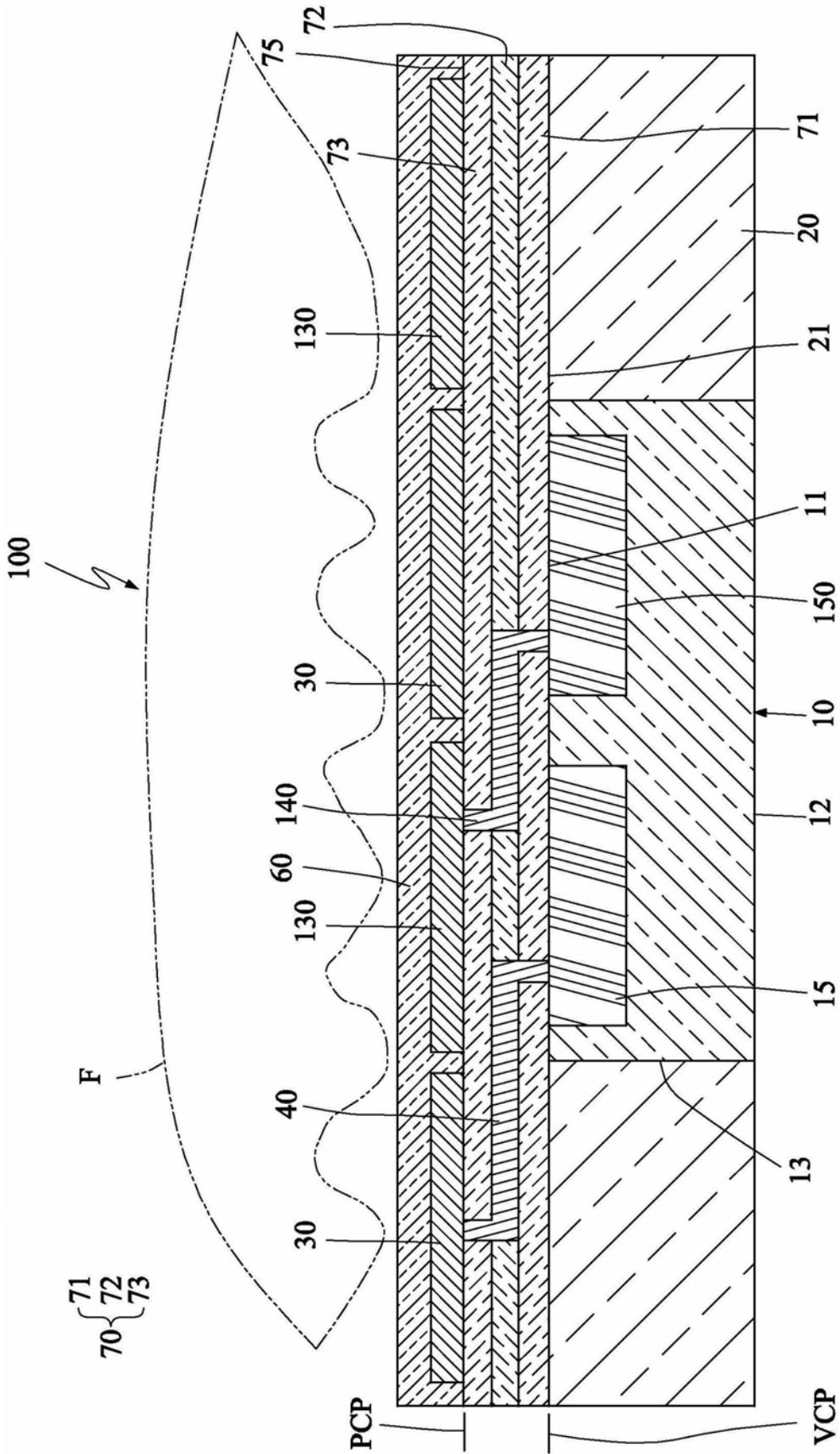


图1

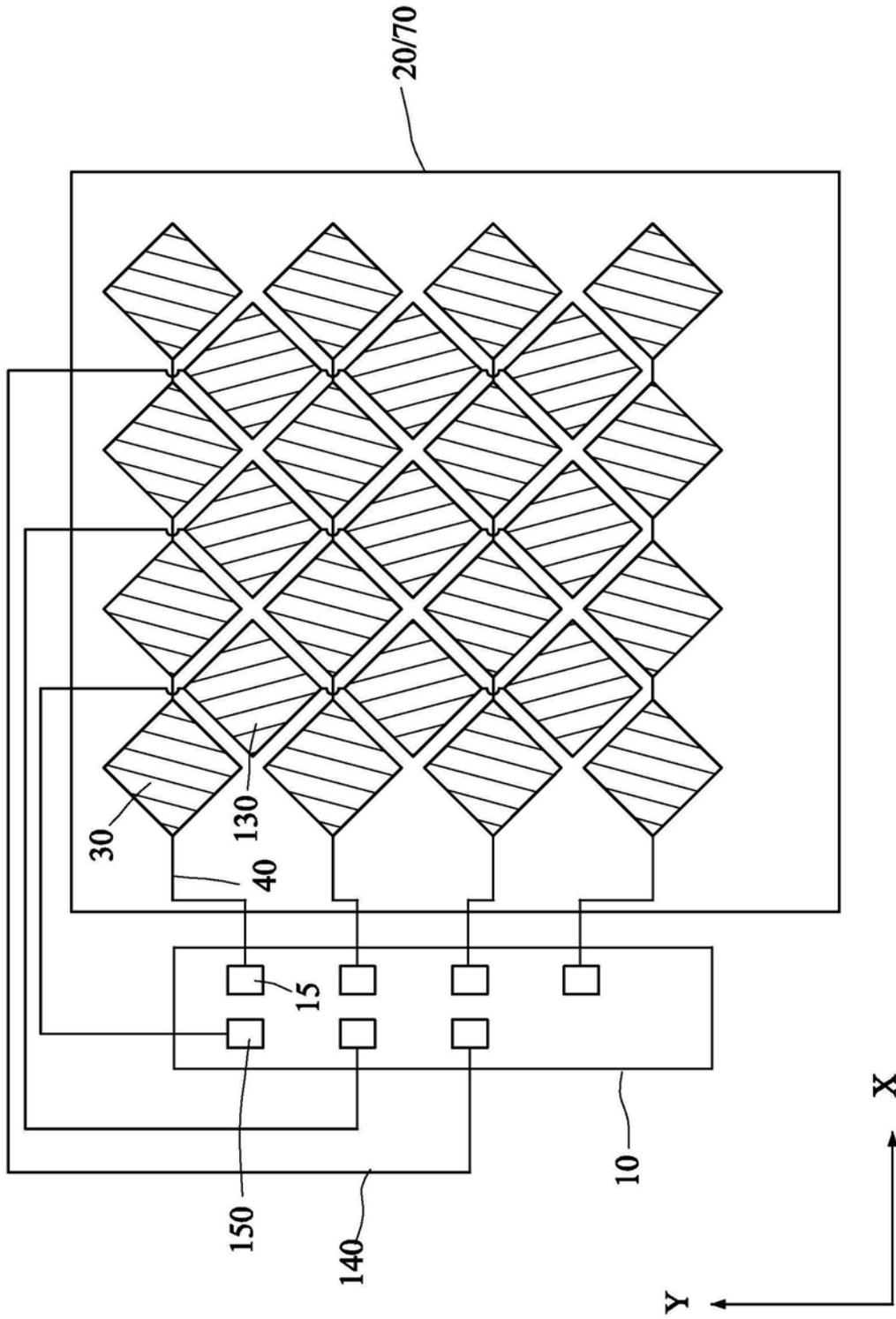


图2

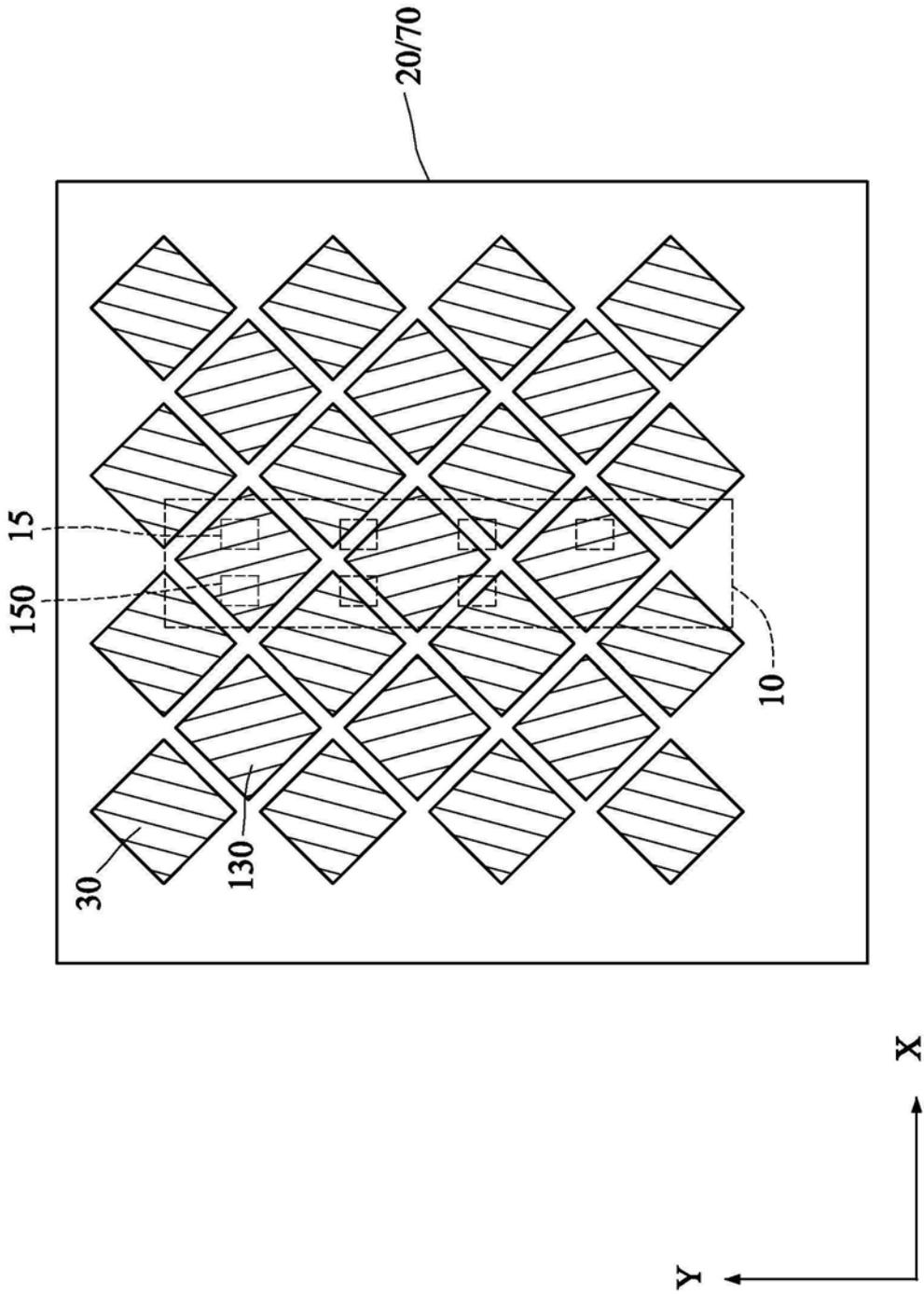


图3

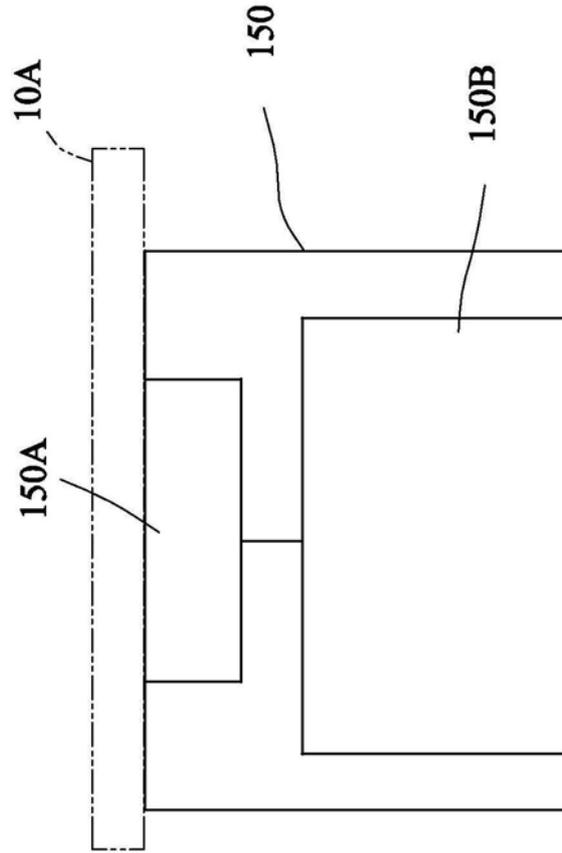


图4

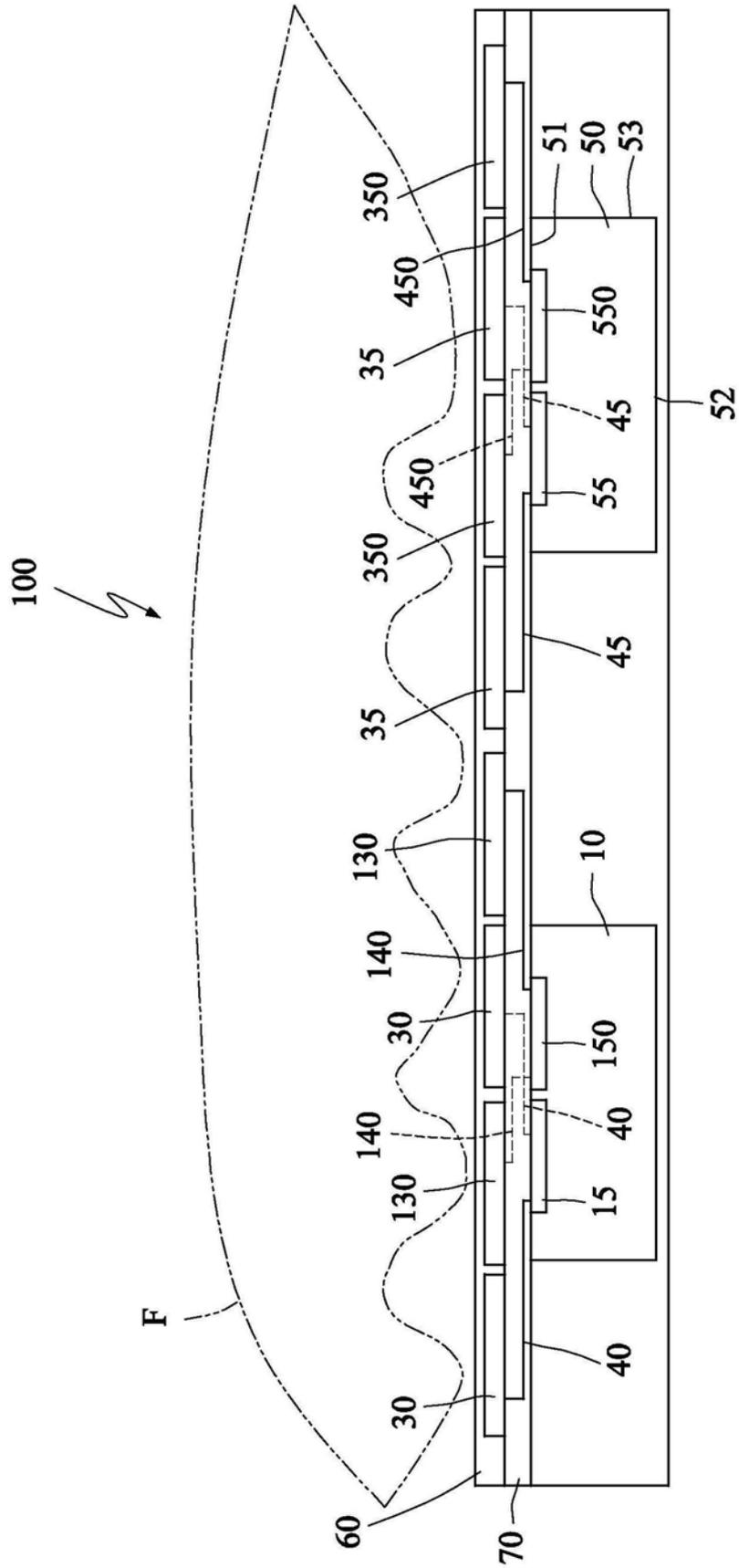


图5

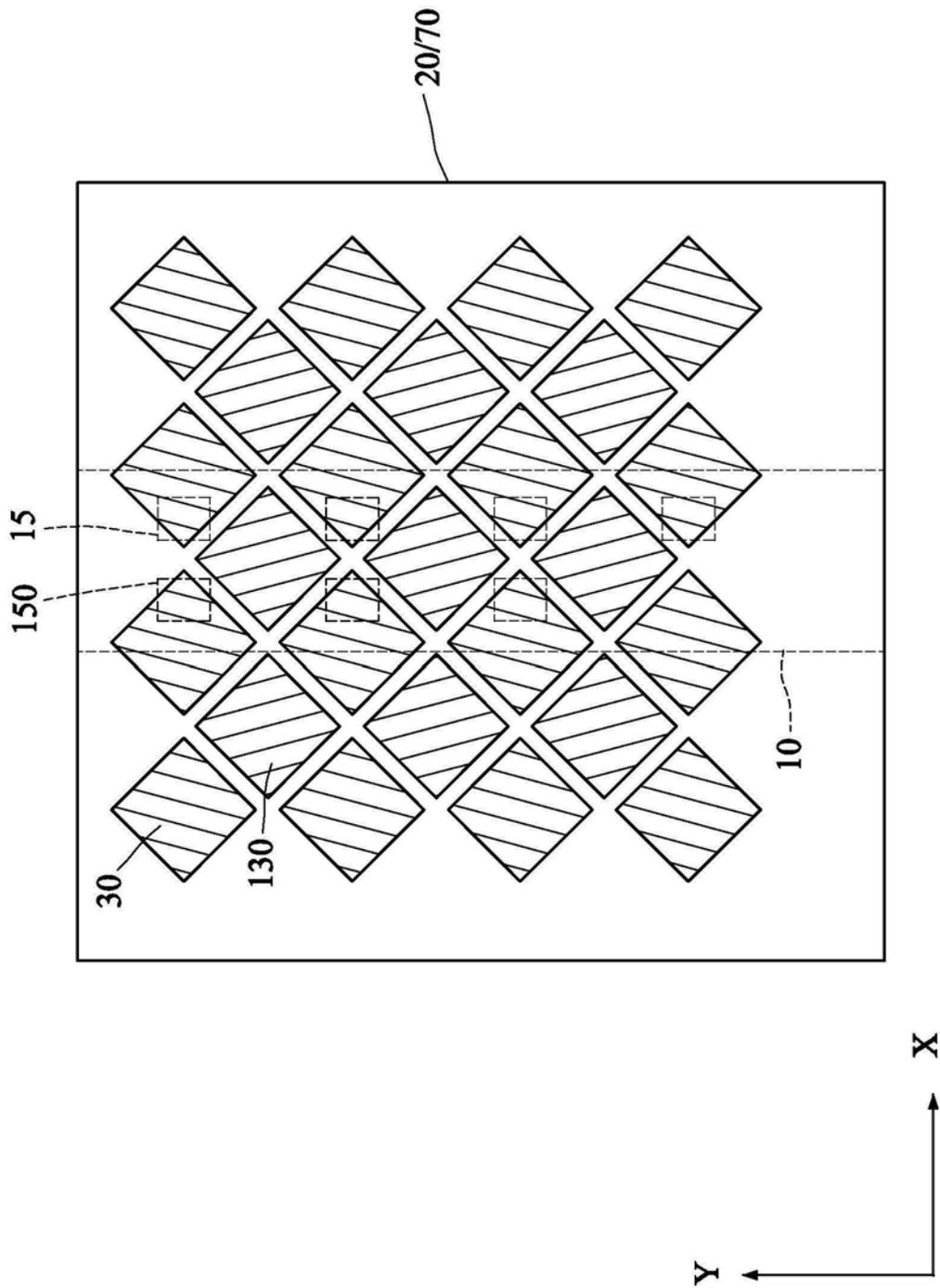


图6

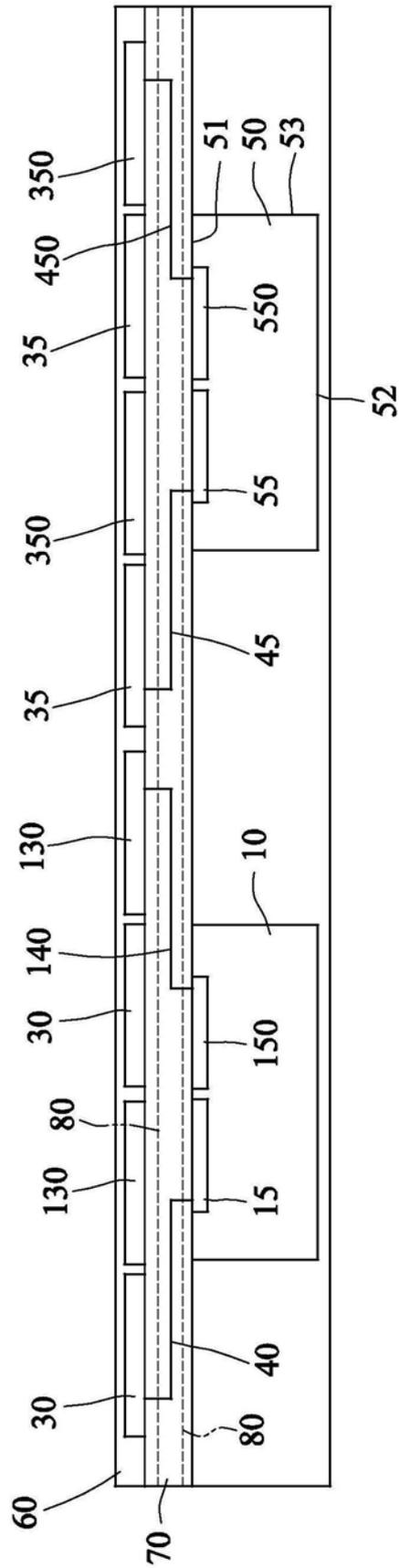


图7A

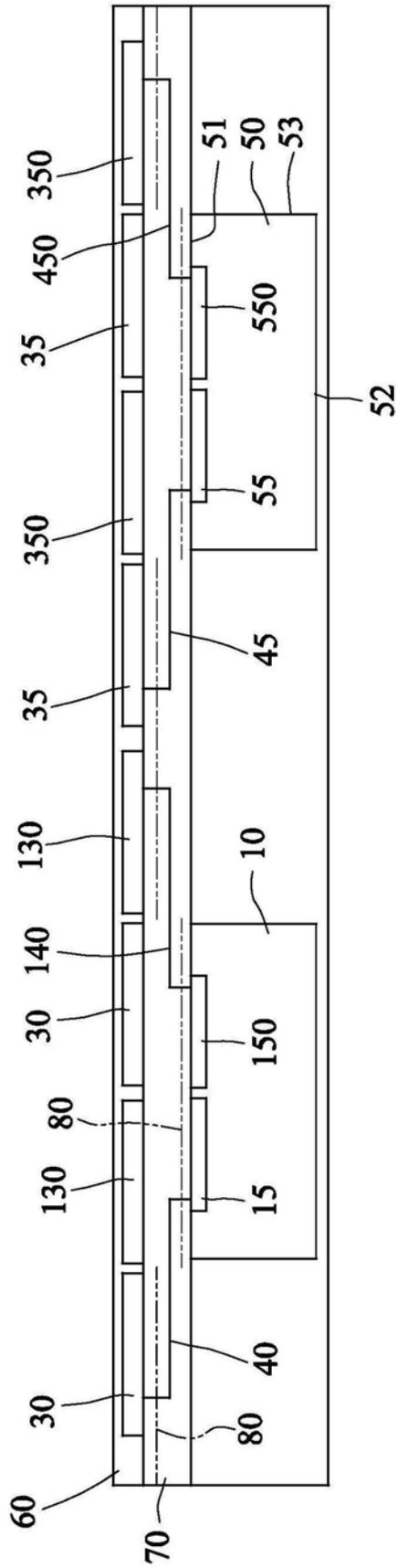


图7B

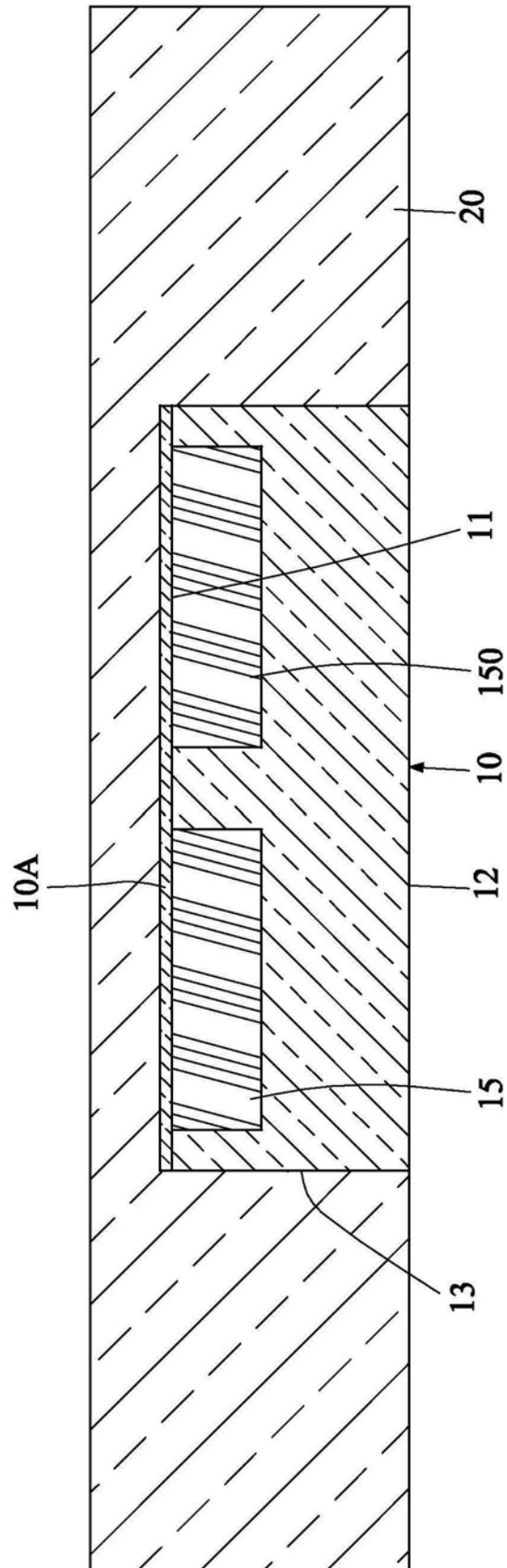


图8

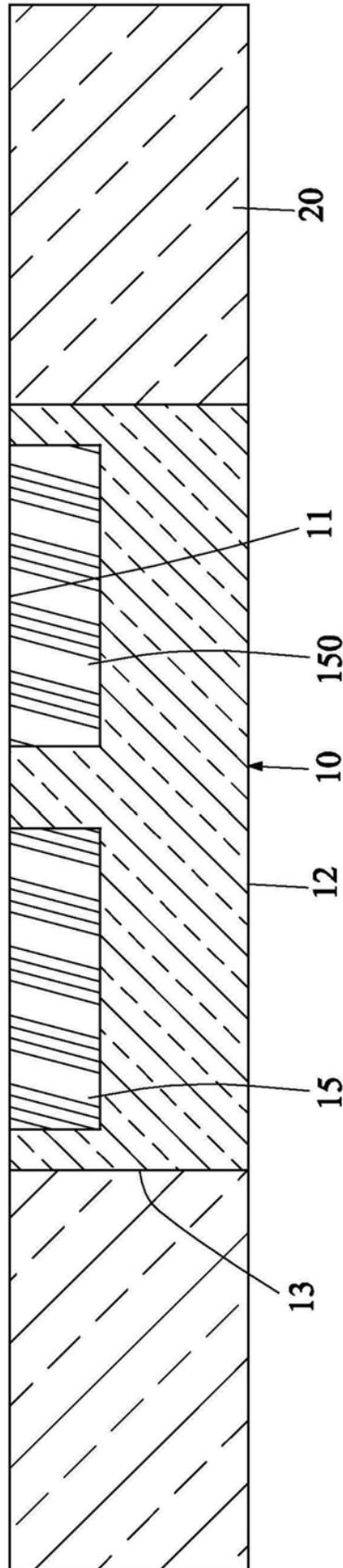


图9

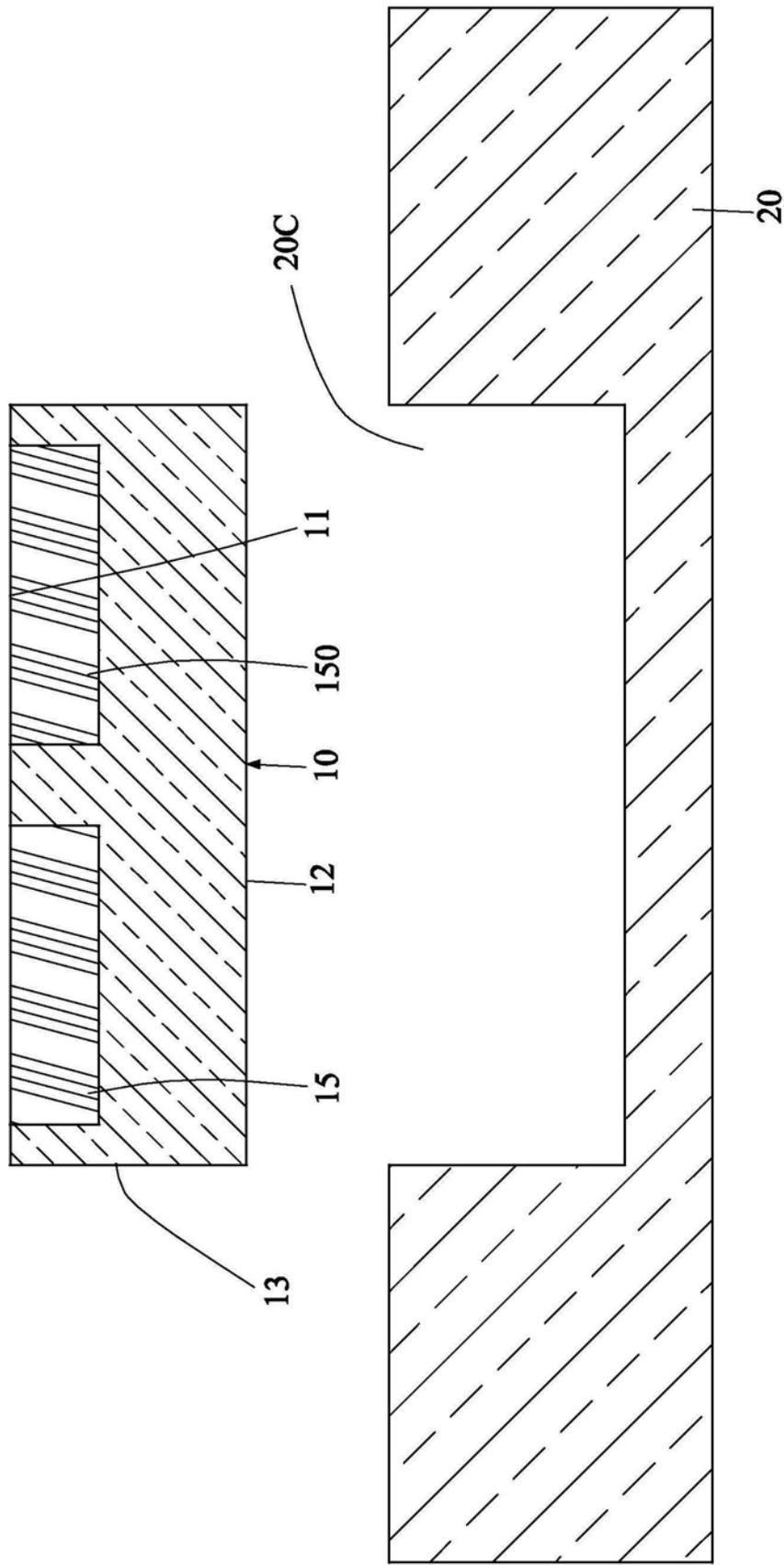


图10

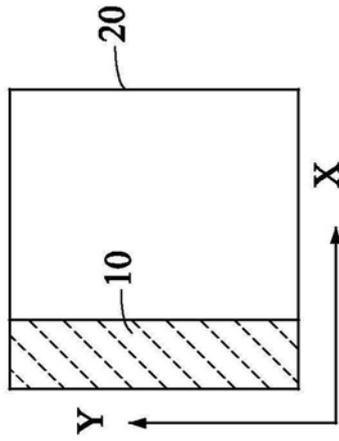


图11A

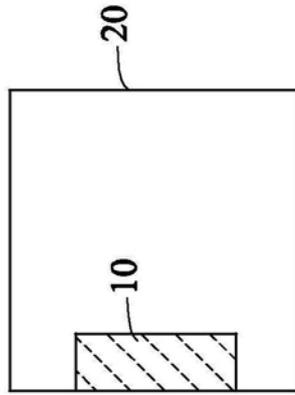


图11B

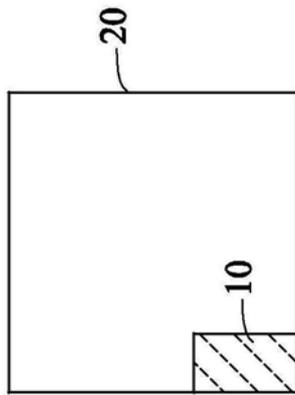


图11C

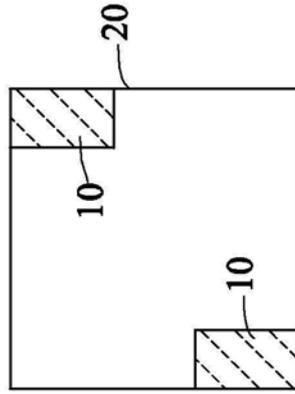


图11D

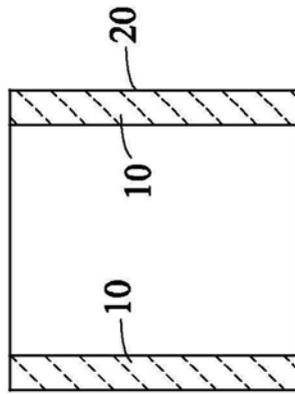


图11E

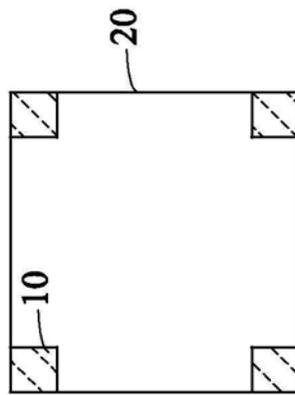


图11F

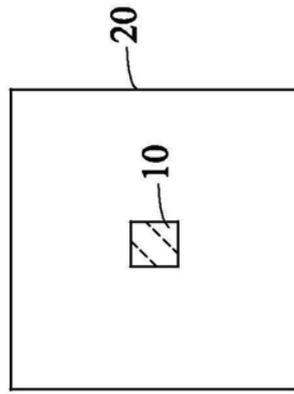


图11G

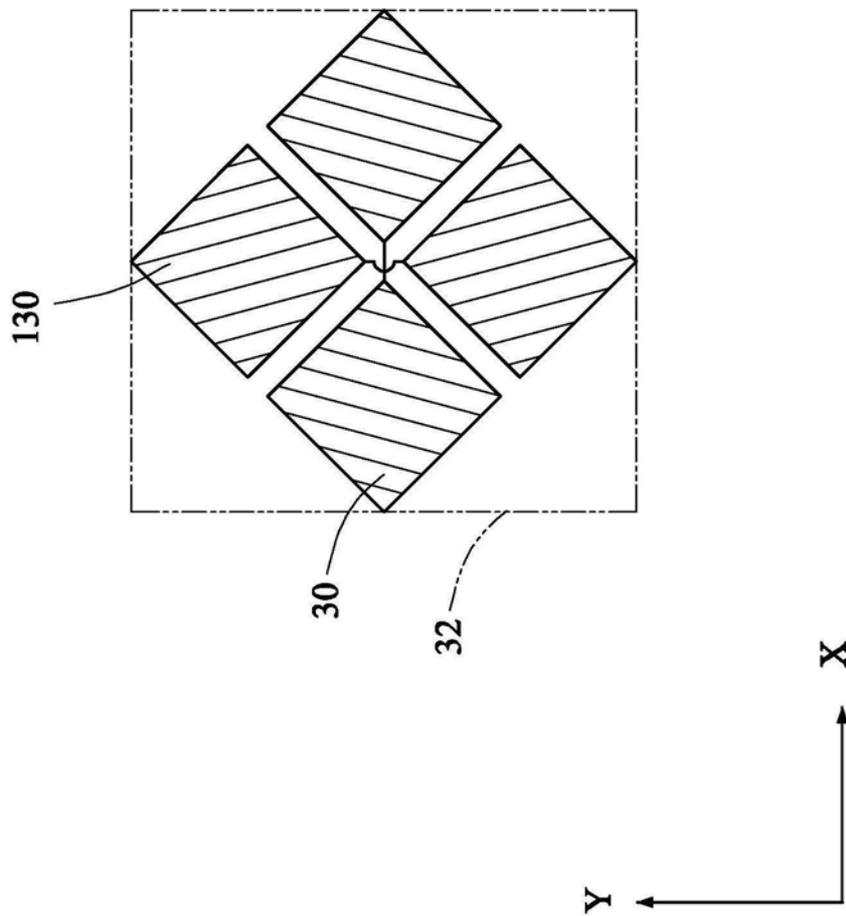


图12