

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/407 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월23일 10-0542469 2006년01월04일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1998-0037481 1998년09월11일	(65) 공개번호 (43) 공개일자	10-1999-0029714 1999년04월26일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	08/941,606	1997년09월30일	미국(US)
(73) 특허권자	지멘스 악티엔게젤샤프트 독일 뮌헨 80333 비텔스파허프라썸 2		
(72) 발명자	키일, 올리버 미국 05445 버몬트 샬롯 텐 스톤 401		
(74) 대리인	남상선		

심사관 : 안병일

(54) 셀프타임동작용원도우관별기를갖는2차측감지증폭기

요약

데이터 소스로부터 데이터를 감지하고 그것에 응답하여 한 쌍의 출력라인을 구동시키기 위한 감지 시스템은, 상기 데이터를 감지하고 저장하기 위해 상기 데이터 소스에 동작가능하게 결합된 1차측 감지 디바이스; 한 쌍의 입력라인을 통해 상기 1차측 감지 디바이스에 동작가능하게 결합되고 상기 한 쌍의 출력라인에도 동작가능하게 결합된 2차측 감지 디바이스를 포함하며, 상기 2차측 감지 디바이스는 상기 1차측 감지 디바이스에 의해 저장된 데이터에 따라서 상기 한 쌍의 입력라인에 걸쳐 발생된 차동전압에 응답하고, 상기 2차측 감지 디바이스는 네거티브 드레스홀드 및 포지티브 드레스홀드에 의해 한정된 차동전압 드레스홀드 범위를 가지며, 상기 2차측 감지 디바이스는 상기 한 쌍의 입력라인에 걸친 차동전압이 차동전압 드레스홀드 범위내에 있을 경우에는 제 1 출력조건으로, 상기 차동전압이 네거티브 드레스홀드에 최소한 동일한 경우에는 제 2 출력 조건으로, 그리고 상기 차동전압이 포지티브 드레스홀드에 최소한 동일한 경우에는 제 3 출력 조건으로 상기 한 쌍의 출력라인을 구동시킨다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 감지증폭기의 블록도.

도 2는 종래의 2차측 감지증폭기의 개략도.

도 3은 종래의 2차측 감지증폭기에 포함된 래치의 동작 상태를 도시한 도면.

도 4는 본 발명에 따른 윈도우 판별기를 활용하여 2차측 감지증폭기의 원리를 설명하는 개략 기능도.

도 5는 본 발명에 따른 윈도우 판별기를 내장한 2차측 감지증폭기의 입-출력 특성을 도시한 도면.

도 6은 본 발명에 따른 2차측 감지증폭기의 일실시예를 도시한 도면.

도 7은 본 발명에 따른 2차측 감지증폭기의 다른 실시예를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명 *

44 : 윈도우 판별기 46,48 : 비트 라인

50 : 2차측 감지증폭기 52,54 : 차동 트랜스 컨덕턴스 증폭기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 감지증폭기에 관한 것으로, 특히 디바이스가 외부에서 트리거될 필요 없이 데이터를 판독할 수 있는 윈도우 판별기를 포함하는 2차측 감지증폭기에 관한 것이다.

동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 전자 메모리 디바이스는 많은 양의 디지털 인코딩된 정보를 저장하기 위한 다양한 전자 시스템에 사용된다. 이들 디바이스는 전형적으로 디지털 인코딩된 정보 또는 데이터를 저장하는데 사용되는 메모리 어레이를 포함한다. 데이터는 감지 시스템으로 알려진 디바이스에 의해 메모리 어레이로부터 검색된다.

도 1에 도시된 바와 같이, DRAM 디바이스에서 전형적인 감지 시스템(10)은 대체로 1차측 감지증폭기(12) 및 2차측 감지증폭기(14)로 이루어진다. 1차측 감지증폭기(12)는 메모리 어레이로부터 데이터를 직접 판독하는데 사용되는 반면, 2차측 감지증폭기는 1차측 감지증폭기로부터 데이터를 판독하는데 사용된다. 이 두 부분의 구성은 DRAM 디바이스의 고밀도 요건을 충족시키는데 필요하다. 이것은 DRAM 디바이스가 2차측 감지증폭기보다는 1차측 감지증폭기를 더 많이 포함하기 때문이며, 1차측 감지증폭기는 고밀도 어레이 내에 실시될 수 있는 비교적 작은 사이즈를 갖는 트랜지스터로 제조된다. 데이터는 외부 비트 라인 실수 EBLt(16) 및 외부 비트 라인 보수 EBLc(18)로서 알려진 한 쌍의 고용량성 라인을 통해 감지증폭기(12,14) 사이로 전달된다.

판독 사이클 동안에, 1차측 감지증폭기(12)는 메모리 어레이(도시하지 않음)로부터 데이터를 판독한다. 데이터는 래치를 이용하여 1차측 감지증폭기(12)내에 일시적으로 저장된다. 이 저장된 데이터를 전달하기 위하여, 외부 비트 라인(16,18)은 1차측 감지증폭기(12)내의 래치에 결합되기 전에 소정의 포지티브 전압으로 예비 충전되어야 한다. 예비 충전은 고용량성 외부 비트 라인(16,18)이 1차측 감지증폭기(12)내에 저장된 전압을 오버라이딩(overriding)하는 것을 방지하는데 필요하다. 이러한 오버라이딩 상태는 1차측 감지증폭기(12)에 사용된 트랜지스터의 비교적 작은 사이즈 때문에 가능하다.

외부 비트 라인(16,18)이 1차측 감지증폭기(12)내 래치에 결합될 때, 라인(16,18)중 하나에 대한 전압은 차동전압이 발생되는 것을 초래하는 예비충전레벨 아래로 강하한다. 예비충전레벨 이하로 강하하여, 외부 비트 라인(16,18)에 걸쳐 나타나는 차동전압의 두 가지 가능한 성질을 제공하는 각각의 외부 비트 라인과 연관된 각각의 조건은 1차측 감지증폭기(12)에 저장된 데이터의 두 개의 로직 상태를 나타낸다. 이 차동전압은 판독 데이터 라인 RDL을 적절히 구동시키기 위하여 2차측 감지증폭기에 의해 감지된다. 데이터는 차동전압의 극성에 따라 두 가지 가능한 로직 상태 중 하나로 세팅되는 2차측 감지증폭기(14)내에 포함된 다른 래치에 의해 판독된다.

도 2는 종래의 2차측 감지증폭기의 예를 도시한다. 2차측 감지증폭기(20)는 한 쌍의 교차 결합된 인버터(24,26)를 포함하는 래치(22)를 포함한다. 각 인버터(24,26)는 p-채널 전계효과 트랜지스터(FET)(24A,26A)와 n-채널 FET(24B,26B)를

포함한다. 교차 결합은 각 인버터의 출력을 다른 인버터의 입력에 결합함으로써 달성된다. 노드 A, B는 교차 결합의 정합 시에 각각 형성된다. 이러한 구성은 래치가 두 개의 정상 상태, 예를 들면 노드 A는 로직 하이이고 노드 B는 로직 로우, 또는 그 반대인 상태를 갖게 한다. 래치(22)는 어떤 정상 상태 조건 쪽으로 구동될 때 두 개의 가능한 로직 상태 중 하나에 있는 것으로 간주된다. 래치(22)중 노드 A, B는 단자(32,34)에서 외부 비트 라인 EBLt, EBLc에 각각 결합된다. 전술한 바와 같이, 차동전압은 노드(A, B)의 각 상태를 연속적으로 결정하는 이들 외부 비트 라인에 걸쳐 발생된다.

n-채널 FET(28)는 n-채널 FET(24B,26B)의 드레인에 결합되며 래치(22)를 트리거하는데 사용된다. 트리거 트랜지스터(28)는 소정량의 시간동안 외부 비트 라인 EBLt, EBLc에 걸쳐 발생하는 차동전압으로부터 래치(22)를 효과적으로 분리시키는데 사용된다. 이러한 분리는 차동전압이 그 로직 상태 중 하나에 래치(22)를 세팅시킬 수 있도록 차동전압이 상당한 크기에 도달할 수 있게 하는데 필요하다. 필요한 크기는 그 자체로 각각 약 2 피코패럿(pF)의 용량을 갖는 외부 비트 라인에 걸쳐 발생하는데 약 2 나노초(nsec)의 시간이 걸리는 약 200 밀리볼트(mV)이다.

그러나 잡음 및 오프셋 고려에 기인하여, 래치(22)를 세팅하는데 요구되는 크기는 예를 들면 약 200 내지 500mV 사이의 범위에서 실제로 더 높다. 이 크기를 달성하기 위하여 외부 비트 라인에 걸친 차동전압에 대하여, 부가적인 1 내지 2 nsec가 요구된다. 그러므로 트리거 트랜지스터(28)는 외부 비트 라인이 1차측 감지증폭기에 결합된 후 약 3 내지 4 nsec에 세팅 신호에 의해 턴온되며, 약 1 내지 2 nsec는 어떤 잡음이나 오프셋을 고려하기 위하여 빌트-인(built-in) 마진이다. 따라서 공지된 바와 같이, 1 내지 2 nsec는 안전 가드 밴드로서 작용하며 칼럼 선택 라인(CSL) 구동시간, 신호 발생시간에서의 부정합(mismatch), 아울러 이러한 디바이스에서 발생하는 데 공지된 다른 타이밍 부정합을 고려한다.

더욱이, 두 개의 예비충전 트랜지스터(30,32)는 인버터 노드 A, B 및 전압원(VDD) 사이에 결합된다. 이들 트랜지스터(30,32)는 전술한 바와 같이 오버라이딩을 방지하기 위하여 외부 비트 라인(각 게이트 단자에 신호 PC의 인가에 응답하여) 그러므로 인버터 노드 A, B를 공급전압(VDD)에 예비충전시키는데 사용된다. 인버터 노드(A, B)는 2차측 감지증폭기가 데이터를 포함하지 않으며 래치(22)를 그 로직 상태 중 하나로 구동시킬 수 있는 메모리 디바이스의 나머지부분을 지지하기 위하여 예비충전된다.

도 3은 종래의 2차측 감지증폭기에 포함된 래치(22)와 같은 전형적인 래치의 동작 상태를 도시한 도면이다. x 및 y축은 각각 인버터 노드(A, B)의 전압 레벨을 나타낸다. 준안정(meta-stable) 라인(38)은 예비충전 상태(44)를 포함하는 래치의 반안정(semi-stable) 상태를 나타내며 노드 A, B는 VDD와 동일하다. 디바이스 불규칙성에 기인하여, 준안정 라인은 라인(38)의 어느 한쪽에 도시된 점선(38A,38B) 사이의 어딘가에 위치될 것이다. 전술한 래치의 두 개의 안정한 상태는 참조부호(40,42)로 지정된다.

준안정 라인과 두 개의 안정 상태(40,42) 사이의 각 영역(C, D)은 래치의 두 개의 가능한 로직상태를 나타낸다. 도 2에 대하여 전술한 바와 같이, 래치는 먼저 예비충전 트랜지스터(30,32)를 턴온하는 PC신호에 의해 예비충전상태로 구동된다. 그러므로 충분한 차동전압이 고용량성 외부 비트 라인에 걸쳐 발생될 때, 세팅 신호는 트리거 트랜지스터(28)를 턴온시킨다. 이것에 의해 래치(22)가 그 안정 상태(40 또는 42)중 하나로 구동되며, 그로 인해 래치가 두 개의 가능한 로직 상태 중 하나로 세팅된다. DRAM 디바이스(특히, 비동기 DRAM 디바이스)에서, 세팅신호는 어드레스 전이 검출(ATD) 블록에 의해 발생된다.

외부 세팅신호에 의해 트리거되는 2차측 감지증폭기(20)와 같은 종래의 2차측 감지증폭기에 대한 필요성은 많은 단점을 갖는다. 무엇보다도 먼저, 이러한 구성을 이용하는 메모리 디바이스는 부가적인 컴포넌트가 세팅신호를 발생하는데 요구되기 때문에 사이즈 면에서 더 크다. 또한, 이러한 메모리 디바이스에 의해 소모된 전력은 상당히 높다. 이것은 사용된 세팅신호가 긴 신호라인에 걸쳐 구동될 필요가 있으며 그러므로 세팅신호가 비교적 큰 진폭 신호가 되는 것을 요구하고, 이는 발생하는데 상당량의 전력이 필요하기 때문이다. 또한, 이러한 메모리 디바이스는 상기한 형성된 마진에 기인하여 본래 더 높다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 외부 트리거가 필요 없이 한 쌍의 입력 라인에 걸리는 차동전압에 응답하여 한 쌍의 출력라인을 구동시키기 위해, 외부 비트 라인과 같은 한 쌍의 입력 라인과 판독 데이터 라인과 같은 한 쌍의 출력 라인 사이에 결합된 2차측 감지증폭기와 같은 디바이스를 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 일 특징에 있어서, 데이터 소스로부터 데이터를 감지하고 그것에 응답하여 한 쌍의 출력 라인을 구동시키기 위한 감지 시스템은, 데이터를 감지하고 저장하기 위하여 데이터 소스에 동작 가능하게 결합된 1차측 감지 디바이스; 및 한 쌍의 입력라인을 통해 1차측 감지 디바이스에 동작 가능하게 결합되고 한 쌍의 출력라인에 동작 가능하게 결합된 2차측 감지 디바이스를 포함하며, 상기 2차측 감지 디바이스는 1차측 감지 디바이스에 의해 저장된 데이터에 따라서 한 쌍의 출력라인에 걸쳐 발생된 차동전압에 응답하며, 2차측 감지 디바이스는 네거티브 임계치 및 포지티브 임계치에 의해 한정된 그것과 연관된 차동전압 임계치 범위를 가지며, 2차측 감지 디바이스는 한 쌍의 입력 라인에 걸리는 차동전압이 차동전압 임계치 범위 내에 있을 경우에는 제 1 출력상태로, 차동전압이 네거티브 임계치와 적어도 동일한 경우에는 제 2 출력상태로, 차동전압이 포지티브 임계치와 적어도 동일한 경우에는 제 3 출력상태로 한 쌍의 출력라인을 구동시킨다.

본 발명의 다른 특징에 있어서, 한 쌍의 입력라인에 걸리는 차동전압에 응답하여 한 쌍의 출력라인을 구동시키기 위해 한 쌍의 입력라인과 한 쌍의 출력라인 사이에 결합된 디바이스는 전류원 수단; 입력라인에 각각 동작 가능하게 결합된 한 쌍의 입력단자, 출력라인에 각각 동작 가능하게 결합된 한 쌍의 출력 단자, 및 전류원 수단에 동작 가능하게 결합된 다른 한 쌍의 단자를 가지며, 한 쌍의 입력라인에 걸리는 차동전압에 응답하며, 네거티브 임계치 및 포지티브 임계치에 의해 한정된 그것과 연관된 차동전압 임계치 범위를 가지는 차동증폭기 수단; 및 한 쌍의 출력라인을 구동시키며, 전류원 수단과 차동증폭기 수단 사이에 동작 가능하게 결합된 구동수단을 포함하며, 상기 구동수단은 입력라인에 걸리는 차동전압이 차동증폭기 수단의 차동전압 임계치 범위 내에 있을 경우 전류원 수단과 차동증폭기 수단에 응답하여 제 1 출력상태로 한 쌍의 출력라인을 구동시키며, 상기 구동수단은 입력라인에 걸리는 차동전압이 적어도 차동전압 임계치 범위의 네거티브 임계치와 동일한 경우 전류원 수단과 차동증폭기 수단에 응답하여 제 2 출력상태로 한 쌍의 출력라인을 구동시키며, 상기 구동수단은 입력라인에 걸리는 차동전압이 적어도 차동전압 임계치 범위의 포지티브 임계치와 동일한 경우 전류원 수단과 차동증폭기 수단에 응답하여 제 3 출력상태로 한 쌍의 출력라인을 구동시킨다.

본 발명의 상기 및 다른 목적, 특징 및 이점들은 첨부도면을 참조로 후술할 상세한 설명으로부터 명백하게 될 것이다.

본 발명은 집적회로(IC)에 사용된 2차측 감지증폭기에 관한 것이다. 이러한 IC는 예를 들면 동적 랜덤 액세스 메모리(DRAM), 비동기 DRAM(SDRAM), 또는 정적 DRAM(SRAM)과 같은 랜덤 액세스 메모리(RAM)이다. 또한, IC는 애플리케이션 특정 IC(ASIC), 병합된 DRAM-로직회로(내장된 DRAM), 또는 어떤 다른 로직회로일 수 있다.

전형적으로, 다수의 IC는 웨이퍼 상에 평행하게 형성된다. 처리가 완료된 후에, 웨이퍼는 IC를 개별 칩으로 분리하기 위하여 다이싱된다. 칩은 패키징되어, 컴퓨터 시스템, 셀룰러 폰, 개인 디지털 보조장치(PDA), 및 다른 전자제품과 같은 소비제품에 사용되는 최종 제품이 된다.

본 발명에 따르면, 2차측 감지증폭기는 외부 트리거를 필요로 하지 않으며, 그 대신 유리하게 셀프 타임 방식으로 동작한다. 이것은 외부 비트 라인 상에 적당한 신호가 존재하기 전에 감지를 위해 셋업되는 2차측 감지증폭기를 구성함으로써 달성된다. 본 발명에 따라 형성된 2차측 감지증폭기는 외부 비트 라인에 걸쳐 네거티브 및 포지티브 양 방향으로 차동전압 임계치를 검출하며, 네거티브 및 포지티브 임계치 사이는 비동작 상태이다. 네거티브 및 포지티브 사이에 형성된 이러한 윈도우는 이후 윈도우 판별기라 하며, 이후에 상술될 것이다. 더욱이, 이러한 2차측 감지증폭기는 다양한 피드백 방법을 이용함으로써 내부 신호 전파를 가속화할 수 있다.

본 발명의 2차측 감지증폭기의 동작을 기술하는데 사용되는 어구 "비동작 상태", "동작 준비 상태", 및 "동작 세팅 상태"는 특정 의미를 갖는다는 것을 알 수 있을 것이다. 디바이스는 외부 비트 라인이 설명되는 바와 같이 예비충전된 상태에 있는 경우를 비동작 상태로 간주한다. 또한, 디바이스는 디바이스가 하나의 로직상태로 아직 세팅되지 않고 판독 데이터 라인 RDL을 구동시키지 않으나 예비충전은 이미 턴오프된 경우(즉, 디바이스는 더 이상 비동작 상태를 유지하지 않음)를 동작 준비상태로 간주한다. 마지막으로, 디바이스는 디바이스가 하나의 로직상태로 세팅되고 그것에 응답하여 판독 데이터 라인 RDL을 구동시키는 경우를 동작 세팅상태로 간주한다.

도 4 및 도 5는 본 발명의 원리를 설명하기 위한 개략 기능도 및 본 발명에 따라 형성된 디바이스와 연관된 입-출력 특성의 예시적인 그래프를 도시한 도면이다. 도 5에는 본 발명에 따른 윈도우 판별기를 내장하는 2차측 감지증폭기의 입-출력 특성이 도시되어 있다. 특히, 그래프의 x축은 전술한 바와 같이 외부 비트 라인에 걸쳐 발생된 차동전압인 2차측 감지증폭기에 대한 전압을 나타낸다. 차동전압은 외부 비트 라인 실수(V_{EBLr})의 전압 전위와 외부 비트 라인 보수(V_{EBLc})의 전압 전위 사이이 차이이며 이후 DEBL이라 한다. y축은 RDLt(판독 데이터 라인 실수)와 RDLc(판독 데이터 라인 보수)로 인용되는

한 쌍의 판독 데이터 라인에 각각 결합되는 2차측 감지증폭기(전압 VSS와 VDD 사이의 범위)의 출력의 전압을 나타내며, 도면에서 실선은 RDLt에 결합된 2차측 감지증폭기의 출력을 나타내며 점선은 RDLc에 결합된 2차측 감지증폭기의 출력을 나타낸다.

특히, V_{EBLt} 와 V_{EBLc} 사이의 차(즉, DEBL)가 윈도우 판별기(44) 내에 있을 때(+/-DVw로 규정), 양 판독 데이터 라인 RDLt(실선)와 RDLc(점선)은 도 5에 도시된 바와 같이 로직 로우(VSS)이다. RDLt와 RDLc가 윈도우(44)내에서 VSS에 있는 동안, 그래프에서 데이터 라인을 나타내는 그래픽선(실선 및 점선)은 x축으로부터 그리고 단지 명료함을 위해 서로 약간 상승된다. DEBL이 이러한 윈도우(44) 내에 있을 때, 본 발명의 2차측 감지증폭기는 3가지 조건 상태로 고려된다는 것을 이해할 것이다. 이러한 3가지 상태 조건에서 본 발명에 따른 2차측 감지증폭기는 차동전압에 의존하여 비동작 상태 또는 동작 준비 상태 중 어느 하나일 수 있다. 그럼에도 불구하고, 외부 비트 라인은 유효 데이터를 포함하지 않는다.

그러나 DEBL이 증가하여 외부 비트 라인간의 차동전압이 윈도우(44)내에 있지 않을 경우, 2차측 감지증폭기는 동작 세팅 상태에 있으며, 이로 인해 판독 데이터 라인 RDLt 및 RDLc중 하나가 로직 하이로 구동되어진다. DEBL의 극성은 판독 데이터 라인 RDLt 및 RDLc중 어느 것이 하이로 구동되는지를 결정하며 그러므로 디바이스의 로직상태를 결정하게 된다. 예를 들면, RDLt가 하이로 구동되고 RDLc가 로우로 남게 되면, 이것은 예를 들면 어드레스된 메모리 위치로부터 판독되는 2진수 "1"에 상응하는 반면, RDLt가 로우로 남고 RDLc가 하이로 구동되면 어드레스된 위치로부터 판독되는 2진수 "0"에 상응한다. 도 5에 도시된 입-출력 특성은 반대 로직 전환이 이용되면, 즉 RDLt와 RDLc가 각각 구동될 경우 3가지 상태 조건동안에 하이 및 로우가 되면 반전될 수 있다.

x축 상의 포인트 E 및 F 사이에 한정된 윈도우 판별기(44)의 폭은 윈도우 판별기를 실행시키는 컴포넌트의 전기적 특성에 의해 결정된다. 예를 들면, 약 400mV의 폭(즉, 약 -200mV에서의 E 내지 +200mV에서의 F)을 갖는 윈도우를 제공하는 컴포넌트 사이즈를 선택할 수 있다. 이것은 본 발명에 따른 2차측 감지증폭기가 약 200mV처럼 낮은 크기를 갖는 DEBL에 의해 동작될 수 있다는 것을 의미한다. 이것은 외부 비트 라인에 대해 이러한 전압차에 도달하는데 시간이 덜 걸리기 때문이다. 전술한 바와 같이, 종래의 감지증폭기는 파라미터 변화를 고려하기 위한 마진을 포함하며, 따라서 이러한 디바이스는 더 높은 차동전압에서만 동작한다. 그러므로 도 5에 도시되고 본 발명에 의해 제공되는 바와 같이 윈도우 판별기를 사용함으로써, 그렇게 형성된 2차측 감지증폭기의 성능은 상당히 개선된다.

도 4는 본 발명의 2차측 감지증폭기의 원리를 설명하기 위한 개략 기능을 도시한다. 2차측 감지증폭기(50)는 한 쌍의 트랜스 컨덕턴스 증폭기(52,54)를 포함하며, 각 증폭기(52,54)는 비반전 및 반전 입력단자를 갖는다. 증폭기(52)의 비반전 단자는 증폭기(54)의 반전 단자에 결합되고 양 단자들은 외부 비트 라인 실수 EBLt(46)에 결합된다. 더욱이, 증폭기(54)의 비반전 단자는 증폭기(52)의 반전 단자에 결합되고 양 단자들은 부 비트 라인 보수 EBLc(48)에 결합된다.

증폭기(52,54)들은 DEBL로 표현되는 외부 비트 라인(46,48)에 걸쳐 발생된 차동전압에 비례하는 전류를 발생하기 위하여 사용된다. 증폭기(52,54)에 의해 발생된 전류는 다음과 같은 방정식 $I = g_m \times DEBL$ 로부터 계산될 수 있으며, 여기서 g_m 은 증폭기(52,54)의 트랜스 컨덕턴스 또는 전류 이득이다. 언급한 바와 같이, 각 증폭기(52,54)의 반전 및 비반전 입력은 외부 비트 라인(46,48)을 통해 전송된 데이터의 두 개의 상이한 로직 레벨을 고려하기 위하여 외부 비트 라인(46,48)에 결합된다. 그러므로 각 로직 상태에 대하여, 증폭기(52,54)중 하나만이 전류가 흐르게 된다.

각 증폭기(52,54)의 출력은 노드 Nt, Nc를 형성하는 연관된 전류원(56,58)에 각각 결합된다. 전류원(56,58)의 각각은 회로에서 참조로 사용되는 식별 전류 I_0 를 제공한다. 더욱이, 노드 Nt, Nc의 각각에는 반전 구동기(60,62)가 결합된다. 구동기(60,62)의 출력은 한 쌍의 데이터 판독 라인 RDLt, RDLc에 각각 결합된 2차측 감지증폭기(50)의 출력을 형성한다. 반전 구동기(60)는 설명되는 바와 같이 전류원(56,58) 및 증폭기(52,54)에 응답하여 RDLt 및 RDLc를 상이한 로직 상태로 구동시킨다.

판독 사이클의 개시 시에, 외부 비트 라인(46,48)은 예비충전에 기인하여 둘 다 하이(예를 들면 VDD)이다. 이것은 DEBL이 약 제로(즉, 포인트 E와 F 사이에서 등거리인 윈도우 판별기(44)의 중간)와 같은 것을 초래하며, 양 증폭기 수단(52,54)은 턴오프되어 약 0 mA의 전류를 발생한다(즉, 전류는 차동전압 DEBL에 비례한다). 노드(Nt 및 Nc)는 VDD로부터 흐르는 전류원(56,58)에 의해 하이 전위까지 각각 끌어올려진다. 이것은 구동기(60,62)의 반전 동작에 기인하여 낮은 전위에서 판독 라인 RDLt, RDLc를 유지한다. 전술한 바와 같이, 낮게 유지되는 양 라인 RDLt, RDLc들은 3가지 상태 조건에 상응하며, 이것은 2차측 감지증폭기(50)가 아직 세팅되지 않아서 어떠한 유효 데이터도 포함하지 않는다는 것을 지시한다.

데이터가 외부 비트 라인(46,48)을 통해 전송될 때, 비트 라인중 하나에 대한 전압은 강하하기 시작한다. 이것에 의해, DEBL은 외부 비트 라인이 강하하는 것에 의존하여 포인트 E 또는 F중 어느 한 쪽으로 윈도우(44)의 중심으로부터 멀리 이동하게 된다. 예를 들면, EBLt(46)가 예비충전 레벨(VDD) 이하로 강하하기 시작하면, 도 4에 도시된 배열을 가정하여, 좌측 증폭기(54)는 포지티브 전류를 발생하기 시작한다. DEBL의 크기가 예를 들면 200 mV일 수 있는 소정값(임계치)으로 상승되면, 증폭기(54)에 의해 발생된 전류는 좌측 전류원(58)에 의해 제공된 전류 I_0 와 동일하거나 초과하게 된다. 이것에 의해 좌측 노드(Nc)가 낮은 전위로 된다. 이상적으로 노드(Nc)에서 전위의 전이는 순간적이다. 그러나 전류원의 유한한 출력 컨덕턴스에 기인하여, 전이는 무한하게 가파르지 않다. 그 결과, 도 5에 도시된 바와 같이, VSS로부터 VDD로 전이하는 RDLt와 RDLc를 설명하는 라인의 경사는 이상적인 컴포넌트를 이용하는 경우와 같이 비교적 가파르지만 수직하지는 않다. 도 4는 본 발명의 이상적인 컴포넌트 실행을 설명하며 도 6 및 도 7은 일부 예시적인 실제 컴포넌트 실행을 설명한다.

이점에서, 2차측 감지증폭기(50)는 본 발명의 셀프 타임 특성인 외부 비트 라인(46,48)상의 유효 로직 상태를 인식한다. 전술한 바와 같이, 종래의 2차측 감지증폭기는 이 기능을 달성하기 위하여 외부 트리거 신호에 의존한다.

Nc가 로우가 되면, RDLc는 좌측 반전 구동기(62)에 의해 하이 구동된다. 그러므로 2차측 감지증폭기는 좌측 출력 RDLc가 하이인 반면, 우측 RDLt는 아직 로우이기 때문에 두 개의 로직 상태중 하나의 상태로 된다. EBLc(48)가 예비충전 레벨 이하로 강하하는 외부 비트 라인일 경우, 2차측 감지증폭기(50)의 우측은 출력 RDLt, RDLc를 다른 로직 상태로 구동시키기 위하여 상기한 바와 같이 유사하게 동작한다. 즉, Nt는 낮게 되고 그 결과 RDLt는 우측 반전 구동기(60)에 의해 하이 구동된다.

본 발명에 따른 2차측 감지증폭기(50)는 다양한 소정의 DEBL 값들을 인식하도록 설계될 수 있다. 이것은 윈도우(44)의 네거티브 임계치(-DVw)와 포지티브 임계치(+DVw)를 세팅하기 위하여 다음과 같은 방정식에 따라 I_0 와 gm에 대한 값들을 선택함으로써 달성된다:

$$\frac{1}{2}DVw_{\pm} = I_0/gm$$

여기서 $\frac{1}{2}DVw_{\pm}$ 은 윈도우 판별기(44)의 폭의 절대값 또는 절반이다(도 5).

도 4의 개략 기능도는 본 발명에 따른 윈도우 판별기를 실시하는 한 가지 방법만을 설명한다. 따라서 다른 형태의 차동증폭기 배열은 여기에 기술된 본 발명의 원리를 실시하는데 사용될 수 있다. 예를 들면, 문헌 「the text by P.R.Gray and P.G.Meyer, "Analysis and Design of Analog Integrated Circuits", 3rd edition, Wiley & Sons(1993)」은 사용될 수 있는 차동증폭기 회로의 많은 예들을 제공한다. 당업자들은 많은 다른 실시를 인지할 수 있을 것이다.

도 6은 본 발명에 따른 윈도우 판별기를 이용하는 2차측 감지증폭기의 일 실시의 개략도이다. 도 6에 도시된 2차측 감지증폭기(70)는 도 4의 기능도의 실제 회로 실시 중 일 실시예를 나타낸다. 그러므로 참조부호(72,74,76)에 의해 지정된 트랜지스터들은 도 4의 트랜스 컨덕턴스 증폭기(52,54)에 상응하며, 참조부호(78,80)에 의해 지정된 트랜지스터는 도 4의 연관된 전류원(56,58)에 상응하며, 참조부호(90,92)에 의해 지정된 트랜지스터는 도 4의 연관된 구동기(60,62)에 상응한다.

특히, 차동증폭기는 한 쌍의 소스 결합된 n-채널 FET 디바이스(72,76)에 의해 형성된다. 노드 Nt, Nc는 각각 차동증폭기(72,76)의 출력에 형성되며 서로 180도 위상차가 나는 전류 흐름을 갖는다. 이들 디바이스(72,76)의 게이트 단자는 각각 외부 비트 라인 EBLc(48),EBLt(46)에 결합된다. 이들 디바이스(72,76)는 외부 비트 라인 EBLt, EBLc에 걸쳐 발생된 차동전압을 증폭하는데 사용된다. 더욱이, 다른 n-채널 FET 디바이스(74)는 디바이스(72,76)의 소스 단자 및 접지 사이에 결합된다. 디바이스(74)의 게이트 단자에는 n-채널 트랜지스터에 대한 바이어스 전압으로서 작용하며 전류원으로서 작용하는 소정의 전압 전위 V_n 가 결합된다.

회로를 통하는 전류 흐름의 일례가 주어진다. 그러나 다음 예에 사용되는 값들은 예시적인 목적을 위해 선택되며 동작의 바람직한 범위는 약 1 mA 내지 10 mA 사이일 수 있다. 따라서 예시적인 목적을 위해, 디바이스(74)는 약 1mA의 포화 전류를 갖는 것을 가정한다.

노드(Nt, Nc)와 전압원(VDD) 사이에는 각각 전류원으로서 작용하는 한 쌍의 p-채널 FET 디바이스(78,80)가 결합된다. 이들 트랜지스터(78,80)의 게이트 단자는 p-채널 트랜지스터에 대한 바이어스 전압으로서 작용하며 그 값에 의존하여 동작의 포화영역이나 동작영역에서 디바이스를 유지시키는 제 2 소정 전위(Vp)에 둘 다 결합된다. 예시적인 목적을 위하여, 이들 디바이스(78,80)는 약 0.75 mA의 포화전류를 갖도록 선택된다.

노드 Nt, Nc에는 구동기로서 작용하는 p-채널 FET 디바이스(90,92)가 각각 결합된다. 이들 디바이스(90,92)의 게이트 단자가 각각 노드 Nt, Nc에 결합되고 소스 단자가 VDD에 결합되는 반면, 드레인 단자는 각각 한 쌍의 판독 데이터 라인 RDLt(98), RDLc(100)에 결합된다.

더욱이, 전압원(VDD)과 외부 비트 라인 EBLt(46), EBLc(48) 사이에 각각 결합되는 판독 데이터 라인 RDLt(98), RDLc(100)은 데이터를 수신하기 위해 2차측 감지증폭기(70)를 예비하도록 VDD의 예비충전 레벨로 이들 포인트를 예비충전시키는데 사용되는 부가적인 p-채널 FET 디바이스(82,84,86,88)이다. 디바이스(82,84,86,88)의 게이트 단자들은 예비 충전 단계를 제어하는 신호 PC를 반송하는 PC(예비충전) 신호 라인에 각각 결합된다. 이외에도, 접지 전위와 판독 데이터 라인(RDLt(98), RDLc(100)) 사이에는 RDLt 및 RDLc를 접지로 예비충전시키는데 사용되는 n-채널 디바이스(94,96)가 각각 결합된다. 디바이스(94,96)의 게이트 단자들은 인버터(101)를 통해 라인 PC(예비충전)에 결합된다.

판독 사이클의 개시 시에, 신호 PC는 예비충전 디바이스(82,84,86,88)를 턴온시키는 로우로 간다. 인버터(101)는 디바이스(94,96)를 턴온시키는 PC신호를 반전시킨다. 신호 PC가 로우로 가는 것은 외부 비트 라인 EBLt(46), EBLc(48)과 노드 Nc, Nt를 VDD로 예비충전시키고 판독 데이터 라인 RDLt(98), RDLc(100)을 접지로 예비충전시킨다. 외부 비트라인 EBLt(46), EBLc(48)과 판독 데이터 라인 RDLt(98), RDLc(100)은 오버라이딩을 방지하기 위하여 각각 VDD와 접지에 예비충전되는 반면, 노드 Nt, Nc는 2차측 감지증폭기(70)가 데이터를 수신하기 전에 3가지 상태 조건에 있는 것을 보장하기 위하여 VDD에 예비충전된다.

PC신호가 다시 하이로 간 후에, 2차측 감지증폭기(70)는 아직 3가지 상태 조건을 유지한다. 이 조건에서, 연관된 전류원(78,80)은 약 0.5 mA의 예시적인 값을 갖는 이상적인 전류 I₁ 및 I₂를 생성하는 동작의 액티브 영역에 있게 된다. 전류 I₁ 및 I₂는 차동증폭기 디바이스(72,76)를 통해 소스 결합 디바이스(74)로 흐른다. 차동증폭기 디바이스(72,76)는 VDD로 예비충전되는 외부 비트 라인에 기인하여 둘 다 턴온된다. 트랜지스터 디바이스(74)는 I₁ 및 I₂의 합인 약 1mA의 I₃로 되는 동작의 포화영역에 있다.

동작 준비 상태 및 예비충전(비동작) 상태에서 전류원(78,80)은 각각 750 mA로 끌어올려지고 그 결과 노드 Nc, Nt는 VDD에 있게 된다. 데이터가 외부 비트라인을 통해 전송될 때, 외부 비트 라인중 하나에 걸리는 전압은 강하하기 시작하여 외부 비트 라인에 걸리는 차동전압을 다시 발생하게 된다. 차례로, 좌측 증폭기 디바이스(72)는 전류를 약간만 흐르게 하여 전류 I₁이 감소하게 된다. 동시에, 전류 I₂는 약 1mA에서 상수 전류 I₃를 유지하기 위하여 증가하기 시작한다. 전류원(80)이 약 750 mA를 전달하기 때문에, 노드 Nt는 VDD에 가깝게 된다.

외부 비트 라인에 걸리는 차동전압이 소정 레벨(Vw)에 이르면, 좌측 증폭기(72)는 약 250mA의 감소된 전류를 전달하고 노드 Nc는 VDD에 또는 그에 가깝게 된다. 동시에, 우측 전류원(80)은 약 750mA의 I₂ 전류를 제공하는 포화영역에서 동작하기 시작하여 노드 Nt가 실질적으로 하이로 된다. 포화영역에서 작동하는 트랜지스터 디바이스(74)는 전체 750 mA로 내려간다. 외부 비트 라인에 대한 차동전압이 Vw를 초과할 때, 증폭기(76)는 750mA 이상(그러므로 전류원(80)에 의해 전달될 수 있는 750mA을 증가하는) 전달하며, 그 결과 노드 Nt는 접지로 된다. 접지전위 또는 그 근방의 노드 Nt는 연관된 구동기(90)를 턴온시킨다. 이로 인해 판독 데이터 라인 RDLt(98)이 하이로 구동되는 반면, 판독 데이터 라인 RDLc(100)은 로우로 남게 된다. 판독 데이터 라인상의 이러한 조건은 디바이스(70)의 두 개의 로직 상태중 하나에 해당한다. 따라서 2차측 감지증폭기(70)에 의한 외부 비트 라인에 대해 검출된 데이터가 감지되고, 증폭되어 판독 데이터 라인 RDLt 및 RDLc에 전달된다.

상기한 동작 순서는 반대쪽 외부 비트 라인이 강하되고 다른 것은 하이로 남아있을 때 판독 데이터 라인을 반대 로직 상태로 구동하기 위해 유사하다는 것을 알 수 있을 것이다. 이는 판독 데이터 라인 RDLc(100)는 하이로 구동되고 판독 데이터 라인 RDLt는 디바이스(70)의 다른 로직상태에 상응하는 로우로 남아 있도록 한다. 당업자들은 전송할 시퀀스로 로직 상태를 발생하기 위한 동작의 특정 시퀀스를 인지할 것이다. 도 5로 다시 돌아가서, 2차측 감지증폭기(70)가 3가지 상태 조건에 있는 동안의 기간은 외부 비트 라인에 걸리는 차동전압 DEBL이 윈도우 판별기(44)내에 있을 때의 상황에 상응한다.

도 7은 본 발명에 따른 윈도우 판별기를 이용하는 2차측 감지증폭기(110)의 다른 실시예의 개략도이다. 2차측 감지증폭기(110)의 이 실시예는 도 6의 실시예에 대하여 상기한 바와 같이 동일 참조부호로 지정된 유사한 장치를 포함한다. 구동기(90,92)는 도 6의 구동기(90,92)와 기능이 유사하나, 도 6에서는 p-채널 FET 디바이스인데 반하여 n-채널 FET 디바이스이다. 또한, 디바이스(94,96)는 도 6의 디바이스(94,96)와 기능이 유사하나, 도 6은 n-채널 FET 디바이스인데 반하여 p-채널 FET 디바이스이다. 이러한 이유 때문에, 도 7에 도시된 실시예가 도 6의 실시예와 유사하게 동작하지만, 마지막 실시예의 일부를 실행하는데 사용된 반대 로직에 기인하여, 입-출력 특성(RDLt 및 RDLc 대 DEBL)은 이전 실시예와 비교하여 마지막 실시예에서 반전된다. 그러므로 도 7의 실시예에 대해 도 5와 유사한 그래프는 간단하게 반전된다. 즉, RDLt 및 RDLc는 윈도우(44) 내에서 약 VDD에 있으며 각각 윈도우(44) 외부의 VSS로 강하한다.

그러나 위에서 언급한 바와 같이, 2차측 감지증폭기(110)는 본 발명의 동작을 더욱 향상시키는 기능을 수행하는 부가적인 디바이스를 포함한다. 이 실시예가 도 6에 대하여 기술한 바와 같이 유사하게 동작하기 때문에, 부가적인 디바이스만이 기술될 것이다.

2차측 감지증폭기(110)는 둘 다 p-채널 FET 디바이스이고 외부 비트 라인 EBLt(46) 및 EBLc(48)와 차동증폭기 디바이스(72,76)의 게이트 단자 사이에 각각 결합되는 한 쌍의 통과 트랜지스터(112,114)를 포함한다. 통과 트랜지스터(112, 114)는 외부 비트 라인 EBLt(46) 및 EBLc(48)으로부터 차동증폭기(72,76)를 분리시키는데 사용된다. 이러한 선택적 분리는 다양한 적용분야에서 유리하다. 예를 들면, 본 발명의 2차측 감지증폭기가 디코딩 적용분야에서 하나의 외부 비트 라인 쌍보다 많이 사용되고 있는 경우에, 증폭기와 외부 비트 라인 사이의 선택적 분리는 유용하다. 당업자들은 이러한 분리를 위해 다른 적용분야를 고려할 것이다.

더욱이, 노드 Nt, Nc와 전압원 VDD 사이에는 p-채널 FET 디바이스인 래칭 디바이스(116,118)가 결합된다. 각 디바이스(116,118)의 게이트 단자들은 노드 Nt, Nc에 각각 결합되는 반면, 드레인 단자는 노드 Nc, Nt에 각각 결합되며, 이로 인해 이들 디바이스(116,118)는 다른 노드가 로우로 갈 때 노드 Nc, Nt중 하나를 유지하게 된다. 전압원 VDD와 판독 데이터 라인 RDLt, RDLc 사이에 각각 결합된 두 개의 P-채널 FET 디바이스(120,122)는 유사한 래칭 기능을 수행한다. 즉, 디바이스(120,122)의 게이트 및 드레인 단자들은 교차 결합되기 때문에, 이것은 판독 데이터 라인 RDLt, RDLc 중 하나가 로우로 갈 때 다른 하나는 하이로 되는 것을 보장한다.

더욱이, 노드 Nt, Nc와 각 구동기(90,92) 사이에는 연관된 중간 구동기 스테이지(124,126)가 결합된다. 각 중간 구동기 스테이지(124,126)는 구동기(90,92)를 보다 빨리 턴온시키기 위하여 부가 전류를 각각 공급하는 p-채널 FET 디바이스(124A,126A)를 포함한다. 또한, 각 중간 구동기 스테이지(124,126)는 노드 Nt, Nc중 하나가 로우로 갈 때 다른 하나를 보다 빨리 접지로 구동시키기 위하여 각각 포지티브 피드백을 제공하는 n-채널 FET 디바이스를 포함한다.

또한, 구동기(90,92)의 게이트 단자와 접지 사이에는 부가적인 n-채널 FET 디바이스(128,130)가 각각 결합된다. 이들 디바이스(128,130)의 게이트 단자는 인버터(132)의 출력에 결합되는 반면, 그 입력은 PC 신호 라인에 결합된다. PC 신호가 로우로 가면, 이들 디바이스(128,130)는 턴온되어 구동기(90,92)의 게이트 단자를 접지로 구동시킨다. 이것은 구동기(90,92)가 턴오프되는 반면 판독 데이터 라인 RDLt(98), RDLc(100)은 예비충전되는 것을 보장한다.

두 개의 바이어스 전압 Vn, Vp(도 6의 실시예에 사용)은 참조부호 134로 지정된 회로에 의해 전개될 수 있다. 더욱이, 외부 비트 라인 EBLt, EBLc과 접지 사이에 각각 결합된 캐패시터는 라인당 2.00 피코패럿(pF)인 외부 비트 라인의 캐패시턴스를 나타낸다. 판독 데이터 라인 RDLt, RDLc에 각각 결합된 캐패시터(138)는 라인당 10.00 pF인 판독 데이터 라인의 캐패시턴스를 나타낸다.

본 발명이 양호한 일 실시예를 참조로 설명되었지만, 첨부된 청구 범위에 의해 한정되는 바와 같은 본 발명의 사상을 일탈하지 않는 범위 내에서 다양한 변형이 가능함은 본 발명이 속하는 기술 분야의 당업자에게는 명백하다.

발명의 효과

본 발명은 외부 비트 라인과 같은 한 쌍의 입력 라인과 판독 데이터 라인과 같은 한 쌍의 출력 라인 사이에 결합된 2차측 감지증폭기와 같은 디바이스를 제공함으로써, 외부 트러거가 필요 없이 한 쌍의 입력 라인에 걸리는 차동전압에 응답하여 한 쌍의 출력라인을 구동시킬 수 있다는 효과를 갖는다.

(57) 청구의 범위

청구항 1.

데이터 소스로부터 데이터를 감지하고 그것에 응답하여 한 쌍의 출력라인을 구동시키기 위한 감지 시스템으로서,

상기 데이터를 감지하고 저장하기 위해 상기 데이터 소스에 동작 가능하게 결합된 1차측 감지 디바이스; 및

한 쌍의 입력라인을 통해 상기 1차측 감지 디바이스에 동작 가능하게 결합되고 상기 한 쌍의 출력라인에도 동작 가능하게 결합된 2차측 감지 디바이스를 포함하며,

상기 2차측 감지 디바이스는 상기 1차측 감지 디바이스에 의해 저장된 상기 데이터에 따라서 상기 한 쌍의 입력라인에 걸쳐 발생된 차동전압에 응답하고, 상기 2차측 감지 디바이스는 네거티브 임계치 및 포지티브 임계치에 의해 한정된 차동전압 임계치 범위를 가지며, 상기 2차측 감지 디바이스는 상기 한 쌍의 입력라인에 걸친 차동전압이 상기 차동전압 임계치 범위 내에 있을 경우에는 제 1 출력조건으로 상기 한 쌍의 출력라인을 구동시키고, 상기 차동전압이 상기 네거티브 임계치와 적어도 동일한 경우에는 제 2 출력 조건으로 상기 한 쌍의 출력라인을 구동시키고, 그리고 상기 차동전압이 상기 포지티브 임계치와 적어도 동일한 경우에는 제 3 출력 조건으로 상기 한 쌍의 출력라인을 구동시키며, 상기 차동전압 임계치 범위는 상기 임계치들 중 하나에 도달시 상기 한 쌍의 입력 라인에 적절한 신호가 나타나기 전에 상기 2차측 감지 디바이스가 데이터를 감지하도록 셋업되는 상기 2차측 감지 디바이스의 셀프 타임 동작을 가능하게 하는 것을 특징으로 하는 감지 시스템.

청구항 2.

제 1항에 있어서, 상기 제 1 출력 조건은 3상태 조건에 상응하는 것을 특징으로 하는 감지 시스템.

청구항 3.

제 1항에 있어서, 상기 제 2 출력 조건은 로직 하이 신호 레벨과 로직 로우 신호 레벨 중 하나에 상응하는 것을 특징으로 하는 감지 시스템.

청구항 4.

제 1항에 있어서, 상기 제 3 출력 조건은 로직 로우 신호 레벨과 로직 하이 신호 레벨 중 하나에 상응하는 것을 특징으로 하는 감지 시스템.

청구항 5.

제 1항에 있어서, 상기 1차측 감지 디바이스 및 2차측 감지 디바이스는 상기 데이터 소스가 메모리 셀이고 상기 한 쌍의 입력라인이 외부 비트 라인이며 상기 한 쌍의 출력라인이 판독 데이터 라인인 반도체 메모리 디바이스에 집적되는 것을 특징으로 하는 감지 시스템.

청구항 6.

한 쌍의 입력라인에 걸친 차동전압에 응답하여 한 쌍의 출력라인을 구동시키기 위해 상기 한 쌍의 입력라인과 상기 한 쌍의 출력라인 사이에 결합된 디바이스로서,

전류원;

상기 입력라인에 각각 동작 가능하게 결합된 한 쌍의 입력단자, 상기 출력라인에 각각 동작 가능하게 결합된 한 쌍의 출력단자, 및 상기 전류원에 동작 가능하게 결합된 다른 한 쌍의 단자를 가지며, 상기 한 쌍의 입력라인에 걸친 차동전압에 응답하며, 네거티브 임계치 및 포지티브 임계치에 의해 한정된 차동 전압 임계치 범위를 갖는 차동증폭기로서, 상기 차동전압 임계치 범위는, 상기 임계치들 중 하나에 도달시 상기 한 쌍의 입력 라인에 적절한 신호가 나타나기 전에 상기 차동증폭기가 데이터를 감지하도록 셋업되는 상기 차동증폭기의 셀프 타임 동작을 가능하게 하는 차동증폭기; 및

상기 한 쌍의 출력라인을 구동시키기 위해 상기 전류원과 상기 차동증폭기 사이에 동작 가능하게 결합된 구동기를 포함하며,

상기 구동기는 상기 입력라인에 걸친 차동전압이 상기 차동증폭기의 상기 차동전압 임계치 범위 내에 있을 경우에는 상기 전류원과 상기 차동증폭기에 응답하여 제 1 출력 조건으로 상기 한 쌍의 출력라인을 구동시키고, 상기 입력라인에 걸친 차동전압이 상기 차동전압 임계치 범위의 상기 네거티브 임계치와 적어도 동일한 경우에는 상기 전류원과 상기 차동증폭기에 응답하여 제 2 출력 조건으로 상기 한 쌍의 출력라인을 구동시키며, 상기 입력라인에 걸친 차동전압이 상기 차동전압 임계치 범위의 상기 포지티브 임계치와 적어도 동일한 경우에는 상기 전류원과 상기 차동증폭기에 응답하여 제 3 출력 조건으로 상기 한 쌍의 출력라인을 구동시키는 것을 특징으로 하는 디바이스.

청구항 7.

제 6항에 있어서, 상기 차동전압 임계치 범위의 상기 네거티브 및 포지티브 임계치는 상기 전류원과 연관된 기준전류 및 상기 차동증폭기와 연관된 전류이득의 함수인 것을 특징으로 하는 디바이스.

청구항 8.

제 6항에 있어서, 상기 제 1 출력 조건은 3상태 조건에 상응하는 것을 특징으로 하는 디바이스.

청구항 9.

제 6항에 있어서, 상기 제 2 출력 조건은 로직 하이 신호 레벨과 로직 로우 신호 레벨중 하나에 상응하는 것을 특징으로 하는 디바이스.

청구항 10.

제 6항에 있어서, 상기 제 3 출력 조건은 로직 로우 신호 레벨과 로직 하이 신호 레벨중 하나에 상응하는 것을 특징으로 하는 디바이스.

청구항 11.

제 6항에 있어서, 상기 차동증폭기는 한 쌍의 차동증폭기를 포함하며 상기 전류원은 상기 한 쌍의 차동증폭기에 각각 결합된 한 쌍의 전류원을 포함하는 것을 특징으로 하는 디바이스.

청구항 12.

제 11항에 있어서, 상기 한 쌍의 차동증폭기 중 하나는 상기 구동기가 상기 제 2 출력조건으로 상기 한 쌍의 출력라인을 구동시키게 하기 위하여 상기 한 쌍의 입력라인에 걸친 차동전압에 비례하는 전류를 전도하는 것을 특징으로 하는 디바이스.

청구항 13.

제 11항에 있어서, 상기 한 쌍의 증폭기 중 다른 하나는 상기 구동기가 상기 제 3 출력 조건으로 상기 한 쌍의 출력라인을 구동시키게 하기 위하여 상기 한 쌍의 입력라인에 걸친 차동전압에 비례하는 전류를 전도하는 것을 특징으로 하는 디바이스.

청구항 14.

제 6항에 있어서, 상기 제 2 출력 조건 및 제 3 출력 조건 중 하나로 상기 한 쌍의 출력라인의 구동을 촉진시키기 위해 상기 차동증폭기 및 상기 구동기 사이에 동작 가능하게 결합된 중간 구동기를 더 포함하는 것을 특징으로 하는 디바이스.

청구항 15.

제 6항에 있어서, 예비충전 신호에 응답하여 전압원 레벨로 상기 한 쌍의 입력라인 및 상기 한 쌍의 출력라인을 예비충전하기 위한 예비 충전기를 더 포함하는 것을 특징으로 하는 디바이스.

청구항 16.

메모리 셀로부터 데이터를 판독하기 위한 1차측 감지증폭기 디바이스 및 한 쌍의 외부 비트 라인을 통해 상기 1차측 감지증폭기에 결합된 2차측 감지증폭기 디바이스를 구비하여, 상기 1차측 감지증폭기 디바이스가 상기 한 쌍의 외부 비트 라인에 걸친 차동전압을 발생하며, 상기 2차측 감지증폭기 디바이스가 상기 한 쌍의 외부 비트 라인과 한 쌍의 판독 데이터 라인 사이에 결합되고 상기 한 쌍의 외부 비트 라인에 걸친 차동전압에 응답하여 상기 한 쌍의 판독 데이터 라인을 구동하는 반도체 메모리 디바이스에 있어서,

상기 2차측 감지증폭기 디바이스는,

전류원;

상기 외부 비트 라인에 각각 동작 가능하게 결합된 한 쌍의 입력단자, 상기 판독 데이터 라인에 각각 동작 가능하게 결합된 한 쌍의 출력단자, 및 상기 전류원에 각각 동작 가능하게 결합된 다른 한 쌍의 단자를 가지며, 상기 한 쌍의 외부 비트 라인에 걸친 차동전압에 응답하며, 네거티브 임계치 및 포지티브 임계치에 의해 한정된 차동전압 임계치 범위를 갖는 차동증폭기로서, 상기 차동전압 임계치 범위는, 상기 임계치들 중 하나에 도달시 상기 외부 비트 라인에 적절한 신호가 나타나기 전에 상기 차동증폭기가 데이터를 감지하도록 셋업되는 상기 차동증폭기의 셀프 타임 동작을 가능하게 하는 차동증폭기; 및

상기 한 쌍의 판독 데이터 라인을 구동시키기 위해 상기 전류원과 상기 차동증폭기 사이에 동작 가능하게 결합된 구동기를 포함하며,

상기 구동기는 상기 외부 비트 라인에 걸친 차동전압이 상기 차동증폭기의 상기 차동전압 임계치 범위 내에 있을 경우에는 상기 전류원과 상기 차동증폭기에 응답하여 제 1 출력 조건으로 상기 한 쌍의 판독 데이터 라인을 구동시키고, 상기 외부 비트 라인에 걸친 차동전압이 상기 차동전압 임계치 범위의 상기 네거티브 임계치와 적어도 동일한 경우에는 상기 전류원과 상기 차동증폭기에 응답하여 제 2 출력 조건으로 상기 한 쌍의 판독 데이터 라인을 구동시키며, 상기 외부 비트 라인에 걸친 차동전압이 상기 차동전압 임계치 범위의 상기 포지티브 임계치와 적어도 동일한 경우에는 상기 전류원과 상기 차동증폭기에 응답하여 제 3 출력 조건으로 상기 한 쌍의 판독 데이터 라인을 구동시키는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 17.

제 16항에 있어서, 상기 차동전압 임계치 범위의 상기 네거티브 및 포지티브 임계치는 상기 전류원과 연관된 기준전류 및 상기 차동증폭기와 연관된 전류이득의 함수인 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 18.

제 16항에 있어서, 상기 제 1 출력 조건은 3상태 조건에 상응하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 19.

제 16항에 있어서, 상기 제 2 출력 조건은 로직 하이 신호 레벨과 로직 로우 신호 레벨 중 하나에 상응하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 20.

제 16항에 있어서, 상기 제 3 출력 조건은 로직 로우 신호 레벨과 로직 하이 신호 레벨 중 하나에 상응하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 21.

제 16항에 있어서, 상기 차동증폭기는 한 쌍의 차동증폭기를 포함하며 상기 전류원은 상기 한 쌍의 차동증폭기에 각각 결합된 한 쌍의 전류원을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 22.

제 21항에 있어서, 상기 한 쌍의 차동증폭기 중 하나는 상기 구동기가 상기 제 2 출력 조건으로 상기 한 쌍의 판독 데이터 라인을 구동시키게 하기 위하여 상기 한 쌍의 외부 비트 라인에 걸친 차동전압에 비례하는 전류를 전도하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 23.

제 21항에 있어서, 상기 한 쌍의 차동증폭기 중 다른 하나는 상기 구동기가 상기 제 3 출력 조건으로 상기 한 쌍의 판독 데이터 라인을 구동시키게 하기 위하여 상기 한 쌍의 외부 비트 라인에 걸친 차동전압에 비례하는 전류를 전도하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 24.

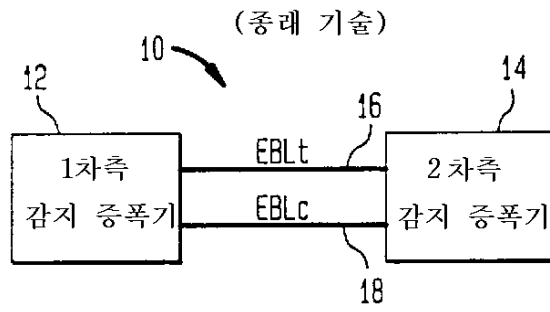
제 16항에 있어서, 상기 제 2 출력 조건 및 상기 제 3 출력 조건 중 하나로 상기 한 쌍의 판독 데이터 라인의 구동을 촉진하기 위해 상기 차동증폭기와 상기 구동기 사이에 동작 가능하게 결합된 중간 구동기를 더 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

청구항 25.

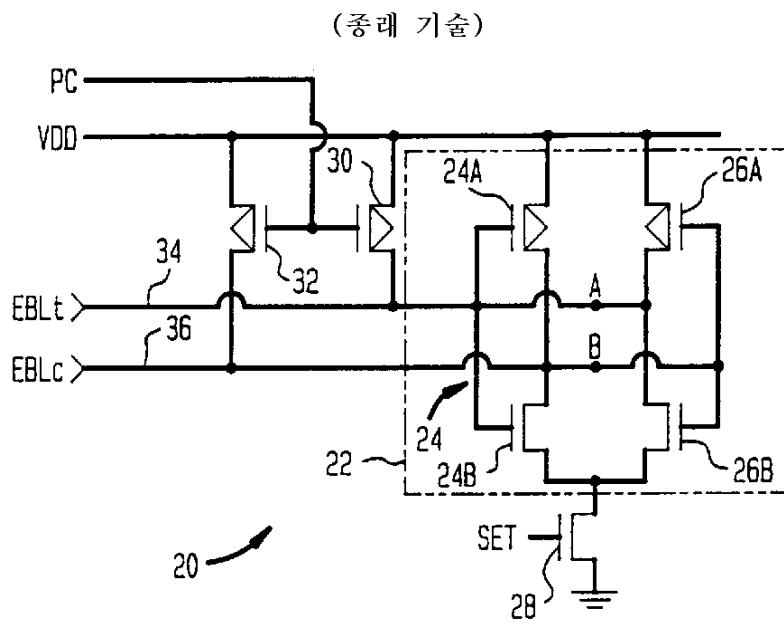
제 16항에 있어서, 예비충전 신호에 응답하여 전압원 레벨로 상기 한 쌍의 외부 비트 라인과 상기 한 쌍의 판독 데이터 라인을 예비충전하기 위한 예비 충전기를 더 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

도면

도면1

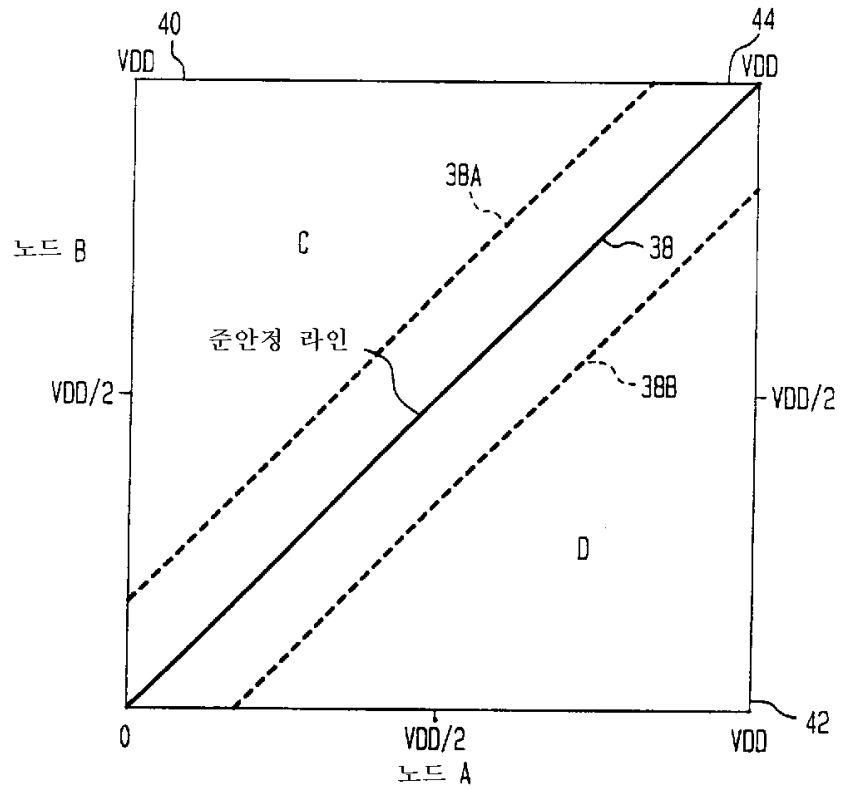


도면2

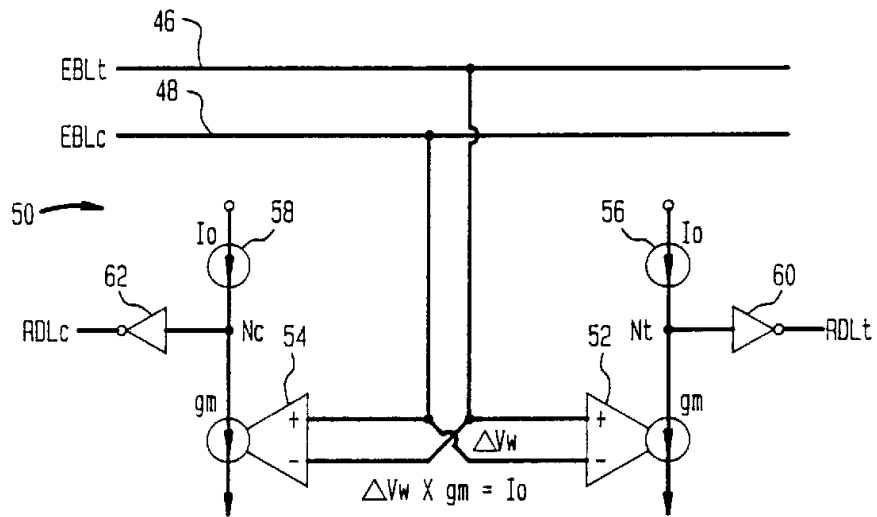


도면3

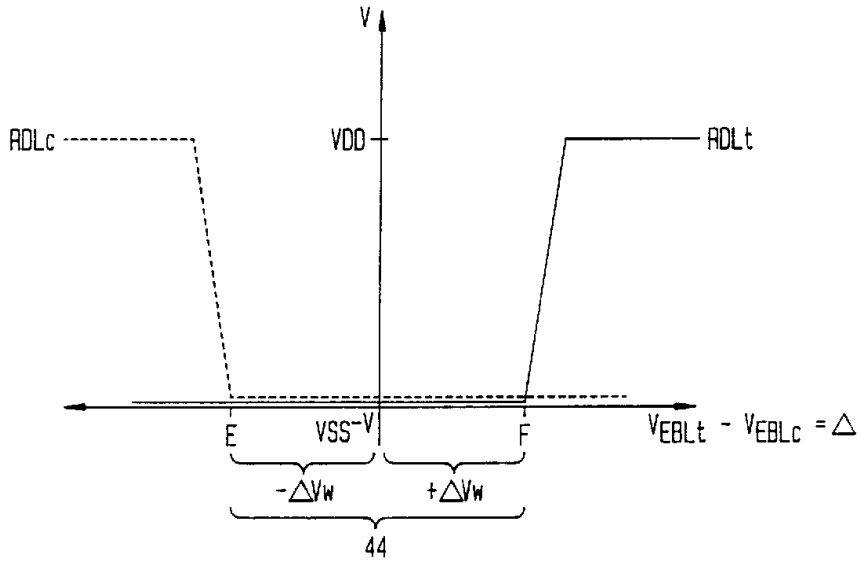
(종래 기술)



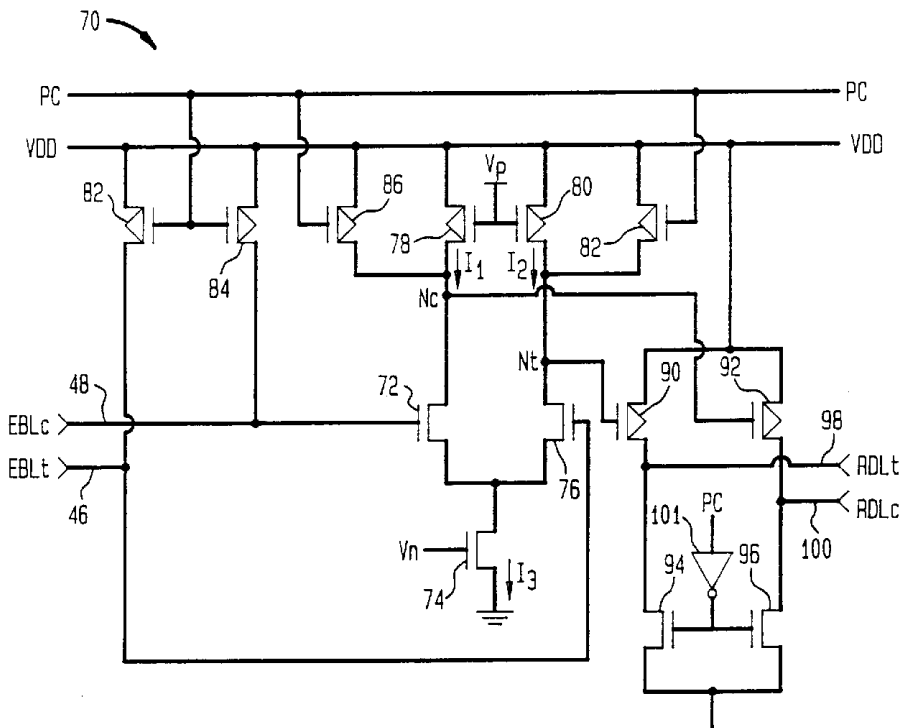
도면4



도면5



도면6



도면7

