



# [12] 发明专利说明书

[21] ZL 专利号 95117365.0

[43] 授权公告日 2003 年 4 月 2 日

[11] 授权公告号 CN 1104722C

[22] 申请日 1995.9.29 [21] 申请号 95117365.0

[30] 优先权

[32] 1994.10.31 [33] KR [31] 28376/1994

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金洵泰

审查员 郭雯

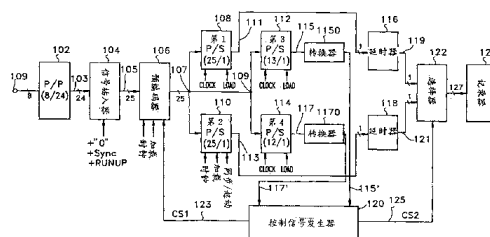
[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所  
代理人 王以平

权利要求书 40 页 说明书 43 页 附图 18 页

[54] 发明名称 用独一预编码器产生交错 -NRZI 调制的数字信号记录装置

### [57] 摘要

一个独一的 2T 型预编码器产生用于数字信号记录装置的交错的不归零、逢‘一’翻转 (I-NRZI) 调制, 该数字信号记录装置用于在记录介质上作并行磁道形式的记录。保证在被选择的各套磁道中纳入引导信号。有第一套 NRZI 码, 它直接由预编码器产生, 还有第二套 NRZI 码。独一的 2T 预编码器是优先的预编码器, 它在并行一位的基础上执行对每个信息字的编码, 以便实现 I-NRZI 调制产生的流水线处理, 免需断续写或断续读的缓冲存贮器。



1. 应用交错的不归零、逢‘一’翻转 *I-NRZI* 调制作记录的数字信号记录装置，所述数字信号记录装置包括：

一个输入端口，用于接收  $n$ -并行位的信息字， $n$  是偶正整数；

一个用于对  $n+1$  并行位的信息字作 *I-NRZI* 编码的预编码器，这些  $n+1$  并行位信息字的形成靠在每个所述的  $n$ -并行位信息字中引入位值预定的控制位，从而产生出两种  $n+1$  位通道字的第一种，所述预编码器根据第一控制信号被初始化；

一个时分多路器，用于将由所述预编码器供给的每个所述的  $n+1$  并行位通道字分成两个位组：第一位组，其各位在所述控制位的预定位值与所述预定位值互补的假定情况下会被取补；及第二位组，其各位在所述控制位的预定位值与所述预定位值互补的假定情况下会保持不变；时分多路器还用于同时提供所述第一和第二位组；

一个第一并一串变换器，用于产生第一串行一位信号，方法是将由所述预编码器提供的所述第一种所述  $n+1$  并行一位通道字的每一个变换成所述第一种  $n+1$  串行一位通道字；

一个第二并一串变换器，用于产生第二串行一位信号，方法

是只对由所述预编码器提供的所述  $n+1$  并行一位通道字中的所述第一位组中的各位取补,然后将所述第二种如此产生的  $n+1$  并行一位通道字变换成所述第二种  $n+1$  串行一位通道字;

一个记录器,用于根据  $I-NRZI$  码在记录介质的并行磁道上记录所述的  $I-NRZI$  调制,该  $I-NRZI$  码的产生靠选择所述第一变换器输出信号和所述第二变换器输出信号之一,选择是根据第二控制信号进行的;以及

一个控制信号产生器,它对由所述时分多路器同时提供的所述第一和第二位组作出响应,用于产生所述第一和第二控制信号,产生所述第一和第二控制信号的目的是使它们指出应该选择所述第一和第二串行一位信号中的哪一个来纳入所述  $I-NRZI$  代码,以使所述  $I-NRZI$  调制对于给同时被记录的所述磁道之一规定的频谱响应的偏差最小。

2. 如权利要求 1 所述的数字信号记录装置,其特征在于,所述预编码器是用于对所述  $n+1$  位信息字编码的  $2T$  预编码器,该信息字的形成靠给所述  $n$ -并行一位信息字的每一个添加上具有预定位值的控制位作为各自的前缀位。

3. 如权利要求 2 所述的数字信号记录装置,其特征在于,所述  $n+1$  位信息字的形成靠给所述  $n$ -并行一位信息字的每一个添加各自的‘零’前缀位。

4. 如权利要求 2 所述的数字信号记录装置,其特征在于所述时分多路器包括:

一个第三并一串变换器,用于将作为由所述预编码器提供的所述第一种被选  $n+1$  并行一位通道字的第一位组变换成串行一

位奇通道字, 以及

一个第四并一串变换器, 用于将作为由所述预编码器提供的所述第一种被选  $n+1$  并行一位通道字的第二位组变换成串行一位偶通道字。

5. 如权利要求2所述的数字信号记录装置, 其特征在于所述控制信号产生器包括:

用于根据第一误差信号的幅度是否被第二误差信号超过而产生所述第一和第二控制信号的电路系统;

第一合成电路系统, 用于将一些单位量, 其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位, 与另一些单位量, 其极性取决于由所述时分多路器同时提供的每个所述串行一位偶通道字的各位, 加法合成, 以产生第一合成结果;

一个第一累计器, 用于将第一合成结果与第一累计器初始累计值累计在一起, 从而产生第一累计器输出信号, 其值等于在下一个被选作记录的是所述第一种通道字的假定情况下会存在的第一运行数字和;

第二合成电路系统, 用于将一些单位量, 其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位, 与另一些单位量, 其极性取决于由所述时分多路器同时提供的每个所述串行一位偶通道字的各位, 减法合成, 以产生第二合成结果;

一个第二累计器, 用于将第二合成结果与第二累计器初始累计值累计在一起, 从而产生第二累计器输出信号, 其值等于在下一个被选作记录的是所述第二种通道字的假定情况下会存在的第二运行数字和, 所述第一和第二累计器的初始累计值相同且等于

所述第一和第二累计器对上一个被选作记录的通道字的输出信号之一；

电路系统，用于为所述磁道中当前正被记录的那个所述磁道计算所述第一运行数字和对规定的运行数字和的任何偏差的能量，第一运行数字和的任何偏差的能量计算结果被包含在所述第一误差信号中；以及

电路系统，用于为所述磁道中当前正被记录的那个所述磁道计算所述第二运行数字和对规定的运行数字和的任何偏差的能量，所述第二运行数字和的任何偏差的能量计算结果被包含在所述第二误差信号中。

6. 如权利要求5所述的数字信号记录装置，其特征在于，所述控制信号产生器还包括：

电路系统，用于在记录第一套磁道的每一个时产生规定的第一频率的三角波作为所述规定的运行数字和值。

7. 如权利要求6所述的数字信号记录装置，用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个，该实数和虚数相位的  $I-NRZI$  调制在第二频率处有一个频谱的谷点，为此所述控制信号产生器还包括：

电路系统，用于产生所述第二频率的抽样数据 (*sampled-data*) 正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第一乘积流；

电路系统，用于产生所述第二频率的抽样数据正弦波系统函数的顺序样本中奇次出现的那些样本，并将它们乘以各自的单位

量，其极性取决于所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第二乘积流；

第三合成电路系统，用于对所述第一和第二乘积流作加法合成，以产生第三合成结果；

一个第三累计器，用于将第三合成结果与第三累计器的初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号内；

第四合成电路系统，用于对所述第一和第二乘积流作减法合成，以产生第四合成结果；

一个第四累计器，用于将第四合成结果与第四累计器的初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号内；

电路系统，用于产生所述第二频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第三乘积流；

电路系统，用于产生所述第二频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位

量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第四乘积流；

第五合成电路系统，用于对所述第三和第四乘积流作加法合成，以产生第五合成结果；

一个第五累加器，用于将第五合成结果与第五累加器的初始累加值累加在一起，从而产生第五累加器输出信号；

用于计算所述第五累加器输出信号能量的电路系统，所述第五累加器输出信号能量的计算结果被包含在所述第一误差信号内；

第六合成电路系统，用于对所述第三和第四乘积流作减法合成，以产生第六合成结果；

一个第六累加器，用于将第六合成结果与第六累加器的初始累加值累加在一起，从而产生第六累加器输出信号，所述第五和第六初始累加值相同且等于所述第五和第六累加器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累加器输出信号能量的电路系统，所述第六累加器输出信号能量的计算结果被包含在所述第二误差信号内。

8. 如权利要求7所述的数字信号记录装置，用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个，该  $I-NRZI$  调制在所述第一频率的两旁有频谱跌落，为此所述控制信号产生器还包括：

电路系统，用于产生所述第一频率的方波系统函数的顺序样本中偶处出现的那些样本，并将它们与各自的单位量合成，该单

位量的极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的和位，以产生第一被乘数流；

电路系统，用于产生所述第一频率的方波系统函数的顺序样本中奇处出现的那些样本，并将它们与各自的单位量合成，该单位量的极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第二被乘数流；

电路系统，用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们与所述第一被乘数流的相应样本相乘，以产生第五乘积流；

电路系统，用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们与所述第一被乘数流的相应样本相乘，以产生第六乘积流；

第七合成电路系统，用于对所述第五和第六乘积流作加法合成，以产生第七合成结果；

一个第七累计器，用于将所述第七合成结果与第七累计器的初始累计值累计在一起，从而产生第七累计器输出信号；

用于计算所述第七累计器输出信号能量的电路系统，所述第七累计器输出信号能量的计算结果被包含在所述第一误差信号内；

第八合成电路系统，用于对所述第五和第六乘积流作减法合成，以产生第八合成结果；

一个第八累计器，用于将所述第八合成结果与第八累计器的初始累计值累计在一起，从而产生第八累计器输出信号；所述第七和第八累计器的初始累计值相同且等于所述第七和第八累计器



对上一个被选作记录的通道字的输出信号之一；

用于计算所述第八累加器输出信号能量的电路系统，所述第八累加器输出信号能量的计算结果被包含在所述第二误差信号内；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中偶数出现的那些样本，并将它们与所述第二被乘数流的相应样本相乘，以产生第七乘积流；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中奇数出现的那些样本，并将它们与所述第二被乘数流的相应样本相乘，以产生第八乘积流；

第九合成电路系统，用于对所述第七和第八乘积流作加法合成，以产生第九合成结果；

第九累加器，用于将所述第九合成结果与第九累加器的初始累加值累加在一起，从而产生第九累加器输出信号；

用于计算所述第九累加器输出信号能量的电路系统，所述第九累加器输出信号能量的计算结果被包含在所述第一误差信号内；

第十合成电路系统，用于对所述第七和第八乘积流作减法合成，以产生第十合成结果；

一个第十累加器，用于将第十合成结果与第十累加器的初始累加值累加在一起，从而产生第十累加器输出信号，所述第九和第十初始累加值相同，且等于所述第九和第十累加器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第十累加器输出信号能量的电路系统，所述第

十累计器输出信号能量的计算结果被包含在所述第二误差信号内。

9. 如权利要求6所述的数字信号记录装置,用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个,该  $I-NRZI$  调制在所述第一频率的两旁有频谱跌落,为此所述控制信号产生器还包括:

电路系统,用于产生所述第一频率的方波系统函数的顺序样本中偶处出现的那些样本,并将它们与各自的单位量合成,该单位量的极性取决于由所述时分多路器提供的每个串行一位偶通道字的各位,以产生第一被乘数流;

电路系统,用于产生所述第一频率的方波系统函数的顺序样本中奇处出现的那些样本,并将它们与各自的单位量合成,该单位量的极性取决于由所述时分多路器提供的每一个所述串行一位奇通道字的各位,以产生第二被乘数流;

电路系统,用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本,并将它们与所述第一被乘数流的相应样本相乘,以产生第一乘积流;

电路系统,用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本,并将它们与所述第一被乘数流的相应样本相乘,以产生第二乘积流;

第三合成电路系统,用于对所述第一和第二乘积流作加法合成,以产生第三合成结果;

一个第三累计器,用于将所述第三合成结果与第三累计器的初始累计值累计在一起,从而产生第三累计器输出信号;

电路系统，用于计算所述第三累计器输出信号的能量，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号内；

第四合成电路系统，用于对所述第一和第二乘积流作减法合成，以产生第四合成结果；

一个第四累计器，用于将所述第四合成结果与第四累计器的初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号内；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们与所述第二被乘数流的相应样本相乘，以产生第三乘积流；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们与所述第二被乘数流的相应样本相乘，以产生第四乘积流；

第五合成电路系统，用于对所述第三和第四乘积流作加法合成，以产生第五合成结果；

一个第五累计器，用于将所述第五合成结果与第五累计器的初始累计值累计在一起，从而产生第五累计器输出信号；

用于计算所述第五累计器输出信号能量的电路系统，所述第五累计器输出信号能量的计算结果被包括在所述第一误差信号

内；

第六合成电路系统，用于对所述第三和第四乘积流作减法合成，以产生第六合成结果；

一个第六累计器，用于将所述第六合成结果与第六累计器的初始累计值累计在一起，从而产生第六累计器输出信号，所述第五和第六初始累计值相同且等于第五和第六累计器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累计器输出信号能量的电路系统，所述第六累计器输出信号能量的计算结果被包含在所述第二误差信号内。

10. 如权利要求5所述的数字信号记录装置，其特征在于所述控制信号产生器包括：

电路系统，用于根据第一误差信号的幅度是否被第二误差信号超过而产生所述第一和第二控制信号；

电路系统，用于产生谷点频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们与各自的单位量相乘，该单位量的极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第一乘积流；

电路系统，用于产生谷点频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们与各自的单位量相乘，该单位量的极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第二乘积流；

第三合成电路系统，用于合成所述第一和第二乘积流，以产生第三合成结果；

一个第三累计器，用于将所述第三合成结果与第三累计器初始累计值累计在一起，以产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号内；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果；

一个第四累计器，用于将所述第四合成结果与第四累计器初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四累计器初始累计值相同且等于所述第三和第四累计器对一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号内；

电路系统，用于产生所述谷点频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第三乘积流；

电路系统，用于产生所述谷点频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第四乘积流；

第五合成电路系统，用于加法合成所述第三和第四乘积流，以产生第五合成结果；

一个第五累计器，用于将所述第五合成结果与第五累计器初始累计值累计在一起，从而产生第五累计器输出信号；

用于计算所述第五累计器输出信号能量的电路系统，所述第五累计器输出信号能量的计算结果被包含在所述第一误差信号内；

第六合成电路系统，用于减法合成第三和第四乘积流，以产生第六合成结果；

一个第六累计器，用于将第六合成结果与第六累计器初始累计值累计在一起，从而产生第六累计器输出信号，所述第五和第六初始累计值相同且等于第五和第六累计器对上一个选作记录的通道字的输出信号之一；以及

用于计算所述第六累计器输出信号能量的电路系统，所述第六累计器输出信号能量的计算结果被包含在所述第二误差信号内。

11. 数字信号记录装置，用于在记录介质的并行磁道上记录交错的不归零、逢‘一’翻转调制；这些磁道的每一个具有前同步信息记录在其上的起始的第二磁道段，有视频信息记录在其上的后继的第一磁道段，有起动信息记录在其上的后继的第四磁道段，有后同步信息记录在其上的最后的第五磁道段；同步数据被记录在记录视频信息和音频信息的第一和第三磁道段相应磁迹的始端；起动数据信息字被记录在所述第四磁道段上，以便控制一个用于在从所述记录介质回放期间进行位检测的锁相环电路；所述装置包括：

一个输入端口，用于接收  $n$ -并行一位信息字， $n$  是一个偶

正整数；

一个预编码器，用于对  $n+1$  并行一位信息字作  $I-NRZI$  编码，该信息字的形成靠在所述  $n$ -并行一位信息字的每一个内引入一个具有预定位值的控制位，所述预编码器根据两位的初始化信号被初始化；

一个时分多路器，用于将由所述预编码器提供的每个所述  $n+1$  并行一位通道字分成两个位组：第一位组，其各位在所述控制位的预定位值与所述预定位值互补的假定情况下会被取补；及第二位组，其各位在所述控制位的预定位值与所述预定位值互补的假定情况下会保持不变；时分多路器还用于同时提供所述第一和第二位组；

一个第一并一串变换器，用于产生第一串行一位信号，方法是将由所述预编码器提供的所述第一种所述  $(n+1)$ -并行一位通道字的每一个变换成所述第一种  $(n+1)$ -串行一位通道字；

一个第二并一串变换器，用于产生第二串行一位信号，方法是只对由所述预编码器提供的所述  $(n+1)$ -并行一位通道字中的所述第一位组中的各位取补，然后将所述第二种如此产生的  $(n+1)$ -并行一位通道字变换成所述第二种  $(n+1)$ -串行一位通道字；

一个记录器，用于根据  $I-NRZI$  代码在记录介质的并行磁道上记录所述的  $I-NRZI$  调制，该  $I-NRZI$  码的产生靠选择所述第一变换器输出信号和所述第二变换器输出信号之一，选择是根据控制信号进行的；以及

一个控制信号产生器，它对由所述时分多路器同时提供的所

述第一和第二位组作出响应，它用于产生所述第一和第二控制信号，目的是使它们指出应该选择所述第一和第二串行一位信号中的哪一个来纳入所述的  $I-NRZI$  代码，以使所述  $I-NRZI$  调制对于给同时被记录的所述磁道之一规定的频谱响应的偏差最小。

12. 如权利要求 11 所述的数字信号记录装置，其特征在于，所述预编码器是一个为对所述  $(n+1)$ -位信息字作  $I-NRZI$  编码而初始化的  $2T$  预编码器，方法是：取初始值为“00”，然后根据所述  $(n+1)$ -位信息字的每一个产生相应的  $(n+1)$ -位通道字。

13. 如权利要求 12 所述的数字信号记录装置，其特征在于，所述时分多路器包括：

一个第三并一串变换器，用于将以被选中的、由所述预编码器提供的所述第一种  $(n+1)$ -并行一位通道字的形式出现的第一位组变换成串行一位奇通道字，以及

一个第四并一串变换器，用于将以被选中的、由所述预编码器提供的所述第一种  $(n+1)$ -并行一位通道字的形式出现的第二位组变换成串行一位偶通道字。

14. 如权利要求 13 所述的数字信号记录装置，其特征在于，所述控制信号产生器包括：

用于提供‘何时同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示的设备；

电路系统，用于根据第一误差信号是否在幅度上超过第二误差信号产生所述控制信号；

第五合成电路系统，用于将一些单位量，其极性取决于由所



述时分多路器提供的每个所述串行一位奇通道字的各位，与另一些单位量，其极性取决于由所述时分多路器同时提供的每个所述串行一位偶通道字的各位，作加法合成，以产生第一合成结果；

一个第一累计器，用于将第一合成结果与第一累计器初始累计值累计在一起，从而产生第一累计器输出信号，其值等于在下一个被选作记录的是所述第一种通道字的假定情况下会存在的第一运行数字和；

第二合成电路系统，用于将一些单位量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，与另一些单位量，其极性取决于由所述时分多路器同时提供的每个所述串行一位偶通道字的各位，作减法合成，以产生第二合成结果，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第二合成电路系统进行的合成是加法合成，当未提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第二合成电路系统进行的合成是减法合成；

一个第二累计器，用于将所述第二合成结果与第二累计器初始累计值累计在一起，从而产生第二累计器输出信号，其值等于在下一个被选作记录的是所述第二种通道字的假定情况下会存在的第二运行数字和，所述第一和第二累计器初始累计值相同且等于所述第一和第二累计器对上一个被选作记录的通道字的输出信号之一；

电路系统，用于计算所述第一运算数字和与给所述磁道中当

前正被记录的那个所述磁道规定的运行数字和的任何偏差的能量，第一运行数字和的任何偏差的能量计算结果被包含在所述第一误差信号中；以及

电路系统，用于计算所述第二运算数字和与给所述磁道中当前正被记录的那个所述磁道规定的运行数字和的任何偏差的能量，所述第二运行数字和的任何偏差的能量计算结果被包含在所述第二误差信号中。

15. 如权利要求 14 所述的数字信号记录装置，其特征在于，控制信号产生器还包括：

电路系统，用于产生规定第一频率的三角波作为当记录第一套磁道的每个磁道时的所述规定运行数字和值；

16. 如权利要求 15 所述的数字信号记录装置，用于借助  $I-NRZI$  调制来记录第一套磁道的每一个，该实数和虚数相位的  $I-NRZI$  调制来记录第一套磁道的每一个，该实数和虚数相位的  $I-NRZI$  调制在第二频率处有一个频谱谷点，为此所述控制信号产生器还包括：

电路系统，用于产生所述第二频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第一乘积流；

电路系统，用于产生所述第二频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第二乘积流；

第三合成电路系统，用于加法合成所述第一和第二乘积流，以产生第三合成结果；

一个第三累计器，用于将所述第三合成结果与第三累计器初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第四合成电路系统进行的合成是加法合成，当未提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第四合成电路系统进行的合成是减法合成；

一个第四累计器，用于将所述第四合成结果与第四累计器初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述第二频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述对分多路器提供的每个所述串行一位偶通道字的各位，以产生第三乘积流；

电路系统，用于产生所述第二频率抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第四乘积流；

第五合成电路系统，用于加法合成所述第三和第四乘积流，以产生第五合成结果；

一个第五累加器，用于将所述第五合成结果与第五累加器初始累加值累加在一起，从而产生第五累加器输出信号；

用于计算所述第五累加器输出信号能量的电路系统，所述第五累加器输出信号能量的计算结果被包含在所述第一误差信号中；

第六合成电路系统，用于减法合成所述第三和第四乘积流，以产生第六合成结果，当提供‘同步数据或起动数据的各位正在由所述并一串变换器提供’的指示时，由所述第六合成电路系统进行的合成是加法合成，当未提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第六合成电路系统进行的合成是减法合成；

一个第六累加器，用于将第六合成结果与第六累加器初始累加值累加在一起，从而产生第六累加器输出信号，所述第五和第六初始累加值相同且等于第五和第六累加器输出信号对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累加器输出信号能量的电路系统，所述第六累加器输出信号能量的计算结果被包含在所述第二误差信号中。

17. 如权利要求 16 所述的数字信号记录装置, 用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个, 该  $I-NRZI$  调制 在所述第一频率的两旁有频谱跌落, 为此所述控制信号产生器还 包括:

电路系统, 用于产生所述第一频率的方波系统函数的顺序样 本中偶处出现的那些样本, 并将它们与各自的单位量合成, 该单 位量的极性取决于由所述时分多路器提供的每一个所述串行一 位偶通道字的各位, 以产生第一被乘数流;

电路系统, 用于产生所述第一频率的方波系统函数的顺序样 本中奇次出现的那些样本, 并将它们与各自的单位量合成, 该单 位量的极性取决于由所述时分多路器提供的每一个所述串行一 位奇通道字的各位, 以产生第二被乘数流;

电路系统, 用于产生所述第一频率的抽样数据正弦波系统函 数的顺序样本中偶处出现的那些样本, 并将它们乘以所述第一被 乘数流的相应样本, 以产生第五乘积流;

电路系统, 用于产生所述第一频率的抽样数据正弦波系统函 数的顺序样本中奇处出现的那些样本, 并将它们乘以所述第一被 乘数流的相应样本, 以产生第六乘积流;

第七合成电路系统, 用于将所述第五和第六乘积流作加法合 成, 以产生第七合成结果;

一个第七累计器, 用于将第七合成结果与第七累计器初始累 计值累计在一起, 从而产生第七累计器输出信号;

用于计算所述第七累计器输出信号能量的电路系统, 所述第 七累计器输出信号能量的计算结果被包含在所述第一误差信号

中；

第八合成电路系统，用于减法合成所述第五和第六乘积流，以产生第八合成结果，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第八合成电路系统进行的合成是加法合成，当未提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第八合成电路系统进行的合成是减法合成；

一个第八累计器，用于将所述第八合成结果与第八累计器初始累计值累计在一起，从而产生第八累计器输出信号，所述第七和第八初始累计值相同且等于所述第七和第八累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第八累计器输出信号能量的电路系统，所述第八累计器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以所述第二被乘数流的相应样本，以产生第七乘积流；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以所述第二被乘数流的相应样本，以产生第八乘积流；

第九合成电路系统，用于加法合成所述第七和第八乘积流，以产生第九合成结果；

一个第九累计器，用于将所述第九合成结果与第九累计器初始累计值累计在一起，从而产生第九累计器输出信号；

用于计算所述第九累计器输出信号能量的电路系统，所述第九累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第十合成电路系统，用于减法合成所述第七和第八乘积流，以产生第十合成结果，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第十合成电路系统进行的合成是加法合成，当未提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第十合成电路系统进行的合成是减法合成；

一个第十累计器，用于将所述第十合成结果与第十累计器初始累计值累计在一起，从而产生第十累计器输出信号，所述第九和第十初始累计值相同且等于所述第九和第十累计器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第十累计器输出信号能量的电路系统，所述第十累计器输出信号能量的计算结果被包含在所述第二误差信号中。

18. 如权利要求 15 所述的数字信号记录装置，用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个，该  $I-NRZI$  调制在所述第一频率的两旁有频谱跌落，为此所述控制信号产生器还包括：

电路系统，用于产生所述第一频率的方波系统函数的顺序样本中偶处出现的那些样本，并将它们与相应的单位量合成，该单位量的极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第一被乘数流；

电路系统，用于产生所述第一频率的方波系统函数的顺序样本中奇处出现的那些样本，并将它们与相应的单位量合成，该单位量的极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第二被乘数流；

电路系统，用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们与所述第一被乘数流的相应样本相乘，以产生第一乘积流；

电路系统，用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们与所述第一被乘数流的相应样本相乘，以产生第二乘积流；

第三合成电路系统，用于加法合成所述第一和第二乘积流，以产生第三合成结果；

一个第三累计器，用于将第三合成结果与第三累计器初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果，当提供‘同步数据和起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第四合成电路系统进行的合成是加法合成，当未提供‘同步数据和起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第四合成电路系统进行的合成是减法合成；

第四累计器，用于将所述第四合成结果与第四累计器初始累



计值累计在一起，从而产生第四计数器输出信号，所述第三和第四初始累计值相同且等于所述第三和第四计数器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四计数器输出信号能量的电路系统，所述第四计数器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们与所述第二被乘数流的相应样本相乘，以产生第三乘积流；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们与所述第二被乘数流的相应样本相乘，以产生第四乘积流；

第五合成电路系统，用于加法合成所述第三和第四乘积流，以产生第五合成结果；

第五计数器，用于将所述第五合成结果与第五计数器初始累计值累计在一起，从而产生第五计数器输出信号；

用于计算所述第五计数器输出信号能量的电路系统，所述第五计数器输出信号能量的计算结果被包含在所述第一误差信号内；

第六合成电路系统，用于减法合成所述第三和第四乘积流，以产生第六合成结果，当提供‘同步数据和起动数据的各位正在被所述第四并一串变换器提供’的指示时，所述第六合成电路系统进行的合成是加法合成，当未提供‘同步数据和起动数据的各位正在被所述第四并一串变换器提供’的指示时，所述第六合成

电路系统进行的合成是减法合成；

一个第六累计器，用于将所述第六合成结果与第六累计器初始累计值累计在一起，从而产生第六累计器输出信号，所述第五和第六初始累计值相同且等于所述第五和第六累计器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累计器输出信号能量的电路系统，所述第六累计器输出信号能量的计算结果被包含在所述第二误差信号中。

19. 如权利要求 14 所述的数字信号记录装置，其特征在于，所述控制信号产生器包括：

电路系统，用于根据第一误差信号是否在幅度上被第二误差信号超过而产生所述第一和第二控制信号；

电路系统，用于产生谷点频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位偶通道字的各位，以产生第一乘积流；

电路系统，用于产生所述谷点频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第二乘积流；

第三合成电路系统，用于加法合成所述第一和第二乘积流，以产生第三合成结果；

一个第三累计器，用于将第三合成结果与第三累计器初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第四合成电路系统进行的合成是加法合成，当未提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，由所述第四合成电路系统进行的合成是减法合成；

一个第四累计器，用于将所述第四合成结果与第四累计器初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四累计器初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述谷点频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行位偶通道字的各位，以产生第三乘积流；

电路系统，用于产生所述谷点频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述时分多路器提供的每个所述串行一位奇通道字的各位，以产生第四乘积流；

第五合成电路系统，用于加法合成所述第三和第四乘积流，以产生第五合成结果；

一个第五累计器，用于将所述第五合成结果与第五累计器初始累计值累计在一起，从而产生第五累计器输出信号；

用于计算所述第五累计器输出信号能量的电路系统，所述第五累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第六合成电路系统，用于减法合成所述第三和第四乘积流，以产生第六合成结果，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第六合成电路系统进行的合成是加法合成，当提供‘同步数据或起动数据的各位正在由所述第四并一串变换器提供’的指示时，所述第六合成电路系统进行的合成是减法合成；

一个第六累计器，用于将所述第六合成结果与第六累计器初始累计值累计在一起，从而产生第六累计器输出信号，所述第五和第六初始累计值相同且等于所述第五和第六累计器对上一次被选作记录的通道字的输出信号之一；

用于计算第六累计器输出信号能量的电路系统，所述第六累计器输出信号能量的计算结果被包含在所述第二误差信号中；

20. 数字信号记录装置，用于交错的不归零、逢‘一’翻转(I-NRZI)调制，所述数字信号记录装置包括：

一个用于根据所收到的 I-NRZI 代码在记录介质上记录所述 I-NRZI 调制的记录器；

一个信息字的源；

一个用于给每个信息字添加单个一位前缀的位插入器,所述单个一位前缀的每一个与其余个的位值相同;

一个  $2T$  预编码器,用于根据已添上所述单个一位前缀的所述信息字产生第一类型的  $I-NRZI$  代码,作为第一预编码器输出信号,产生过程从由第一控制信号规定的初始值开始,在占规定时宽的顺序区间的每个区间期内产生与所述信息字相应的通道字,即一个组合,其中包括形成各个奇通道字的所述第一预解码器输出信号的每个通道字的隔位数位,以及形成各个偶通道字的所述第一预解码器输出信号的每个通道字的隔位数位,

位取补电路系统,用于对所述第一预编码器输出信号的每个奇通道字的各位取补,该电路系统包括:

用于从所述第一预编码器输出信号产生第二预编码器输出信号的设备,产生方法是将所述偶通道字的各位与所述奇通道字取补后的各位交错;

一个对所述第一预编码器输出信号作出响应的控制信号产生器,用于产生所述信号和第二控制信号,所述第一和第二控制信号指示所述第一和第二预编码器输出信号的哪一个应该被选中纳入所述  $I-NRZI$  代码,以便使所述  $I-NRZI$  调制与给当前记录规定的频谱的偏差最小,所述第二控制信号值的任何变化只出现在所述通道字区间时宽的整倍数上;以及

对指示所述第一和第二预编码器输出信号的哪一个应该被选中纳入所述  $I-NRZI$  代码的所述第二控制信号作出响应的设备,用于选出所指示的预编码器输出信号,将它以串行一位格式加到所述记录器。

21. 如权利要求 20 陈述的数字信号记录装置, 其特征在于, 所述 2T 预编码器为并行一位类型。

22. 如权利要求 21 陈述的数字信号记录装置, 其特征在于, 所述 2T 预编码器切实可行地以并行一位第一预编码器输出信号的方式产生所述第一预编码器输出信号, 其特征在于, 用于产生第二预编码器输出信号的所述设备切实可行地以并行一位第二预编码器输出信号的方式产生所述第二预编码器输出信号, 其特征还在于, 用于选出所指示的预编码器输出信号以便将它以串行一位格式加到所述记录器的设备包括:

一个第一并一串变换器, 用于将所述并行一位第一预编码器输出信号变换为串行一位第一预编码器输出信号;

一个第二并一串变换器, 用于将所述并行一位第二预编码器输出信号变换为串行一位第二预编码器输出信号; 以及

一个对所述第二控制信号作出响应的选择器, 用于选择所述串行一位第一预编码器输出信号和所述串行一位第二预编码器输出信号中的一个, 加到所述记录器去。

23. 如权利要求 22 陈述的数字信号记录装置, 它还包括:

一个第三并一串变换器, 用于将从所述并行一位第一预编码器输出信号提取的每个所述偶通道字变换为作为第一输入信号加到所述控制信号产生器去的串行一位偶通道字; 以及

一个第四并一串变换器, 用于将从所述并行一位第一预编码器输出信号提取的每个所述奇通道字变换为作为第二输入信号加到所述控制信号产生器去的串行一位奇通道字。

24. 如权利要求 21 陈述的数字信号记录装置, 它还包括:

一个偶通道字并一串变换器，用于将从所述并行一位第一预编码器输出信号提取的每个所述偶通道字变换为作为第一输入信号加到所述控制信号产生器去的串行一位偶通道字；以及

一个奇通道字并一串变换器，用于将从所述并行一位第一预编码器输出信号提取的每个所述奇通道字变换为作为第二输入信号加到所述控制信号产生器去的串行一位奇通道字。

25. 如权利要求 24 所述的数字信号记录装置，其特征在于，所述控制信号产生器包括：

电路系统，用于根据第一误差信号是否在幅度上被第二误差信号超过而产生所述第一和第二控制信号；

第五合成电路系统，用于将一些单位量，其极性取决于由所述奇一通道一字并一串变换器提供的每个所述串行一位通道字的各位，与另一些单位量，其极性取决于由所述偶一通道一字并一串变换器同时提供的每个所述串行一位偶通道字的各位，加法合成，以产生第一合成结果；

一个第一累计器，用于将所述第一合成结果与第一累计器初始累计值累计在一起，从而产生第一累计器输出信号，其值等于在下一个被选作记录的是所述第一种通道字的假定情况下会存在的第一运行数字和；

第二合成电路系统，用于将一些单位量，其极性取决于由所述奇一通道一字提供的每个所述串行一位奇通道字的各位，与另一些单位量，其极性取决于由所述偶一通道一字并一串变换器提供的每个所述串行一位偶通道字的各位，减法合成，以产生第二合成结果；

一个第二累计器，用于将所述第二合成结果与第二累计器初始累计值累计在一起，从而产生第二累计器输出信号，其值等于在下一个被选作记录的是所述第二种通道字的假定情况下会存在的第二运行数字和，所述第一和第二累计器初始累计值相同且等于第一和第二累计器对上一个被选作记录的通道字的输出信号之一；

电路系统，用于计算所述第一运行数字和与给所述磁道中当前正被记录的那个所述磁道规定的运行数字和的任何偏差的能量，第一运行数字和的任何偏差的能量计算结果被包含在所述第一误差信号中；以及

电路系统，用于计算所述第二运行数字和与给所述磁道中当前正被记录的那个所述磁道规定的运行数字和的任何偏差的能量，所述第二运行数字和的任何偏差的能量计算结果被包含在所述第二误差信号中。

26. 如权利要求 25 所述的数字信号记录装置，其特征在于，所述控制信号产生器还包括：

电路系统，用于产生规定第一频率的三角波，作为当第一套磁道的每一个被记录时的所述规定的运行数字和值。

27. 如权利要求 26 所述的数字信号记录装置，用于借助  $I-NRZI$  调制记录所述第一套磁道的每一个，该实数和虚数相位的  $I-NRZI$  调制在第二频率处有一个频谱的谷点，为此所述控制信号产生器还包括：

电路系统，用于产生所述第二频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位



量，其极性取决于由所述偶一通道一字并一串变换器提供的每个所述串行一位偶通道字的各位，以产生第一乘积流；

电路系统，用于产生所述第二频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述奇一通道一字并一串变换器提供的每个所述串行一位奇通道字的各位，以产生第二乘积流；

第三合成电路系统，用于加法合成所述第一和第二乘积流，以产生第三合成结果；

一个第三累计器，用于将所述第三合成结果与第三累计器初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果；

一个第四累计器，用于将所述第四合成结果与第四累计器初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述第二频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位

量，其极性取决于由所述偶一通道一字并一串变换器提供的每个所述串行一位偶通道字的各位，以产生第三乘积流；

电路系统，用于产生所述第二频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述奇一通道一字并一串变换器提供的每个所述串行一位奇通道字的各位，以产生第四乘积流；

第五合成电路系统，用于加法合成第三和第四乘积流，以产生第五合成结果；

一个第五累计器，用于将第五合成结果与第五累计器初始累计值累计在一起，从而产生第五累计器输出信号；

用于计算所述第五累计器输出信号能量的电路系统，所述第五累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第六合成电路系统，用于减法合成所述第三和第四乘积流，以产生第六合成结果；

一个第六累计器，用于将第六合成结果与第六累计器初始累计值累计在一起，从而产生第六累计器输出信号，所述第五和第六初始累计值相同且等于所述第五和第六累计器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累计器输出信号能量的电路系统，所述第六累计器输出信号能量的计算结果被包含在所述第二误差信号中。

28. 如权利要求 27 所述的数字信号记录装置，用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个，该  $I-NRZI$  调制

在所述第一频率的两旁有频谱跌落，为此所述控制信号产生器还包括：

电路系统，用于产生所述第一频率的方波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述偶—通道—字并—串变换器提供的每个串行一位偶通道字的各位，以产生第一被乘数流；

电路系统，用于产生所述第一频率的方波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述奇—通道—字并—串变换器提供的每个串行一位奇通道字的各位，以产生第二被乘数流；

电路系统，用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以所述第一被乘数流的相应样本，以产生第五乘积流；

电路系统，用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以所述第一乘积流的相应样本，以产生第六乘积流；

第七合成电路系统，用于加法合成所述第五和第六乘积流，以产生第七合成结果；

一个第七累计器，用于将所述第七合成结果与第七累计器初始累计值累计在一起，从而产生第七累计器输出信号；

用于计算所述第七累计器输出信号能量的电路系统，所述第七累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第八合成电路系统，用于减法合成所述第五和第六乘积流，

以产生第八合成结果；

一个第八累加器，用于将所述第八合成结果与第八累加器初始累加值累加在一起，从而产生第八累加器输出信号，所述第七和第八初始累加值相同且等于所述第七和第八累加器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第八累加器输出信号能量的电路系统，所述第八累加器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中偶数出现的那些样本，并将它们乘以所述第二被乘数流的相应样本，以产生第七乘积流；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中奇数出现的那些样本，并将它们乘以所述第二被乘数流的相应样本，以产生第八乘积流；

第九合成电路系统，用于加法合成所述第七和第八乘积流，以产生第九合成结果；

一个第九累加器，用于将所述第九合成结果与第九累加器初始累加值累加在一起，从而产生第九累加器输出信号；

用于计算所述第九累加器输出信号能量的电路系统，所述第九累加器输出信号能量的计算结果被包含在所述第一误差信号中；

第十合成电路系统，用于减法合成所述第七和第八乘积流，以产生第十合成结果；

第十累加器，用于将所述第十合成结果与第十累加器初始累

计值累计在一起,从而产生第十累计器输出信号,所述第九和第十初始累计值相同且等于所述第九和第十累计器对上一个被选作记录的通道字的输出信号之一;以及

用于计算所述第十累计器输出信号的电路系统,所述第十累计器输出信号被包含在所述第二误差信号中。

29. 如权利要求 26 所述的数字信号记录装置,用于借助  $I-NRZI$  调制来记录所述第一套磁道的每一个,该  $I-NRZI$  调制在所述第一频率的两旁有频谱跌落,为此所述控制信号产生器还包括:

电路系统,用于产生所述第一频率的方波系统函数的顺序样本中偶处出现的那些样本,并将它们与各自的单位量合成,该单位量的极性取决于由所述偶—通道—字并—串变换器提供的每个所述串行一位偶通道字的各位,以产生第一被乘数流;

电路系统,用于产生所述第一频率的方波系统函数的顺序样本中奇处出现的那些样本,并将它们与各自的单位量合成,该单位量的极性取决于由所述奇—通道—字并—串变换器提供的每个所述串行一位奇通道字的各位,以产生第二被乘数流;

电路系统,用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本,并将它们乘以所述第一被乘数流相应的样本,以产生第一乘积流;

电路系统,用于产生所述第一频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本,并将它们乘以所述第一被乘数流相应的样本,以产生第二乘积流;

第三合成电路系统,用于加法合成所述第一和第二乘积流,

以产生第三合成结果；

一个第三累计器，用于将第三合成结果与第三累计器初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果；

第四累计器，用于将所述第四合成结果与第四累计器初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四累计器初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以所述第二被乘数流的相应样本，以产生第三乘积流；

电路系统，用于产生所述第一频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以所述第二被乘数流的相应样本，以产生第四乘积流；

第五合成电路系统，用于加法合成所述第三和第四乘积流，以产生第五合成结果；

一个第五累计器，用于将第五合成结果与第五累计器初始累

计值累计在一起，从而产生第五累计器输出信号；

用于计算所述第五累计器输出信号能量的电路系统，所述第五累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第六合成电路系统，用于减法合成所述第三和第四乘积流，以产生第六合成结果；

一个第六累计器，用于将所述第六合成结果与第六累计器初始累计值累计在一起，从而产生第六累计器输出信号，所述第五和第六初始累计值相同且等于所述第五和第六累计器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累计器输出信号能量的电路系统，所述第六累计器输出信号能量的计算结果被包含在所述第二误差信号中。

30. 如权利要求 25 所述的数字信号记录装置，其特征在于，所述控制信号产生器包括：

电路系统，用于根据第一误差信号是否在幅度上被第二误差信号超过而产生所述第一和第二控制信号；

电路系统，用于产生谷点频率的抽样数据正弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述偶—通道—字并—串变换器提供的每个所述串行一位偶通道字的各位，以产生第一乘积流；

电路系统，用于产生所述谷点频率的抽样数据正弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述奇—通道—字并—串变换器提供的每个

所述串行一位奇通道字的各位，以产生第二乘积流；

第三合成电路系统，用于加法合成所述第一和第二乘积流，以产生第三合成结果；

一个第三累计器，用于将所述第三合成结果与第三累计器初始累计值累计在一起，从而产生第三累计器输出信号；

用于计算所述第三累计器输出信号能量的电路系统，所述第三累计器输出信号能量的计算结果被包含在所述第一误差信号中；

第四合成电路系统，用于减法合成所述第一和第二乘积流，以产生第四合成结果；

一个第四累计器，用于将第四合成结果与第四累计器初始累计值累计在一起，从而产生第四累计器输出信号，所述第三和第四初始累计值相同且等于所述第三和第四累计器对上一个被选作记录的通道字的输出信号之一；

用于计算所述第四累计器输出信号能量的电路系统，所述第四累计器输出信号能量的计算结果被包含在所述第二误差信号中；

电路系统，用于产生所述谷点频率的抽样数据余弦波系统函数的顺序样本中偶处出现的那些样本，并将它们乘以各自的单位是，其极性取决于由所述偶—通道—字并—串变换器提供的每个所述串行一位偶通道字的各位，以产生第三乘积流；

电路系统，用于产生所述谷点频率的抽样数据余弦波系统函数的顺序样本中奇处出现的那些样本，并将它们乘以各自的单位量，其极性取决于由所述奇—通道—字并—串变换器提供的每个



所述串行一位奇通道字的各位，以产生第四乘积流；

第五合成电路系统，用于加法合成所述第三和第四乘积流，以产生第五合成结果；

一个第五累加器，用于将所述第五合成结果与第五累加器初始累加值累加在一起，从而产生第五累加器输出信号；

用于计算所述第五累加器输出信号能量的电路系统，所述第五累加器输出信号能量的计算结果被包含在所述第一误差信号中；

第六合成电路系统，用于减法合成所述第三和第四乘积流，以产生第六合成结果；

一个第六累加器，用于将所述第六合成结果与第六累加器初始累加值累加在一起，从而产生第六累加器输出信号，所述第五和第六初始累加值相同且等于所述第五和第六累加器对上一个被选作记录的通道字的输出信号之一；以及

用于计算所述第六累加器输出信号能量的电路系统，所述第六累加器输出信号能量的计算结果被包含在所述第二误差信号中。

用独一预编码器产生  
交错—NRZI调制的数字  
信号记录装置

本发明涉及记录交错的不归零、逢‘一’翻转(I—NRZI)调制的数字信号记录装置，该调制含有用于在回放期间磁头跟踪的引导信号。

在一个象盒带录象机之类的磁记录/重放装置中，由于在回放期间磁头偏离磁记录介质上的磁道，磁头输出减小，误差增大。这就妨碍了图象的正常重演，因此要求头精确地跟踪目标磁道。也就是说，必须保持磁头的跟踪。为了扩展家用数字式盒带录象机的记录时间，磁道特别地窄，从而增加了为满意地重放图象所需的磁头跟踪精度。在检测磁头跟踪误差、即检测脱离理想跟踪的偏差的各种方法中，有一些方法使用了对顺序磁道作出不同响应的引导信号，以便于比较来自磁头跟得最近的磁道前后两个磁道的引导信号串扰，因而测出磁道跟踪偏向前磁道还是偏向后磁道。有选择地记录两种交错的不归零、逢‘一’翻转(I—NRZI)调制之一，引导信号的形状就是记录在各磁道上的数字信号频谱中的峰和谷。同一个信息被预编码成在时间上并行的两套串行供给的通道字；为了控制在记录期间的I—NRZI调制，通道字选自这两套中的一套，选择原则是使该I—NRZI调制总是最少地偏离对应于每个正在

记录的磁道的引导信号规范。当完成通道字的选择时，存储在不曾产生选中的通道字的那个预编码器中的预编码信息被改变，以与存储在曾经产生选中的通道字的那个预编码器中的预编码信息相符。这样做是为了给编码过程和 在  $I-NRZI$  调制之后的解码过程提供连续性保证。这里的  $I-NRZI$  调制是在回放期间从记录介质中复原并解调的。当完成通道字的选择时，在电路系统中的用于确定应该选择哪个通道字的累计器必须使其内容得到更新，以反映曾经被选择作记录的通道字事实上是哪一个。对上述种种方法的说明见 1992 年 8 月 24 日授予 *Kahlman* 等人的 5,142,421 号美国专利“用于在记录载体上记录数字信息信号的设备”，因此将它收编在此备查。

在 *Kahlman* 等人的专利中， $I-NRZI$  调制是在串行位的基础上产生的。这不适用于流水线操作，在这种操作中，从串行位预编码器选出的通道字，为了适应选择电路，被在某个固定延时之后记录在磁记录介质上。在一对相应的通道字产生之后，决定将记录其中哪个通道字的决策过程需要一些时间。决策过程之后，在预编码器中更新存储的信息又需要一些时间。必须完成这些决策和更新过程才能做另外的预编码，所以由这些决策和更新过程带来的延时会在用同步计时方法有规律计时的连续位流中造成中断。因此，在串行位预编码器之前必须有能时断时续地读出的先进/先出缓冲存储器，也必须为由串行位预编码器产生的通道字配备能时断时续地写入选定的通道字并能在随后连续读出的先进/先出缓冲存储器。缓冲存储器定时信号的产生多少有点复杂，所以希望能不需要断续写或断续读的缓冲存储器。

作为非主要参考内容,这里也收编了本发明人在1995年6月7日提出申请的专利:“数字信号记录装置”。在这份早先的申请中,本发明人 *Soon-Tae Kim* 叙述了连同并行位至串行位(*P/S*)的变换器一起使用的并行位预编码器来实现对 *I-NRZI* 调制产生的流水线处理,而不必使用断续写或断续读的缓冲存储器。在产生 *I-NRZI* 调制的最初几步中,通常采用 *2T* 类型的第一和第二预编码器来实现预编码过程,以便并行地产生两套通道字,从中选出要记录的通道字。正如 *Kahlman* 等人指出的那样,当单个位的前缀被添加到由 *2T* 型的第一和第二预编码器预编码的信息字上时,在它们同时产生的各自通道字中相应的奇数位是互补的,而在这些通道字中相应的偶数位则是相同的。这个特点被用来在本发明人这份如上提及的同期专利申请中叙述的某种数字信号记录装置中减少在第一和第二 *2T* 型并行一位预编码器之后所需的并行一位至串行一位的变换量。

在本文所叙述的发明的一些实现中,这个特点被利用来使用独特的 *2T* 型预编码器产生 *I-NRZI* 调制,它产生一对同时通道字的第一字,然后对其奇数位取补、偶数位不变,从第一字得出该对的第二通道字。因为如同在本发明人上面提及的同期专利申请中所述,在 *2T* 型并行位预编码器中有大量的异或门和大量的位锁存器,所以当在并行位的基础上作预编码时,使用独特的 *2T* 型预编码器是特别有吸引力的。

本发明在使用独特的 *2T* 型预编码器产生交错的不归零、逢‘一’翻转(*I-NRZI*)调制的数字信号记录装置中实现。在本发明的一些优先实施例,独特的 *2T* 预编码器是在并行码基础上进行

对每个信息字编码的那种预编码器，以便实现对  $I-NRZI$  调制产生的流水线处理，并且不必使用断续写或断续读的缓冲存储器。

为了实现本发明的上述目的在此提供一种数字信号记录装置。

一种应用交错的不归零、逢‘一’翻转  $I-NRZI$  调制作记录的数字信号记录装置，所述数字信号记录装置包括：

一个输入端口，用于接收  $n$ —并行位的信息字， $n$  是偶正整数；

一个用于对  $n+1$  并行位的信息字作  $I-NRZI$  编码的预编码器，这些  $n+1$  并行位信息字的形成靠在每个所述的  $n$ —并行位信息字中引入位值预定的控制位，从而产生出两种  $n+1$  位通道字的第一种，而不是假如所述控制位具有相反位值即所述预定值的补值时就会产生的两种  $n+1$  位通道字中的第二种，所述预编码器根据第一控制信号被初始化；

一个时分多路器，用于将由所述预编码器供给的每个所述的  $n+1$  并行位通道字分成两个位组：第一位组，其各位在所述控制位的预定位值与所述预定位值互补的假定情况下会被取补；及第二位组，其各位在所述控制位的预定位值与所述预定位值互补的假定情况下会保持不变；时分多路器还用于同时提供所述第一和第二位组；

一个第一并一串变换器，用于产生第一串行一位信号，方法是将由所述预编码器提供的所述第一种所述  $n+1$  并行一位通道字的每一个变换成所述第一种  $n+1$  串行一位通道字；

一个第二并一串变换器，用于产生第二串行一位信号，方法是只对由所述预编码器提供的所述  $n+1$  并行一位通道字中的所述第一位组中的各位取补，然后将所述第二种如此产生的  $n+1$

并行一位通道字变换成所述第二种  $n+1$  串行一位通道字；

一个记录器，用于根据  $I-NRZI$  码在记录介质的并行磁道上记录所述的  $I-NRZI$  调制，该  $I-NRZI$  码的产生靠选择所述第一变换器输出信号和所述第二变换器输出信号之一，选择是根据第二控制信号进行的；以及

一个控制信号产生器，它对由所述时分多路器同时提供的所述第一和第二位组作出响应，用于产生所述第一和第二控制信号，产生所述第一和第二控制信号的目的是使它们指出应该选择所述第一和第二串行一位信号中的哪一个来纳入所述  $I-NRZI$  代码，以使所述  $I-NRZI$  调制对于给同时被记录的所述磁道之一规定的频谱响应的偏差最小。

在用于记录电视信号的本发明的某些实施例中，采取了用同一个  $2T$  型预编码器来产生既适合视频和音频信息又适合同步和起动信息的  $I-NRZI$  调制的措施。在记录视频和音频信息期间引入的引导信号被延续到记录同步和起动信息的始终。

本发明的上述目的及优点根据附图并通过详细的优选实施例的说明将更为明显，附图为：

图 1 描述了在磁记录介质表面的毗邻并行道上记录的一系列通道字的数据流的模式；

图 2A, 2B 和 2C 说明了有关图 1 所示的模式的频谱；

图 3 是在美国专利 No. 5, 142, 421 中描述的一个常规的数字信号记录装置的方块图；

图 4 为图 3 所示的数字信号记录装置中改进以后的控制信号发生器部分的详细电路图；

图 5 说明了用图 4 所示控制信号发生器产生的一控制信号所选择的一系列通道字数据流的模式的频谱之一；

- 图 6 是在本发明所用的以前熟知的磁道模式图；
- 图 7 说明了在图 6 所示的一个磁道上记录的信息内容；
- 图 8 为本发明实施例的数字信号记录装置的方块图；
- 图 9 是包含在图 8 的数字信号记录装置中的预编码电路的详细方块图；
- 图 10A—10I 说明同步数据和启动数据的模式；
- 图 11 是图 9 所示的信号插入器的详细电路图；

图 12A 和 12B 是图 9 所示的预编码器部分的详细电路图；

图 13 是图 9 所示的第一个并行到串行转换器的详细电路图；

图 14 是图 9 所示的第二个并行到串行转换器的详细电路图；

图 15A—15I 说明了图 8 和 9 所示的不同块的工作波形；

图 16 是图 8 所示的控制信号发生器的详细电路图；

图 17A 和 17B 说明了图 16 所示的三角波发生器产生的三角波信号；

图 18A, 18B 和 18C 说明了在图 16 中控制信号发生器所用的正弦波信号和方波信号；

图 19A 和 19B 是为了存储图 18A 中所示的正弦信号的奇采样正弦表和偶采样正弦表的例子；

图 20A, 20B 和 20C 是图 16 的虚线框中电路的交替执行的例子。

图 1 说明了为了便于磁头找道，在磁记录介质的连续并行道上，螺旋扫描数字记录装置如何以 3 种频谱响应模式  $F_0$ ,  $F_1$  和  $F_2$  记录一系列通道字的数据流。根据约定，所显示的磁道上同一般情况比在长度上更短而在带的运动方向上更斜。在磁记录介质的各自的道上，引导信号出现在以  $F_0, F_1, F_0, F_2 \dots$  序列记录的数字信号的频谱中。引导信号在所述的频率上存在谷或峰值的形式，这个频率被插入到磁道上记录的信号的频率域频谱能量响应中（傅立叶变换）。当回放这些特定模式磁道中的任何一个时，根据希望值，频率域频谱能量响应的某个偏离就被确定。这种偏离可被归于来自前后磁道的数字信号的拾取，以便估计磁头到前面磁道和后面磁道相对接近度，从磁道确定磁头找道误差，所说明的顺



序的模式  $F_0, F_1, F_0, F_2$  仅仅是一种范例, 因为实际上模式数和记录顺序可以不同于美国专利 No. 5,142,421 说明的某些式样。

图 2A, 2B 和 2C 说明了分别示于图 1 中的带有模式  $F_0, F_1$  和  $F_2$  的通道字的串行位数据流的频谱, 在模式  $F_0$  的频谱中, 在频率  $f_1$  和  $f_2$  处具有谷, 在那里频谱能量相对小。在模式  $F_1$  的频谱中, 在频率  $f_1 = W_1/2\pi$  处有一个引导信号(峰), 在那里频谱能量相对大而在频率  $f_2 = W_2/2\pi$  处有一谷, 在那里频谱能量相对小。在模式  $F_2$  的频谱中, 在频率  $f_1$  处有一个谷, 在那里频谱能量相对小而在频率  $f_2$  处有一个引导信号(峰), 在那里频谱能量相对大。

在模式  $F_0$  的回放期间, 毗邻磁道的模式  $F_1$  和  $F_2$  的引导信号(峰  $f_1$  和  $f_2$ ) 之间交扰作用被用来确定找道误差。一方面, 如果磁头从模式  $F_0$  的中心向模式  $F_1$  偏移, 来自模式  $F_1$  的引导信号的交扰变得比模式  $F_2$  的交扰更大。结果, 回放信号的频率成分  $f_1$  变大而频率成分  $f_2$  变小。另一方面, 如果磁头从模式  $F_0$  的中心向模式  $F_2$  偏移, 来自模式  $F_2$  的引导信号的交扰变得比模式  $F_1$  的交扰更大。结果, 平均起来, 回放信号的频率成分  $f_2$  变得更大, 而频率成分  $f_1$  变得更小。当在回放模式  $F_0$  时, 比较在频率  $f_1$  和  $f_2$  上的回放信号的平均频谱能量, 能检测磁头找道偏移这样的结果, 用电压加到装有磁头的压电元件上来控制磁头元件的高度。或者用控制磁记录介质(带)的传送速度可实现精确的找道。

图 3 是一个数字信号记录装置的方框图, 它由 Kahlman 等人发表在美国专利 No. 5, 142, 421, 1992 年 8 月 25 日, 题目为 “*DEVICE FOR RECORDING A DIGITAL INFORMATION SIGNAL ON A RECORD CARRIER*”, 在此引入作为参考。图的

结构和操作将涉及记录模式  $F_0$ ,  $F_1$  和  $F_2$  的传统方法而被讨论。

在图 3 中, 通过输入端口 1 到并行转串行(P/S)转换器 2 提供一个 8 个并行位数据字, 作为一个例子, P/S 转换器 2, 把每个连续的 3 个 8 并行位数字字组转成一个由转换器输出端口 3 提供的 24 个串行位数字信息字。信号插入器 4 包含“0”位插入器 4.1 和“1”位插入器 4.2, 分别作为输入信号, 每个接收 P/S 转换器 2 输出端口 3 的 24 串行位数字信息字流。“0”位插入器 4.1 在每个 24 个串行位信息字的最高有效位(MSB)之前插入一个由“0”组成的一位的数字前缀, 以从“0”位插入器 4.1 的输出端口 5 产生一各自为 25 个串行位的正信息字。“1”位插入器 4.2 在每个 24 串行位信息字的最高有效位(MSB)之前插入一个由“1”组成的一位的数字前缀, 以从“1”位插入器 4.2 的输出端口 7 产生一各自为 25 个串行位的负信息字。

编码器 6 包括预编码器 6.1, 它把正信号字转换成各自为 25 个串行位通道字通过接点 9 提供。编码器 6 还包括预编码器 6.2, 它把负信号字转换成各自为 25 个串行位通道字通过接点 11 提供。在本说明的剩余部分及附在本说明的权利要求书中, 为了区分从预编码器 6.1 提供的通道字和从预编码器 6.2 提供的通道字, 预编码器 6.1 提供的通道字称为“正”信息通道字, 而预编码器 6.2 提供的通道字称为“负”信息通道字。若预编码器 6.1 和 6.2 是 2T 预编码器, 一位前缀码使它们产生 2 个 25 个串行位通道字, 在通道字中对应的偶数位是相同的, 而相应的奇数位是位互补的。一个 2T 预编码器包括一个 2 输入端的异或门及一个二级移位寄存器, 从异或门的输出端到第一个输入端提供一个集成反馈连

结 (*integrating feed back connection*)，异或门的第二个输入端接收预编码器的输入信号，在它的输出端提供一个预编码器的输出信号。通常，在它的第一个输入端接收的预编码器的输出信号通过二极移位寄存器延迟  $2T$ 。间隔  $T$  为预编码器输入信号的采样间隔及通过二极移位寄存器受时钟移位间的间隔。异或门的反馈连结由称为“集成反馈连结”或简称为“集成连”的二极移位寄存器提供。

预编码器 6.1 提供 25 个串行位的正信息通道字经连接点 9 作为输出信号；而预编码器 6.2 提供 25 个串行位的负信息通道字经连接点 11 作为输出信号。预编码器 6.1 和 6.2 并行地提供基于 25 个串行位的通道字，控制信号发生器 10 比较每个字的各个频率域的频谱能量特性以说明磁道的频谱能量特性，这个磁道将由数字记录器 14 记录，以确定那个通道字离规定的频谱响应偏移最小，控制信号发生器 10 产生一个控制信号 CS 指示预编码器 6.1 和 6.2 提供的通道字的那一个与规定的频谱响应偏移最小，并且选择它进行记录。控制信号 CS 经 17 连到选择器 12 的选择控制端口，而选择器 12 选择预编码器 6.1 和 6.2 中一个的输出信号（经时间补偿器 8 延迟）。这个信号与规定的频率响应偏移最小，以用到数字磁带记录器 14 中。时间补偿器 8 的延时器 8.1 和 8.2 被用来对控制信号发生器 10 的时间需求补偿，以产生控制信号 CS 用到选择器 12。控制信号 CS 亦经过 17 分别连到预编码器 6.1 和 6.2 的控制端口，以控制预编码器 6.1 和 6.2 对记录选择的输出之一的移位寄存器内容的传送到预编码器 6.1 和 6.2 的另一个移位寄存器中，以提供编码的连续性。

选择器 12 经连接点 13 接收被延迟器 8.1 延迟的预编码器 6.1 的正信号输出和经连接点 15 接收被延迟器 8.2 延迟的预编码器 6.2 的负信息输出, 根据控制信号  $CS$ , 选择器 12 选择经延迟的预编码器 6.1 和 6.2 的输出信号中的一个, 并经连接点 19 连到数字记录器 14 作为记录的输入信号。为了使数字记录器 14 以恒定位速率记录位调制, 需要某些速率的缓冲。延迟器 8.1 和 8.2 可以是固定延迟器, 在选择器 12 之后提供的速率缓冲; 换句话说, 延迟器 8.1 和 8.2 可能是先进/先出 ( $FIFO$ ) 速率缓冲器存储器, 它提供所需的速率缓冲。

图 4 是为图 3 的数据信号记录装置改进的控制信号发生器的详细电路图, 当工作时产生具有如图 5 所示频率响应频谱的通道字的串行数据流。当比较图 2B 中所示的  $F_1$  模式频谱及图 5 所示的频谱时,  $f_1$  的各边发生倾斜。这些倾斜表示频谱的噪声功率在引导信号频率  $f_1$  附近下降, 其结果因在频率  $f_1$  上对引导信号的检测而增加了信号噪声比。

图 4 是改进的控制信号发生器, 同 *Kahlman* 等人描写的不同在于包括码到数值转换器 10.1 和 10.2, 码到数值转换器 10.1 把预编码器 6.1 的正信息输出的  $ONES$  和  $ZEROS$  转换成  $I-NRZI$  调制的数值表示。这种调制以相同振幅值在负和正数值之间转换, 且不伴随直流项。码到数值转换器 10.2, 其结构同码到数值转换器 10.1 相同。码到数值转换器 10.2 把预编码器 6.2 的“负”信号输出的  $ONES$  和  $ZEROS$  转换成  $I-NRZI$  调制的数值表示, 这种调制以相同振幅值在负和正数值之间转换, 且不伴随直流项。举例来说, 转换器 10.1 和 10.2 中每个能提供给  $ONES$  和  $ZEROS$ ,

在未改变 1 之前作为一个变化的符号位,所以调制表示成以 2 的补码数值项。

正弦/余弦查找表存储在只读存储器(ROM)中(并未显示)形成频率  $f_1$  的复合大波,具有角频率  $\omega_1$  和  $\sin\omega_1 t$  和  $\cos\omega_1 t$  分量的组合。另一个正弦/余弦查找表存储在只读存储器(ROM)中(并未显示),形成频率  $f_2$  的复合载波,具有角频率  $\omega_1$  和  $\sin\omega_1 t$  和  $\cos\omega_1 t$  分量的组合。另一个正弦/余弦查找表存储在只读存储器(ROM)中(并未示出),形成频率  $f_2$  的复合载波具有角频率  $\omega_1$  和  $\sin\omega_2 t$  和  $\cos\omega_2 t$  分量的组合。三角波发生器 18 生成一三角波信号对应于通道字的串行数据流的预期频率  $f_1$  的数字和值。一个方波发生器 38 产生频率  $\omega_1$  的方波。三角波发生器 18 和方波发生器 38 亦能用存储在 ROM 中的查找表提供,在 ROM 中形成全部系统功能简化通道字的处理,而不是按通常位序方式处理。

滤波电路 PATH0 决定 I-NRZI 调制的频谱能量是如何分布的。当调制的形成继续根据预编码器 6.1 的“正”信息通道字时,在频率  $f_1$  上有峰,  $f_1$  频率的两边有倾斜。在  $f_2$  频率上有谷的  $F_1$  模式记录的磁道偏离所期望的能量分布。加权求和电路 52.1 用适当权重把从平方电路 22.1 提供的计算的零频率上所期望的谷的偏离和在  $f_1$  频率上所期望的峰的偏离和计算的其它要求特点偏离结合起来。根据平方电路 28.1 和 34.1 在频率  $f_2$  上对正交相位提供的在频率  $f_2$  上谷的计算偏移,互相类似在加权求和电路 52.1 中被加权。根据平方电路 44.1 和 55.1 在频率  $f_1$  上的对正交相位提供的,在频率  $f_1$  二边倾斜的计算偏移,相互类似在加权求和电路 52.1 被加权。来自平方电路 28.1 和 34.1 输入到加权求和电路

52.1 的有效权重比来自平方电路 22.1 输入到加权求和电路 52.1 的权重相对地大, 因此, 宁可缺乏正确的引导频率  $f_1$ , 而不能容忍在回放期间使用的找道校正电路存在不正确的引导频率  $f_2$ 。从平方电路 44.1 和 50.1 输入到权重累加电路 52.1 的有效权重比从平方电路 22.1 输入到加权求和电路 52.1 的权重相对要求, 当加权求和输出信号从加权求和电路 52.1 输出时, 滤波器电路 *PATH0* 提供第一个误差信号  $e_1$

在 *PATH0* 系统中, *I-NRZI* 调制的频谱能量分布总量的计算, 当调制的形成继续根据预编码器 6.1 的“正”信息通道字时, 要求在零频率上谷和要求在  $f_1$  频率上峰的偏离用下面方法完成。累计电路 16.1 从预编码器 6.1 接收当前的“正”信息通道字, 通过码到数值转换器 10.1 转换成的数值形式, 并根据预存储值累计之。减法器 20.1 从累计电路 16.1 的输出中减去三角波发生器 18 的输出信号; 平方电路 22.1 把结果差乘以它自己; 把平方结果提供给加权求和网络 52.1 以供给第一个误差信号  $e_1$  的成分。三角波发生器 18 和减法器 20.1 提供检测电路以检测为了维持所要引导信号对规定的数字和任何偏离, 数字和值由累计电路 16.1 提供。平方电路 22.1 计算偏离的能量。

在 *PATH0* 系统中, *I-NRZI* 调制的频谱能量的分布总量的计算, 当调制的形成继续根据预编码器 6.1 的“正”信息通道字时, 在要求零频率的谷和要求在  $f_2$  频率上峰的能量偏离可用下述方法完成。乘法器 24.1 把预编码器 6.1 的输出通过码到数值转换器 10.1 转成的数值形式乘以频率  $f_2$  的正弦波系统函数  $\sin\omega_2 t$ ; 累计电路 26.1 累计乘法器 24.1 的乘积; 而平方电路 28.1 对累计电路

26.1 的累计结果平方供给加权求和网络 52.1。乘法器 30.1 把预编码器 6.1 的输出通过码到数值转换器 10.1 转换成的数值形式乘以频率  $f_2$  的余弦波系统函数  $\cos\omega_2 t$ ；累计电路 32.1 累计乘法器 30.1 的乘积；而平方电路 34.1 对累计电路 32.1 的累计结果平方送到加权求和网络 52.1（“系统功能”这一术语是用在数字电子设备中，用来参照模拟方式中的功能，这种方式用数字样本在采样数据基础上被说明）。

在 *PATH0* 系统中，*I-NRZI* 调制的频谱能量的分布总量的计算，当调制的形成继续根据预编码器 6.1 的“正”信息通道字时，要求在零频率上谷和  $f_1$  频率上峰的能量偏离用下述方法实现。减法器 36.1 把预编码器 6.1 的输出通过码到数值转换器 10.1 转换成的数值形式减方波发生器 38 提供的频率  $f_1$  的方波。方波发生器 38 和减法器 36.1 提供检测电路以检测对所述的“正”信息串行位通道字的规定的方波的偏离，而“正”信息串行位通道字是预编码器 6.1 的输出经码到数值转换器 10.1 转换成的数值形式。乘法器 40.1 把减法器 36.1 差输出信号乘以频率  $f_1$  的正弦波系统函数  $\sin\omega_1 t$ 。累计电路 42.1 累计乘法器 40.1 的乘积；而平方电路 44.1 把累计电路 42.1 的累计结果平方，以送到加权求和网络 52.1。乘法器 46.1 把频率为  $f_1$  的余弦波函数  $\cos\omega_1 t$  乘减法器 36.1 的差输出信号，累计电路 48.1 累计乘法器 46.1 的乘积；而平方电路 50.1 把累计电路 48.1 的累计结果平方以用到加权求和网络 52.1。

滤波电路 *PATH1* 确定 *I-NRZI* 调制的频谱能量分布量，当调制的产生继续根据预编码器 6.2 的“负”信息通道字时，对用在  $f_1$  频率上有峰，在频率  $f_1$  的两边有倾斜并在  $f_2$  上有谷的  $F_1$  模式

记录的磁道则偏离所期望的频谱能量分布。滤波电路 *PATH1* 中的加权求和电路 52.2, 根据平方电路 22.2 提供的结合适当权重在零频率的谷和  $f_1$  频率的峰所新期望的计算偏离, 同时与平方电路 28.2, 34.2, 44.2 和 50.2 提供的其它所要特征的计算偏离相结合。加权求和网络 52.2 根据求和输出信号提供第二个误差信号  $e_2$ 。比较器 54 比较误差信号  $e_1$  和  $e_2$  以产生控制信号 *CS*, 提供给选择器 12 的选择控制部分以选择具有较小值的误差信号通道字。

在 *PATH1* 系统中, *I-NRZI* 调制的频谱能量的分布总量的计算, 当调制的形成继续根据预编码器 6.2 的“负”信息通道字时, 要求在零频率上谷和要求在  $f_1$  频率上峰的偏移用下述方法来实现。累计电路 16.2 接收来自预编码器 6.2, 经码到数值转换器 10.2 转换成的数值形式的当前的“负”信息通道字, 并同一预存储的值一起累计。减法器 20.2 从累计电路 16.2 的输出中减去三角波发生器 18 的输出信号; 平方电路 22.2 把结果差自乘; 平方结果提供到加权求和网络 52.2 以供第一误差信号  $e_2$  的成分, 三角波发生器 18 和减法器 20.2 提供检测电路以检测对为维持所需引导信号所规定的数字和的任何偏离, 数字和值由累计电路 16.2 提供。平方电路 22.2 计算偏离的能量。

在 *PATH1* 系统中, *I-NRZI* 调制的频谱能量分布的总量的计算, 当调制的产生继续根据预编码器 6.2 的“负”信息通道字时, 要求在零频率的谷和在  $f_2$  频率的峰上的偏离用下述方法来完成。乘法器 24.2 把频率为  $f_2$  的正弦波系统函数  $\sin\omega_2 t$  乘预编码器 6.2 输出经码到数值转换器 10.2 所转换成的数值形式; 累计电路 26.2 累计乘法器 24.1 的乘积; 而平方电路 28.2 把累计电路 26.2



累计结果平方以用到加权求和网络 52.2。乘法器 30.2 把频率  $f_2$  的余弦波系统函数  $\cos\omega_2 t$  乘预编码器 6.2 的输出经码到数值转换器 10.2 转换成的数值形式；累计电路 32.2 累计乘法器 30.2 的乘积；而平方电路 34.2 把累计电路 32.2 累计结果平方以用到加权求和网络 52.1。

在  $PATH1$  系统中， $I-NRZI$  调制的频谱能量的分布总量的计算，当调制的形成继续根据预编码器 6.2 的“负”通道字时，在频率  $f_1$  的峰的二边偏移所期望的倾斜用下面方面实现。减法器 36.2 从预编码器 6.2 的输出经码到数值转换器 10.2 转换成的数值形式，减去由方波发生器 38 提供的频率  $f_1$  的方波。方波发生器 38 和减法器 36.2 提供检测电路以检测对预编码器 6.2 提供的，经 11 结点的“负”信号串行位通道字的规定方波的任何偏离。乘法器 40.2 把频率  $f_1$  的正弦波系统函数  $\sin\omega_1 t$  乘减法器 36.2 的差输出信号；累计电路 42.2 累计乘法器 40.2 的乘积；而平方电路 44.2 把累计电路 42.2 的累计结果平方以供加权求和网络 52.2，乘法器 46.2 把频率  $f_1$  的余弦波系统函数  $\cos\omega_1 t$  乘减法器 36.2 的差输出信号，累计电路 48.2 累计乘法器 46.2 的乘积，而平方电路 50.2 平方累计电路 48.2 的累计结果以提供加权累加网络 52.2。

在形成  $F_1$  模式时控制信号发生器 10 的操作已经说明过了。当形成  $F_2$  模式时，通过交叉  $f_1$  和  $f_2$  (由此亦就交叉了  $W_1$  和  $W_2$ ) 修改了控制信号发生器 10 的操作。当形成  $F_0$  模式时，通过截止三角波发生器 18 和方波发生器 38 来修改控制信号发生器 10 的操作，不管是否  $F_0$ ,  $F_1$  或  $F_2$  模式正被形成，某些重新初始化过程必须跟在作出的决定后面，即是选择由预编码器 6.1 提供“正”信息

通道字还是选择由预编码器 6.2 提供“负”信息通道字来决定打算记录的  $I-NRZI$  调制。这些重新初始化过程提供编码的连续性并提供控制信号发生器去确立一种依据，从中决定为记录选择的下一对通道字。

在下面应注意，当所记录的下一个通道字已经确定时，累计电路 16.1, 26.1, 32.1, 42.1 和 48.1 或累计电路 16.2, 26.2, 32.2, 42.2 和 48.2 的内容必须被改变。如果新选择的通道字是“负”信息类型，累计电路 16.1, 26.1, 32.1, 42.1 和 48.1 的内容被分别变成相应于累计电路 16.2, 26.2, 32.2, 42.2 和 48.2 的内容。

正像前面指出，当所记录的下一个通道字已经确定时，预编码信息必须传送到预编码器 6.1 和 6.2 之一的“集成反馈连结”，此预编码信息来自提供被选作记录用的通道字的预编码器 6.1 和 6.2 之一的“集成反馈连结”。如果为下一个记录而选择的通道字由预编码器 6.1 提供，它的“异或”门集成反馈连结中移位寄存器的内容被传送到预编码器 6.2 中异或门的集成反馈连结中移位寄存器中对应位置。另一方面，如果为下一个记录而选择的通道字由预编码器 6.2 提供，它的“异或”门的集成反馈连结中移位寄存器的内容被传送到预编码器 6.1 中异或门的集成反馈连结中移位寄存器中对应位置。

然而，实际上，在美国专利 No. 5,142,421 中所描述的现有技术数字信号记录装置中，在这种传输完成之前，实质上存在时间延迟，延迟发生在数字乘法器，累计电路及控制信号发生器 10 中的平方电路中。根据时间补偿器 8 的提供该延迟迫使间断性地在编码器 6 之后写缓冲存储器，根据并行到串行转换器的提供的，该延

迟迫使间断性地在编码器之前读缓冲存储器,实际上,这种安排间断性读和写缓冲存储器是很难安排时钟的。正如本发明者 *Soon-Tae Kim* 指出的那样,在它的同时申请的题目为“*DIGITAL SIGNAL RECORDING APPARATUS* 数字信号记录装置”通过实现以并行位字为基础的预编码避免间断性读写缓冲存储器,然而并行位字的  $2T$  预编码器在它的结构上考虑比串行位字的更复杂。

图 6 描述一磁记录介质,其上在磁道  $T_1, T_2 \dots$  上记录数字视频信号和数字音频信号,磁道被置于同磁记录介质的纵向轴有一预定的角度。数字视频信息存储在每个磁道的各自的第一道部分  $TP1$ , 每个磁道开始分别用第二道部分  $TP2$ ,  $TP2$  上保留起始信息。数字音频信息,如一脉冲编码调制音频信号存于每个磁道的分别为第三道  $TP3$  上。每个磁道的第一和第三道部分  $TP1$  和  $TP3$  各自由第四道部分  $TP4$  分隔,每个磁道各自用第五道部分  $TP5$  结束,  $TP5$  包含后同步信息。

图 7 简要地显示了记录在一单一磁道上通道字的串行数据流的信息。在图 7 中,例如在每第二道部分  $TP2$  上记录了 25 位通道字的 2 行,每行各自具有 47 个 25 位通道字,在每个第二道部分  $TP2$  上记录的总的信息有 94 个 25 位通道字组成。

在第二道部分  $TP2$  之后,在第一道部分  $TP1$  上记录的信息是 88 行信息。每行各有 47 个 25 位通道字。道  $TP1$  包括同步数据,标识(*ID*)数据,辅助数据,视频数据,水平奇偶校验数据和垂直奇偶校验数据。

第四道部分  $TP4$  跟在第一道部分  $TP1$  后,如同在第二道部分

TP2 的情况, 47 个 25 位通道字被记录在第四道部分 TP4 上 2 行中的每个上。

在第 4 道部分后面的第 3 道部分 TP3 上有 9 行信息。每行分别包括 47 个 25 位通道字。第三道部分包括同步数据, 标识(ID)数据, 辅助数据, 音频数据, 水平奇偶校验数据和垂直奇偶校验数据。

在第 5 道部分 TP5 上, 对 625 行系统记录 1325 位( 53 个 25 位通道字), 对 525 行系统记录 1445 位。

图 6 和图 7 所示结构和磁记录介质上记录信号的信息的详细说明公开在欧洲专利申请 No. 0492 704 A1 中, 发表于 1992 年 7 月 1 日, 题目为“*Arrangement for recording clock run — in codewords at the beginning of track on a magnetic record carrier*”在此引入作参考。在此文献中, 引导信号根据预定通道字数被加大到第二道部分 TP2。第四道部分 TP4, 作为一个编辑间隙, 包含有像第二道部分 TP2 的那些相同的通道字, 如同第 5 道部分 TP5 所做。

而且, 在本发明中, 串行数据流包含频率为  $f_1$  的引导信号, 该信号延申到第一磁道集中每个磁道的道部分 TP2, TP1, TP4, TP3 和 TP5, 也包括频率为  $f_2$  的引导信号, 该信号延申到第二磁道集中每个磁道的道部分 TP2, TP1, TP4, TP3 和 TP5, 起动数据被装到每个磁道的第四道部分 TP4, 而不是重复第一道部分 TP1 的通道字。被装载的起动数据用来防止在位时钟频率上操作的锁相环电路的错误操作, 且在回放期间对再生信号的位抽吸也是需要的。本发明的优选实施例将如下说明。

参考图 8, 一个输入端口 101 连到并行到并行(P/P)转换器 102 的输入端口, 输入端口 101 为顺序地接收 8 并行位字。P/P 转换器 102 把提供到它输端口的 3 串 8 并行位字的每个组转换成 3 个并行的 8 并行位数字字, 即 24 位信息字以并行形式在它的输出端口 103 提供转换后的字。信号插入器 104 附加一位数字字前缀, 从 P/P 转换器 102 的输出端 103 以并行位形式提供一个“0”位给每个 24 位信息字。

图 7 显示同步数据是如何以预定格式记录及如何在第一和第三磁道部分 TP1 和 TP3 的各行开始装入 17 位的同步数据同由 P/P 转换器 102 并行提供的 8 位起始信息字一起形成 25 位信息字, 8 位起始信息字对应 ID 数据且在欧洲专利申请 No. 0492 704A1 中有详细说明。

当一信号被记录到第 4 磁道部分 TP4 时, 信号插入器 104 接收外部起动数据, 在这 25 位信息字具有预定的格式。一个发生器(未显示)被用来产生同步数据和起动数据, 并为信号插入器 104 产生一“0”位(如果这一位串行地被引入 24 位信息中, 而不作为零引入到 24 并行位信息中)。

通过这些过程, 得到的 25 位信息字经输出端口 105 被提供作为预编码器 106 的输入信号。预编码器 106 把 25 并行位信息字转成 25 并行位通道字, 最好信号插入器 104 仅附加一位前缀到每个信息字上而 2T 预编码器被用作预编码器 106。

如果信号插入器 104 在每个信息字上附加了一个“0”位前缀, 预编码器 106 形成一个“正”信息通道字, 正信息通道字通常由另一预编码器处理信息字产生, 其上“1”位的前缀已被附加上。但是

这样插入偶数位相同于在“负”信息通道字中对应位。因此，当根据本发明仅用一个  $2T$  预编码器产生  $I-NRZI$  调制时，在实施例中  $2T$  预编码器产生一“正”信息通道字，“负”信息通道字由“正”信息通道字产生，即将“正”信息通道字奇数位按位求补，保持偶数位不变，在本发明的另一实施例中，唯一的  $2T$  预编码器形成一“负”信息通道字，“正”信息通道字由“负”信息通道字产生，即将“负”信息通道字的奇数位按位求补，保持偶数位不变。

第一和第二  $P/S$  转换器 108 和 110 分别有输入端口每个都与预编码器 106 的输出端口 107 相连，并且有各自的输出端口分别经延迟器 116 和 118 连到选择器 112 的输入端口。延迟器 116 和 118 对所需时间提供补偿，因为控制信号发生器 120 根据预编码器 106 输出信号在转成串行位格式时给选择器 122 提供控制信号。更确切的说，第一  $P/S$  转换器 108 把来自预编码器 106 的“正”信息 25 并行位通道字转换成位串行形式。第二  $P/S$  转换器 110 仅有选择地对奇数位位置“正”信息 25 并行位通道字反相(以后被称作“奇通道”字)并转换成位串行格式的“负”信息通道字结果。

第三  $P/S$  转换器 112 选择由预编码器 106 提供的每个 25 并行位通道字中各个奇通道字并把所选择的奇通道字转换成 13 个串行位奇数通道字，从它的输出端口 115 把 13 个串行位奇数通道字送到码到数值转换器 1150。码到数值转换器 1150 把奇数通道的“ONES”和“ZEROS”转换成  $NRZ1$  调制的数值式样。这种调制式样在相同振幅的负数值和正数值之间转换且并无直流项。码到数值转换器 1150 把它的输出端口 115' 提供的这些式样送到控制信号发生器 120。一个第四  $P/S$  转换器 114 选择由预编码器 106 提供的

每个 25 个并行位通道字中偶数位位置(以后称为“偶通道”字)并把所选的偶通道字转换成 12 个串行位偶通道字,从它的输出端口把 12 个串行位偶数通道字送到码到数值转换器 1170。码到数值转换器 1170 把偶数通道的“ONES”和“ZEROS”转换成 NRZI 调制的数值式样,这种调制式样在相同振幅的负数值和正数值之间转换且无直流项。码到数值转换器 1170 把它输出端口 117' 提供的这些式样送到控制信号发生器 120。第三和第四 P/S 转换器 112 和 114 一起可被表示成分时多路器。

控制信号发生器 120 根据从第三 P/S 转换器 112 和第四 P/S 转换器 114 接收的奇通道字和偶通道字信号生成第一和第二控制信号。第一控制信号 CS1 由控制信号发生器 120 的输出端 123 提供,送到预编码器 106 的控制端口以控制它在每个通道字间隔的端点重新初始化,第二控制信号 CS2 在整个通道字间隔保持 2 个值中一个值并且由控制信号发生器 120 的输出端口 125 输出到选择器 122 的选择控制端口。

选择器 122 接收由第一 P/S 转换器 108 提供的串行的 25 个串行位“正”信息通道字和第二个 P/S 转换器 110 提供的 25 个串行位“负”信息通道字。然后,选择器 122 选择这些通道字中的一个到记录部分 124,而第二控制信号 CS2 指出了这个对此记录磁道造成最小频谱偏移的通道字。

图 9 是信号插入器 104,预编码器 106 及 P/S 转换器 108, 110, 112 和 114 的详细方块图,上述所有部分都示于图 8 中。图 9 所示电路的操作将参考图 10A—10I,图 11,图 12A 及 12B,图 13,图 14 和图 15A—15I 作出解释。

参考图 9, 信号插入器 104 由 25 个锁存器 104a—104y 组成。在系统时钟信号 *CLOCK* 和 *LOAD* 信号同时作用下, “0”位作为存储最高有效位引入到锁存器 104. a, 而其它 24 个锁存器 104. b—104. y 接收 *P/P* 转换器 102 的输出端 103 提供的 24 个并行位信息字, 当如图 10A—10D 所示引入同步数据时, 17 位具有预定格式的同步数据输入到锁存器 104. a—104. q。 *P/P* 转换器 102 的输出端口 103 输出 *ID* 数据的 8 位输入到余下的 8 个锁存器 104. r—104. y。这样, 起始数据如图 10. G 所示被引入, 25 位的起始数据以预定格式被输入到锁存器 104. a—104. y。

信号插入器 104 的详细电路图如图 11 所示, 其中 25 个锁存器 104. a—104. y 分别都由一个 *D* 触发器, 2 个与门和一个或门组成。每个锁存器在工作期间, 当 *LOAD* 信号为逻辑高电平, “0”位输入到锁存器 104. a 的数据端口而从 *P/P* 转换器 102 输出的 24 位信息字被锁住, 锁存的输出分别由 *D* 触发器的 *Q* 端提供。当 *LOAD* 信号为逻辑低电平时, 锁存的 *D* 触发器的 *Q* 输出保持不变。

预编码器 106 的异或门 106. a—106. y 的第一个输入端如图 9 所示分别接到信号插入器 104 的锁存器 104. a—104. y 的一个输出端, 异或门 106. a 和 106. b 的第二个输入端分别连自锁存器 106. 2 和 106. 1 的输出端。异或门 106. c—106. y 的第二输入端分别连到异或门 106. a—106. w 的输出, 异或门 106. x 和 106. y 的输出分别连到锁存器 106. 2 和 106. 1 的输入。

预编码器 106 的操作将如下说明, 来自前面通道字的第二最低有效位 *LSB* 和现在的 25 位通道字的最高有效位 *MSB* (在此,



插入“0”位)输入到异或门 106. *a*。来自前面通道字的 *LSB* 和现在的 25 位通道字的第二 *MSB*(这里, 为输入数据的第一位)输入到异或门 106. *b*。异或门 106. *a* 的输出和输入数据的第二位输入到异或门 106. *c*。异或门 106. *b* 的输出和输入数据的第三位输入到异或门 106*d*。

异或门 106. *e*—106. *y* 集合  $2T$  预编码的 25 位信息字, 异或门 106. *a*—106. *y* 的输出是从预编码器 106 以并行提供的 25 位通道字。

在本发明中用了一个预编码器, 在那里提供给预编码器 106 的数据是如图 10A—10D 所示的同步数据, 在执行预编码时锁存器 106. 1 和 106. 2 的初始值置成“00”这样做, 形成如图 10B 或 10E 的信号。如图 10C 或 10F 所示, 当锁存器 106. 1 和 106. 2 的初始值是 11 时, 执行预编码的结果是同步数据, 其中, 当初始值是“00”时, 处理的通道字被反相。这个结果用第二 *P/S* 转换器 110 形成, 当同步或起动数据变换时, 它的操作就变化, 以使在通道字中所有位的补码位由预编码器 106 提供, 而不再只是奇通道字部分。

如图 10G 所示, 在那里输入到预编码器 106 的数据是起动数据, 图 10H 所示的信号由预编码器 106 提供, 在那里锁存器 106. 1 和 106. 2 的初始值为“00”。

如图 10I 所示, 当初始值为“11”时, 预编码的起动数据同初始值为“00”时预编码的起动数据的结果相反, 这个结果用第二 *P/S* 转换器 110 形成, 当同步或起动数据变换时, 它的操作就变化, 以使在通道字中所有位的补码位由预编码器 106 提供, 而不再是奇

通道字部分。

在详细电路图图 12B 中所示的预编码器 106 的锁存器 106.1 和 106.2 的接法是详细电路图图 12A 中所示的预编码器 106 的锁存器 106.3 和 106.4 的接法的另一种形式。

参考图 12A, 当 *LOAD* 信号是逻辑高电平时, 经门 G8 和 G9 提供到 *D* 触发器  $D_2$  的数据端口的异或门 106. *x* 的输出信号 24, 作为前一通道字的第二 *LSB* 24' 响应 *CLOCK* 信号提供给图 9 的异或门 106. *a* 的第二个输入端口。同时, 经门 G2, G3, G5 和 G6 到 *D* 触发器  $D_1$  数据端的异或门 106. *y* 的输出信号 25, 作为前一通道字的 *LSB* 25' 按照 *CLOCK* 信号供给图 9 的异或门 106. *b* 的第二个输入端口。当 *LOAD* 为逻辑低电平时, *D* 触发器  $D_1$  和  $D_2$  保持输出端口 *Q* 的输出直到 *LOAD* 信号为高。

同于 *D* 触发器  $D_1$  的输出受到来自图 8 所示的控制信号发生器 120 的第一控制信号输出端口 123 的第一控制信号 *CS1* 的影响, 若第一控制信号 *CS1* 为高, 异或门 106. *y* 的输出 25 不改变被提供。如果第一控制信号 *CS1* 为低, 异或门 106. *y* 的输出反相后被提供。

例如, 当异或门 106. *y* 的输出 25 为逻辑高, 而第一控制信号 *CS1* 为逻辑低, *D* 触发器  $D_1$  的输出为高。如果异或门 106. *y* 的输出 25 和第一控制信号 *CS1* 二者均为高, *D* 触发器  $D_6$  的输出为逻辑高。

若第一控制信号 *CS1* 为高, 它表示“正”信息通道字被选中, 预编码器 106 的锁存器 106.1 的初始值保持不变。若控制信号 *CS1* 为低, 它表示选择了“负”信息通道字, 预编码器 106 的锁存器

106.1 的初始值是按位补码。

用或门 G3, 反相器 G10 和异或门 G11 代替与用门 G1 和 G2 来接收第一控制信号 CS1 和前面通道字的低劣效位 (LSB) 能实现同样的操作, 如图 12B 所示。

图 9 的第一 P/S 转换器 108 分别并行地接收异或门 106. a—106. y 的输出。响应系统 CLOCK 信号和 LOAD 信号同时发生, 和接着提供所接收的输出作为 25 串行通道字。P/S 转换器 108 由 25 个锁存器 108. a—108. y 组成, 详细示于图 13。每个锁存器有 2 个与门, 一个或门和一个 D 触发器。

当 LOAD 信号是逻辑高电平时, 每个 D 触发器接收预编码器 106 的相应异或门的输出, 用接收到的输出作为下一个较高位的锁存器的第一与门的输入。若 LOAD 信号是逻辑低电平, 各个 D 触发器保持 Q 输出直到 LOAD 信号为高, 作为最终输出, 一个 25 串行位通道字从锁存器 108a 的 D 触发器的 Q 端口提供以锁存 MSB 通道字。

第二 P/S 转换器 110 的详细电路图示于图 14。

参考图 14, 为了得到“负”信息 25 位信息字, 以使选择包含在 I-NRZI 码中信息字。“正”信息 25 位通道字的奇通道字是按位补码。在奇数位锁存器中, 如锁存器 110. a 包括第一与门 G12, 它有一个非反相输入端连到前级锁存器(在此为 110. b) D 触发器 D4 的输出, 及一个接收 LOAD 信号的反相输入端, 包括第二个与门 G13 它有一个非反相输入端接收 LOAD 信号, 一个反相输入端连到预编码器 106 的异或门(图 9 的 106. a) 的输出端, 包括一个或门 G14, 它用来对第一和第二与门 G12 和 G13 的输出求逻辑和,

以及包括一个 *D* 触发器 *D3*，它的数据输入端口连到或门 *G14* 的输出，时钟端口接收系统时钟信号而 *Q* 输出端口提供串行位通道字。

为了用初始值“11”得到 *I-NRZI* 调制的同步数据和起动数据，具有与用初始值“00”的 *I-NRZI* 调制结果的反相结果，第二 *P/S* 转换器 110 也构成按位补码的偶通道字。

在偶数位锁存器中，第二 *MSB* 位锁存器 110. *b* 包括第一与门 *G15*，它有一个反相输入端接收同步/起动控制信号和一个非反相输入端接收相应异或门(图 9 的 106. *b*)的输出，包括第二与门 *G16*，它有一个非反相输入端接收同步/起动控制信号及一个反相输入端接收预编码器的输出，包括一或门 *G17*，它用来对第一和第二与门 *G15* 和 *G16* 的输出求逻辑和，包括第三与门 *G18*，它的非反相输入端连到前面锁存器(在此为 110. *c*)的 *D* 触发器 *D5* 的 *Q* 输出端口，一个反相输入端接收 *LOAD* 信号，包括，第四与门 *G19*，它用来接收 *LOAD* 信号和第一或门 *G17* 的输出，包括第二或门 *G20*，它对第三和第四与门 *G18* 和 *G19* 的输出求逻辑和，还包括一个 *D* 触发器 *D3*，该触发器的数据输入端口连到第二或门 *G20* 的输出，时钟端口接收 *CLOCK* 信号，而输出端 *Q* 连到较高位锁存器(在此为 110. *a*)的第一与门 *G12* 的非反相输入端。(对偶位锁存器，锁存器(如 110. *b*)可以用一个异或门代替 2 个与门 *G15*，*G16* 和一个或门 *G17*)。为了方便，2 个与门，或门和 *D* 触发器的参考号作为包含在每个锁存器中的部件被编号如锁存器 110. *a*，110. *b* 和 110. *c*。

起动控制信号送到 25 个锁存器中所有偶处出现位锁存器。由于每个同步数据块由 17 位组成，同步控制信号加到相应 17 个引

导位偶数处。

此外当操作同步和起动车数据时，第二 *P/S* 转换器 110 仅对它的 25 并行位“正”信息通道字输入的奇通道字分量按位求补并转换 25 并行位负信息通道字的结果成为 25 串行位“负”信息通道字。若提供给第二 *P/S* 转换器的数据是同步数据，从预编码器 106 提供的 25 并行位通道字中偶通道字的第 2, 4, 6, 8, 10, 12, 14 和 16 位及奇通道字的全部位是从第二 *P/S* 转换器 110 提供的 25 串行位通道字中的按位求补。

图 9 的第三 *P/S* 转换器 112 包括 13 个锁存器。其结构与图 13 所示第一 *P/S* 转换器 108 各个锁存器相同。对 *LOAD* 信号，第三 *P/S* 转换器 112 仅对预编码器 106 提供的 25 并行位通道字的奇通道字作为它的输入信号加载；其后，按系统 *CLOCK* 信号，提供 13 串行位通道字到锁存器 112.a 的输出端口 115。

图 9 的第四 *P/S* 转换器 114 包括 12 个锁存器。其结构与图 13 所示第一 *P/S* 转换器 108 的各个锁存器相同。对 *LOAD* 信号，第四 *P/S* 转换器 114 仅对预编码器 106 提供的 25 并行位通道字的偶通道字作为它的输入信号加载；其后，按系统时钟 *CLOCK* 信号提供 12 串行位通道字到锁存器 114a 的输出端 117。

图 15A—15I 是图 8 和图 9 中所示各块的工作波形图，图 15A 描述了预编码器 106 输出的 25 个串行位通道字。图 15B 描述了第三 *P/S* 转换器 112 提供的 13 个串行位通道字。图 15c 描述了第四 *P/S* 转换器 114 提供的 12 个串行位通道字。图 15D 描述了按位输入到图 9 的各个块的系统 *CLOCK* 信号。图 15E 描述了由控制信号发生器 120 产生的输入到图 9 的预编码器 106 的锁存器 106.1

的第一控制信号  $CS1$ 。图 15F 说明了输入到图 9 的各个块的，具有一个 25 位通道字周期的  $LOAD$  信号。图 15G 描述了在 25 位的周期产生的，提供给第二  $P/S$  转换器 110 的起动控制信号。图 15H 描述了在一行的一个周期内产生的提供到第二转换器 110 的同步控制信号。图 15I 描述了图 8 的控制信号发生器 120 产生的提供到选择器 122 的第二控制信号  $CS2$ 。

若第二控制信号  $CS2$  为高，选择器 122 从第一  $P/S$  转换器 108 重新产生串行位输出信号作为它的输出信号。如果第二控制信号  $CS2$  为低，选择器 122 从第二  $P/S$  转换器 110 重新产生串行位输出信号作为它的输出信号，生成的第二控制信号  $CS2$  在每个连续的一个 25 位通道字周期内不变。

当 25 位通道字被分时多路成为图 15B 和 15C 所示的奇通道字和偶通道字时，来自预编码器 106 和 25 位通道字的周期中，至少对 12 位通道字周期被图 16 所示控制信号发生器 120 的累计器，乘法器及平方电路延迟的时间补偿。因此，使形成的控制信号能从第一和第二  $P/S$  转换器 108 和 110 之间选择所要的一个频率特性，这样允许控制信号被实时产生。

图 16 是图 8 的控制信号发生器 120 的详细电路图。具体地，它是用  $F_1$  模式在记录磁道的第一组时期内记录的。在图 16 中，从第三  $P/S$  转换器 112 的输出端口 115 串行提供的每个奇通道字的各位，被用作各 1 之前的符号位，以产生 2 的补码数送到加法器 126，作为它的第一被加数输入信号，施于减法器 128 作为它的减数输入信号，施于减法器 182 及 204 作为它们的被减数输入信号，施于乘法器 146 和 162 作为它们的被乘数输入信号。从第四个  $P/$

S 转换器 114 的输出端 117 串行提供的每个偶通道字的各位用作各 1 的之前的符号号, 以产生 2 的补码数施于加法器 126 作为它的第二个被加数输入信号, 施于减法器 128, 176 和 200 作为它们的被减数输入信号, 并施于乘法器 144 和 160 作为它们的被乘数输入信号, 从第四 P/S 转换器 114 的输出端 117 串行提供每个偶通道字的最后一位到加法器 126 作为它的第二被加数输入信号, 到减法器 128, 176 和 200 作为它们的被减数输入信号, 并到乘法器 144 和 160 作为它们的被乘数输入信号计时以后, 数值零对剩余的通道字间隙, 加到加法器 126 作为它的第二被加数输入信号, 加到减法器 128, 176 和 200 作为它们的被减数输入信号还加到乘法器 146 和 162 作为它们的被乘数输入信号接着计时, 从第三 P/S 转换器 112 的输出端 115 串行提供的每个奇通道字的最后一位加到加法器 126 作为它的第一被加数输入信号, 加到减法器 128 作为它的减数输入信号, 加到减法器 182 和 204 作为它们的被减数输入信号, 并加到乘法器 146 和 162 作为它们的被乘数输入信号, 计时以后, 数值零对剩余通道字, 加到加法器 126 作为它的第一被加数输入信号, 到减法器 128 作为它的减数输入信号, 到减法器 182 和 204 作为它的被减数输入信号并加到乘法器 146 及 162 作为它的被乘数输入信号接着计时。

在图 16 中, 为了继续 I-NRZI 调制其下步选择的假定是“正”信息通道字, 加权和电路 220 形成偏离期望的 I-NRZI 调制频谱响应之各能量的加权和, 作为第一误差信号  $e_1$ , 这些偏移的各能量可通过平方电路 140, 156, 172, 196 和 216 计算。为继续 I-NRZI 调制其下步选择的假定是“负”信息通道字, 加权和电路

222 形成偏离期望的  $I-NRZI$  调制频谱响应之各能量的加权和, 作为第二误差信号  $e_2$ , 这些偏移的各能量可通过平方电路 142, 158, 174, 198 和 218 计算, 检测器 (DET) 224 根据对第一误差信号  $e_1$  和第二误差信号  $e_2$  的幅度比较产生第一控制信号 CS1 和第二控制信号 CS2。

加法器 126 的和输出信号提供给累计器 130, 以计算为了记录而在前面选择的所有通道字的运行数字和, 并计算为了记录当前考虑的“正”信息通道字的位对运行数字和。减法器 134 把运行数字和同规定函数比较, 对记录的磁道检测出规定函数的任何偏移平方电路 140 计算用在加权求和网络 220 上的这种偏移的能量。

来自减法器 128 的差输出信号提供给累计器 132, 以计算为了记录而在前面选择的所有通道字的运行数字和。并计算为了记录当前考虑的“负”信息通道字的位对运行数字和。减法器 138 把运行数字和同规定函数比较, 对记录的磁录检测出规定函数的任何偏移。平方电路 142 计算用在加权求和网络 222 的这种偏移的能量。

用模式  $F_0$ , 记录第零个磁道集时, 减法器 134 和 138 接收数值零的各减数输入信号。用模式  $F_1$  记录第一个磁道集时, 及用模式 2 记录第二个磁道集时, 减法器 134 和 138 从三角波发生器 136 接收一三角波作为它们各自的减数输入信号。因此, 除了提供抑制零频率项外, 包括部件 126—142 的结构提供一引导信号格式, 在第一磁道集记录期间, 在频率  $f_1$  处有峰, 在第二磁道集记录期间, 在频率  $f_2$  处有峰, 这是依靠在本结构中的三角波发生器 136 形成三角波实现的, 此三角波在第一磁道集记录期间, 具有基本



频率  $f_1$ ，在第二磁道集记录期间，具有基本频率  $f_2$  三角波发生器 136 典型的构造在 ROM 中对应于门控用的系统时钟信号顺序地被寻址。

三角波发生器 136 由 ROM 构成，并产生对应于频率  $f_1$  的三角波信号的(例如  $1/90T$ )规定数字和值(DSV)，如图 17A 所示，8 位数据(如 90A—90R)用 5 位存储在 ROM 表的地址 0 到 15 中，如图 17B 所示，这样在  $f=0_{\text{Hz}}$  处形成一个谷(即直流成分)，而在频率  $f_1$  处形成一引导信号。此外，在频率  $f_2(=W/2\pi)$  处也形成一个引导信号。

用 F1 模式记录第一磁道集时，包括部件 144—174 的结构，考虑在频率  $f_2=W_2/2\pi$  处谷的形式根据乘法器 144, 146, 160 和 162，顺序地以系统时钟速率从 ROM 中存储的查找表中，接收各自的乘数输入函数  $e - \sin\omega_2 t$ ， $o - \sin\omega_2 t$ ， $e - \cos\omega_2 t$  和  $o - \cos\omega_2 t$ ，采样数据函数  $o - \sin\omega_2 t$  和  $2 - \sin\omega_2 t$  分别地包含连续样本的正弦波系统函数  $\sin\omega_2 t$  的奇数出现的采样点和偶数出现的采样点。这些函数并排被存储在 ROM 中，在通道字间隔前一半时间内顺序寻址，以便成对地从 ROM 中读出。采样数据函数  $o - \cos\omega_2 t$  和  $e - \cos\omega_2 t$  分别包含连续样本的余弦波系统函数  $\cos\omega_2 t$  的奇数出现的采样点和偶数出现的采样点。这些函数并排被存储在 ROM 中，在通道字间隔前一半时间内，顺序寻址，以便成对地从 ROM 中读出。

在 ROM 中正弦表和偶数采样正弦表部分要给予特殊考虑。如果正弦信号的波形是如图 18A 中所示的频率  $f_2$  的  $1/60T$ ，正弦信号的一个周期被分成 1200 采样点，数据被存储在偶数采样和奇

数采样正弦表中,表中每个具有 600 个与其相关的地址。图 19A 显示了奇数采样的正弦表,对应于正弦波信号的奇数出现的采样的数据(以后称为奇正弦信号)存储在 600 个连续地址单元中。图 19B 显示了偶数采样正弦表,对应于正弦波信号的偶数出现的采样数据(以后称为偶正弦信号)存储在 600 个连续地址单元中,这些单元安排成同奇数采样正弦表的 600 个连续地址单元的对应单元并行地被存取。而且,如图 18B 所示,对应于采样的正弦值(用点表示)通过 25 位通道字周期交替采样变成正弦信号的奇地址或偶地址。 $EB$  代表在偶通道字中采样间隔,在通道字中被插入数值零。因为每个偶出现采样的正弦值像正弦值一样同时被并行存取以便立即处理奇出现采样,奇采样正弦表同偶采样正弦表能以同样的地址可装到 ROM 中,连续产生 9 位地址的一个地址序列发生器能用来代替产生交叉 10 位地址的地址序列发生器。

某些著名的设计方法能被采用,以减少为了存储正弦和余弦系统函数所需 ROM 总量,那些熟知的数字设计是受赏识的。正弦波函数的象限对称值可用来降少 ROM 为原来的  $1/4$  而且 ROM 能构成体,这样正弦波的各个  $8$  分之一能同时分别存取,这样,允许余弦波函数从同一 ROM 中如同正弦波函数一样取出来。

用模式  $F_2$ , 记录第二个磁道集时,包含部件 144—174 的结构在频率  $f_1 = W_1/2\pi$  处出现谷的形式,而不是在频率  $f_2$  处出现。其实现是根据乘法器 144, 146, 160 和 162, 分别接收采样数据函数  $e - \sin\omega_1 t$ ,  $o - \sin\omega_1 t$ ,  $e - \cos\omega_1 t$  和  $o - \cos\omega_1 t$ , 而不是采样数据函数  $e - \sin\omega_2 t$ ,  $o - \sin\omega_2 t$ ,  $e - \cos\omega_2 t$  和  $o - \cos\omega_2 t$ 。这些函数以系统时钟速率顺序寻址在 ROM 中的查找表而得到。

加法器 148 把乘法器 144 和 146 的乘积求和, 把和提供给累计器 152, 如果  $I-NRZI$  码连续用“正”信息通道字, 累计器表示一个“想象”状态的不需要的谷频率的总数, 平方电路 156 计算不需要的谷频率成分的能量, 以应用于加权求和网络 220。

减法器 150 把乘法器 144 的乘积和乘法器 146 的负乘积结合起来, 把累加结果提供给累计器 152, 如果  $I-NRZI$  码连续用“负”信息通道字, 累计器表示一个“想象”状态的不需要谷频率的总数。平方电路 158 计算不需要的谷频率成分的能量, 以应用于加权求和网络 222。

加法器 164 把乘法器 160 和 162 的乘积求和, 把和提供给累计器 168, 如果  $I-NRZI$  码连续用“正”信息通道字, 累计器表示一个“真实”状态不需要的谷频率的总数。平方电路 172 计算不需要的谷频率成分的能量, 以应用于加权求和网络 220。

减法器 166 把乘法器 160 的乘积和乘法器 162 的负乘积结合起来, 如果  $I-NRZI$  码连续为“负”信息通道字, 累计器表示一个“真实”状态不需要的谷频率的总数。平方电路 174 计算不需要的谷频率成分的能量, 以应用于加权求和网络 222。

用  $F1$  模式记录第一磁道集和用  $F2$  模式记录第二磁道集期间, 包含部件 176—218 的结构在引导信号两边提供倾斜的形成。在这种结构中方波发生器 178 和 184 在记录第一磁道集时期产生一个具有基本频率为  $f_1$  的方波。在记录第二磁道集时期产生一个具有基本频率  $f_2$  的方波。方波发生器 178 和 184 可在 ROM 中构成, 对应于门控用系统时钟信号顺序地被寻址。

用  $F1$  方式记录第一磁道集时期, 包含部件 176—218 的结构,

在具有频率  $f_1$  的引导信号的 2 边提供倾斜的形成。其实现是根据方波发生器 178 和 184 用基本频率  $f_1$  产生方波以及根据乘法器 180, 186, 202 和 206 分别接收采样数据函数  $e - \sin\omega_1 t$ ,  $o - \sin\omega_1 t$ ,  $e - \cos\omega_1 t$  和  $o - \cos\omega_1 t$ , 这些函数由 ROM 中存储的查找表提供, 以系统时钟速率顺序被寻址。

用 F2 模式记录第二磁道集时期, 包含部件 176 和 218 的结构, 在具有频率  $f_2$  的引导信号的两边提供倾斜的形成。其实现是根据方波发生器 178 和 184 用基本频率  $f_2$  产生方波以及根据乘法器 180, 186, 202 和 206 分别接收采样数据函数  $e - \sin\omega_2 t$ ,  $o - \sin\omega_2 t$ ,  $e - \cos\omega_2 t$  和  $o - \cos\omega_2 t$ , 而不用采样数据函数  $e - \sin\omega_1 t$ ,  $o - \sin\omega_1 t$ ,  $e - \cos\omega_1 t$  和  $o - \cos\omega_1 t$ , 所接收的采样函数由 ROM 中存储的查找表提供, 它们以系统时钟率顺序被寻址。

用 F0 模式记录第零个磁道时期, 包括部件 176—218 的结构中的减法器 176 和 182 接收数值零作为他们各自的减数输入信号, 而并不从方波发生器 178 和 184 中接收方波。包括部件 176—218 的这些结构, 相应地在频率  $f_1$  和  $f_2$  中的一个频率上提供形成一个谷。包括部件 144—174 的结构, 在频率  $f_1$  和  $f_2$  中的另一个频率上提供谷的形成。从平方电路 196, 198, 216 和 218 输出信号的权重, 在加权累加电路 220 和 222 中被调正使在频率  $f_1$  和  $f_2$  上谷的深度相等。

为了继续 I-NRZI 调制, 其下一步选择的假定是“正”信息通道字, 加权和电路 220 产生第一误差信号  $e_1$ , 作为偏离期望的 I-NRZI 调制频谱响应之各能量的加权和; 为了继续 I-NRZI 调制, 其下一步选择的假定为“负”信息通道字, 加权和电路 222 产

生第二误差信号  $e_2$  作为偏离期望的  $I-NRZI$  调制频谱响应之各能量的加权和。检测器 ( $DET$ ) 224 包括一比较器, 它选择误差信号  $e_1$  和  $e_2$  之间较小值。这比较器可用减法器的形式, 减法器接收误差信号  $e_1$  和  $e_2$  分别用“0”位符号扩充作为 2 的补码的被减数及 2 的补码的减数。减法器的差输出信号的符号位以一个通道字间隔被存储在一位锁存器中, 提供给输出端口 125, 第二控制信号  $CS2$  控制选择器 122 选择“正”信息通道字或“负”信息通道字之一, 以应用到图 8 的记录器 124。减法器的差输出信号的符号位亦用来形成第一控制信号  $CS1$ 。  $CS1$  从图 16 的控制信号发生器 120 的输出端口 123 提供给图 8 和图 9 的预编码器 106 的。

控制信号发生器 120 中的第一控制信号  $CS1$  亦用于作为各个累计器的控制输入端。当第一控制信号  $CS1$  指示, 为了记录选择了“正”信息通道字时, 在一个通道字间隔结束以后响应复位脉冲, 对 25 位“负”信息通道字的各个累计器 132, 154, 170, 194 和 214 的值被对应于 25 位“正”信息通道字, 存储在各累计器 130, 152, 168, 192 和 212 的值取代。当第一控制信号  $CS1$  指示, 为了记录选择了“负”信息通道字时, 在一个通道字间隔结束以后响应复位脉冲, 对 25 位“正”信息通道字的各累计器 130, 152, 168, 192 和 212 的值被对应于 25 位“负”信息通道字存储在各累计器 132, 154, 170, 194 和 214 的值取代。

图 20A, 20B 和 20C 显示对图 16 装置的替换修改, 以使同步数据和起动数据能用预编码器 106 而没有其它预编码器进行  $I-NRZI$  编码。

当图 10A 所示的同步数据被提供到 2T 预编码器 106 时, 预

编码器中初始值设置为“00”，而图 10B 中显示的是从预编码器 106 提供的结果 NRZI 编码同步数据。在图 10C 所示的 NRZI 编码同步数据用 2T 预编码器，根据图 10A 所示的同步数据应当被产生，在预编码器中初始值应设置为“11”。然而，不用这种附加 2T 编码器，在图 10C 中所示 NRZI 编码同步数据通过反相或按位求补可产生，图 10B 中所示同步数据的每位都由预编码器 106 提供。

当如图 10D 所示的同步数据提供给 2T 预编码器 106 时，预编码器初始值设置为“00”，图 10E 中显示从预编码器 106 提供的结果 NRZI 编码同步数据。在图 10F 所示的 NRZI 编码同步数据用 2T 预编码器；根据图 10D 所示的同步数据应当被产生，在预编码器中初始值应设置为“11”。然而，不用这种附加 2T 编码器，通过反相或按位求补可产生在图 10F 所示的 NRZI 编码同步数据，图 10E 中所示同步数据的每位和所有位被由预编码器 106 提供。

当如图 10G 所示起动数据被提供给 2T 预编码器 106 时，在预编码器中设置初始值为“00”。图 10H 中显示从预编码器 106 提供的结果 NRZI 编码起动数据。在图 10I 中所示的 NRZI 编码起动数据用 2T 预编码器，根据图 10G 所示的起动数据应当被产生，在预编码器中初始值应设置为“11”。然而，不用这种附加 2T 预编码器，通过反相或按位求补可产生起图 10I 所示的 NRZI 编码起动数据，图 10H 中所示的起动数据的每位都由预编码器 106 提供。

从第四 P/S 转换器 114 的输出端 117 提供的偶出现位及从第三 P/S 转换器 112 的输出端口 115 提供的奇出现位为了从预编码器 106 码输出产生图 10C 或图 10F 所示的 NRZI 编码同步数据需

要按位补。同样，从第四  $P/S$  转换器 114 的输出端口 117 提供的偶出现位及从第三  $P/S$  转换器 112 的输出端 115 提供的奇出现位为了从预编码器 106 码输出产生图 10I 所示的  $NRZI$  起动数据需要按位求补。

图 20A 显示图 16 的虚线框范围内部件 126—132 的另一个可供选择实现的电路，为适应由输出端口 115 和 117 提供的时常包括同步数据或起动数据的信号。加法器 230，减法器 232，累计器 234 和累计器 236 分别对应于图 16 中的加法器 126，减法器 128，累计器 130 和累计器 132。图 20A 对图 16 的虚线框所围的部件 126—132 中的电路作了修改，同样，在图 16 中对虚线框所围的部件 148—154，虚线框所围的部件 164—170，虚线框所围的部件 188—194 及虚线框所围的部件 208—214 的电路作了修改。

乘法器 226 各乘以  $-1$ ，通过偶数通道字的连续位说明的  $+1$  或  $-1$  项由第四  $P/S$  转换器 114 的输出端 117 提供。如果同步/起动控制信号表示当前输入数据是同步数据或者是起动数据，控制开关 228 选择乘法器 226 的输出作为被减数输入到减法器 232。偶数出现位的负数值由第四  $P/S$  转换器 114 的输出端 117 提供，同样，奇出现位的数值由被减法器 232 变为负值的第三  $P/S$  转换器 112 的输出端 115 提供。减法器 232 的差输出信号指示  $NRZI$  编码同步或起动数据的数值应当由  $2T$  预编码器编码，而预编码器的初始值应置为“11”。

如果同步/起动控制信号是一个表示当前输入数据或者是同步数据，或者是起动数据的情况，控制开关 228 选择通过偶通道字的连续位说明的  $+1$  或  $-1$  项，从第四  $P/S$  转换器 114 的输出端 117

给减法器 232, 作为它的被减数输入, 减法器 232 从控制开关 228 所选的输出中减去奇通道字, 其结果差信号同前面图 16 所述的相同。

在前面 2 段所说明的各个操作方式的任何一种中, 加法器 230 把第三 *P/S* 转换器 112 的输出端 115 提供的奇通道字的连续位所说明的+1 或-1 项加到第四 *P/S* 转换器 114 的输出端 117 提供的偶通道字的连续位所说明的同时发生的+1 或-1 项上。累计器 234 用前面记录的 *I-NRZI* 码的数字和值累加结果和。累计器 234 累加结果的能量通过平方确定, 其结果提供给加权求和网络 220。累计器 236 用前面记录的 *I-NRZI* 码的数字和值, 累加从减法器 232 中来的差信号。累计器 236 累加结果的能量通过平方确定, 其结果提供给加权求和网络 222。

图 20B 显示图 16 的虚线框范围内部件 126—132 的另一个可供选择实现的电路, 以适应由输出端口 115 和 117 提供的信号时常包括同步数据和起动数据。加法器 242, 减法器 244, 累计器 250 和累计器 252 分别对应于图 16 中加法器 126, 减法器 128, 累计器 130 和累计器 132。图 20B 对图 16 的虚线框所围的部件 126—132 中的电路作了修改。同样, 在图 16 中对虚线框所围的部件 148—154, 虚线框所围的部件 164—170, 虚线框所围的部件 188—194 及虚线框所围的部件 208—214 的电路作了修改。

加法器 242 把第三 *P/S* 转换器 112 的输出端 115 提供的奇数通道字的连续位所说明的+1 或-1 项加到第四 *P/S* 转换器 114 的输出端 117 提供的偶通道字的连续位所说明的同时发生的+1 或-1 项上。累计器 250 用前面记录的 *I-NRZI* 码的数字和值累



加结果和, 累加器 250 累加结果的能量通过平方确定, 其结果提供给加权求和网络 220。

减法器 244 接收第四  $P/S$  转换器 114 的输出端 117 提供的偶数通道字的连续位所说明的  $+1$  或  $-1$  项, 作为被减数输出信号。乘法器 238 各乘以  $-1$ , 由第三  $P/S$  转换器 112 的输出端 115 提供奇数通道字的连续位说明的  $+1$  或  $-1$  项, 另一个乘法器 246 用  $-1$  乘减法器 244 的每个输出信号。

如果同步/起动控制信号是一个表示现在输入数据或者是同步数据或者是起动数据的情况, 控制开关 240 担负选择第三  $P/S$  转换器 112 的输出端口 115 提供奇数通道字的责任, 以使用到减法器 244 作为减数输入; 控制开关 244 担负选择从减法器 244 输出信号的责任, 并用到累加器 252。累加器 252 用前面记录的  $I-WRZI$  码的数字和值, 累加从控制开关 248 来的输出信号。累加器 252 累加结果的能量由平方确定, 且结果提供给加权求和网络 222。由于从控制开关 248 来的输出信号再生减法器 244 的输出信号, 其操作同前面图 16 所说明的相同。

如果同步/起动控制信号表示当前输入数据或者是同步数据或者是起动数据, 控制开关 240 担负选择乘法器 238 的输出作为减数输入到减法器 244。第三  $P/S$  转换器 112 的输出端口 115 提供奇数出现位的负数值值, 结果在减法器 244 中操作如同加法器, 减法器 244 的输出信号表现出负的  $NRZI$  偏码同步或起动数据, 虽然应当将用  $2T$  预编码器编码, 在预编码器中初始值是应设置为“11”。乘法器 246, 把  $-1$  乘减法器 244 的每个输出信号, 产生  $NRZI$  编码的同步或起动数据的数值值虽然数据应当由  $2T$  预编

码器编码,在预编码器中初始值应设置为“11”。控制开关 248 根据同步/起动控制信号指示当前输入数据或者是同步或者是起动数据,通过选择乘法器 246 的乘积,用来作为累计器 252 的输入信号。所以,累计器 252 用前面记录的  $I-NRZI$  码的数字和值累加  $NRZI$  编码同步或起动数据的数值值,虽然数据应当用  $2T$  预编码器编码,在预编码器中初始值应设置为“11”,累计器 252 累加结果的能量由平方确定,其结果被提供给加权求和网络 222。

图 20C 显示的仍然是图 16 的虚线框范围内部件 126—132 内另外一种修改的电路,以适应由输出端 115 和 117 提供的时常包括同步数据和起动数据的信号。加法器 254,减法器 256,累计器 262 和累计器 264 分别对应于图 16 中加法器 126,减法器 128,累计器 130 和累计器 132。图 20C 对图 16 的虚线框所围的部件 126—132 中的电路作了修改。同样,在图 16 中对虚线框所围的部件 148—154,虚线框所围的部件 164—170,虚线框所围的部件 188—194 及虚线框所围的部件 208—214 的电路作了修改。

加法器 254 把第三  $P/S$  转换器 112 的输出端 115 提供的奇通道字的连续位所说明的+1 或-1 项加到第四  $P/S$  转换器 114 的输出端 117 提供的偶通道字的连续位所说明的同时发生的+1 或-1 项上。累计器 262 用前面记录的  $I-NRZI$  码的数字和的值累加结果和,累计器累加结果的能量通过平方确定,其结果提供给加权求和网络 220。

减法器 256 把第四  $P/S$  转换器 114 的输出端口 117 提供的偶通道字的连续位所说明的同时发生的+1 或-1 项减第三  $P/S$  转换器 112 的输出端 115 提供的奇数通道字的连续位所说明的+1

或-1项。减法器 256 把结果差提供给控制开关 260 作为它的 2 个输入信号的第一个,有时被选择作为开关 260 的输出信号。开关 260 的输出信号提供给累加器 264 作为它的输入信号,乘法器 258 把来自加法器 254 的输出和输出信号乘-1,乘积作为控制开关 260 的第二个输入信号。累加器 264 用前面记录的  $I-NRZI$  码的数字和值,累加控制开关 260 的输出信号。累加器累加结果的能量通过平方确定,其结果提供给加权求和网络 222。

如果同步/起动控制信号是一个表示现在输入数据或者是同步数据或者是起动数据的情况,控制开关 260 选择从加法器 254 提供的差用到累加器 264 其操作用前面图 16 所述的相同。如果在前输入数据中的同步/起动信号或者是同步信号或者是起动数据,控制开关 260 选择乘法器 258 的输出送到累加器 264。累加器 264 累计由累加器 262 累计的信号 1 的补码。

本发明的其它可供选择的实施例,除了至此说明的外,对在数字磁带记录器设计及技艺领域中熟练的技术人员按照上面的说明将是很清楚的。这些可供选择的实施例均被认为属于附在本说明书的权利要求书的范围之内。作为特殊例子,图 16 的三角波发生器 136 可以用发生器 136 产生的产生三角波补码的三角波发生器代替,而减法器 134 和 138 可以分别用加法器代替并不改变操作。作为进一步的特殊例子,图 16 的方波发生器 178 和 184 可以用产生发生器,178 和 184 产生的方波的补码的方波发生器代替,减法器 176,182,200 和 204 分别可以用加法器来代替,并不改变操作,偏移能量的估计方法用它们的绝对值,而不用偏离的平方值,这种方法对数字设计者来说是熟悉的,所用的这种方法的电

---

路是同图 16 所示的平方电路等效的，在本发明的一个可供选择的实施例中，预编码器只是一个产生“负”信息 *NRZI* 码，而不产生“正”信息 *NRZI* 码；相应的改变化在控制发生器中被作出。

图 1

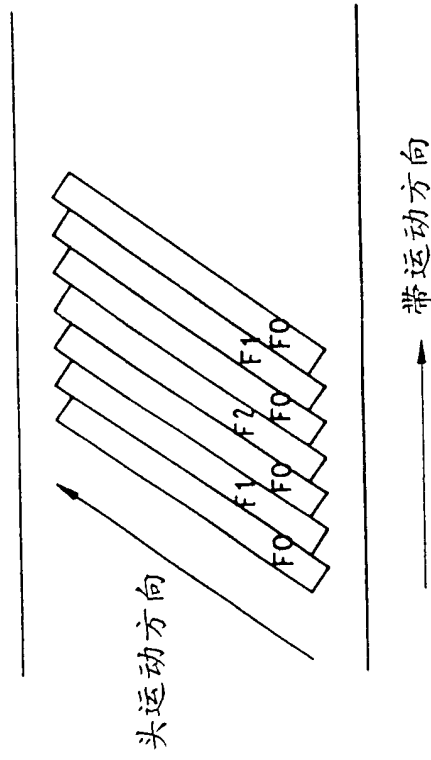


图 2A

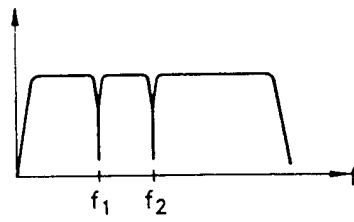


图 2B

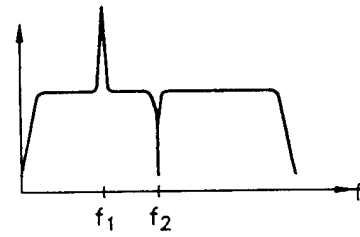


图 2C

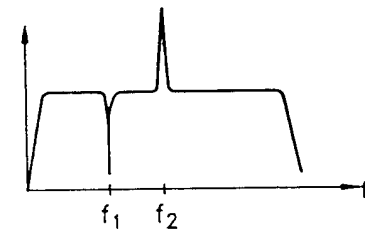


图 5  
(现有技术)

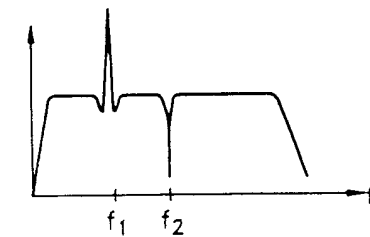


图 3 (现有技术)

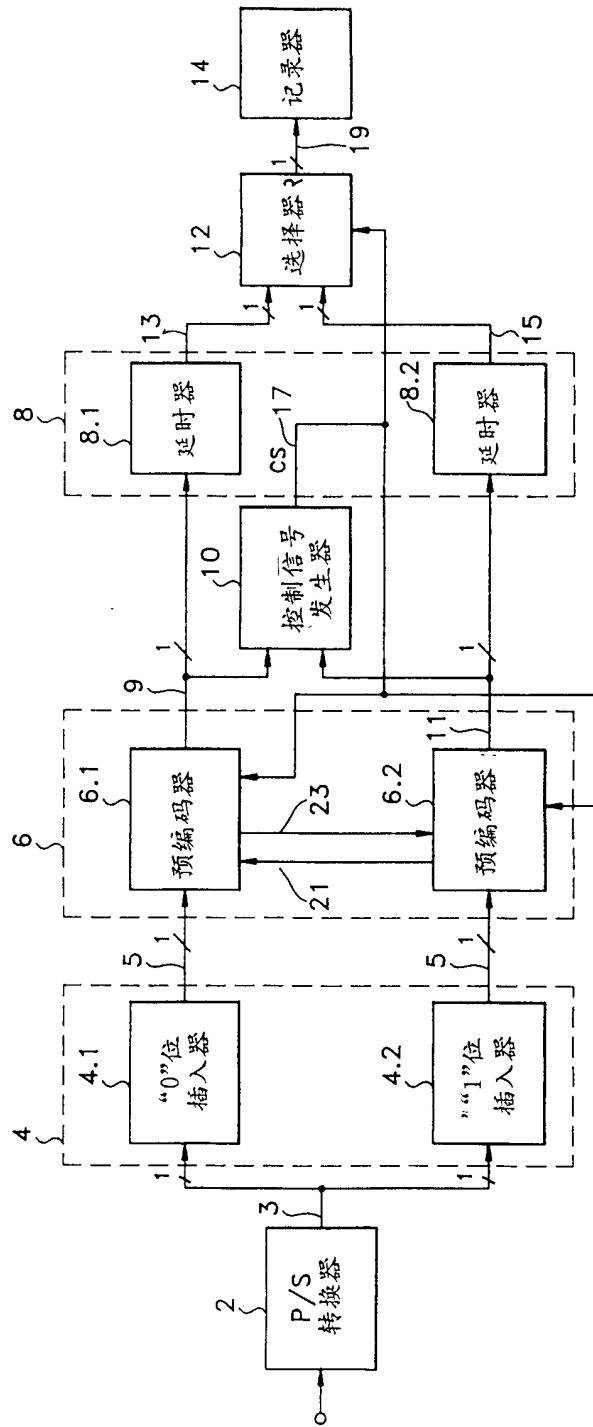


图 4

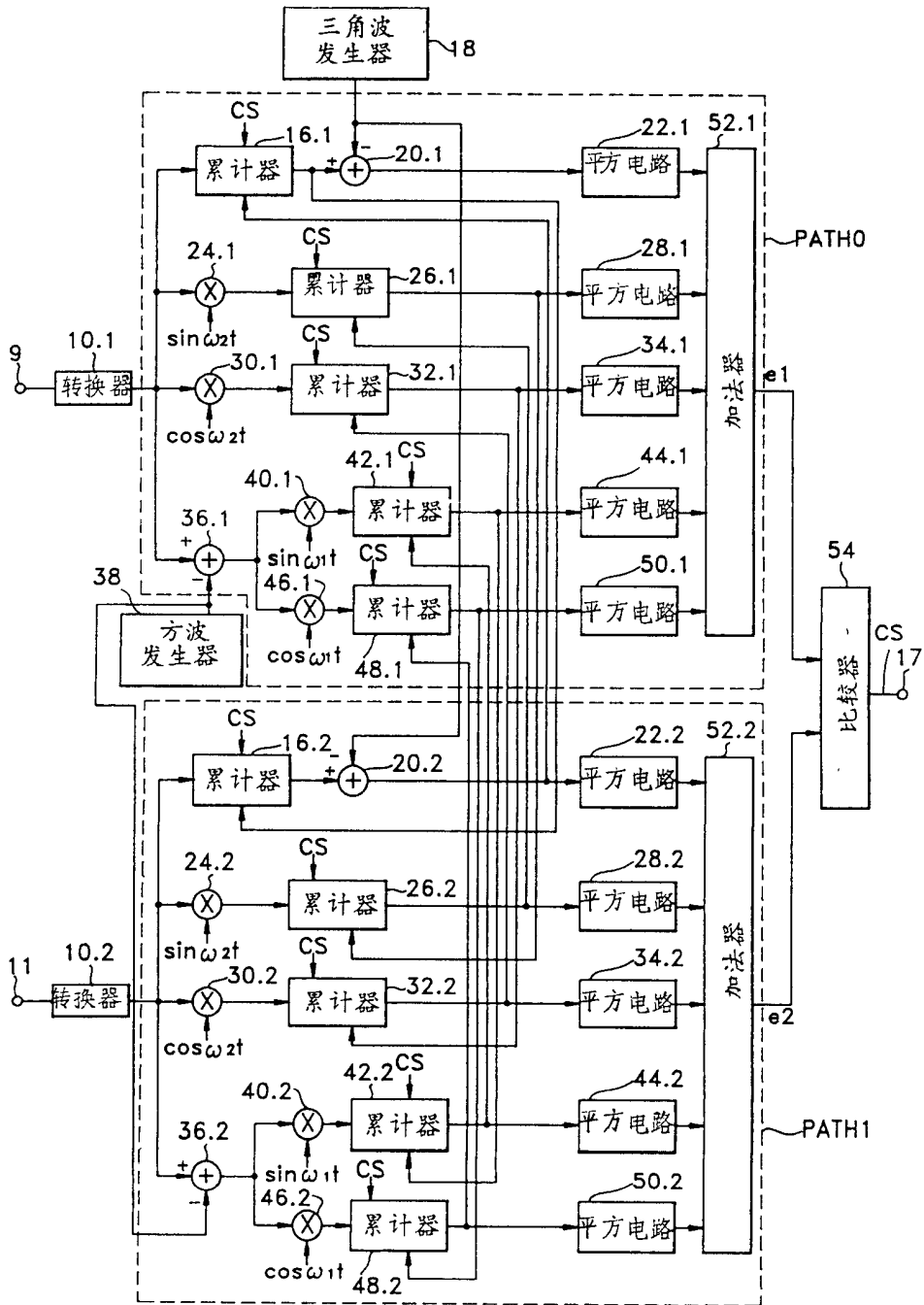




图 6

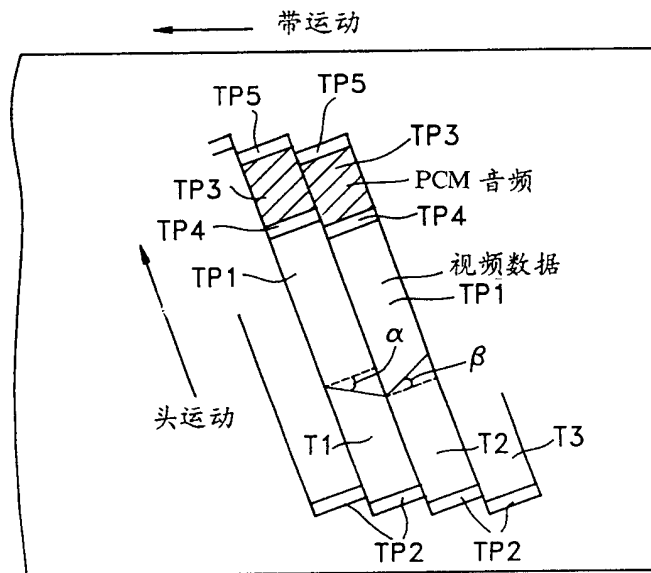


图 7 在带部分行数(块)

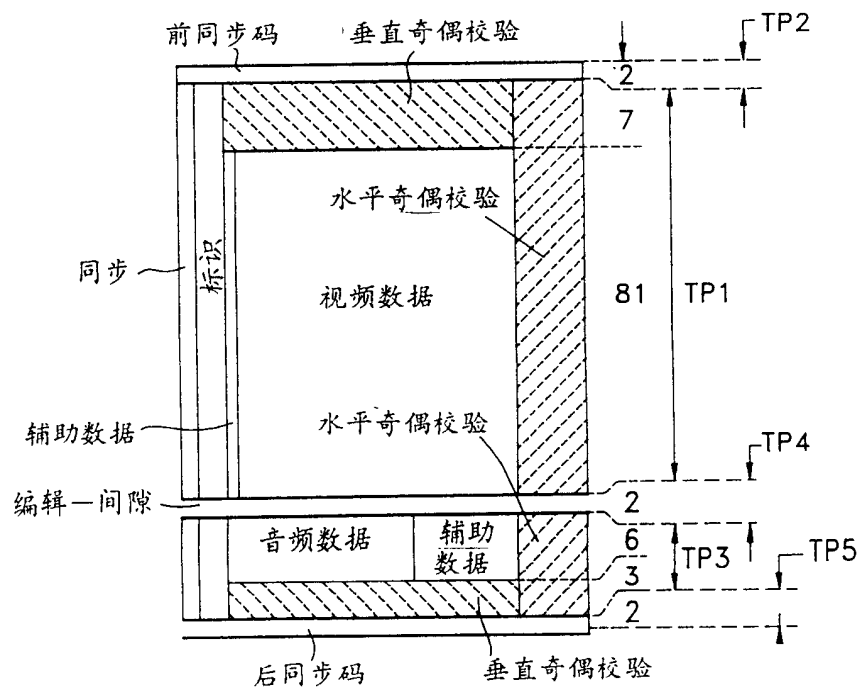
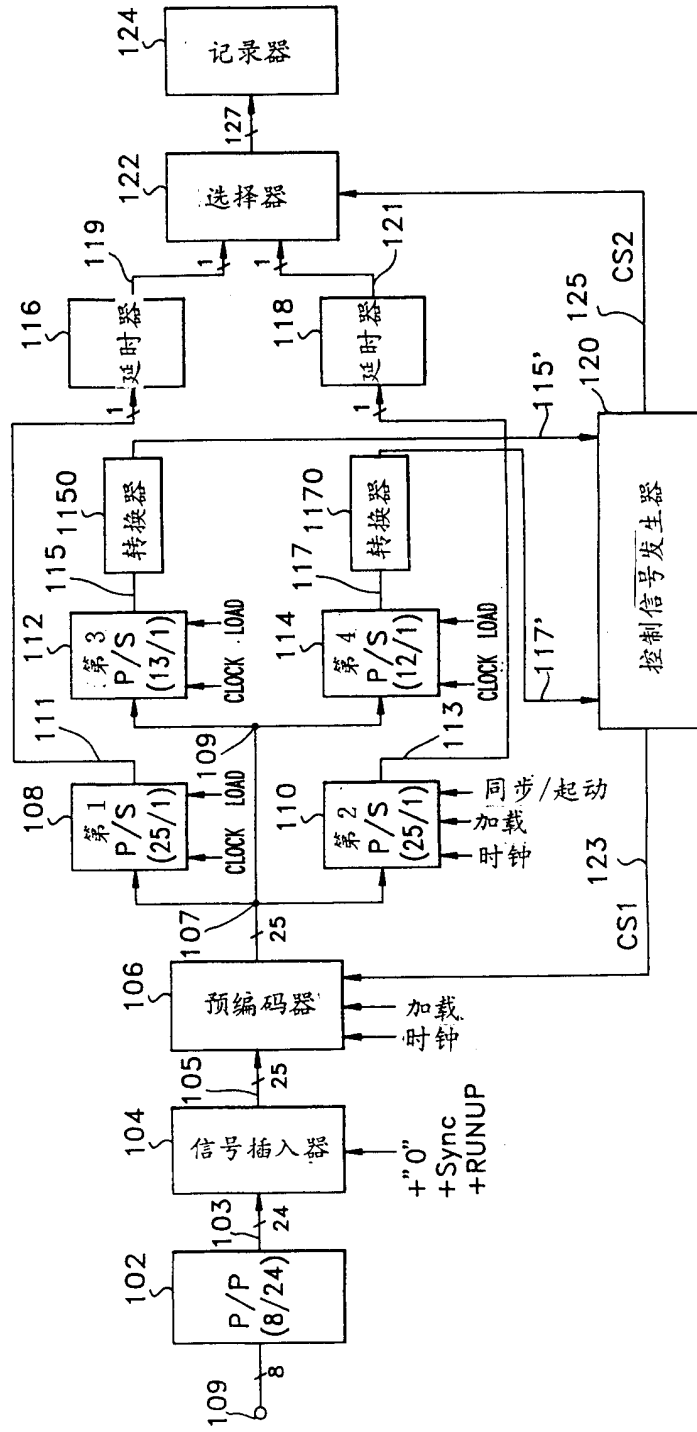
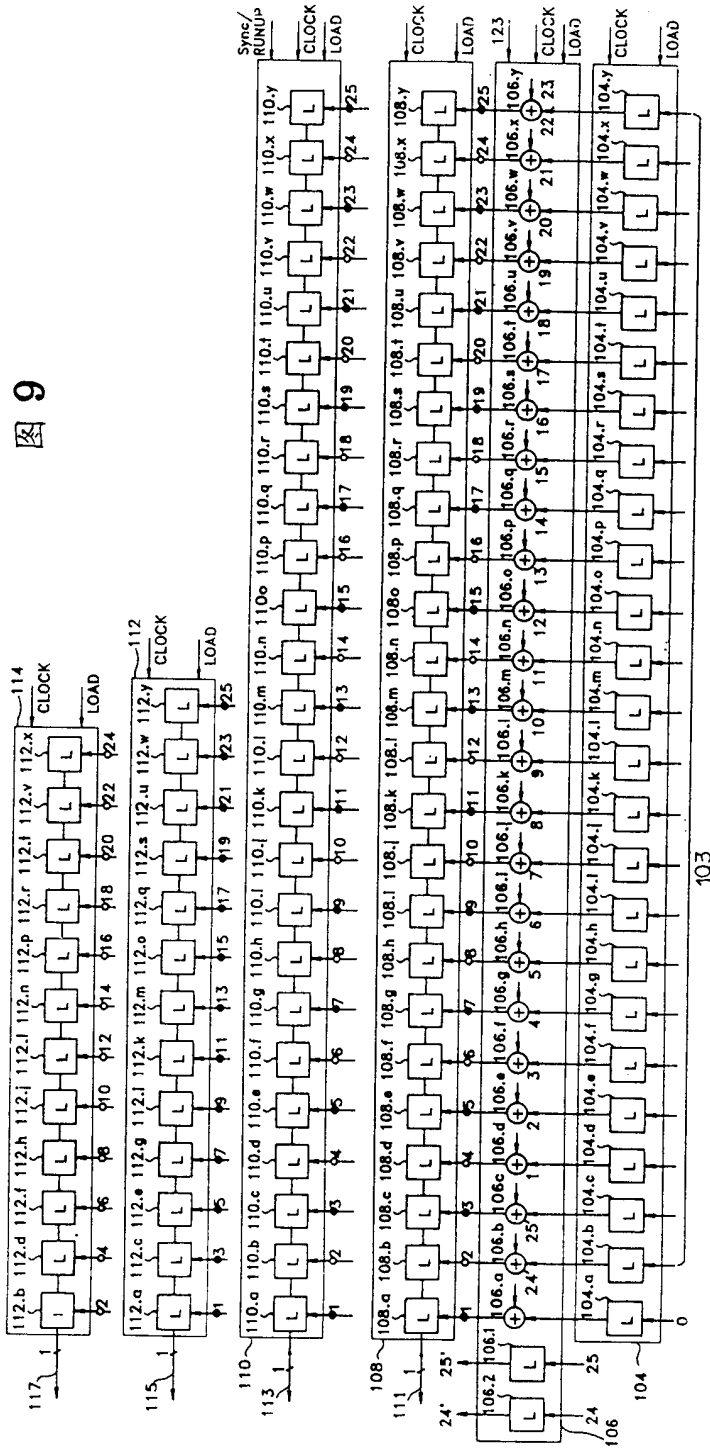


图 8





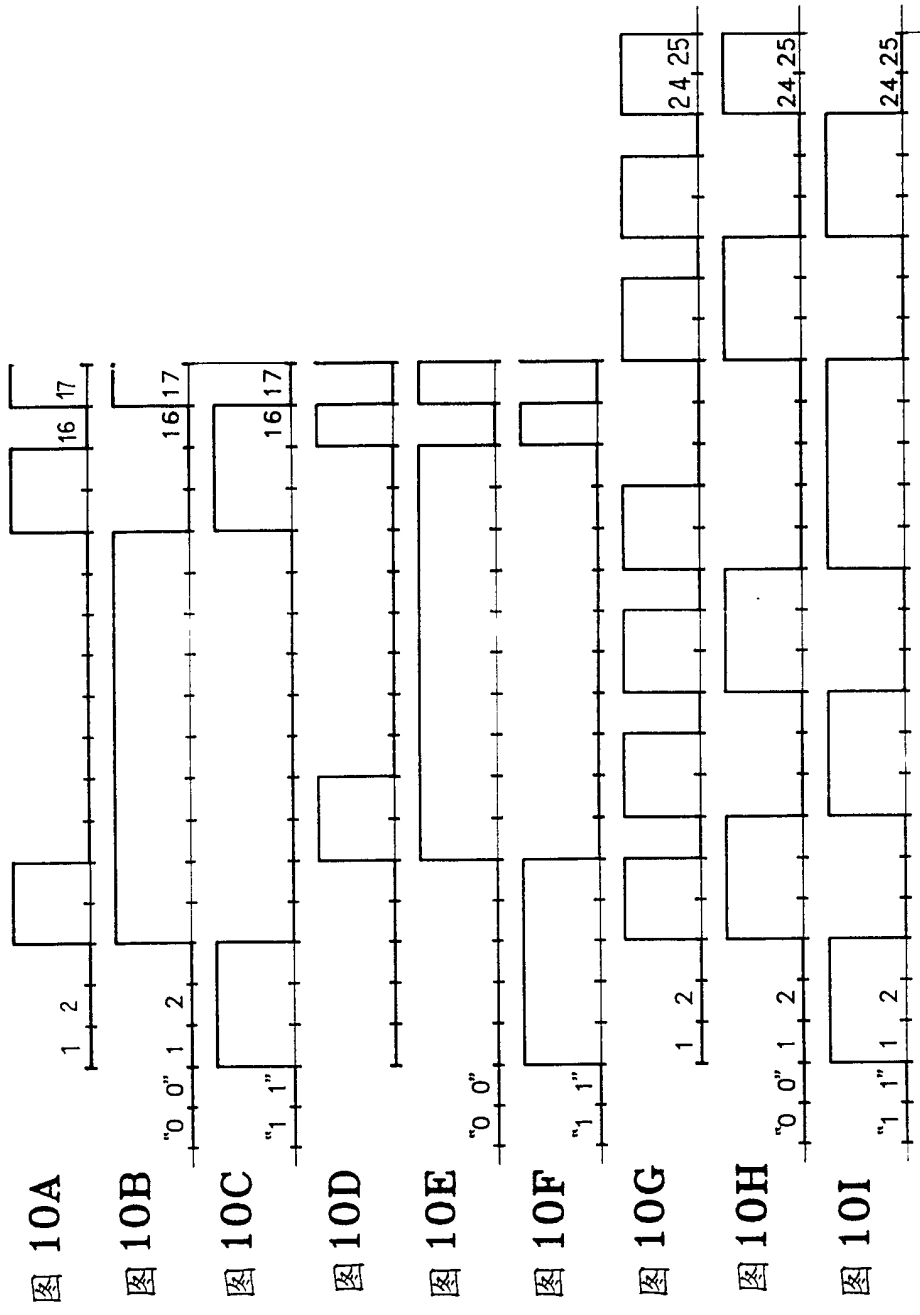


图 11

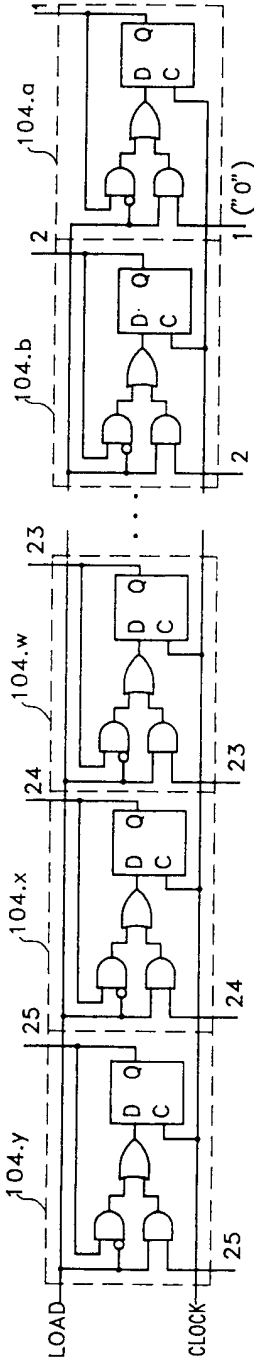


图 12

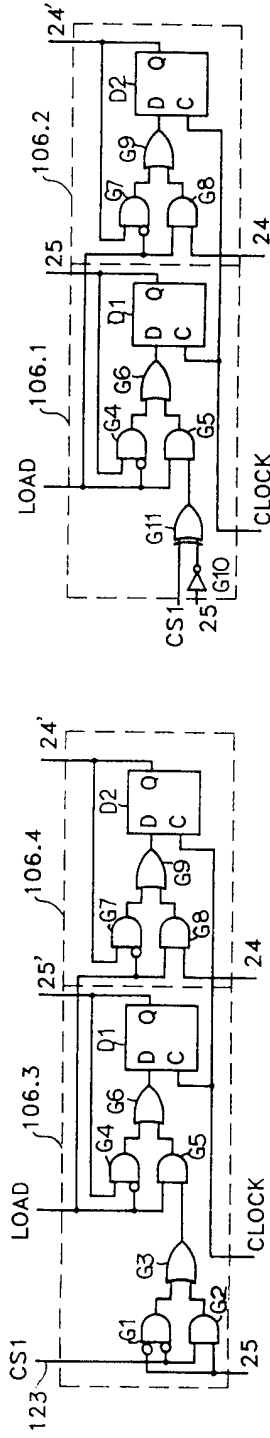


图 13

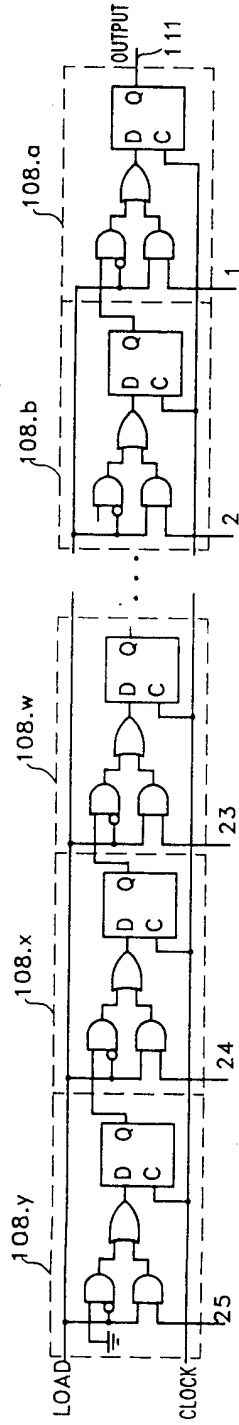
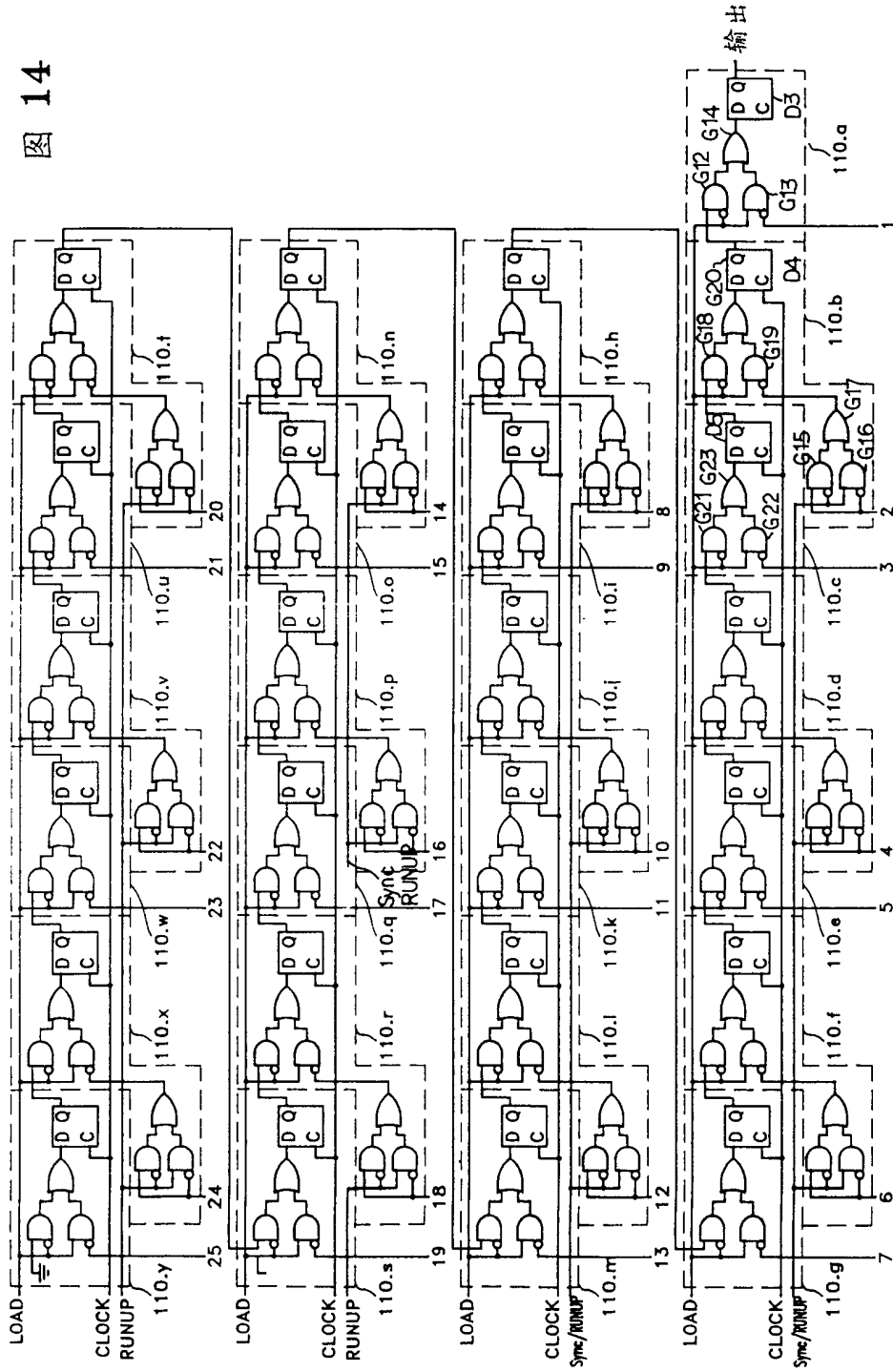


图 14



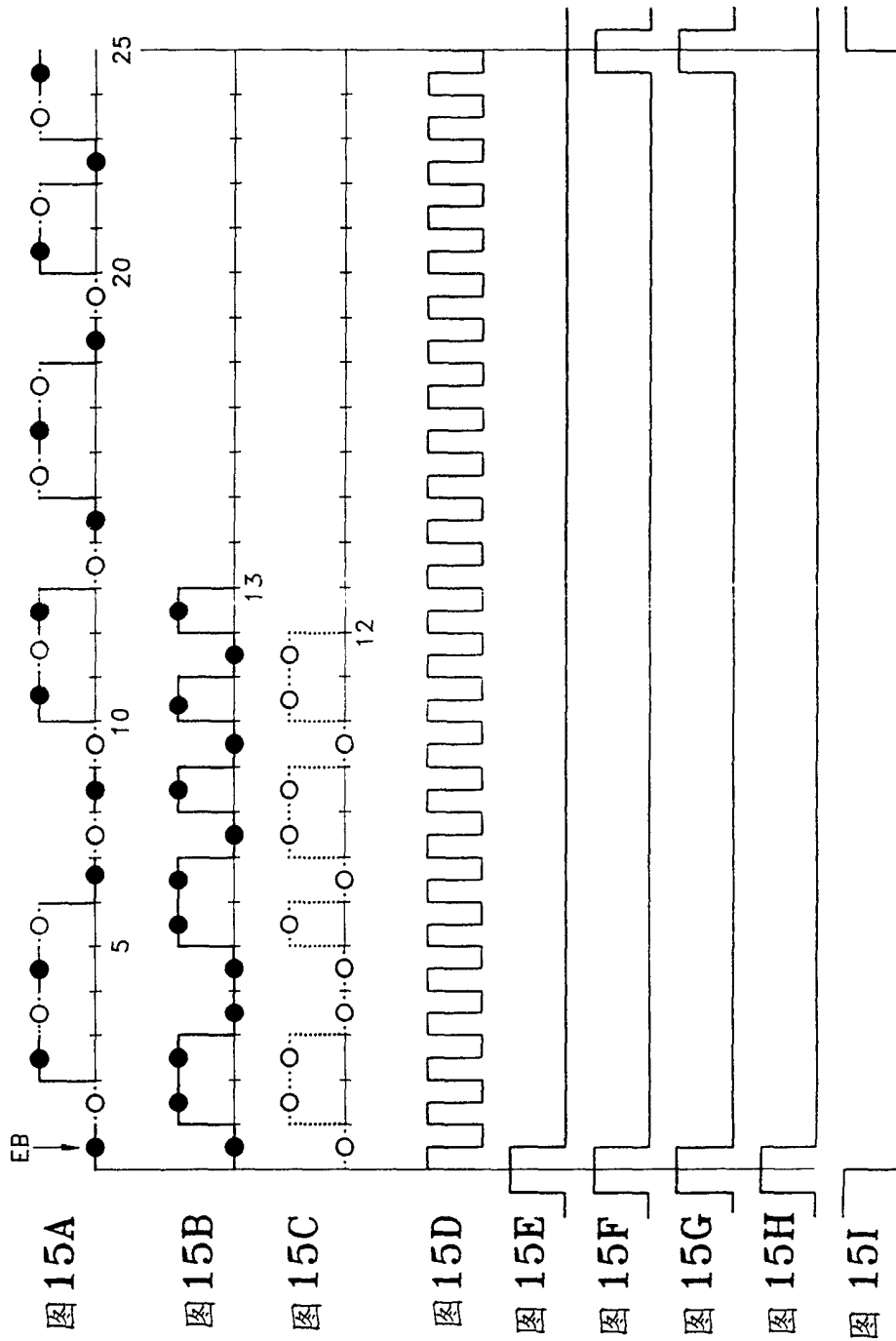


图 16

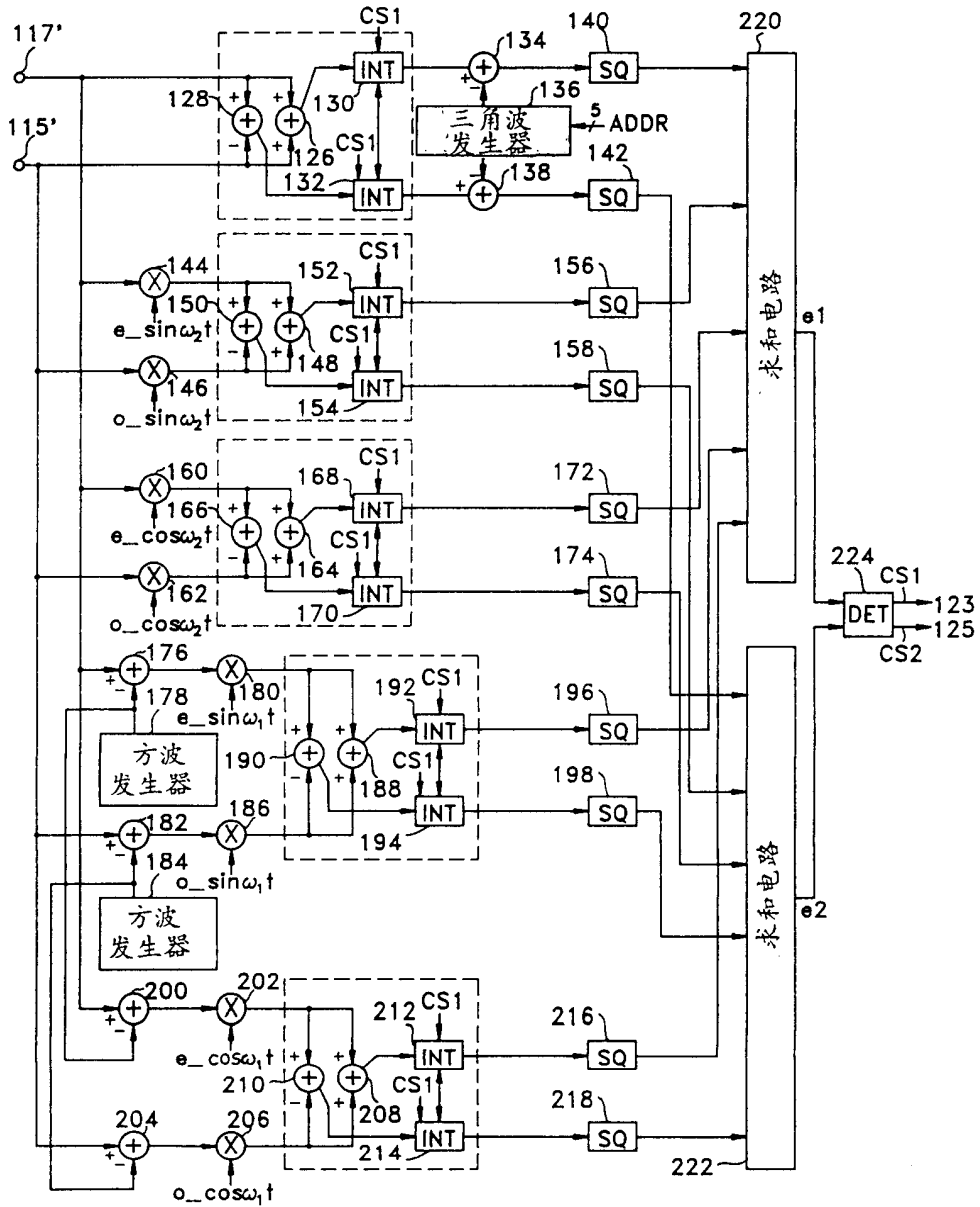




图 17A

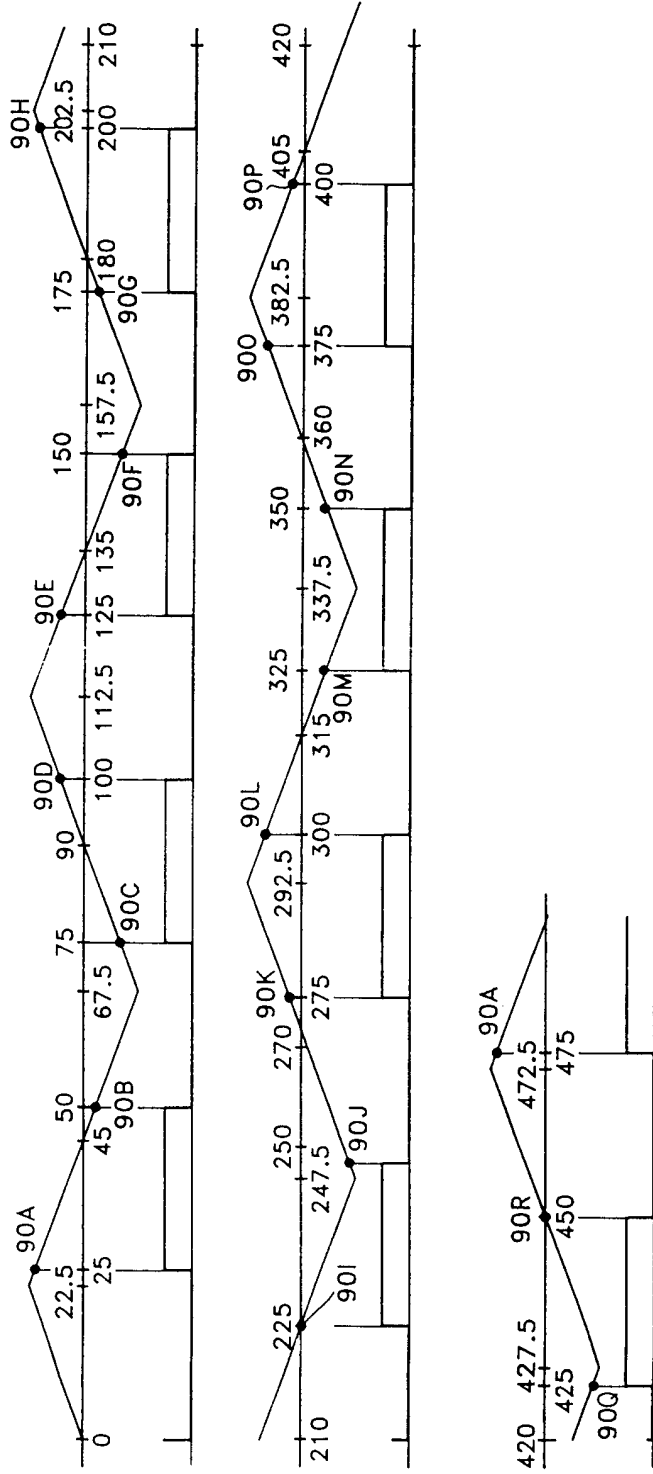


图 17B

|    | 地址    | 数据  |
|----|-------|-----|
| 0  | 00000 | 90A |
| 1  | 00001 | 90B |
| 2  | 00010 | 90C |
| 3  | 00011 | 90D |
| 4  | 00100 | 90E |
| 5  | 00101 | 90F |
| 6  | 00110 | 90G |
| 7  | 00111 | 90H |
| 8  | 01000 | 90I |
| 9  | 01001 | 90J |
| 10 | 01010 | 90K |
| 11 | 01011 | 90L |
| 12 | 01100 | 90M |
| 13 | 01101 | 90N |
| 14 | 01110 | 90O |
| 15 | 01111 | 90Q |
| 16 | 10000 | 90R |

图 18A

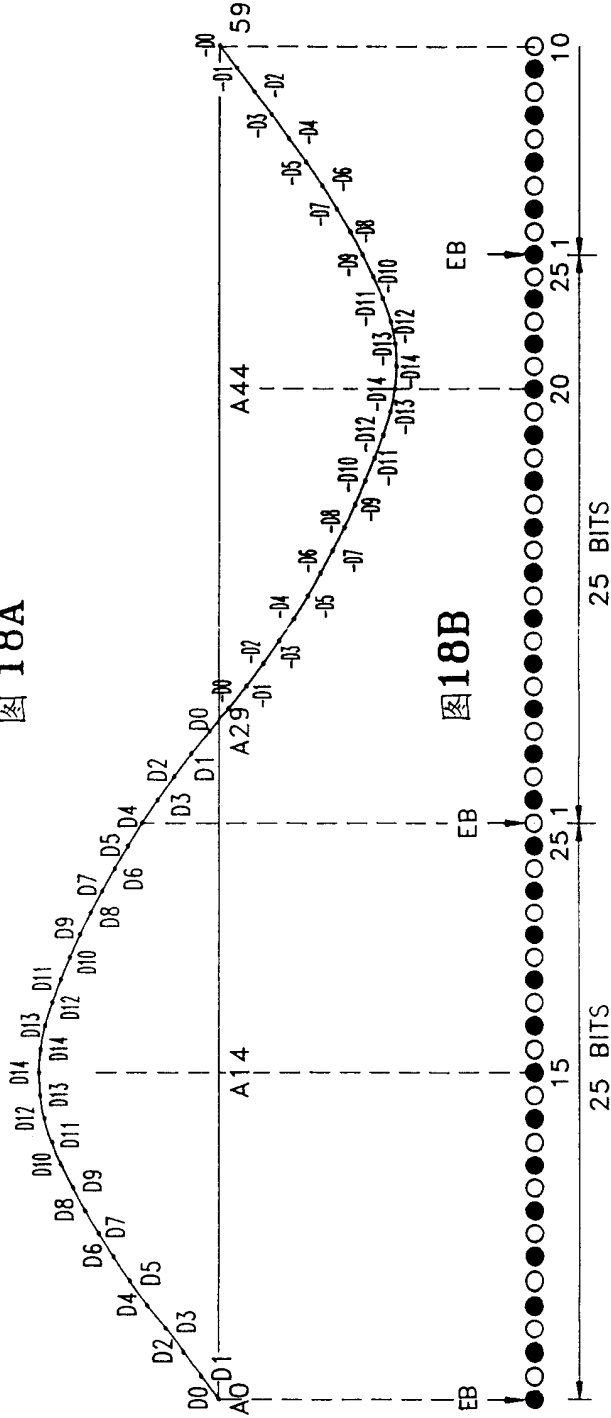


图 18B

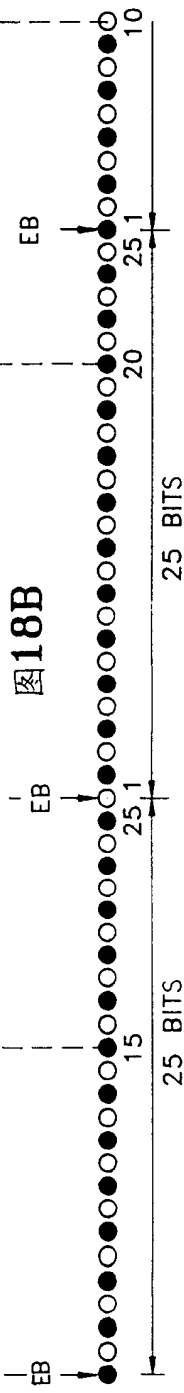


图 18C



图 19A

| 地址 | 数据           | 地址  | 数据 | 地址           | 数据   | 地址 | 数据           | 地址  | 数据                 |
|----|--------------|-----|----|--------------|------|----|--------------|-----|--------------------|
| 0  | 00,0000,0000 | D0  | 25 | 00,0001,1001 | D4   | 50 | 00,0011,0010 | -D9 |                    |
| 1  | 00,0000,0001 | D2  | 26 | 00,0001,1010 | D2   | 51 | 00,0011,0011 | -D7 |                    |
| 2  | 00,0000,0010 | D4  | 27 | 00,0001,1011 | D0   | 52 | 00,0011,0100 | -D5 |                    |
| 3  | 00,0000,0011 | D6  | 28 | 00,0001,1100 | -D1  | 53 | 00,0011,0101 | -D3 |                    |
| 4  | 00,0000,0100 | D8  | 29 | 00,0001,1101 | -D3  | 54 | 00,0011,0110 | -D1 |                    |
| 5  | 00,0000,0101 | D10 | 30 | 00,0001,1110 | -D5  | 55 | 00,0011,0111 | D0  | •                  |
| 6  | 00,0000,0110 | D12 | 31 | 00,0001,1111 | -D7  | 56 | 00,0011,1000 | D2  | •                  |
| 7  | 00,0000,0111 | D14 | 32 | 00,0010,0000 | -D9  | 57 | 00,0011,1001 | D4  | •                  |
| 8  | 00,0000,1000 | D13 | 33 | 00,0010,0001 | -D11 | 58 | 00,0011,1010 | D6  |                    |
| 9  | 00,0000,1001 | D11 | 34 | 00,0010,0010 | -D13 | 59 | 00,0011,1011 | D8  |                    |
| 10 | 00,0000,1010 | D9  | 35 | 00,0010,0011 | -D14 | 60 | 00,0011,1100 | D10 |                    |
| 11 | 00,0000,1011 | D7  | 36 | 00,0010,0100 | -D12 | 61 | 00,0011,1101 | D12 |                    |
| 12 | 00,0000,1100 | D5  | 37 | 00,0010,0101 | -D10 | 62 | 00,0011,1110 | D14 |                    |
| 13 | 00,0000,1101 | 0   | 38 | 00,0010,0110 | 0    | 63 | 00,0011,1111 | 0   | 588 10,0100,1100 0 |
| 14 | 00,0000,1110 | 0   | 39 | 00,0010,0111 | 0    | 64 | 00,0100,0000 | 0   | 589 10,0100,1101 0 |
| 15 | 00,0000,1111 | 0   | 40 | 00,0010,1000 | 0    | 65 | 00,0100,0001 | 0   | 590 10,0100,1110 0 |
| 16 | 00,0001,0000 | 0   | 41 | 00,0010,1001 | 0    | 66 | 00,0100,0010 | 0   | 591 10,0100,1111 0 |
| 17 | 00,0001,0001 | 0   | 42 | 00,0010,1010 | 0    | 67 | 00,0100,0011 | 0   | 592 10,0101,0000 0 |
| 18 | 00,0001,0010 | 0   | 43 | 00,0010,1011 | 0    | 68 | 00,0100,0100 | 0   | 593 10,0101,0001 0 |
| 19 | 00,0001,0011 | 0   | 44 | 00,0010,1100 | 0    | 69 | 00,0100,0101 | 0   | 594 10,0101,0010 0 |
| 20 | 00,0001,0100 | 0   | 45 | 00,0010,1101 | 0    | 70 | 00,0100,0110 | 0   | 595 10,0101,0011 0 |
| 21 | 00,0001,0101 | 0   | 46 | 00,0010,1110 | 0    | 71 | 00,0100,0111 | 0   | 596 10,0101,0100 0 |
| 22 | 00,0001,0110 | 0   | 47 | 00,0010,1111 | 0    | 72 | 00,0100,1000 | 0   | 597 10,0101,0101 0 |
| 23 | 00,0001,0111 | 0   | 48 | 00,0011,0000 | 0    | 73 | 00,0100,1001 | 0   | 598 10,0101,0110 0 |
| 24 | 00,0001,1000 | 0   | 49 | 00,0011,0001 | 0    | 74 | 00,0100,1010 | 0   | 599 10,0101,0111 0 |

图 19B

| 地址 | 数据           | 地址  | 数据 | 地址           | 数据   | 地址 | 数据           | 地址  | 数据                 |
|----|--------------|-----|----|--------------|------|----|--------------|-----|--------------------|
| 0  | 00,0000,0000 | D1  | 25 | 00,0001,1001 | D3   | 50 | 00,0011,0010 | -D8 |                    |
| 1  | 00,0000,0001 | D3  | 26 | 00,0001,1010 | D1   | 51 | 00,0C11,0011 | -D6 |                    |
| 2  | 00,0000,0010 | D5  | 27 | 00,0001,1011 | -D0  | 52 | 00,0011,0100 | -D4 |                    |
| 3  | 00,0000,0011 | D7  | 28 | 00,0001,1100 | -D2  | 53 | 00,0011,0101 | -D2 |                    |
| 4  | 00,0000,0100 | D9  | 29 | 00,0001,1101 | -D4  | 54 | 00,0011,0110 | -D0 |                    |
| 5  | 00,0000,0101 | D11 | 30 | 00,0001,1110 | -D6  | 55 | 00,0011,0111 | D1  | •                  |
| 6  | 00,0000,0110 | D13 | 31 | 00,0001,1111 | -D8  | 56 | 00,0011,1000 | D3  | •                  |
| 7  | 00,0000,0111 | D14 | 32 | 00,0010,0000 | -D10 | 57 | 00,0011,1001 | D5  | •                  |
| 8  | 00,0000,1000 | D12 | 33 | 00,0010,0001 | -D12 | 58 | 00,0011,1010 | D7  |                    |
| 9  | 00,0000,1001 | D10 | 34 | 00,0010,0010 | -D14 | 59 | 00,0011,1011 | D9  |                    |
| 10 | 00,0000,1010 | D8  | 35 | 00,0010,0011 | -D13 | 60 | 00,0011,1100 | D11 |                    |
| 11 | 00,0000,1011 | D6  | 36 | 00,0010,0100 | -D11 | 61 | 00,0011,1101 | D13 |                    |
| 12 | 00,0000,1100 | 0   | 37 | 00,0010,0101 | 0    | 62 | 00,0011,1110 | 0   |                    |
| 13 | 00,0000,1101 | 0   | 38 | 00,0010,0110 | 0    | 63 | 00,0011,1111 | 0   | 588 10,0100,1100 0 |
| 14 | 00,0000,1110 | 0   | 39 | 00,0010,0111 | 0    | 64 | 00,0100,0000 | 0   | 589 10,0100,1101 0 |
| 15 | 00,0000,1111 | 0   | 40 | 00,0010,1000 | 0    | 65 | 00,0100,0001 | 0   | 590 10,0100,1110 0 |
| 16 | 00,0001,0000 | 0   | 41 | 00,0010,1001 | 0    | 66 | 00,0100,0010 | 0   | 591 10,0100,1111 0 |
| 17 | 00,0001,0001 | 0   | 42 | 00,0010,1010 | 0    | 67 | 00,0100,0011 | 0   | 592 10,0101,0000 0 |
| 18 | 00,0001,0010 | 0   | 43 | 00,0010,1011 | 0    | 68 | 00,0100,0100 | 0   | 593 10,0101,0001 0 |
| 19 | 00,0001,0011 | 0   | 44 | 00,0010,1100 | 0    | 69 | 00,0100,0101 | 0   | 594 10,0101,0010 0 |
| 20 | 00,0001,0100 | 0   | 45 | 00,0010,1101 | 0    | 70 | 00,0100,0110 | 0   | 595 10,0101,0011 0 |
| 21 | 00,0001,0101 | 0   | 46 | 00,0010,1110 | 0    | 71 | 00,0100,0111 | 0   | 596 10,0101,0100 0 |
| 22 | 00,0001,0110 | 0   | 47 | 00,0010,1111 | 0    | 72 | 00,0100,1000 | 0   | 597 10,0101,0101 0 |
| 23 | 00,0001,0111 | 0   | 48 | 00,0011,0000 | 0    | 73 | 00,0100,1001 | 0   | 598 10,0101,0110 0 |
| 24 | 00,0001,1000 | 0   | 49 | 00,0011,0001 | 0    | 74 | 00,0100,1010 | 0   | 599 10,0101,0111 0 |

