

申請日期	89.9.20
案號	89119341
類別	發明專利

公告本

A4  
C4

546760

(以上各欄由本局填註)

發明專利說明書  
~~新~~型

一、發明 名稱	中文	經由光阻平坦化而調和裝置參數之方法
	英文	METHOD FOR HOMOGENIZING DEVICE PARAMETERS THROUGH PHOTORESIST PLANARIZATION
二、發明 創作人	姓名	1. 蓋瑞 J. 比爾斯利 2. 鍾 X. 喜 3. 庫克 K. 海因 4. 麥可 P. 麥馬洪
	國籍	1. 3. 4. 皆美國 2. 中華民國
	住、居所	1. 美國佛蒙特州安得希爾市木樑路52號 2. 美國佛蒙特州艾瑟斯強宣市塔馬若克路25號 3. 美國佛蒙特州傑瑞丘市秋天廣場13號 4. 美國佛蒙特州威爾斯頓市北布洛尼爾路504號
三、申請人	姓名 (名稱)	美商萬國商業機器公司
	國籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代表人 姓名	傑拉德 羅森賽

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權美國 1999年06月28日 09/340,796 有 無 主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 發明領域

本發明大體上有關一種半導體裝置製造方法，尤其有關一種於一半導體基材上達到固定裝置特性的方法。

### 發明背景

半導體裝置之製造經常包括於半導體晶圓上接近渠溝處形成經摻雜之區域。例如，於動態隨機存取記憶體(DRAM)製造過程中，於一半導體晶圓中形成深渠溝。含有摻雜劑之氧化物層係沉積於該半導體晶圓上。該氧化物層覆蓋該晶圓之前面及該渠溝之側壁及底部。於離心方法中，光阻係施加於該晶圓，覆蓋該含摻雜劑之氧化物層，並充填該渠溝。乾式蝕刻方法移除位於該晶圓前面上之光阻。該蝕刻方法亦移除充填該光阻充填渠溝之部分，而於該渠溝中產生凹陷。該凹陷曝露出該渠溝中位於側壁頂部的含摻雜劑氧化物層，其隨之於氧化物蝕刻過程中移除。該渠溝底部中之光阻隨之被移除。該晶圓歷經該退火過程，其中氧化物層中之摻雜劑擴散進入該半導體基材中，沿該渠溝之底部形成經摻雜區域。該渠溝中經摻雜區域之頂邊自晶圓之前面向內凹陷。

因為程序變化，該光阻於整體晶圓上之厚度通常不均勻。該乾式蝕刻方法將該不均勻光阻厚度轉換成該渠溝中不均勻之凹陷。結果，該經摻雜區域之頂邊的凹陷隨渠溝而改變。換言之，不同渠溝中經摻雜區域的凹陷數據線彼此不同。該凹陷深度之不均勻度可能對所製造之DRAM的特性、性能及可信度產生負面影響。亦可能影響該製造過程

## 五、發明說明(2)

的良率。

是故，較佳係具有一種控制渠溝中之凹陷深度的方法或過程，以於整體半導體晶粒或半導體晶圓上達到實質均勻之裝置參數。期望一種簡易而可信之方法。另一優點是該方法與習用製程相容。

### 發明概述

本發明大體上之目的係提出一種可信之半導體裝置製造方法，以調和半導體裝置參數，並達到實質均勻之裝置特性。尤其，本發明目的係控制半導體晶圓渠溝中光阻凹陷深度，以於整體晶圓之渠溝中達到實質均勻之凹陷深度。本發明另一目的係簡易、可信且可與其他半導體之製造方法相容之製造方法。

本發明之此等及其他目的係藉著使配置於半導體晶圓上之光阻平坦化而達成，以控制該晶圓上之光阻厚度。例如，本發明製造方法中，光阻係施加於半導體晶圓上，其中形成渠溝。該光阻覆蓋該半導體晶圓之前面，並充填該渠溝。所配置之光阻於化學機械拋光方法中經平坦化，以於整體晶圓上達到實質均勻之厚度。平坦化之後，各向異性蝕刻方法諸如例如反應性離子蝕刻方法部分移除位於渠溝中之光阻，而於該渠溝中產生凹陷。因為蝕刻過程之前光阻之厚度於整體晶圓上實質均勻，故該晶圓不同渠溝中之凹陷深度實質上彼此相等。因此，於整體晶圓上達到實質均勻之凹陷深度。該均勻凹陷深度極有利於確定於晶圓上製造之半導體裝置具有固定之特性及性能。

## 五、發明說明(3)

### 圖式簡單說明

圖1-9係為本發明製造過程中不同階段下之半導體基材剖面圖。

另外該圖並未完全依比例繪製，圖中使用相同參考編號表示具有相同功能之元件。

### 較佳具體實例詳述

本發明較佳具體實例係參照圖式描述。已知該圖僅供說明，未真實地描寫本發明特定參數。亦已知該圖僅說明本發明一般具體實例。因此，該圖應不限制本發明範圍。

圖1係為半導體基材10之剖面圖，其可使用於本發明製造方法中。基材10係為半導體晶圓(未示)之一部分，其上層製造有半導體裝置。製造於基材10上之半導體裝置可為不連續裝置或積體電路裝置。例如，半導體裝置10係為本體矽基材。半導體裝置10亦可為鍍基材、矽鍍基材、碳化矽基材、絕緣體上之半導體(SOI)基材等。基材10具有前面11，其亦稱為基材10之主要表面。形成於基材10中之渠溝12、14、16及18係自前面11部分延伸於基材10中。該渠溝12、14、16及18或可位於晶圓上之相同晶粒中或不同之晶粒中。此外，基材10不限於具有四條渠溝。依本發明，基材10可包括任何數目之渠溝，例如一、二、三、五、六條等。渠溝12具有側壁21及底部22，渠溝14具有側壁23及底部24，渠溝16具有側壁25及底部26，而渠溝18具有側壁27及底部28。例如，側壁21、23、25及27之高度係個別大於底部22、24、26及28之尺寸。是故，渠溝12、14、16及18係稱

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(4)

為深渠溝。然而，此非本發明之限制。換言之，渠溝12、14、16及18不限於深渠溝。此外，渠溝12、14、16及18之尺寸可彼此相同或彼此相異。

參照圖2，介電層31係配置於基材10之前面11。例如，介電層31含有摻雜劑，其係於化學蒸汽沉積方法中配置於基材10上。介電層31可為氧化物層、氮化物層等。介電層31中所含之摻雜劑可為P型摻雜劑，例如硼或N型摻雜劑例如磷或砷。形成介電層31之化學蒸汽沉積方法亦於渠溝12中形成介電層32，於渠溝14中形成介電層34，於渠溝16中形成介電層36，及於渠溝18中形成介電層38。圖3係顯示製造方法後續階段之基材10。光阻材料係施加或配置於基材10上，形成覆蓋位於前面11上之介電層31的光阻結構41。光阻結構41亦充填基材10中之渠溝12、14、16及18。例如該光阻材料係於技藝界已知之離心方法中沉積於基材10上，形成光阻結構41。因為程序變化，基材10上之光阻結構41厚度通常並非於整體基材10上皆均勻。例如，圖3顯示覆蓋渠溝18之光阻結構41的厚度係大於覆蓋渠溝14者。不均勻之光阻厚度經常導致製造於基材10上之半導體裝置的不均勻參數及特性。該半導體裝置之特性、性能及可信度因此不均勻性而受到極大的負面影響，製造方法之良率亦然。

為了避免不均勻或不均稱之裝置參數及特性，光阻結構41經平坦化以於基材10上達成實質均勻之厚度。平坦化之後，光阻結構41具有圖4所示之平面表面42。該光阻結構41之平坦化較佳係使用化學機械拋光方法達成。圖4所示之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 5 )

具體實例中，在除去覆蓋前面11上之介電層31的光阻結構41之前停止拋光。此具體實例中，拋光之後仍有一覆蓋介電層31之均勻薄光阻層。另一具體實例中，該拋光持續至實質除去覆蓋位於前面11上之介電層31的光阻結構41，而光阻結構41之平面42基本上與介電層31之表面相符。此另一具體實例中，該拋光方法以高敏感性為佳，使得該介電層31可作為拋光終止層。例如，光阻結構41可於拋光方法中使用含有氧化鋁( $Al_2O_3$ )及硝酸鐵( $Fe(NO_3)_3$ )的溶液平坦化。氧化鋁係作為磨蝕劑，而硝酸鐵係作為氧化劑。光阻結構41於該方法中之拋光速率係介於約2,000毫微米每分鐘(毫微米/分鐘)至約4,000毫微米/分鐘之間。介於該光阻與氧化物材料--例如矽酸磷玻璃(PSG)--之間的拋光選擇性通常係高於約200:1。光阻與氮化矽材料--例如於低壓化學蒸汽沉積(LPCVD)方法中形成之氮化矽--之間的拋光選擇性通常係高於約2,000:1。因此，低於光阻結構41底層之介電層31可作為有效之拋光終止層，而不論其是為氧化物層或氮化物層。持續至耗盡覆蓋介電層31之光阻結構41之後的拋光係稱為過度拋光。因為該高拋光選擇性，故該過度拋光將使介電層31之厚度稍微變薄，而不致大幅影響殘留於渠溝12、14、16及18中之光阻結構41。

現在參照圖5，進行光阻蝕刻方法以移除位於渠溝12、14、16及18頂部中之光阻，以於各個渠溝12、14、16及18中產生凹陷。該光阻以於各向異性乾式蝕刻方法諸如例如反應性離子蝕刻方法或化學下游蝕刻方法中蝕刻為佳。凹陷

## 五、發明說明(6)

之光阻個別具有位於渠溝12、14、16及18中之頂面43、45、47及49。該凹陷曝露個別渠溝12、14、16及18中之介電層32、34、36及38與基材10前面11相鄰之頂部。介於基材10前面與頂面43、45、47及49之間的距離稱為各渠溝12、14、16及18中之光阻凹陷深度。該光阻凹陷深度係視蝕刻方法中所使用之蝕刻組成及蝕刻方法之持續時間而定。因為光阻結構41係於該蝕刻方法之前平坦化，故渠溝12、14、16及18中之光阻凹陷深度基本上彼此相等。換言之，該光阻結構41之平坦化於整體基材10上建立實質均勻或均一之光阻凹陷深度。此種均勻光阻凹陷深度改善製造於基材10上之半導體裝置的參數及特性一致性及均勻性。

持續該製造方法，介電層32、34、36及38之曝露部分於蝕刻方法中被移除(圖6)，該方法對光阻上之介電材料具有高選擇性為佳。殘留於渠溝12中之介電層32具有頂面53，實質上與渠溝12中光阻結構41的頂面43相同。相同地，渠溝14中之介電層34具有頂面55，基本上與渠溝14中之光阻結構41的頂面45相同。此外，渠溝16中之介電層36具有頂面57，基本上與渠溝16中光阻結構41之頂面47相同。此外，渠溝18中介電層38具有頂面59，基本上與渠溝18中之光阻結構41的頂面49相同。因此，個別渠溝12、14、16及18中介電層32、34、36及38的凹陷深度基本上彼此相等。渠溝12、14、16及18中之光阻隨之於蝕刻過程中完全移除(圖7)，較佳對位於該介電材料上之光阻具有高選擇性。曝露出與個別渠溝12、14、16及18之對應底部22、24、26及28

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 五、發明說明(7)

相鄰的介電層32、34、36及38。半導體基材10歷經熱過程諸如例如退火過程。於該熱過程中，介電層32、34、36及38中之摻雜劑擴散至基材10中，於個別渠溝12、14、16及18之周圍形成經摻雜之區域62、64、66及68(圖8)。經摻雜區域62、64、66及68個別具有頂邊63、65、67及69，與基材10之前面11相鄰。前面11與頂邊63、65、67及69間之距離意指個別經摻雜區域62、64、66及68之凹陷深度。選擇性步驟中，蝕刻去除介電層32、34、36及38。結果，半導體基材10包括環繞對應深渠溝12、14、16及18之經摻雜區域62、64、66及68(圖9)。該製造方法一般係包括另外於半導體基材10上形成半導體裝置之步驟。因為介電層32、34、36及38具有基本上均勻之凹陷深度，故個別經摻雜區62、64、66及68之頂邊63、65、67及69的凹陷深度基本上彼此相等。換言之，與個別渠溝32、34、36及38相鄰之經摻雜區域62、64、66及68具有基本上均勻之凹陷深度。

現在應已知已提出一種控制渠溝中凹陷深度之方法或過程，以於整體半導體基材或半導體晶圓上達到實質均勻之凹陷深度。根據本發明，該均勻凹陷深度係藉著使該基材上之光阻結構平坦化而達成。該光阻平坦化較佳係經由選擇性化學機械拋光方法達成。該光阻平坦化使整體半導體基材上相鄰之幾何參數例如光阻厚度、渠溝中之凹陷深度等調和。該光阻平坦化極有利於確定於該基材上所製之半導體裝置具有固定之參數、特性、及性能。本發明光阻平坦化方法簡易而可信。此外，其可與其他半導體裝置製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 8 )

方法相容。

雖然已出示並描述本發明特定具體實例，但熟習此技藝者已知其他修飾及改良。例如，本發明之光阻平坦化方法不限於針對環繞不同渠溝之經摻雜區域達成均勻之特性。該光阻平坦化方法亦可用以在半導體晶圓之不同區域中達到介電結構例如中間層介電結構的均勻幾何參數。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 四、中文發明摘要 (發明之名稱:經由光阻平坦化而調和裝置參數之方法 )

製造過程中，光阻配置於半導體基材(10)上，覆蓋該基材(10)之前面(11)，並充填其中之渠溝(12、14、16、18)。該光阻係於化學機械拋光中平坦化，以於整體基材(10)上達到均勻之厚度。各向異性蝕刻方法部分地移除渠溝(12、14、16、18)中之光阻，而於渠溝(12、14、16、18)中產生凹陷。因為蝕刻過程之前於整體基材(10)上之光阻厚度均勻，故不同渠溝(12、14、16、18)中之凹陷深度基本上彼此相等。而達到整體基材(10)上之均勻凹陷深度。該均勻之凹陷深度有利於確定位於該基材(10)上之半導體裝置具有固定參數、特性、及性能。

## 英文發明摘要 (發明之名稱:METHOD FOR HOMOGENIZING DEVICE PARAMETERS THROUGH PHOTORESIST PLANARIZATION )

In a fabrication process, photoresist is disposed over a semiconductor substrate (10), covering a front surface (11) of the substrate (10) and filling trenches (12, 14, 16, 18) therein. The photoresist is planarized in chemical mechanical polishing to achieve a uniform thickness throughout the substrate (10). An anisotropic etching process partially removes the photoresist in the trenches (12, 14, 16, 18), thereby creating recesses in the trenches (12, 14, 16, 18). Because the thickness of the photoresist is uniform throughout the substrate (10) before the etching process, the depths of the recesses in different trenches (12, 14, 16, 18) are substantially equal to each other. A uniform recess depth throughout the substrate (10) is thereby achieved. The uniform recess depth facilitates in ensuring the semiconductor devices fabricated on the substrate (10) to have consistent parameters, characteristics, and performances.

公告本

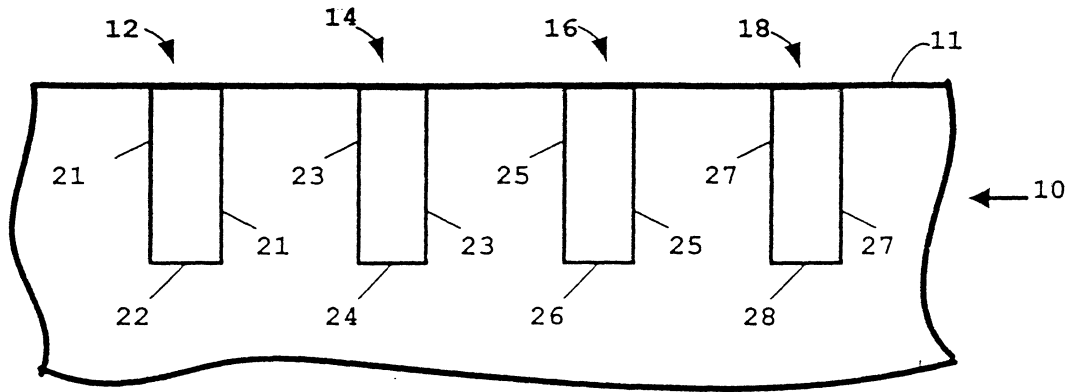


圖 1

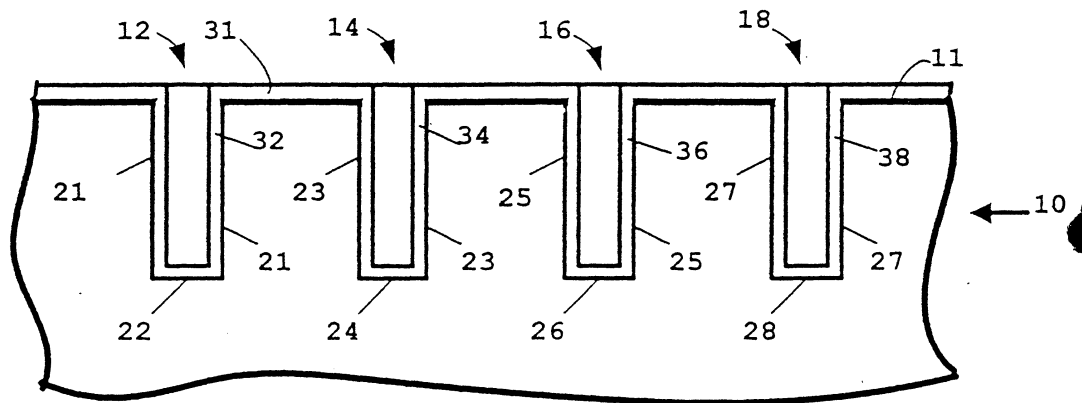


圖 2

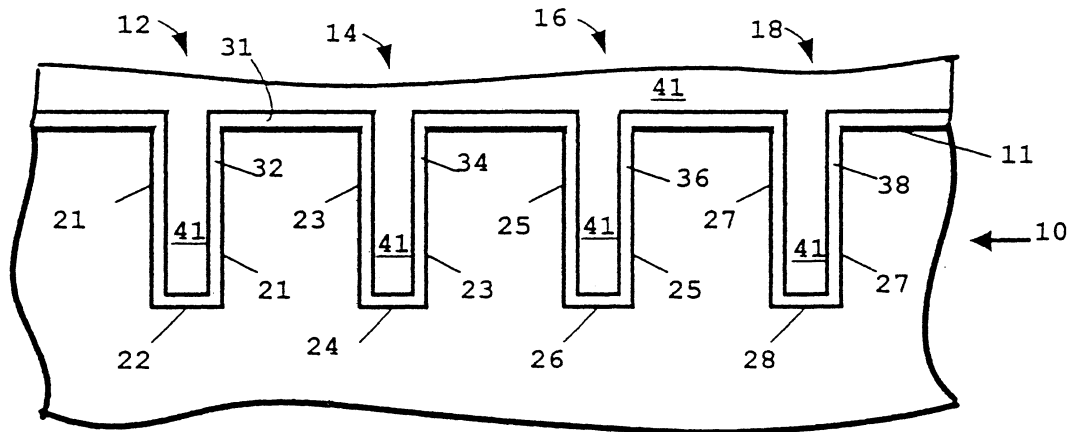


圖 3

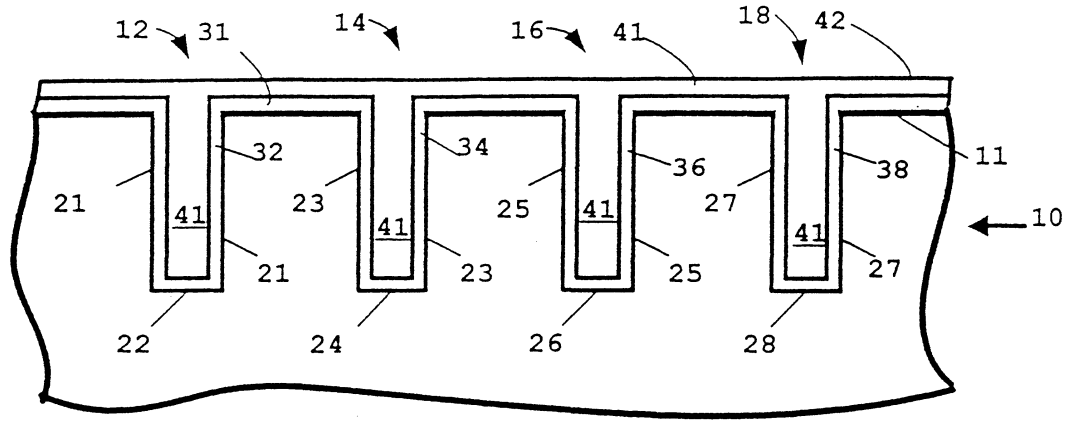


圖 4

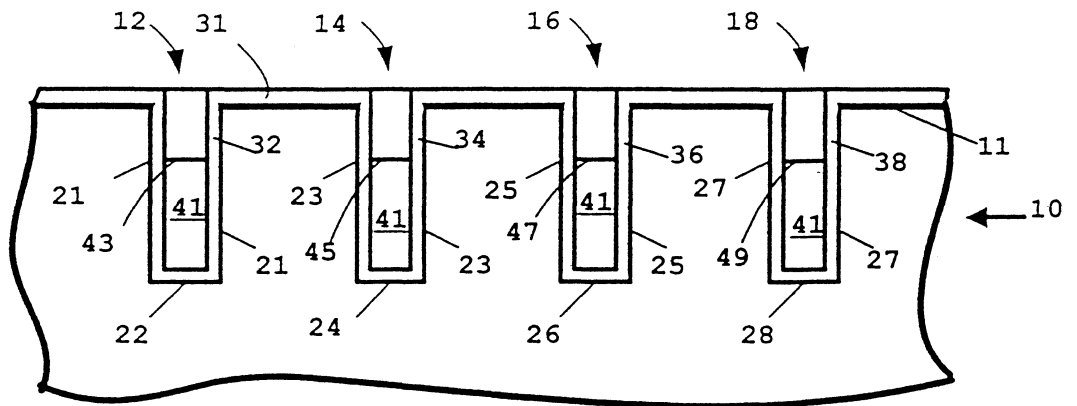


圖 5

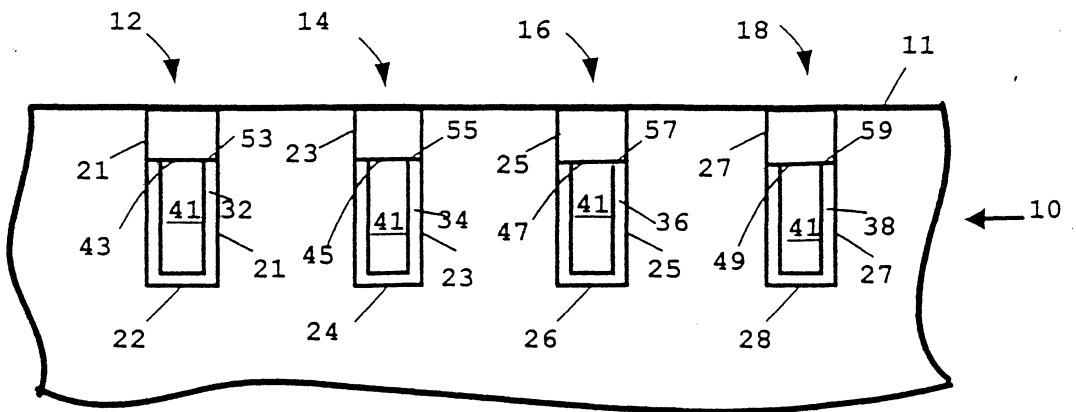


圖 6

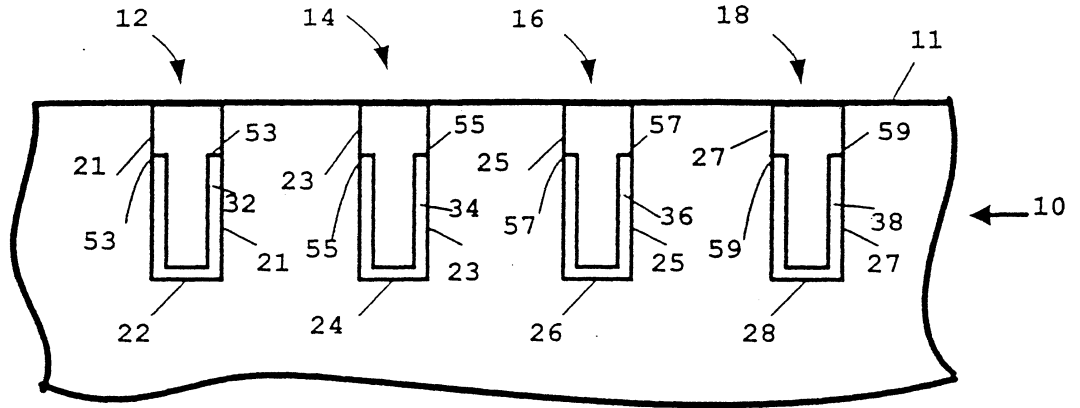


圖 7

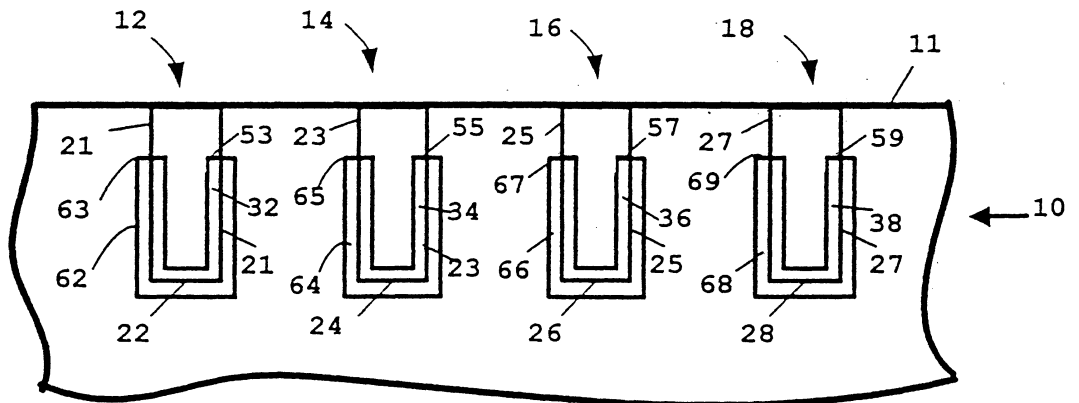


圖 8

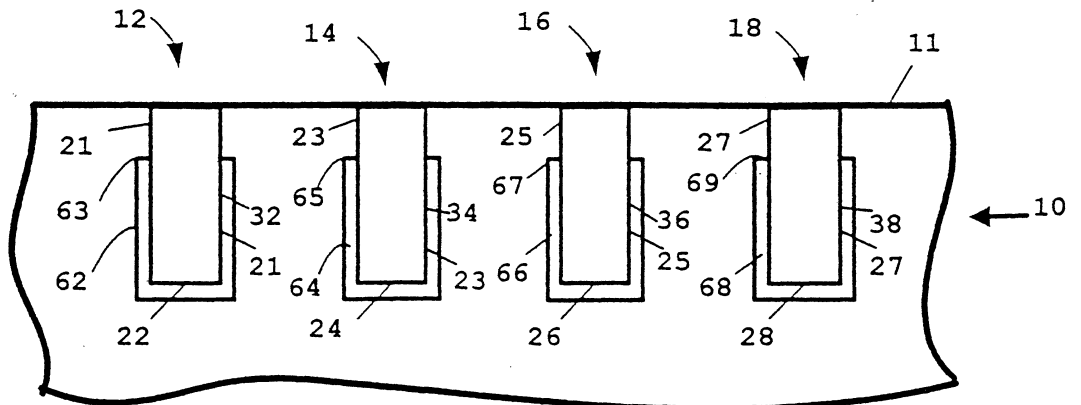


圖 9

## 六、申請專利範圍

## 公告本

91年6月15日修正  
補充

1. 一種製造方法，其包括下列步驟：
  - 提供一個其中形成有許多渠溝之基材；
  - 於該基材上配置光阻結構，該光阻結構充填多條渠溝；
  - 以化學機械拋光使配置於該基材上之光阻結構平坦化，以控制晶圓上光阻的厚度；及
  - 於多條渠溝中凹陷平坦化的光阻，其中使光阻結構平坦化之步驟係於該多條渠溝中建立實質均勻之凹陷深度。
2. 如申請專利範圍第1項之製造方法，其中使該光阻結構平坦化之步驟係包括於選擇性化學機械拋光方法中使該光阻結構平坦化。
3. 如申請專利範圍第1項之製造方法，其中係該光阻結構平坦化之步驟係包括實質移除位於該基材主要表面上之光阻結構。
4. 如申請專利範圍第1項之製造方法，其中於多條渠溝中凹陷光阻之步驟係包括於各向異性蝕刻方法中自該多條渠溝與基材主要表面相鄰之部分移除該光阻結構。
5. 如申請專利範圍第1項之製造方法，其中：
  - 提供一基材之步驟係包括於該基材主要表面及該多條渠溝之側壁及底部上配置介電層的步驟；且
  - 於多條渠溝中凹陷光阻之步驟係包括曝露位於該多條渠溝之側壁與基材主要表面相鄰之部分上的介電層。
6. 如申請專利範圍第5項之製造方法，其中配置介電層之步驟係包括於該基材上配置含有摻雜劑之介電材料。
7. 如申請專利範圍第6項之製造方法，其另外包括以下步驟

## 六、申請專利範圍

:

移除位於該基材主要表面上及位於該多條渠溝側壁與該主要表面相鄰之部分上的介電層；及

使該基材退火，以使含有摻雜劑之介電材料中之摻雜劑擴散至與該多條渠溝底部相鄰之基材內。

8. 一種於渠溝中達到均勻凹陷深度之方法，其包括下列步驟：

於基材中形成多條渠溝；

於該基材上形成一光阻結構並充填該多條渠溝；

以化學機械拋光拋光該光阻結構，以達到位於該多條渠溝上之光阻結構的均勻厚度；及

蝕刻去除部分拋光的光阻結構，以於該多條渠溝中形成凹陷，其中於該多條渠溝上之光阻結構的實質均勻厚度於多條渠溝中建立實質均勻之凹陷深度。

9. 如申請專利範圍第8項之方法，其中拋光該光阻結構之步驟係包括實質移除位於該基材主要表面上之光阻結構。

10. 如申請專利範圍第8項之方法，其中：

提供一基材之步驟係包括於該基材之主要表面上及於該多條渠溝之側壁及底部上配置含有摻雜劑之介電層；

拋光該光阻結構之步驟係包括於基材主要表面上提供作為拋光終止層之含摻雜劑介電層；且

蝕刻移除部分光阻結構之步驟係包括於多條渠溝中產生凹陷，以曝露位於該多條渠溝側壁與基材主要表面相鄰之部分上的含摻雜劑介電層。



## 六、申請專利範圍

11. 如申請專利範圍第10項之方法，其中拋光該光阻結構之步驟係包括於選擇性化學機械拋光方法中拋光該光阻結構。
12. 如申請專利範圍第10項之方法，其另外包括以下步驟：  
    移除位於該基材主要表面上及位於該多條渠溝側壁與該主要表面相鄰之部分上的含摻雜劑介電層；且  
    使該基材退火以使該多條渠溝中之含摻雜劑介電層中的摻雜劑擴散至與該多條渠溝底部相鄰之基材內。