



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I489628 B

(45) 公告日：中華民國 104 (2015) 年 06 月 21 日

(21) 申請案號：099108014

(22) 申請日：中華民國 99 (2010) 年 03 月 18 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30) 優先權：2009/04/02 日本

2009-090428

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：淺野裕治 ASANO, YUJI (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

JP H10-074946

JP H10-282520

US 2008/0258140A1

審查人員：吳爾軒

申請專利範圍項數：10 項 圖式數：31 共 135 頁

(54) 名稱

半導體裝置和其製造方法

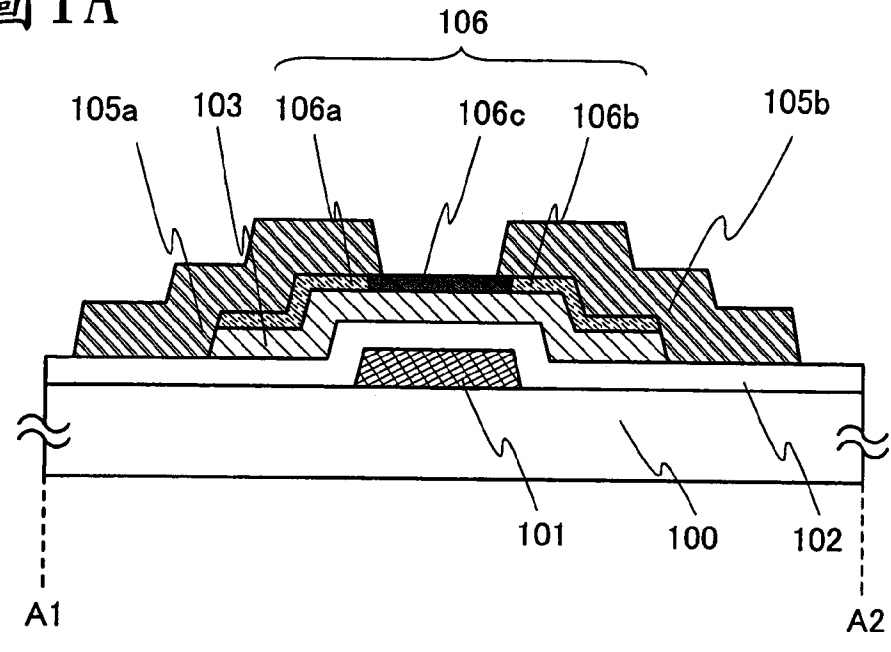
SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

本發明的目的在於提供一種使用氧化物半導體層的薄膜電晶體，其中，降低氧化物半導體層與源極電極層或汲極電極層之間的接觸電阻，以使其電特性穩定。在使用氧化物半導體層的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，以使氧化物半導體層與源極電極層或汲極電極層接觸而中間夾著緩衝層的低電阻區。

An object is to provide a thin film transistor using an oxide semiconductor layer, in which contact resistance between the oxide semiconductor layer and source and drain electrode layers is reduced and electric characteristics are stabilized. The thin film transistor is formed in such a manner that a buffer layer including a high-resistance region and low-resistance regions is formed over an oxide semiconductor layer, and the oxide semiconductor layer and source and drain electrode layers are in contact with each other with the low-resistance region of the buffer layer interposed therebetween.

圖 1A



- 100 . . . 基板
- 101 . . . 閘極電極層
- 102 . . . 閘極絕緣層
- 103 . . . 氧化物半導體層
- 105a . . . 源極電極層或汲極電極層
- 105b . . . 源極電極層或汲極電極層
- 106 . . . 緩衝層
- 106a . . . 低電阻區
- 106b . . . 低電阻區
- 106c . . . 高電阻區

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：99108014

※申請日：99年03月18日

※IPC分類：

一、發明名稱：(中文/英文)

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

H01L 29/78 H2006.01

H01L 21/336 H2006.01

H01L 21/28 H2006.01

二、中文發明摘要：

本發明的目的在於提供一種使用氧化物半導體層的薄膜電晶體，其中，降低氧化物半導體層與源極電極層或汲極電極層之間的接觸電阻，以使其電特性穩定。在使用氧化物半導體層的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，以使氧化物半導體層與源極電極層或汲極電極層接觸而中間夾著緩衝層的低電阻區。

三、英文發明摘要：

An object is to provide a thin film transistor using an oxide semiconductor layer, in which contact resistance between the oxide semiconductor layer and source and drain electrode layers is reduced and electric characteristics are stabilized. The thin film transistor is formed in such a manner that a buffer layer including a high-resistance region and low-resistance regions is formed over an oxide semiconductor layer, and the oxide semiconductor layer and source and drain electrode layers are in contact with each other with the low-resistance region of the buffer layer interposed therebetween.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

105a：源極電極層或汲極電極層

105b：源極電極層或汲極電極層

106：緩衝層

106a：低電阻區

106b：低電阻區

106c：高電阻區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用氧化物半導體的半導體裝置、使用該半導體裝置的顯示裝置及它們的製造方法。

【先前技術】

多樣地存在的金屬氧化物被使用於各種各樣的用途。氧化銦是公知材料，它用作在液晶顯示器等中所需要的具有透光性的電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等。已知將這種呈現半導體特性的金屬氧化物用於通道形成區的薄膜電晶體（專利文獻 1 至 4、非專利文獻 1）。

另外，作為金屬氧化物，不僅已知一元氧化物，而且還已知多元氧化物。例如，具有均質化合物（homologous compound）的 $\text{InGaO}_3(\text{ZnO})_m$ （ m 為自然數）是作為包含 In、Ga 及 Zn 的多元氧化物半導體而已知的（非專利文獻 2 至 4）。

並且，已確認了可以將如上所述的由 In-Ga-Zn 類氧化物構成的氧化物半導體應用於薄膜電晶體的通道層（專利文獻 5、非專利文獻 5 及 6）。

現有的設置在主動矩陣型液晶顯示器的各像素中的薄膜電晶體（TFT）使用非晶矽或多晶矽，但是使用如上所

述的金屬氧化物半導體而代替這些矽材料來製造薄膜電晶體的技術引人注目。例如，在專利文獻 6 及專利文獻 7 中公開作為金屬氧化物半導體膜而使用氧化鋅、In-Ga-Zn-O 類氧化物半導體來製造薄膜電晶體，並將該薄膜電晶體用作影像顯示裝置的切換元件等的技術。

[專利文獻 1] 日本專利申請公開昭 60-198861 號公報

[專利文獻 2] 日本專利申請公開平 8-264794 號公報

[專利文獻 3] 日本 PCT 國際申請翻譯平 11-505377
號公報

[專利文獻 4] 日本專利申請公開 2000-150900 號公報

[專利文獻 5] 日本專利申請公開 2004-103957 號公報

[專利文獻 6] 日本專利申請公開 2007-123861 號公報

[專利文獻 7] 日本專利申請公開 2007-96055 號公報

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor" (透明鐵電薄膜電晶體), *Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350°C " ($\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 類在 1350°C 時的相位關係), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻 3] N. Kimizuka, M. Isobe, and M.

Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System" (同系物的合成和單晶資料, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$)), *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[非專利文獻 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds", *KOTAI BUTSURI* (同系物、銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 為自然數) 及其同型化合物的合成以及結晶結構), *固体物理 (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (室溫下的使用

非晶氧化物半導體的透明撓性薄膜電晶體的製造) ,
NATURE, 2004, Vol. 432 p. 488-492

【發明內容】

本發明的一種實施例的課題在於提供一種使用氧化物半導體層的薄膜電晶體，其中，降低氧化物半導體層與源極電極層或汲極電極層之間的接觸電阻，以使其電特性穩定。此外，本發明的一種實施例的課題在於提供一種該薄膜電晶體的製造方法。此外，本發明的一種實施例的課題在於提供一種具有該薄膜電晶體的顯示裝置。

本發明的一種實施例為了解決上述課題，而在使用氧化物半導體層的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，以使氧化物半導體層與源極電極層及汲極電極層接觸而中間夾著緩衝層的低電阻區。此外，本發明的另一種實施例為了解決上述課題，而藉由在大氣中加熱氧化物半導體層上的緩衝層，來形成高電阻區。

本發明的一種實施例是一種半導體裝置，包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的氧化物半導體層；氧化物半導體層上的緩衝層；以及緩衝層上的源極電極層及汲極電極層，其中，緩衝層具有低電阻區及高電阻區，並且，該低電阻區的導電率高於氧化物半導體層的導電率且該低電阻區由源極電極層及汲極電極層覆蓋，並且，高電阻區的導電率低於低電阻區的導電率且

該高電阻區的一部分露出，並且，氧化物半導體層與源極電極層及汲極電極層電連接而中間夾著緩衝層的低電阻區。

注意，作為緩衝層，較佳的使用由氧化物半導體構成的非單晶膜。此外，作為緩衝層，較佳的使用由包含氮的氧化物半導體構成的非單晶膜。此外，高電阻區的端部也可以與源極電極層或汲極電極層重疊。此外，閘極電極層的在通道方向上的寬度也可以小於氧化物半導體層的在通道方向上的寬度。

本發明的另一種實施例是一種半導體裝置的製造方法，包括如下步驟：在基板上形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上藉由濺射法形成第一氧化物半導體膜；在大氣氛圍下對第一氧化物半導體膜進行熱處理；在第一氧化物半導體膜上藉由濺射法形成第二氧化物半導體膜；在氮氣氛圍下對第二氧化物半導體膜進行熱處理；對第一氧化物半導體膜及第二氧化物半導體膜進行蝕刻，以形成氧化物半導體層及緩衝層；在氧化物半導體層及緩衝層上形成導電膜；對導電膜進行蝕刻，以形成源極電極層及汲極電極層；在大氣氛圍下對緩衝層進行熱處理；在緩衝層的由源極電極層及汲極電極層覆蓋的部分中形成其導電率高於氧化物半導體層的導電率的低電阻區；以及在緩衝層的露出部分中形成其導電率低於低電阻區的導電率的高電阻區。

此外，較佳的在稀有氣體和氮氣體的氛圍下形成第二

氧化物半導體膜。此外，較佳的在氮氣氛圍下進行熱處理之前，對第二氧化物半導體膜進行反濺射處理。

注意，爲了方便起見而附加第一、第二等序數詞，它們並不表示製程順序或疊層順序。另外，它們在本說明書中不表示用來特定發明的事項的固有名詞。

注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此電光學裝置、半導體電路及電子設備都是半導體裝置。

根據本發明的一種實施例，在使用氧化物半導體層的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，並且使氧化物半導體層與源極電極層及汲極電極層接觸而中間夾著緩衝層的低電阻區，從而可以降低氧化物半導體層與源極電極層及汲極電極層之間的接觸電阻，並且使電特性穩定。此外，根據本發明的一種方式，在大氣中加熱氧化物半導體層上的緩衝層，從而可以製造具有高電阻區及低電阻區的緩衝層。

藉由將該薄膜電晶體使用於顯示裝置的像素部及驅動電路部中，可以提供電特性穩定且可靠性高的顯示裝置。

【實施方式】

[實施模式]

參照附圖對實施例模式進行詳細說明。但是，所屬[發明所屬之技術領域]的普通技術人員可以很容易地理解一個事實就是，本發明不侷限於以下的說明，而其方式及

詳細內容在不脫離本發明的宗旨及其範圍內的情況下可以被變化為各種各樣的形式。因此，本發明不應當被解釋為僅限定在以下所示的實施例模式所記載的內容中。注意，在以下說明的發明的結構中，在不同附圖中使用相同的附圖標記來表示相同部分或具有相同功能的部分，並且省略重複說明。

實施例模式 1

在本實施例模式中，參照圖 1A 和 1B 而說明薄膜電晶體的結構。

圖 1A 和 1B 示出本實施例模式的底閘結構的薄膜電晶體。圖 1A 是截面圖，圖 1B 是平面圖。圖 1A 是圖 1B 中的沿線 A1-A2 的截面圖。

在圖 1A 和 1B 所示的薄膜電晶體中，在基板 100 上設置有閘極電極層 101，在閘極電極層 101 上設置有閘極絕緣層 102，在閘極絕緣層 102 上設置有氧化物半導體層 103，在氧化物半導體層 103 上設置有緩衝層 106，在緩衝層 106 上設置主動電極層或汲極電極層 105a、105b。緩衝層 106 具有低電阻區 106a、低電阻區 106b 及高電阻區 106c。低電阻區 106a、106b 由源極電極層或汲極電極層 105a、105b 覆蓋。就是說，氧化物半導體層 103 與源極電極層及汲極電極層 105a、105b 電連接而中間夾著緩衝層 106 的低電阻區 106a、106b。另一方面，作為高電阻區 106c，其端部與源極電極層及汲極電極層 105a、105b 重

疊，並且其一部分不與源極電極層及汲極電極層 105a、105b 重疊而露出。

閘極電極層 101 藉由使用鋁、銅、鉬、鈦、鉻、鉭、鎢、鈳、釷等的金屬材料、以這些金屬材料為主要成分的合金材料、或以這些金屬材料為成分的氮化物以單層或疊層來形成。閘極電極層 101 較佳的由鋁、銅等低電阻導電材料形成，然而，該低電阻導電材料有耐熱性較低或容易腐蝕等問題，所以較佳的將低電阻導電材料與耐熱導電材料組合來使用。作為耐熱導電材料，使用鉬、鈦、鉻、鉭、鎢、鈳、釷等。

例如，作為閘極電極層 101 的疊層結構，較佳的採用：在鋁層上層疊有鉬層的兩層的疊層結構；在銅層上層疊有鉬層的兩層的疊層結構；在銅層上層疊有氮化鈦層或氮化鉭層的兩層的疊層結構；層疊有氮化鈦層和鉬層的兩層的疊層結構。作為三層的疊層結構，較佳的採用：層疊有鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的疊層結構。

作為氧化物半導體層 103，較佳的採用由 In-Ga-Zn-O 類、In-Sn-Zn-O 類、Ga-Sn-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、In-Sn-O 類、Ga-Zn-O 類、In-O 類、Sn-O 類、或者 Zn-O 類氧化物半導體構成的非單晶膜。

在本說明書中，In-Ga-Zn-O 類氧化物半導體是指至少包含 In、Ga 及 Zn 的氧化物半導體。另外，In-Sn-Zn-O 類氧化物半導體是指至少包含 In、Sn 及 Zn 的氧化物半導體

。另外，Ga-Sn-Zn-O 類氧化物半導體是指至少包含 Ga、Sn 及 Zn 的氧化物半導體。另外，In-Zn-O 類氧化物半導體是指至少包含 In 及 Zn 的氧化物半導體。另外，Sn-Zn-O 類氧化物半導體是指至少包含 Sn 及 Zn 的氧化物半導體。另外，In-Sn-O 類氧化物半導體是指至少包含 In 及 Sn 的氧化物半導體。另外，Ga-Zn-O 類氧化物半導體是指至少包含 Ga 及 Zn 的氧化物半導體。另外，In-O 類氧化物半導體是指至少包含 In 的氧化物半導體。另外，Sn-O 類氧化物半導體是指至少包含 Sn 的氧化物半導體。另外，Zn-O 類氧化物半導體是指至少包含 Zn 的氧化物半導體。另外，在上述氧化物半導體中，也可以包含選自 Fe、Ni、Mn 或 Co 中的一種或多種金屬元素。

作為氧化物半導體層 103，較佳的使用在氬等稀有氣體和氧氣體的氣圍下藉由濺射法來形成的氧化物半導體膜。藉由使用該氧化物半導體膜，可以降低氧化物半導體層 103 的導電率，並且可以降低截止電流。再者，較佳的在大氣氛圍下對所形成的氧化物半導體膜進行熱處理。藉由在大氣氛圍下對氧化物半導體進行熱處理，可以降低氧化物半導體的導電率。從而，因為可以降低氧化物半導體層 103 的導電率，所以藉由將氧化物半導體層 103 使用於薄膜電晶體的啓動層，可以降低截止電流。此時，較佳的使大氣氛圍包含 15vol% 至 25vol% 的氧氣體、75vol% 至 85vol% 的氮氣體。

另外，氧化物半導體層 103 至少包括非晶成分，並且

有時在非晶結構中包括晶粒（奈米晶體）。晶粒（奈米晶體）的直徑為 1nm 至 10nm，典型為 2nm 至 4nm 左右。注意，藉由 X 射線衍射（XRD：X-ray diffraction）的分析對晶體狀態進行評價。

將氧化物半導體層 103 的膜厚度設定為 10nm 至 300nm，較佳的為 20nm 至 100nm。

此外，也可以使氧化物半導體層 103 包含絕緣氧化物。在此，作為絕緣氧化物，較佳的使用氧化矽。此外，也可以對絕緣氧化物添加氮。此時，較佳的是，氧化物半導體層 103 藉由濺射法來形成，並且作為靶材而使用包含 0.1wt% 以上且 30wt% 以下、較佳的為 1wt% 以上且 10wt% 以下的 SiO_2 的靶材。

藉由使氧化物半導體層 103 包含像氧化矽那樣的絕緣氧化物，可以抑制該氧化物半導體層 103 的晶化，而得到非晶結構。藉由抑制氧化物半導體層 103 的晶化而得到非晶結構，可以減少薄膜電晶體的特性的不均勻並且實現穩定化。另外，藉由包含像氧化矽那樣的絕緣氧化物，即使進行 300°C 至 600°C 的熱處理，也可以防止氧化物半導體層 103 的晶化或微晶粒的生成。

作為緩衝層 106，與氧化物半導體層 103 同樣，可以使用由 In-Ga-Zn-O 類、In-Sn-Zn-O 類、Ga-Sn-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、In-Sn-O 類、Ga-Zn-O 類、In-O 類、Sn-O 類或 Zn-O 類的氧化物半導體構成的非單晶膜。再者，作為緩衝層 106，較佳的使用包含氮的 In-Ga-Zn-O-

N 類、Ga-Zn-O-N 類、Zn-O-N 類或 Sn-Zn-O-N 類的氧化物半導體構成的非單晶膜。此外，也可以使上述非單晶膜包含像氧化矽那樣的絕緣氧化物。

在本說明書中，In-Ga-Zn-O-N 類氧化物半導體是指至少包含 In、Ga、Zn 及 N 的氧化物半導體。另外，Ga-Zn-O-N 類氧化物半導體是指至少包含 Ga、Zn 及 N 的氧化物半導體。另外，Zn-O-N 類氧化物半導體是指至少包含 Zn 及 N 的氧化物半導體。另外，Sn-Zn-O-N 類氧化物半導體是指至少包含 Sn、Zn 及 N 的氧化物半導體。

緩衝層 106 具有用作源極區或汲極區的低電阻區 106a、106b 以及高電阻區 106c。低電阻區 106a、106b 的導電率高於氧化物半導體層 103 的導電率，並且高電阻區 106c 的導電率低於低電阻區 106a、106b 的導電率。

較佳的是，使用低電阻的上述氧化物半導體的非單晶膜形成緩衝層 106，並且形成源極電極層及汲極電極層 105a、105b，然後，在大氣氛圍下進行加熱處理，而謀求實現緩衝層 106 的一部分的高電阻化，以形成高電阻區 106c。在此，在緩衝層 106 的高電阻區 106c 以外的部分中相對性地形成低電阻區 106a、106b。注意，藉由在氬等稀有氣體和氮氣體的氛圍下利用濺射法形成用於緩衝層 106 的氧化物半導體膜，可以提高低電阻區 106a、106b 的導電率。再者，藉由對所形成的氧化物半導體膜進行反濺射處理及/或氮氣氛圍下的加熱處理，可以進一步提高低電阻區 106a、106b 的導電率。在此，較佳的使氮氣氛圍

包含 80vol%至 100vol%的氮氣體、0vol%至 20vol%的氬等稀有氣體。

此外，緩衝層 106 的低電阻區 106a、106b 也可以採用其導電率從緩衝層 106 的表面到內部階段性或連續性地變化的結構。

另外，緩衝層 106 至少包括非晶成分，並且有時在非晶結構中包括晶粒（奈米晶體）。晶粒（奈米晶體）的直徑為 1nm 至 10nm，典型為 2nm 至 4nm 左右。注意，藉由 X 射線衍射（XRD：X-ray diffraction）的分析對晶體狀態進行評價。

將使用於緩衝層 106 的氧化物半導體膜的膜厚度設定為 5nm 至 20nm。當然，在膜包括晶粒的情況下，所包括的晶粒的尺寸不超過膜厚度。

藉由在氧化物半導體層 103 上形成具有低電阻區 106a、106b 及高電阻區 106c 的緩衝層 106，可以使氧化物半導體層 103 與源極電極層及汲極電極層 105a、105b 接觸而中間夾著低電阻區 106a、106b。由此，可以在氧化物半導體層 103 與源極電極層及汲極電極層 105a、105b 之間形成歐姆接觸，降低接觸電阻，來使薄膜電晶體的電特性穩定。此外，藉由在低電阻區 106a 和 106b 之間設置高電阻區 106c，可以降低流過在低電阻區 106a 和 106b 之間的截止電流。此外，藉由設置緩衝層 106，可以防止在藉由蝕刻形成源極電極層及汲極電極層之際，在氧化物半導體層 103 中發生電漿損傷所導致的氧缺陷，而發生剩餘的載

子。

源極電極層及汲極電極層 105a、105b 可以使用鋁、銅、鉬、鈦、鉻、鉭、鎢、釷、銦等的金屬材料、以這些金屬材料為主要成分的合金材料或以這些金屬材料為成分的氮化物。源極電極層及汲極電極層 105a、105b 較佳由鋁、銅等低電阻導電材料形成，然而，該低電阻導電材料有耐熱性較低或容易腐蝕等問題，所以較佳的將低電阻導電材料與耐熱導電材料組合來使用。作為耐熱導電材料，使用鉬、鈦、鉻、鉭、鎢、釷、銦等。

例如，作為源極電極層及汲極電極層 105a、105b，較佳的採用如下三層結構：作為第一及第三導電層而使用耐熱導電材料的鈦，並且作為第二導電層而使用低電阻的包含釷的鋁合金。藉由使源極電極層及汲極電極層 105a、105b 具有這種結構，可以在有效地利用鋁的低電阻性的同時，降低小丘的發生。注意，不侷限於此，而源極電極層及汲極電極層 105a、105b 可以具有單層結構、兩層結構、四層以上的結構。

此外，雖然在圖 1A 及 1B 所示的反交錯結構的薄膜電晶體中，閘極電極層 101 的在通道方向上的寬度小於氧化物半導體層 103 的在通道方向上的寬度，但是本實施例模式所示的薄膜電晶體不侷限於此。如圖 13A 及 13B 所示，也可以使用其在通道方向上的寬度大於氧化物半導體層 103 的在通道方向上的寬度的閘極電極層 201。注意，圖 13A 是圖 13B 中的沿線 A1-A2 的截面圖。藉由採用這種結

構，可以利用閘極電極層 201 來遮光氧化物半導體層 103。因此，可以謀求實現薄膜電晶體的可靠性的提高。注意，圖 13A 及 13B 所示的薄膜電晶體，除了閘極電極層 201 以外，使用與圖 1A 及 1B 所示的薄膜電晶體相同的附圖標記來表示與圖 1A 及 1B 所示的薄膜電晶體對應的部分。

藉由採用如上所述的結構，在使用氧化物半導體層的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，並且使氧化物半導體層與源極電極層及汲極電極層接觸而中間夾著緩衝層的低電阻區，可以降低氧化物半導體層與源極電極層或汲極電極層之間的接觸電阻，來使電特性穩定。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 2

在本實施例模式中，參照圖 2A 至圖 11 而說明包括實施例模式 1 所示的薄膜電晶體的顯示裝置的製造製程。圖 2A 至圖 6C 是截面圖，圖 7 至圖 11 是平面圖。圖 2A 至圖 6C 相當於圖 7 至圖 11 中的沿線 A1-A2、B1-B2 的截面圖。

首先，準備基板 100。基板 100 除了可以使用藉由熔融法或浮法製造的無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、以及陶瓷基板之外，還可以使用具有可承受本製造製程的處理溫度的耐熱性的塑膠

基板等。此外，還可以使用在不鏽鋼合金等金屬基板的表面上設置有絕緣膜的基板。基板 100 的尺寸可以採用 320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、或 2850mm×3050mm 等。

另外，還可以在基板 100 上形成絕緣膜作為基底膜。作為基底膜，可以藉由 CVD 法或濺射法等來形成氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層或疊層。在作為基板 100 而使用如玻璃基板等的含有可動離子的基板的情況下，藉由使用氮化矽膜、氮氧化矽膜等的含有氮的膜作為基底膜，可以防止可動離子進入氧化物半導體層中。

接著，藉由濺射法或真空蒸鍍法在基板 100 的整個面上形成用來形成包括閘極電極層 101 的閘極佈線、電容佈線 108 以及第一端子 121 的導電膜。接著，進行光微影製程，形成抗蝕劑掩模，利用蝕刻去除不需要的部分來形成佈線及電極（包括閘極電極層 101 的閘極佈線、電容佈線 108 以及第一端子 121）。此時，為了防止步階狀的發生，而較佳以至少將閘極電極層 101 的端部形成為錐形形狀的方式進行蝕刻。圖 2A 示出這步驟的截面圖。注意，這步驟的平面圖相當於圖 7。

包括閘極電極層 101 的閘極佈線、電容佈線 108、端

子部的第一端子 121 可以使用實施例模式 1 所示的導電材料的單層或疊層來形成。

在此，也可以形成閘極電極層 101 以使其在通道方向上的寬度大於在後面的製程中製造的氧化物半導體層 103 的在通道方向上的寬度。藉由如此形成閘極電極層 101，可以形成圖 13A 及 13B 所示的薄膜電晶體。在圖 13A 及 13B 所示的薄膜電晶體中，可以利用閘極電極層 201 遮光氧化物半導體層 103。

接著，在閘極電極層 101、電容佈線 108 以及第一端子 121 的整個面上形成閘極絕緣層 102。藉由 CVD 法或濺射法等，以 50nm 至 250nm 的膜厚度形成閘極絕緣層 102。

例如，藉由 CVD 法或濺射法並使用氧化矽膜來形成 100nm 厚的閘極絕緣層 102。當然，閘極絕緣層 102 不侷限於這種氧化矽膜，也可以使用氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鋇膜等其他絕緣膜來形成由這些材料構成的單層或疊層結構。

此外，作為閘極絕緣層 102，也可以採用使用有機矽烷氣體的 CVD 法形成氧化矽層。作為有機矽烷氣體，可以使用含矽化合物諸如正矽酸乙酯（TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三（二甲氨基）矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）

等。

此外，作為閘極絕緣層 102，也可以使用鋁、鉍或鉛的氧化物、氮化物、氧氮化物、氮氧化物中的一種或者包含上述物質中的至少兩種以上的化合物。

注意，在本說明書中，氧氮化物是指作為其組成氧原子的數量多於氮原子的數量的物質，且氮氧化物是指作為其組成氮原子的數量多於氧原子的數量的物質。例如，氧氮化矽膜是指如下膜：作為其組成，氧原子的數量比氮原子的數量多，並且當使用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）以及氫前方散射法（HFS：Hydrogen Forward Scattering）測量時，作為濃度範圍，包含 50 atoms%至 70 atoms%的氧、0.5 atoms%至 15 atoms%的氮、25 atoms%至 35 atoms%的矽、0.1 atoms%至 10 atoms%的氫。此外，氮氧化矽膜是指如下膜：作為其組成，氮原子的數量比氧原子的數量多，並且當使用 RBS 及 HFS 測量時，作為濃度範圍，包含 5 atoms%至 30 atoms%的氧、20 atoms%至 55 atoms%的氮、25 atoms%至 35 atoms%的矽、10 atoms%至 30 atoms%的氫。但是，當將構成氧氮化矽或氮氧化矽的原子總量設定為 100 atoms%時，氮、氧、矽及氫的含有比率在上述範圍內。

注意，較佳的是，在形成用來形成氧化物半導體層 103 的氧化物半導體膜之前，進行對設置有基板 100 的反應室內引入氫氣體來產生電漿的反濺射，以去除附著到閘極絕緣層的表面的在成膜時發生的粉狀物質（也稱為微粒

、塵埃)。此外，藉由進行反濺射，也可以提高閘極絕緣層 102 的表面的平坦性。反濺射是指不對靶材一側施加電壓而使用 RF 電源在氬氣氛圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。注意，也可以使用氮、氦等而代替氬氣氛圍。此外，也可以在對氬氣氛圍添加氧、 N_2O 等的氛圍下進行。此外，也可以在對氬氣氛圍添加 Cl_2 、 CF_4 等的氛圍下進行。在反濺射處理之後，藉由不暴露於大氣地形成第一氧化物半導體膜 111，可以防止在閘極絕緣層 102 和氧化物半導體層 103 的介面上附著塵埃或水分。

接著，在氬等稀有氣體和氧氣體的氛圍下藉由濺射法在閘極絕緣層 102 上形成用來形成氧化物半導體層 103 的第一氧化物半導體膜 111。或者，也可以不使用氧氣體而只在氬等稀有氣體的氛圍下進行成膜。作為第一氧化物半導體膜 111，可以使用實施例模式 1 所示的用來形成氧化物半導體層 103 的氧化物半導體。例如，作為具體條件例子，使用直徑為 8 英寸的包含 In、Ga 以及 Zn 的氧化物半導體靶材 ($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)，將基板和靶材之間的距離設定為 60mm，將壓力設定為 0.4Pa，將直流 (DC) 電源設定為 0.5kW，將成膜氣體的流量比設定為 $Ar : O_2 = 30 : 15$ (sccm)，將成膜溫度設定為室溫，進行濺射成膜。另外，可以在包括 In_2O_3 的直徑為 8 英寸的圓盤上佈置顆粒狀的 Ga_2O_3 和 ZnO 作為靶材。注意，當使用脈衝直流 (DC) 電源時，可以減少在成膜時發生的粉狀物

質（也稱為微粒、塵埃），並且膜厚度分佈也變得均勻，所以是較佳的。此外，將第一氧化物半導體膜 111 的膜厚度設定為 10nm 至 300nm，較佳的為 20nm 至 100nm。

此外，此時，也可以使靶材包含絕緣氧化物，以使第一氧化物半導體膜 111 包含絕緣氧化物。在此，作為絕緣氧化物，較佳的採用氧化矽。此外，也可以對絕緣氧化物添加氮。當形成第一氧化物半導體膜 111 時，較佳的使用包含 0.1wt% 以上且 30wt% 以下，較佳的為 1wt% 以上且 10wt% 以下的 SiO_2 的氧化物半導體靶材。

藉由使第一氧化物半導體膜 111 包含像氧化矽那樣的絕緣氧化物，容易使所成膜的氧化物半導體非晶化。再者，藉由包含像氧化矽那樣的絕緣氧化物，可以抑制在後面的製程中對氧化物半導體進行熱處理時氧化物半導體層 103 晶化。

第一氧化物半導體膜 111 的成膜既可以使用與前面進行反濺射的反應室同一個反應室，又可以使用與前面進行反濺射的反應室不同的反應室。

作為濺射法，有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法，還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成，且 DC 濺射法主要用於金屬膜的形成。

此外，有利用在反應室內具備磁石機構的磁控管濺射法的濺射裝置、利用不使用輝光放電而利用使用微波來產生的電漿的 ECR 濺射法的濺射裝置。

此外，作為利用濺射法的成膜方法，有在成膜時使靶材物質和濺射氣體成分起化學反應來形成它們的化合物薄膜的反應濺射法、在成膜時也對基板施加電壓的偏壓濺射法。

接著，在大氣氛圍下，對第一氧化物半導體膜 111 進行熱處理。熱處理以 200°C 以上且 600°C 以下，較佳以 250°C 以上且 500°C 以下進行。將基板 100 放置在爐中，例如，在大氣氛圍下，以 350°C 進行一個小時左右的熱處理。藉由在大氣氛圍下對氧化物半導體進行熱處理，可以降低氧化物半導體的導電率。從而，因為可以降低第一氧化物半導體膜 111（氧化物半導體層 103）的導電率，所以藉由將氧化物半導體層 103 使用於薄膜電晶體的啓動層，可以降低截止電流。此外，藉由在後面的製程中形成緩衝層 106 時，在氮氣氛圍下加熱緩衝層 106，來提高緩衝層 106 的導電率。此時，第一氧化物半導體膜 111 的導電率也同樣地提高，但是藉由預先在大氣氛圍下對第一氧化物半導體膜 111 進行熱處理，可以抑制第一氧化物半導體膜 111 的導電率的提高。在此，大氣氛圍較佳包含 15vol% 至 25vol% 的氧氣體、75vol% 至 85vol% 的氮氣體。注意，圖 2B 示出這步驟的截面圖。

接著，在氬等稀有氣體的氛圍下藉由濺射法在第一氧化物半導體膜 111 上形成用來形成緩衝層 106 的第二氧化物半導體膜 113。再者，較佳在氬等稀有氣體和氮氣體的氛圍下藉由濺射法形成第二氧化物半導體膜 113。由此，

可以提高緩衝層 106 的導電率。此外，也可以在氬等稀有氣體的流量比率高於氧氣體的流量比率的氬等稀有氣體和氧氣體的氛圍下進行成膜。作為第二氧化物半導體膜 113，可以使用實施例模式 1 所示的用來形成緩衝層 106 的氧化物半導體。例如，作為具體條件例子，使用直徑為 8 英寸的包含 In、Ga 以及 Zn 的氧化物半導體靶材（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1），將基板和靶材之間的距離設定為 60mm，將壓力設定為 0.4Pa，將直流（DC）電源設定為 0.5kW，將成膜氣體的流量比設定為 $\text{Ar}:\text{N}_2=35:5$ （sccm），將成膜溫度設定為室溫，進行濺射成膜。另外，可以在包括 In_2O_3 的直徑為 8 英寸的圓盤上佈置顆粒狀的 Ga_2O_3 和 ZnO 作為靶材。注意，當使用脈衝直流（DC）電源時，可以減少在成膜時發生的粉狀物質（也稱為微粒、塵埃），並且膜厚度分佈也變得均勻，所以是較佳的。此外，將第二氧化物半導體膜 113 的膜厚度設定為 5nm 至 20nm。

此外，與第一氧化物半導體膜 111 同樣，也可以使靶材包含絕緣氧化物，以使第二氧化物半導體膜 113 包含絕緣氧化物。在此，作為絕緣氧化物，較佳的採用氧化矽。此外，也可以對絕緣氧化物添加氮。

第二氧化物半導體膜 113 的成膜既可以使用與前面進行第一氧化物半導體膜 111 的成膜的反應室同一個反應室，又可以使用與前面進行第一氧化物半導體膜 111 的成膜的反應室不同的反應室。此外，第二氧化物半導體膜 113

的成膜可以使用與第一氧化物半導體膜 111 的成膜同一個濺射裝置。

此外，較佳的對第二氧化物半導體膜 113 進行反濺射處理。藉由對第二氧化物半導體膜 113 進行反濺射處理，可以提高導電率。例如，以 0.6Pa 的壓力對設置有基板 100 的反應室內引入氣體流量為 50sccm 左右的氬氣體，以進行反濺射處理三分鐘左右。在此，因為反濺射處理強烈地作用到第二氧化物半導體膜 113 的表面，所以有時第二氧化物半導體膜 113 成為其導電率從其表面到內部階段性或連續性地變化的結構。

較佳的不使基板 100 暴露於大氣地進行從第二氧化物半導體膜 113 的成膜到反濺射處理。注意，反濺射處理既可以使用與前面進行第二氧化物半導體膜 113 的成膜的反應室同一個反應室，又可以使用與前面進行第二氧化物半導體膜 113 的成膜的反應室不同的反應室。此外，反濺射處理也可以在下面進行的氮氣氛圍下的熱處理後進行。注意，圖 2C 示出這步驟的截面圖。第二氧化物半導體膜 113 中的虛線以上的部分表示反濺射處理的痕跡。

接著，在氮氣氛圍下，對第二氧化物半導體膜 113 進行熱處理。熱處理以 200℃ 以上且 600℃ 以下，較佳的以 250℃ 以上且 500℃ 以下進行。將基板 100 放置在爐中，例如，在氮氣氛圍下，以 350℃ 進行一個小時左右的熱處理。藉由在氮氣氛圍下對氧化物半導體進行熱處理，可以提高氧化物半導體的導電率。從而，因為可以提高第二氧化

物半導體膜 113 (緩衝層 106) 的導電率，所以可以形成緩衝層 106 的低電阻區 106a、106b。此時，因為第一氧化物半導體膜 111 如上所述在大氣氛圍下受到熱處理，所以可以抑制導電率的提高。此時，氮氣氛圍較佳的包含 80vol%至 100vol%的氮氣體、0vol%至 20vol%的氫氣體等稀有氣體。此外，因為在氮氣氛圍下的熱處理從第二氧化物半導體膜 113 的表面向內部進行，所以有時第二氧化物半導體膜 113 成爲其導電率從其表面到內部階段性或連續性地變化的結構。尤其是，在氮氣氛圍下的熱處理的時間不足夠時，有時第二氧化物半導體膜 113 的表面的導電率和其內部的導電率的差距很明顯。注意，圖 3A 示出這步驟的截面圖。

接著，進行光微影製程，形成抗蝕劑掩模，蝕刻第一氧化物半導體膜 111 及第二氧化物半導體膜 113。在蝕刻中，作爲蝕刻劑，可以使用酸類蝕刻液。在此，藉由使用磷酸、醋酸、硝酸及純水的混合液（稱爲混酸鋁）的濕蝕刻，去除不需要的部分來將第一氧化物半導體膜 111 及第二氧化物半導體膜 113 加工爲島狀，以形成氧化物半導體層 103 及緩衝層 106。藉由將氧化物半導體層 103 及緩衝層 106 的端部蝕刻爲錐形形狀，可以防止由於臺階形狀產生的佈線斷開。

此外，此時的蝕刻不侷限於濕蝕刻，而也可以利用乾蝕刻。作爲用於乾蝕刻的蝕刻裝置，可以使用：利用反應離子蝕刻法 (Reactive Ion Etching; RIE 法) 的蝕刻裝置

；利用 ECR (Electron Cyclotron Resonance ; 電子迴旋共振) 或 ICP (Inductively Coupled Plasma ; 感應耦合電漿) 等的高密度電漿源的乾蝕刻裝置。另外，作為與 ICP 蝕刻裝置相比容易得到在較大面積上的均勻放電的乾蝕刻裝置，有 ECCP (Enhanced Capacitively Coupled Plasma : 增大電容耦合電漿) 模式的蝕刻裝置，在該 ECCP 模式的蝕刻裝置中，使上部電極接地，使 13.56MHz 的高頻電源連接到下部電極，並且使 3.2MHz 的低頻電源連接到下部電極。該 ECCP 模式的蝕刻裝置例如在作為基板而使用第十代的一邊超過 3m 的尺寸的基板的情況下可以對該基板進行處理。圖 3B 示出這步驟的截面圖。注意，這步驟的平面圖相當於圖 8。

接著，進行光微影製程，形成抗蝕劑掩模，藉由蝕刻去除閘極絕緣層 102 的不需要的部分，以形成到達與閘極電極層 101 相同材料的佈線或電極層的接觸孔。為實現與後面形成的導電膜之間的直接連接，而設置該接觸孔。例如，在如下情況下形成接觸孔：形成如下薄膜電晶體，即在驅動電路部中，其閘極電極層直接接觸於源極電極層或汲極電極層；形成與端子部的閘極佈線電連接的端子。

接著，藉由濺射法或真空蒸鍍法在氧化物半導體層 103、緩衝層 106 及閘極絕緣層 102 上形成由金屬材料構成的導電膜 112。圖 3C 示出這步驟的截面圖。

作為導電膜 112 的材料，可以使用由實施例模式 1 所示的導電材料構成的單層或疊層。例如，作為導電膜 112

，也可以採用如下結構：第一導電層及第三導電層由作為耐熱導電材料的鈦構成，並且第二導電層由包含鈹的鋁合金構成。藉由使導電膜 112 具有這種結構，可以在有效地利用鋁的低電阻性的同時，降低小丘的發生。

接著，進行光微影製程，形成抗蝕劑掩模 131，藉由蝕刻去除不需要的部分，以形成源極電極層或汲極電極層 105a、105b 以及連接電極 120。作為此時的蝕刻方法，使用濕蝕刻或乾蝕刻。例如，在作為導電膜 112 而使用如下導電膜的情況下，可以將過氧化氫溶液、加熱鹽酸或包含氟化鈹的硝酸水溶液用作蝕刻劑來進行濕蝕刻：作為第一導電層及第三導電層而使用鈦，並且作為第二導電層而使用包含鈹的鋁合金的導電膜。例如，可以藉由使用 KSMF-240（日本關東化學公司製造），以一次對由第一導電層至第三導電層構成的導電膜 112 進行蝕刻。在該蝕刻製程中，有時緩衝層 106 的露出部分的一部分也受到蝕刻。圖 4A 示出這步驟的截面圖。注意，在圖 4A 中，利用濕蝕刻，所以蝕刻各向同性地進行，結果源極電極層或汲極電極層 105a、105b 的端部比抗蝕劑掩模 131 縮退。

另外，在該光微影製程中，在端子部中殘留與源極電極層或汲極電極層 105a、105b 相同材料的第二端子 122。注意，第二端子 122 電連接到源極電極佈線（包括源極電極層或汲極電極層 105a、105b 的源極電極佈線）。

另外，在端子部中，連接電極 120 藉由形成在閘極絕緣膜中的接觸孔直接連接到端子部的第一端子 121。注意

，雖然在此未圖示，但是經過與上述製程相同的製程，驅動電路的薄膜電晶體的源極電極佈線或汲極電極佈線與閘極電極直接連接。

在上述光微影製程中，在將氧化物半導體層 103 及緩衝層 106 蝕刻為島狀的製程和形成源極電極層或汲極電極層 105a、105b 的製程中需要使用兩個掩模。但是，在使用由多色調（高色調）掩模形成的具有多種（代表為兩種）膜厚度的區域的抗蝕劑掩模的情況下，可以縮減抗蝕劑掩模數量，所以可以謀求實現製程簡化和低成本化。使用圖 6A 至 6C 而說明使用多色調掩模的光微影製程。

首先，從圖 3A 的狀態開始，在第二氧化物半導體膜上形成導電膜 112。接著，藉由使用使透過的光具有多種強度的多色調（高色調）掩模的曝光，如圖 6A 所示，在導電膜 112 上形成具有多種膜厚度不同的區域的抗蝕劑掩模 132。抗蝕劑掩模 132 在重疊於閘極電極層 101 的一部分的區域中具有膜厚度薄的區域。接著，使用抗蝕劑掩模 132，對第一氧化物半導體膜 111、第二氧化物半導體膜 113 及導電膜 112 進行蝕刻來將它們加工為島狀，以形成氧化物半導體層 103、緩衝層 106、導電層 115 及第二端子 124。這步驟的截面圖相當於圖 6A。

然後，對抗蝕劑掩模 132 進行灰化，形成抗蝕劑掩模 131。如圖 6B 所示，抗蝕劑掩模 131 由於灰化而其面積縮小，且其膜厚度減薄，並且膜厚度薄的區域的抗蝕劑被去除。

最後，使用抗蝕劑掩模 131，對導電層 115 及第二端子 124 進行蝕刻，以形成源極電極層或汲極電極層 105a、105b 及第二端子 122。由於抗蝕劑掩模 131 縮小，因此氧化物半導體層 103、緩衝層 106、源極電極層或汲極電極層 105a、105b 及第二端子 122 的端部也被蝕刻。因此，在使用多色調掩模時，氧化物半導體層 103 及緩衝層 106 的在通道方向上的寬度成爲與源極電極層或汲極電極層的在通道方向上的寬度同樣大。此外，在第二端子 122 的下部形成由第一氧化物半導體膜及第二氧化物半導體膜構成的層。這步驟的截面圖相當於圖 6C。注意，對第一端子 121 來說，在後面的製程中形成保護絕緣層 107 後，對閘極絕緣層 102 及保護絕緣層 107 進行蝕刻來形成接觸孔，形成透明導電膜，以使第一端子 121 連接到 FPC。

接著，在大氣氛圍下對緩衝層 106 進行熱處理，以形成高電阻區 106c。以 200°C 以上且 600°C 以下，較佳的以 250°C 以上且 500°C 以下進行熱處理。將基板 100 放置在爐中，例如，在大氣氛圍下以 350°C 進行一個小時的熱處理。藉由在大氣氛圍下對氧化物半導體進行熱處理，可以降低氧化物半導體的導電率。因此，在不重疊於源極電極層及汲極電極層 105a、105b 的緩衝層 106 的露出部分中形成高電阻區 106c。注意，高電阻區 106c 也可以在其端部中重疊於源極電極層及汲極電極層 105a、105b。此外，緩衝層 106 的由源極電極層及汲極電極層 105a、105b 覆蓋的部分相對性地形成其電阻相對性地低於高電阻區 106c。

的低電阻區 106a、106b。在此，低電阻區 106a、106b 的導電率高於氧化物半導體層 103 的導電率，且高電阻區 106c 的導電率低於低電阻區 106a、106b 的導電率。此外，較佳的使大氣氛圍包含 15vol%至 25vol%的氧氣體、75vol%至 85vol%的氮氣體。

如此，藉由在氧化物半導體層 103 上形成具有低電阻區 106a、106b 及高電阻區 106c 的緩衝層 106，可以使氧化物半導體層 103 與源極電極層或汲極電極層 105a、105b 接觸而中間夾著低電阻區 106a、106b。由此，在氧化物半導體層 103 和源極電極層或汲極電極層 105a、105b 之間形成歐姆接觸，降低接觸電阻，來使薄膜電晶體的電特性穩定。此外，藉由在低電阻區 106a 和 106b 之間設置高電阻區 106c，可以降低流過在低電阻區 106a 和 106b 之間的截止電流。

此外，藉由該熱處理，進行氧化物半導體層 103 的原子級的重新排列，而可以提高將氧化物半導體層 103 用作啓動層的薄膜電晶體的電特性。

藉由上述製程，可以製造如下薄膜電晶體 170：將氧化物半導體層 103 用作通道形成區，並且在氧化物半導體層 103 上形成有具有低電阻區 106a、106b 及高電阻區 106c 的緩衝層 106。圖 4B 示出這步驟的截面圖。注意，這步驟的平面圖相當於圖 9。

接著，形成覆蓋薄膜電晶體 170 的保護絕緣層 107。作為保護絕緣層 107，可以使用利用濺射法等而得到的氮

化矽膜、氧化矽膜、氧氮化矽膜、氧化鋁膜、氧化鉬膜等。

接著，進行光微影製程，形成抗蝕劑掩模，對保護絕緣層 107 進行蝕刻，以形成到達源極電極層或汲極電極層 105b 的接觸孔 125。此外，藉由在此的蝕刻，也形成到達第二端子 122 的接觸孔 127、到達連接電極 120 的接觸孔 126。圖 5A 示出這步驟的截面圖。

接著，在去除抗蝕劑掩模之後，形成透明導電膜。作為透明導電膜的材料，藉由濺射法或真空蒸鍍法等來形成氧化銦 (In_2O_3)、氧化銦氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO) 等。使用鹽酸類的溶液對這些材料進行蝕刻處理。然而，由於對 ITO 的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)，以便改善蝕刻加工性。

接著，進行光微影製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成像素電極層 110。

此外，在該光微影製程中，以電容部中的閘極絕緣層 102 及保護絕緣層 107 為電介質並使用電容佈線 108 和像素電極層 110 形成儲存電容器。

此外，在該光微影製程中，使用抗蝕劑掩模覆蓋第一端子 121 及第二端子 122，以殘留形成在端子部的透明導電膜 128、129。透明導電膜 128、129 成為用來與 FPC 連接的電極或佈線。形成在與第一端子 121 直接連接的連接電極 120 上的透明導電膜 128 成為用作閘極佈線的輸入端

子的連接用端子電極。形成在第二端子 122 上的透明導電膜 129 是用作源極電極佈線的輸入端子的連接用端子電極。

接著，去除抗蝕劑掩模。圖 5B 示出這步驟的截面圖。另外，這步驟的平面圖相當於圖 10。

此外，圖 12A 和 12B 分別示出這步驟的閘極佈線端子部的平面圖及截面圖。圖 12A 相當於沿著圖 12B 中的線 C1-C2 的截面圖。在圖 12A 中，形成在保護絕緣層 154 上的透明導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 12A 中，在端子部中，使用與閘極佈線相同的材料形成的第一端子 151 和使用與源極電極佈線相同的材料形成的連接電極 153 隔著閘極絕緣層 152 互相重疊，並且互相直接接觸以實現導通。另外，連接電極 153 與透明導電膜 155 藉由設置在保護絕緣層 154 中的接觸孔直接接觸以實現導通。

另外，圖 12C 及 12D 分別示出源極電極佈線端子部的平面圖及截面圖。此外，圖 12C 相當於沿著圖 12D 中的線 D1-D2 的截面圖。在圖 12C 中，形成在保護絕緣層 154 上的透明導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 12C 中，在端子部中，使用與閘極佈線相同的材料形成的電極 156 隔著閘極絕緣層 152 重疊於與源極電極佈線電連接的第二端子 150 的下方。電極 156 不與第二端子 150 電連接，並且當將電極 156 設定為與第二端子 150 不同的電位，例如浮動狀態、GND、0V 等時，可以形成

用於對雜波的措施的電容器或用於對靜電的措施的電容器。此外，第二端子 150 隔著保護絕緣層 154 與透明導電膜 155 電連接。

根據像素密度而設置多個閘極佈線、源極電極佈線及電容佈線。此外，在端子部中，排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極電極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的，而實施者適當地決定各端子的數量，即可。

像這樣，可以完成包括底閘型的 n 通道型薄膜電晶體的薄膜電晶體 170 的像素薄膜電晶體部、儲存電容器。而且，藉由對應於每一個像素而將薄膜電晶體和儲存電容器配置為矩陣狀來構成像素部，可以形成用來製造主動矩陣型顯示裝置的一個基板。在本說明書中，為方便起見而將這種基板稱為主動矩陣基板。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層，以固定主動矩陣基板和對置基板。另外，在主動矩陣基板上設置與設置在對置基板上的對置電極電連接的共同電極，並且在端子部中設置與共同電極電連接的第四端子。該第四端子是用來將共同電極設定為固定電位，例如 GND、0V 等的端子。

此外，本實施例模式不侷限於圖 10 的像素結構。圖 11 示出與圖 10 不同的平面圖的例子。圖 11 示出一例，其

中，不設置電容佈線，並且中間夾著保護絕緣層及閘極絕緣層而重疊像素電極層與相鄰的像素的閘極佈線來形成儲存電容器。在此情況下，可以省略電容佈線及與電容佈線連接的第三端子。注意，在圖 11 中，使用相同的附圖標記來說明與圖 10 相同的部分。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在螢幕上形成顯示圖案。詳細地說，藉由對被選擇了的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層的光學調變，並且該光學調變被觀察者識別為顯示圖案。

當液晶顯示裝置顯示動態圖像時，由於液晶分子本身的響應慢，所以有產生餘象或動態圖像模糊的問題。有一種稱為所謂黑插入的驅動技術，在該驅動技術中，為了改善液晶顯示裝置的動態圖像特性，而在每隔一幀進行整個螢幕的黑顯示。

此外，還有稱為所謂倍速驅動的驅動技術，在該驅動技術中，藉由將垂直同步頻率設定為通常的 1.5 倍以上，較佳的設定為通常的 2 倍以上來改善動態圖像的特性。

另外，還有如下驅動技術：為了改善液晶顯示裝置的動態圖像的特性，而作為背光燈使用多個 LED（發光二極體）光源或多個 EL 光源等來構成面光源，並使構成面光源的各光源獨立地在一個幀期間內進行間歇發光驅動。作為面光源，可以使用三種以上的 LED 或白色發光的 LED

。由於可以獨立地控制多個 LED，因此也可以按照液晶層的光學調變的切換時序而使 LED 的發光時序同步。因為在該驅動技術中可以部分地關斷 LED，所以尤其是在進行一個螢幕中的黑色顯示區所占的比率高的圖像顯示的情況下，可以謀求得到耗電量的降低效果。

藉由組合這些驅動技術，可以比現有的液晶顯示裝置進一步改善液晶顯示裝置的動態圖像特性等的顯示特性。

由於根據本實施例模式而得到的 n 通道型電晶體將氧化物半導體層用於通道形成區並具有良好的動態特性，因此可以組合這些驅動技術。

此外，在製造發光顯示裝置的情況下，將有機發光元件的一方電極（也稱為陰極）設定為低電源電位，例如 GND、0V 等，所以在端子部中設置用來將陰極設定為低電源電位，例如 GND、0V 等的第四端子。此外，在製造發光顯示裝置的情況下，除了源極電極佈線及閘極佈線之外還設置電源供給線。由此，在端子部中設置與電源供給線電連接的第五端子。

如上所述，在使用氧化物半導體層的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，並且使氧化物半導體層與源極電極層或汲極電極層接觸而中間夾著緩衝層的低電阻區，以降低氧化物半導體層與源極電極層或汲極電極層之間的接觸電阻，可以使電特性穩定。此外，藉由在大氣中加熱氧化物半導體層上的緩衝層，可以製造具有高電阻區及低電阻區的緩衝層。

藉由將該薄膜電晶體用於顯示裝置的像素部及驅動電路部，可以提供電特性穩定且可靠性高的顯示裝置。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 3

在本實施例模式中，參照圖 14A 和 14B 而說明使用兩個實施例模式 1 所示的底閘型薄膜電晶體的倒相電路。

使用倒相電路、電容器、電阻器等來構成用來驅動像素部的驅動電路。在組合兩個 n 通道型 TFT 來形成倒相電路的情況下，有組合增強型電晶體和空乏型電晶體來形成倒相電路的情況（以下稱為 EDMOS 電路）以及使用兩個增強型 TFT 來形成倒相電路的情況（以下稱為 EEMOS 電路）。注意，在 n 通道型 TFT 的臨界值電壓是正的情況下，定義為增強型電晶體，並且在 n 通道型 TFT 的臨界值電壓是負的情況下，定義為空乏型電晶體。在本說明書中按照該定義進行描述。

將像素部和驅動電路形成在同一個基板上，並且在像素部中，使用配置為矩陣狀的增強型電晶體切換對像素電極的電壓施加的導通截止。在該配置於像素部中的增強型電晶體中，使用氧化物半導體。

圖 14A 示出驅動電路的倒相電路的截面結構。注意，在圖 14A 中，作為第一薄膜電晶體 430a 及第二薄膜電晶體 430b，使用圖 1A 和 1B 所示的結構的反交錯型薄膜電

晶體。但是，本實施例模式所示的可以用於倒相電路的薄膜電晶體不侷限於該結構。

在圖 14A 所示的第一薄膜電晶體 430a 中，在基板 400 上設置有第一閘極電極層 401a，在第一閘極電極層 401a 上設置有閘極絕緣層 402，在閘極絕緣層 402 上設置有第一氧化物半導體層 403a，在第一氧化物半導體層 403a 上設置有第一緩衝層 404，在第一緩衝層 404 上設置有第一佈線 405a 及第二佈線 405b。第一緩衝層 404 具有低電阻區 404a、404b 及高電阻區 404c，並且第一氧化物半導體層 403a 與第一佈線 405a 及第二佈線 405b 電連接而中間夾著低電阻區 404a、404b。與此同樣，在第二薄膜電晶體 430b 中，在基板 400 上設置有第二閘極電極層 401b，在第二閘極電極層 401b 上設置有閘極絕緣層 402，在閘極絕緣層 402 上設置有第二氧化物半導體層 403b，在第二氧化物半導體層 403b 上設置有第二緩衝層 406，在第二緩衝層 406 上設置有第二佈線 405b 及第三佈線 405c。第二緩衝層 406 具有低電阻區 406a、406b 及高電阻區 406c，並且第二氧化物半導體層 403b 與第二佈線 405b 及第三佈線 405c 電連接而中間夾著低電阻區 406a、406b。在此，第二佈線 405b 藉由形成在閘極絕緣層 402 中的接觸孔 414 直接連接到第二閘極電極層 401b。注意，關於各部分的結構、材料，參照實施例模式 1 所示的薄膜電晶體。

第一佈線 405a 是接地電位的電源線（接地電源線）

。該接地電位的電源線也可以是被施加負電壓 V_{DL} 的電源線（負電源線）。第三佈線 405c 是被施加正電壓 V_{DD} 的電源線（正電源線）。

如圖 14A 所示，電連接到第一緩衝層 404 和第二緩衝層 406 的兩者的第二佈線 405b 藉由形成在閘極絕緣層 402 中的接觸孔 414 與第二薄膜電晶體 430b 的第二閘極電極層 401b 直接連接。藉由直接連接，可以得到良好的接觸並降低接觸電阻。此外，因為可以在用來形成高電阻區 404c、406c 的大氣氛圍下的熱處理之前，使第二佈線 405b 和第二閘極電極層 401b 直接連接，所以可以不受到大氣氛圍下的熱處理的影響地得到良好的接觸。此外，與隔著其他導電膜，例如透明導電膜連接第二閘極電極層 401b 和第二佈線 405b 的情況相比，可以謀求實現接觸孔數的減少及由此所導致的驅動電路的佔有面積的縮小。

此外，圖 14C 示出驅動電路的倒相電路的平面圖。在圖 14C 中，沿著虛線 Z1-Z2 而切斷的截面相當於圖 14A。

另外，圖 14B 示出 EDMOS 電路的等效電路。圖 14A 及圖 14C 所示的電路連接相當於圖 14B，並且示出第一薄膜電晶體 430a 是增強型 n 通道型電晶體，且第二薄膜電晶體 430b 是空乏型 n 通道型電晶體的例子。

作為在同一個基板上製造增強型 n 通道型電晶體和空乏型 n 通道型電晶體的方法，例如使用不同的材料、不同的成膜條件而製造第一緩衝層 404 和第一氧化物半導體層 403a、第二緩衝層 406 和第二氧化物半導體層 403b。此外

，也可以在氧化物半導體層的上下設置閘極電極控制臨界值，並且使一個 TFT 成爲常開啓狀態並使另一個 TFT 成爲常關閉狀態的方式對閘極電極施加電壓，以構成 EDMOS 電路。

另外，不侷限於 EDMOS 電路，而藉由作爲第一薄膜電晶體 430a 及第二薄膜電晶體 430b 而採用增強型 n 通道型電晶體，可以製造 EEMOS 電路。在此情況下，使第三佈線 405c 和第二閘極電極層 401b 連接，而代替使第二佈線 405b 和第二閘極電極層 401b 連接。

在本實施例模式所使用的薄膜電晶體中，在氧化物半導體層上形成具有高電阻區及低電阻區的緩衝層，並且使氧化物半導體層與源極電極層或汲極電極層接觸而中間夾著緩衝層的低電阻區，以降低氧化物半導體層與源極電極層或汲極電極層之間的接觸電阻，可以使電特性穩定。因此，可以提高本實施例模式所示的倒相電路的電路特性。

藉由將本實施例模式所示的倒相電路用於驅動電路部，可以提供電特性穩定且可靠性高的顯示裝置。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 4

在本實施例模式中，以下說明一例，其中，在半導體裝置的一例的顯示裝置中，在同一個基板上至少製造驅動電路的一部分和配置於像素部中的薄膜電晶體。

根據實施例模式 2 而形成配置於像素部中的薄膜電晶體。此外，因為實施例模式 1 至實施例模式 3 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部中的薄膜電晶體同一個基板上。

圖 15A 示出半導體裝置的一例的主動矩陣型液晶顯示裝置的方塊圖的一例。圖 15A 所示的顯示裝置在基板 5300 上包括：具有多個具備顯示元件的像素的像素部 5301；選擇各像素的掃描線驅動電路 5302；以及控制對被選擇了的像素的視頻信號輸入的信號線驅動電路 5303。

像素部 5301 藉由從信號線驅動電路 5303 在行方向上延伸地配置的多個信號線 S1-Sm（未圖示）與信號線驅動電路 5303 連接，並藉由從掃描線驅動電路 5302 在列方向上延伸地配置的多個掃描線 G1-Gn（未圖示）與掃描線驅動電路 5302 連接，並且具有對應於信號線 S1-Sm 以及掃描線 G1-Gn 而配置為矩陣狀的多個像素（未圖示）。並且，各像素與信號線 Sj（信號線 S1-Sm 中的任一個）、掃描線 Gi（掃描線 G1-Gn 中的任一個）連接。

此外，實施例模式 1 至實施例模式 3 所示的薄膜電晶體是 n 通道型 TFT，並且參照圖 16 而說明由 n 通道型 TFT 構成的信號線驅動電路。

圖 16 所示的信號線驅動電路包括：驅動器 IC5601；開關群 5602_1 至 5602_M；第一佈線 5611；第二佈線 5612；第三佈線 5613；以及佈線 5621_1 至 5621_M。開關

群 5602_1 至 5602_M 分別包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC5601 連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M。而且，開關群 5602_1 至 5602_M 分別連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及分別對應於開關群 5602_1 至 5602_M 的佈線 5621_1 至 5621_M。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到三個信號線（信號線 Sm-2、信號線 Sm-1、信號線 Sm (m=3M)）。例如，第 J 行的佈線 5621_J (佈線 5621_1 至佈線 5621_M 中的任一個) 藉由開關群 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 Sj-2、信號線 Sj-1、信號線 Sj (j=3J)。

注意，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

注意，驅動器 IC5601 較佳的使用單晶半導體形成。再者，開關群 5602_1 至 5602_M 較佳的形成在與像素部同一個基板上。因此，較佳的藉由 FPC 等而連接驅動器 IC5601 和開關群 5602_1 至 5602_M。或者，也可以在與像素部同一個基板上藉由貼合等而設置單晶半導體層，來形成驅動器 IC5601。

接著，參照圖 17 的時序圖而說明圖 16 所示的信號線驅動電路的工作。注意，圖 17 的時序圖示出在選擇第 i

列掃描線 G_i 時的時序圖。再者，第 i 列掃描線 G_i 的選擇期間被分割為第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 。而且，圖 16 的信號線驅動電路在其他列的掃描線被選擇的情況下也進行與圖 17 相同的工作。

注意，圖 17 的時序圖示出第 J 行的佈線 5621_J 藉由第一薄膜電晶體 $5603a$ 、第二薄膜電晶體 $5603b$ 及第三薄膜電晶體 $5603c$ 連接到信號線 S_{j-2} 、信號線 S_{j-1} 、信號線 S_j 的情況。

注意，圖 17 的時序圖示出第 i 列行掃描線 G_i 被選擇的時序、第一薄膜電晶體 $5603a$ 的導通・截止的時序 $5703a$ 、第二薄膜電晶體 $5603b$ 的導通・截止的時序 $5703b$ 、第三薄膜電晶體 $5603c$ 的導通・截止的時序 $5703c$ 及輸入到第 J 行佈線 5621_J 的信號 5721_J 。

注意，在第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中，對佈線 5621_1 至佈線 5621_M 分別輸入不同的視頻信號。例如，在第一子選擇期間 T_1 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-2} ，在第二子選擇期間 T_2 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-1} ，在第三子選擇期間 T_3 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_j 。再者，在第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中輸入到佈線 5621_J 的視頻信號分別為 $Data_{j-2}$ 、 $Data_{j-1}$ 、 $Data_j$ 。

如圖 17 所示，在第一子選擇期間 T1 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 Data_j-2 藉由第一薄膜電晶體 5603a 輸入到信號線 Sj-2。在第二子選擇期間 T2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 Data_j-1 藉由第二薄膜電晶體 5603b 輸入到信號線 Sj-1。在第三子選擇期間 T3 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_j 藉由第三薄膜電晶體 5603c 輸入到信號線 Sj。

據此，圖 16 的信號線驅動電路藉由將一個閘極選擇期間分割為三個，可以在一個閘極選擇期間中從一個佈線 5621 將視頻信號輸入到三個信號線。從而，圖 16 的信號線驅動電路可以將形成有驅動器 IC5601 的基板和形成有像素部的基板的連接數設定為信號線數的大約 1/3。藉由將連接數設定為大約 1/3，可以提高圖 16 的信號線驅動電路的可靠性、良率等。

注意，只要可以如圖 17 所示，將一個閘極選擇期間分割為多個子選擇期間，並在多個子選擇期間的每一個中從某一個佈線向多個信號線的每一個分別輸入視頻信號，就對薄膜電晶體的配置、數量及驅動方法等沒有限制。

例如，當在三個以上的子選擇期間的每一個中從一個佈線將視頻信號分別輸入到三個以上的信號線時，追加薄

膜電晶體及用來控制薄膜電晶體的佈線，即可。但是，當將一個閘極選擇期間分割為四個以上的子選擇期間時，一個子選擇期間變短。從而，較佳的將一個閘極選擇期間分割為兩個或三個子選擇期間。

作為另一例，也可以如圖 18 的時序圖所示，將一個選擇期間分割為預充電期間 T_p 、第一子選擇期間 T_1 、第二子選擇期間 T_2 、第三子選擇期間 T_3 。再者，圖 18 的時序圖示出選擇第 i 列掃描線 G_i 的時序、第一薄膜電晶體 5603a 的導通・截止的時序 5803a、第二薄膜電晶體 5603b 的導通・截止的時序 5803b、第三薄膜電晶體 5603c 的導通・截止的時序 5803c 以及輸入到第 J 行佈線 5621 $_J$ 的信號 5821 $_J$ 。如圖 18 所示，在預充電期間 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 導通。此時，輸入到佈線 5621 $_J$ 的預充電電壓 V_p 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 分別輸入到信號線 S_{j-2} 、信號線 S_{j-1} 、信號線 S_j 。在第一子選擇期間 T_1 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621 $_J$ 的 $Data_{j-2}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-2} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621 $_J$ 的 $Data_{j-1}$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_{j-1} 。在第三子選擇期間 T_3 中，第三薄膜電晶

體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_j 藉由第三薄膜電晶體 5603c 輸入到信號線 Sj。

據此，因為應用了圖 18 的時序圖的圖 16 的信號線驅動電路藉由在子選擇期間之前提供預充電選擇期間可以對信號線進行預充電，所以可以高速地進行對像素的視頻信號的寫入。注意，在圖 18 中，使用相同的附圖標記來表示與圖 17 相同的部分，而省略對於相同部分或具有相同功能的部分的詳細說明。

此外，說明掃描線驅動電路的結構。掃描線驅動電路包括移位暫存器、緩衝器。此外，根據情況，還可以包括位準轉移器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號（CLK）及起始脈衝信號（SP），生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並被供給到對應的掃描線。掃描線連接有一行的像素的電晶體的閘極電極。而且，由於需要使一行的像素的電晶體同時導通，因此使用能夠產生大電流的緩衝器。

參照圖 19 和圖 20 而說明用於掃描線驅動電路的一部分的移位暫存器的一種模式。

圖 19 示出移位暫存器的電路結構。圖 19 所示的移位暫存器由多個正反器 5701_1 至 5701_n 構成。此外，輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重設信號來進行工作。

說明圖 19 的移位暫存器的連接關係。第一級正反器

5701_1 連接到第一佈線 5711、第二佈線 5712、第四佈線 5714、第五佈線 5715、第七佈線 5717_1 及第七佈線 5717_2。另外，第二級正反器 5701_2 連接到第三佈線 5713、第四佈線 5714、第五佈線 5715、第七佈線 5717_1、第七佈線 5717_2 及第七佈線 5717_3。

與此同樣，第 i 級正反器 5701_ i (正反器 5701_1 至 5701_ n 中的任一個) 連接到第二佈線 5712 或第三佈線 5713 的一方、第四佈線 5714、第五佈線 5715、第七佈線 5717_ $i-1$ 、第七佈線 5717_ i 及第七佈線 5717_ $i+1$ 。在此，在 i 為奇數的情況下，第 i 級正反器 5701_ i 連接到第二佈線 5712，並且在 i 為偶數的情況下，第 i 級正反器 5701_ i 連接到第三佈線 5713。

另外，第 n 級正反器 5701_ n 連接到第二佈線 5712 或第三佈線 5713 的一方、第四佈線 5714、第五佈線 5715、第七佈線 5717_ $n-1$ 、第七佈線 5717_ n 及第六佈線 5716。

注意，第一佈線 5711、第二佈線 5712、第三佈線 5713、第六佈線 5716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 5714、第五佈線 5715 也可以分別稱為第一電源線、第二電源線。

接著，使用圖 20 而說明圖 19 所示的正反器的詳細結構。圖 20 所示的正反器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、

第七薄膜電晶體 5577 以及第八薄膜電晶體 5578。注意，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 是 n 通道型電晶體，並且當柵・源間電壓 (V_{gs}) 超過臨界值電壓 (V_{th}) 時成爲導通狀態。

另外，圖 20 所示的正反器包括第一佈線 5501、第二佈線 5502、第三佈線 5503、第四佈線 5504、第五佈線 5505 及第六佈線 5506。

雖然在此示出所有薄膜電晶體是增強型 n 通道型電晶體的例子，但是沒有特別的限制，而例如即使使用空乏型 n 通道型電晶體也可以驅動驅動電路。

接著，下面示出圖 20 所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極及汲極電極中的一方）連接到第四佈線 5504，並且第一薄膜電晶體 5571 的第二電極（源極電極及汲極電極中的另一方）連接到第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接到第六佈線 5506，並且第二薄膜電晶體 5572 的第二電極連接到第三佈線 5503。

第三薄膜電晶體 5573 的第一電極連接到第五佈線 5505，第三薄膜電晶體 5573 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，第三薄膜電晶體 5573 的閘極電極連接到第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接到第六佈線 5506，第四薄膜電晶體 5574 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第四薄膜電晶體 5574 的閘極電極連接到第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接到第五佈線 5505，第五薄膜電晶體 5575 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第五薄膜電晶體 5575 的閘極電極連接到第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接到第六佈線 5506，第六薄膜電晶體 5576 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第六薄膜電晶體 5576 的閘極電極連接到第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接到第六佈線 5506，第七薄膜電晶體 5577 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第七薄膜電晶體 5577 的閘極電極連接到第二佈線 5502。

第八薄膜電晶體 5578 的第一電極連接到第六佈線 5506，第八薄膜電晶體 5578 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第八薄膜電晶體 5578 的閘極電極連接到第一佈線 5501。

注意，以第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極的連接部為節點 5543。再者，以第

二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極以及第八薄膜電晶體 5578 的第二電極的連接部為節點 5544。

注意，第一佈線 5501、第二佈線 5502、第三佈線 5503 以及第四佈線 5504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 5505、第六佈線 5506 也可以分別稱為第一電源線、第二電源線。

在第 i 級正反器 5701 _{i} 中，圖 20 中的第一佈線 5501 和圖 19 中的第七佈線 5717 _{$i-1$} 連接。另外，圖 20 中的第二佈線 5502 和圖 19 中的第七佈線 5717 _{$i+1$} 連接。另外，圖 20 中的第三佈線 5503 和第七佈線 5717 _{i} 連接。而且，圖 20 中的第六佈線 5506 和第五佈線 5715 連接。

在 i 為奇數的情況下，圖 20 中的第四佈線 5504 連接到圖 19 中的第二佈線 5712，並且在 i 為偶數的情況下，圖 20 中的第四佈線 5504 連接到圖 19 中的第三佈線 5713。另外，圖 20 中的第五佈線 5505 和圖 19 中的第四佈線 5714 連接。

但是，在第一級正反器 5701₁ 中，圖 20 中的第一佈線 5501 連接到圖 19 中的第一佈線 5711。另外，在第 n 級正反器 5701 _{n} 中，圖 20 中的第二佈線 5502 連接到圖 19 中的第六佈線 5716。

此外，也可以僅使用實施例模式 1 至實施例模式 3 所

示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電路。因為實施例模式 1 至實施例模式 3 所示的 n 通道型 TFT 的電晶體遷移率大，所以可以提高驅動電路的驅動頻率。另外，實施例模式 1 至實施例模式 3 所示的 n 通道型 TFT 藉由利用以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體層，減少寄生電容，因此頻率特性（稱為 f 特性）高。例如，因為可以使用實施例模式 1 至實施例模式 3 所例示的 n 通道型 TFT 的掃描線驅動電路進行高速工作，所以可以實現幀頻率的提高、黑螢幕插入。

再者，藉由增大掃描線驅動電路的電晶體的通道寬度，或配置多個掃描線驅動電路等，可以實現更高的幀頻率。在配置多個掃描線驅動電路的情況下，藉由將用來驅動偶數行的掃描線的掃描線驅動電路配置在一側，並將用來驅動奇數行的掃描線的掃描線驅動電路配置在其相反一側，可以實現幀頻率的提高。此外，當使用多個掃描線驅動電路對同一個掃描線輸出信號時，有利於顯示裝置的大型化。

此外，在製造半導體裝置的一例的主動矩陣型發光顯示裝置的情況下，由於至少在一個像素中配置多個薄膜電晶體，所以較佳的配置多個掃描線驅動電路。圖 15B 示出主動矩陣型發光顯示裝置的方方塊圖的一例。

圖 15B 所示的發光顯示裝置在基板 5400 上包括：具有多個具備顯示元件的像素的像素部 5401；分別選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路

5404；以及控制對被選擇了的像素的視頻信號的輸入的信號線驅動電路 5403。

在輸入到圖 15B 所示的發光顯示裝置的像素的視頻信號為數位方式的情況下，藉由切換電晶體的導通和截止，像素成為發光或非發光狀態。因此，可以採用面積灰度法或時間灰度法進行灰度顯示。面積灰度法是一種驅動法，其中藉由將一個像素分割為多個子像素並根據視頻信號分別驅動各子像素，來進行灰度顯示。此外，時間灰度法是一種驅動法，其中藉由控制像素發光的期間，來進行灰度顯示。

因為發光元件的回應速度比液晶元件等快，所以與液晶元件相比適合於時間灰度法。明確而言，在採用時間灰度法進行顯示的情況下，將一個幀期間分割為多個子幀期間。然後，根據視頻信號，在各子幀期間中使像素的發光元件成為發光或非發光狀態。藉由將一個幀期間分割為多個子幀期間，可以利用視頻信號控制在一個幀期間中像素實際上發光的期間的總長度，並顯示灰度。

注意，圖 15B 所示的發光顯示裝置示出一種例子，其中當在一個像素中配置兩個開關 TFT 時，使用第一掃描線驅動電路 5402 生成輸入到一方的開關 TFT 的閘極佈線的第一掃描線的信號，並且使用第二掃描線驅動電路 5404 生成輸入到另一方的開關 TFT 的閘極佈線的第二掃描線的信號。但是，也可以使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例

如根據一個像素所具有的開關 TFT 的數量，而可能會在各像素中設置多個用來控制切換元件的工作的掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個掃描線的所有信號，又可以使用多個掃描線驅動電路生成輸入到多個掃描線的所有信號。

此外，在發光顯示裝置中，也可以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一個基板上。另外，也可以僅使用實施例模式 1 至實施例模式 3 所示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電路。

藉由上述製程，可以製造作為半導體裝置的電特性穩定且可靠性高的顯示裝置。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 5

製造實施例模式 1 至實施例模式 3 所示的薄膜電晶體，並且將該薄膜電晶體用於像素部及驅動電路，從而可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將使用實施例模式 1 至實施例模式 3 所示的薄膜電晶體的驅動電路的一部分或全部一起形成在與像素部同一個基板上，可以形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光

顯示元件)。在發光元件的範疇內包括利用電流或電壓控制亮度的元件，明確而言，包括無機 EL (Electro Luminescence ; 電致發光) 元件、有機 EL 元件等。此外，也可以應用電子墨水等的對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和該面板安裝有包括控制器的 IC 等的模組。再者，顯示裝置關於一種元件基板，該元件基板相當於製造該顯示裝置的過程中的顯示元件完成之前的一種模式，並且它在多個像素中分別具備用來將電流供給到顯示元件的單元。明確而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成爲像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，而可以採用任何形式。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置、光源（包括照明裝置）。另外，顯示裝置還包括安裝有連接器，諸如 FPC (Flexible Printed Circuit ; 撓性印刷電路)、TAB (Tape Automated Bonding ; 載帶自動接合) 膠帶或 TCP (Tape Carrier Package ; 載帶封裝) 的模組；將印刷線路板設置於 TAB 膠帶或 TCP 的端部的模組；藉由 COG (Chip On Glass ; 玻璃上晶片) 方式將 IC (積體電路) 直接安裝到顯示元件的模組。

在本實施例模式中，參照圖 21A 至 21C 而說明相當於半導體裝置的一種方式的液晶顯示面板的外觀及截面。圖 21A 和 21B 是一種面板的平面圖，其中，利用密封材料

4005 將形成在第一基板 4001 上的實施例模式 1 至實施例模式 3 所示的使用以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體層的電特性穩定且可靠性高的薄膜電晶體 4010、4011 及液晶元件 4013 密封在第一基板 4001 和第二基板 4006 之間。圖 21C 相當於沿著圖 21A 和 21B 的線 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線接合方法或 TAB 方法等。圖 21A 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，並且圖 21B 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 21B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、

4011 上設置有絕緣層 4020、4021。

作為薄膜電晶體 4010、4011，可以應用實施例模式 1 至實施例模式 3 所示的使用以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體層的電特性穩定且可靠性高的薄膜電晶體。在本實施例模式中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。注意，像素電極層 4030、對置電極層 4031 分別設置有用作取向膜的絕緣層 4032、4033，並且隔著絕緣層 4032、4033 夾有液晶層 4008。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型的是不鏽鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；玻璃纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，還可以使用具有將鋁箔夾在 PVF 薄膜之間或聚酯薄膜之間的結構的薄片。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離（單元間隙）而設置的。注意，還可以使用球狀間隔物。另外，對置電極層 4031 與設置在與薄膜電晶體 4010 同一個基板上的共同電

位線電連接。使用共同連接部，可以藉由配置在一對基板之間的導電性粒子而電連接對置電極層 4031 和共同電位線。此外，將導電性粒子包含在密封材料 4005 中。

另外，還可以使用不使用取向膜的顯示藍相的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時即將從膽甾相轉變到各向同性相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍，而將混合有 5wt% 以上的手性試劑的液晶組成物用於液晶層 4008。包括顯示藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 $10\mu\text{s}$ 至 $100\mu\text{s}$ ，由於該液晶組成物具有光學各向同性而不需要取向處理，並且視角依賴性小。

注意，雖然本實施例模式示出透過型液晶顯示裝置的例子，但是本發明的一個實施例模式也可以應用於反射型液晶顯示裝置及半透過型液晶顯示裝置。

另外，雖然在本實施例模式的液晶顯示裝置中示出在基板的外側（可見一側）設置偏光板，並在內側依次設置著色層、用於顯示元件的電極層的例子，但是也可以在基板的內側設置偏光板。另外，偏光板和著色層的疊層結構也不侷限於本實施例模式的結構，而根據偏光板及著色層的材料、製造製程條件適當地設定即可。另外，還可以設置用作黑底的遮光膜。

另外，在本實施例模式中，使用用作保護膜或平坦化絕緣膜的絕緣層（絕緣層 4020、絕緣層 4021）覆蓋在實施例模式 1 至實施例模式 3 中得到的薄膜電晶體，以降低

薄膜電晶體的表面凹凸並提高薄膜電晶體的可靠性。注意，因為保護膜是用來防止懸浮在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入的，所以較佳採用緻密的膜。利用濺射法並使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層而形成保護膜即可。雖然在本實施例模式中示出利用濺射法形成保護膜的例子，但是並不侷限於此，而使用各種方法形成保護膜即可。

作為保護膜，形成具有疊層結構的絕緣層 4020。在此，作為絕緣層 4020 的第一層，利用濺射法形成氧化矽膜。當作為保護膜而使用氧化矽膜時，有防止用作源極電極層及汲極電極層的鋁膜的小丘的效果。

再者，作為保護膜的第二層，形成絕緣層。在此，作為絕緣層 4020 的第二層，利用濺射法形成氮化矽膜。當使用氮化矽膜作為保護膜時，可以抑制鈉等的可動離子侵入到半導體區域中而使 TFT 的電特性變化。

另外，也可以在形成保護膜之後進行對氧化物半導體層的退火（300℃至 400℃）。

另外，形成絕緣層 4021 作為平坦化絕緣膜。作為絕緣層 4021，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂（epoxy）等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多

個由這些材料形成的絕緣膜，來形成絕緣層 4021。

注意，矽氧烷類樹脂相當於以矽氧烷類材料為起始材料而形成的包括 Si-O-Si 鍵的樹脂。矽氧烷類樹脂可以使用有機基團（例如烷基或芳基）或氟基團作為取代基。另外，有機基也可以具有氟基團。

對絕緣層 4021 的形成方法沒有特別的限制，而可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗、幕塗、刮刀塗佈等。在使用材料液形成絕緣層 4021 的情況下，也可以在進行烘烤的製程中同時進行對氧化物半導體層的退火（300℃至 400℃）。藉由同時進行絕緣層 4021 的焙燒製程和對氧化物半導體層的退火，可以有效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮錫（下面表示為 ITO）、氧化銮鋅、添加有氧化矽的氧化銮錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻較佳為 $10000\Omega/\square$ 以下，並且其波長為 550nm 時的透光率較佳為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率較佳為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 及像素部 4002 的各種信號及電位是從 FPC4018 供給的。

在本實施例模式中，連接端子電極 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 21A 至 21C 中示出另行形成信號線驅動電路 4003 並將它安裝到第一基板 4001 的例子，但是本實施例模式不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 22 示出使用應用實施例模式 1 或實施例模式 2 所示的 TFT 而製造的 TFT 基板 2600 來構成液晶顯示模組作為半導體裝置的一例。

圖 22 是液晶顯示模組的一例，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著

色層 2605，以形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素而設置有分別對應於紅色、綠色、藍色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏光板 2606、偏光板 2607、擴散板 2613。光源由冷陰極管 2610 和反射板 2611 構成，且電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，並且組裝有控制電路、電源電路等的外部電路。此外，也可以在偏光板和液晶層之間具有相位差板的狀態層疊。

液晶顯示模組可以採用 TN（扭曲向列；Twisted Nematic）模式、IPS（平面內轉換；In-Plane-Switching）模式、FFS（邊緣電場轉換；Fringe Field Switching）模式、MVA（多疇垂直取向；Multi-domain Vertical Alignment）模式、PVA（垂直取向構型；Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞；Axially Symmetric aligned Micro-cell）模式、OCB（光學補償雙折射；Optically Compensated Birefringence）模式、FLC（鐵電性液晶；Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶；AntiFerroelectric Liquid Crystal）模式等。

藉由上述製程，可以製造作為半導體裝置的電特性穩定且可靠性高的液晶顯示面板。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 6

在本實施例模式中，作為應用了實施例模式 1 或實施例模式 2 所示的薄膜電晶體的半導體裝置而示出電子紙的例子。

在圖 23 中，作為半導體裝置的例子而示出主動矩陣型電子紙。作為用於半導體裝置的薄膜電晶體 581，可以應用實施例模式 1 或實施例模式 2 所示的薄膜電晶體。

圖 23 的電子紙是採用旋轉球顯示方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將分別塗成白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並使第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

密封在基板 580 和基板 596 之間的薄膜電晶體 581 是底閘結構的薄膜電晶體，並且與第一電極層 587 利用源極電極層或汲極電極層在形成於絕緣層 583、584、585 中的開口中接觸並電連接。在第一電極層 587 和第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a、白色區 590b，且該黑色區 590a、白色區 590b 的周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍填充有樹脂等的填料 595（參照圖 23）。在本實施例模式中，第一電極層 587 相當於像素電極，第二電極層 588 相當於共同電極。第二電極層 588 與設置在與薄膜電晶體 581 同一個基板上的共同電位線電連接。可以使用實施例模式 2 所示的共同連接部並藉由配置在一對基板之間的導

電性粒子來電連接第二電極層 588 和共同電位線。

此外，還可以使用電泳元件而代替旋轉球。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。作為設置在第一電極層和第二電極層之間的微囊，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒向相反方向移動，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，一般稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，電泳顯示元件的耗電量低，並且在昏暗的地方也能夠辨別顯示部。另外，即使不對顯示部供應電源，也能夠保持顯示過一次的圖像。從而，即使使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置）遠離電波發信源，也能夠儲存顯示過的圖像。

如此，電泳顯示元件是利用所謂的介電泳效應（*dielectrophoretic effect*）的顯示元件。在該介電泳效應中，介電常數高的物質移動到高電場區。使用電泳顯示元件的電泳顯示裝置不需要液晶顯示裝置所需的偏光板，從而其膜厚度、重量減少。

將在溶劑中分散有上述微囊的溶液稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微

囊，使得微囊夾在兩個電極之間，就完成主動矩陣型顯示裝置，並且，當對微囊施加電場時可以進行顯示。例如，可以使用利用實施例模式 1 至實施例模式 3 的薄膜電晶體來得到的主動矩陣基板。

此外，作為微囊中的微粒，使用選自導體材料、絕緣體材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種或這些材料的複合材料即可。

藉由上述製程，可以製造作為半導體裝置的電特性穩定且可靠性高的電子紙。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 7

在本實施例模式中，作為應用實施例模式 1 至實施例模式 3 所示的薄膜電晶體的半導體裝置，示出發光顯示裝置的例子。在此，藉由使用利用電致發光的發光元件，來示出顯示裝置所具有的顯示元件。根據其發光材料是有機化合物還是無機化合物來區分利用電致發光的發光元件，一般來說，前者稱為有機 EL 元件，而後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別植入到包含發光有機化合物的層，以使電流流過。然後，由於這些載子（電子和電洞）的複

合，發光有機化合物形成激發態，並且當該激發態恢復到基態時，得到發光。根據這種機制，而該發光元件稱為電流激勵型發光元件。

根據其元件的結構，將無機 EL 元件分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機制是利用施主能級和受主能級的施主-受主複合型發光。薄膜型無機 EL 元件具有利用電介質層夾住發光層並利用電極夾住由電介質層夾住的發光層的結構，並且其發光機制是利用金屬離子的內殼層電子躍遷的局部發光。注意，在此使用有機 EL 元件作為發光元件而進行說明。

圖 24 是作為應用本發明的一種實施例的半導體裝置的例子而示出能夠應用數位時間灰度驅動的像素結構的一例的圖。

對能夠應用數位時間灰度驅動的像素的結構及像素的工作進行說明。在此，示出在一個像素中使用兩個 n 通道型電晶體的例子，該 n 通道型電晶體將實施例模式 1 或實施例模式 2 所示的以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體層用作通道形成區。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 以及電容元件 6403。在開關電晶體 6401 中，閘極連接到掃描線 6406，第一電極（源極電極及汲極電極中的一方）連接到信號線 6405，第二電極（源極電極及汲極電極中的另一方）連接到驅動電晶體 6402 的閘極。

在驅動電晶體 6402 中，閘極藉由電容元件 6403 連接到電源線 6407，第一電極連接到電源線 6407，第二電極連接到發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一個基板上的共同電位線電連接，並且將該連接部分設定為共同連接部，即可。

此外，將發光元件 6404 的第二電極（共同電極 6408）設定為低電源電位。注意，低電源電位是指以設定於電源線 6407 的高電源電位為基準滿足低電源電位 < 高電源電位的電位，作為低電源電位而例如可以設定為 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404，使電流流過發光元件 6404 以使發光元件 6404 發光，所以以使高電源電位與低電源電位的電位差成為發光元件 6404 的正向臨界值電壓以上的方式分別設定各電位。

注意，還可以使用驅動電晶體 6402 的閘極電容器而代替電容元件 6403 以省略電容元件 6403。也可以在通道區與閘極電極之間形成驅動電晶體 6402 的閘極電容器。

這裏，在採用電壓輸入電壓驅動方式的情況下，對驅動電晶體 6402 的閘極輸入使驅動電晶體 6402 充分成為導通或截止的兩種狀態的視頻信號。就是說，驅動電晶體 6402 在線性區工作。由於驅動電晶體 6402 在線性區工作，因此將比電源線 6407 的電壓高的電壓施加到驅動電晶體 6402 的閘極。注意，對信號線 6405 施加（電源線電壓

+驅動電晶體 6402 的 V_{th}) 以上的電壓。

此外，當進行模擬灰度驅動而代替數位時間灰度驅動時，藉由使信號的輸入不同，可以使用與圖 24 相同的像素結構。

當進行模擬灰度驅動時，對驅動電晶體 6402 的閘極施加（發光元件 6404 的正向電壓+驅動電晶體 6402 的 V_{th} ）以上的電壓。發光元件 6404 的正向電壓是指在得到所希望的亮度時的電壓，至少包括正向臨界值電壓。注意，藉由輸入使驅動電晶體 6402 工作在飽和區中的視頻信號，可以使電流流過發光元件 6404。為了使驅動電晶體 6402 工作在飽和區域中，而使電源線 6407 的電位高於驅動電晶體 6402 的閘極電位。當視頻信號為模擬時，可以使對應於視頻信號的電流流過發光元件 6404，以進行模擬灰度驅動。

此外，圖 24 所示的像素結構不侷限於此。例如，也可以對圖 24 的像素還追加開關、電阻元件、電容元件、電晶體、邏輯電路等。

接著，參照圖 25A 至 25C 而說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。圖 25A、25B 和 25C 的用於半導體裝置的驅動 TFT7001、7011、7021 可以與實施例模式 1 或實施例模式 2 所示的薄膜電晶體同樣地製造，它們是使用以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體層的電特性穩定且可靠性高的薄膜電晶體。

發光元件的陽極及陰極中之至少一方是透明以取出發光，即可。而且，有如下結構的發光元件，即在基板上形成薄膜電晶體及發光元件，並從與基板相反的面取出發光的頂部發射、從基板一側的面取出發光的底部發射、以及從基板一側及與基板相反的面取出發光的雙面發射。本發明的像素結構可以應用於任何發射結構的發光元件。

參照圖 25A 而說明頂部發射結構的發光元件。

圖 25A 示出當驅動 TFT7001 是 n 型並且從發光元件 7002 發射的光穿過陽極 7005 一側時的像素的截面圖。在圖 25A 中，發光元件 7002 的陰極 7003 和驅動 TFT7001 電連接，並且在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。作為陰極 7003，只要是功函數低並且反射光的導電膜，就可以使用各種材料。例如，較佳採用 Ca、Al、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多個層的疊層構成。在由多個層構成時，在陰極 7003 上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置所有的這些層。使用具有透過光的透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電膜諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

由陰極 7003 及陽極 7005 夾著發光層 7004 的區域相當於發光元件 7002。在圖 25A 所示的像素中，從發光元

件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 25B 而說明底部發射結構的發光元件。圖 25B 示出當驅動 TFT7011 是 n 型並且從發光元件 7012 發射的光發射到陰極 7013 一側時的像素的截面圖。在圖 25B 中，在與驅動 TFT7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，並且在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極上地形成有用來反射光或遮蔽光的遮罩膜 7016。與圖 25A 的情況同樣，陰極 7013 只要是功函數低的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度（較佳為 5nm 至 30nm 左右）。例如，可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 25A 同樣，發光層 7014 可以由單層或多個層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 25A 同樣地使用具有透光性的導電材料形成。並且，雖然遮罩膜 7016 例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極 7013 及陽極 7015 夾著發光層 7014 的區域相當於發光元件 7012。在圖 25B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 25C 而說明雙面發射結構的發光元件。在圖 25C 中，在與驅動 TFT7021 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，並且在

陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 25A 的情況同樣，作為陰極 7023，只要是功函數低的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度。例如，可以將膜厚度為 20nm 的 Al 用作陰極 7023。而且，與圖 25A 同樣，發光層 7024 可以由單層或多個層的疊層構成。陽極 7025 可以與圖 25A 同樣地使用具有透過光的透光性的導電材料形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 25C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側的兩者。

注意，雖然在此描述了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

注意，雖然在本實施例模式中示出了控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件電連接的例子，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

注意，本實施例模式所示的半導體裝置不侷限於圖 25A 至 25C 所示的結構而可以根據本發明的技術思想進行各種變形。

接著，參照圖 26A 和 26B 而說明相當於應用實施例模式 1 至實施例模式 3 所示的薄膜電晶體的半導體裝置的一種方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 26A 是一種面板的平面圖，其中利用密封材料將形成

在第一基板上的薄膜電晶體及發光元件密封在第一基板與第二基板之間。圖 26B 相當於沿著圖 26A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，較佳的不暴露於外氣地使用氣密性高且漏氣少的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料來進行封裝（封入）。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 26B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

作為薄膜電晶體 4509、4510，可以應用實施例模式 1 至實施例模式 3 所示的使用以 In-Ga-Zn-O 類非單晶膜為代表的氧化物半導體層的電特性穩定且可靠性高的薄膜電晶體。在本實施例模式中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，並且發光元

件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源極電極層或汲極電極層電連接。注意，雖然發光元件 4511 的結構是第一電極層 4517、電場發光層 4512、第二電極層 4513 的疊層結構，但是不侷限於本實施例模式所示的結構。可以根據從發光元件 4511 取出發光的方向等而適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷來形成分隔壁 4520。特別較佳的是，使用感光材料，在第一電極層 4517 上形成開口部，並將該開口部的側壁形成為具有連續的曲率而成的傾斜面。

電場發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及分隔壁 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例模式中，連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 與

FPC4518a 所具有的端子電連接。

位於取出來自發光元件 4511 的光的方向上的第二基板 4506 需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

此外，作為填充料 4507，除了氮、氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙酯）。在本實施例模式中，作為填充料 4507 而使用氮。

另外，若有需要，則也可以在發光元件的發射面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、濾色片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光，從而可以降低眩光的處理。

以在另行準備的基板上使用單晶半導體膜或多晶半導體膜形成的驅動電路安裝有信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分安裝。本實施例模式不侷限於圖 26A 和 26B 的結構。

藉由上述製程，可以製造作為半導體裝置的電特性穩定且可靠性高的發光顯示裝置（顯示面板）。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式 8

應用實施例模式 1 至實施例模式 3 所示的薄膜電晶體的半導體裝置可以用作電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，可以將電子紙應用於電子書籍（電子書）、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 27A 和 27B 以及圖 28 示出電子設備的一例。

圖 27A 示出使用電子紙而製造的海報 2631。在廣告媒體是紙印刷物的情況下用人手進行廣告的交換，但是如果使用電子紙，則可以在短時間內可以改變廣告的顯示內容。此外，顯示不會打亂而可以得到穩定的圖像。注意，海報也可以採用以無線的方式收發資訊的結構。

此外，圖 27B 示出電車等的交通工具的車廂廣告 2632。在廣告媒體是紙印刷物的情況下用人手進行廣告的交換，但是如果使用電子紙，則可以在短時間內不需要許多人手地改變廣告的顯示內容。此外，顯示不會打亂而可以得到穩定的圖像。注意，車廂廣告也可以採用以無線的方式收發資訊的結構。

另外，圖 28 示出電子書籍 2700 的一例。例如，電子書籍 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可

以以該軸部 2711 為軸進行開閉工作。藉由這種結構，可以進行如紙的書籍那樣的工作。

框體 2701 組裝有顯示部 2705，且框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連續螢幕的結構，又可以是顯示不同的螢幕的結構。藉由採用顯示不同的螢幕的結構，例如可以在右邊的顯示部（圖 28 中的顯示部 2705）上顯示文章，並且在左邊的顯示部（圖 28 中的顯示部 2707）上顯示圖像。

此外，在圖 28 中示出框體 2701 具備操作部等的例子。例如，框體 2701 具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，也可以採用在與框體的顯示部同一個面具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書籍 2700 也可以具有作為電子詞典的功能。

此外，電子書籍 2700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

使用實施例模式 1 至實施例模式 3 所示的薄膜電晶體的半導體裝置可以應用於各種電子設備（包括遊戲機）。作為電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等的大型遊戲機等。

圖 29A 示出電視裝置 9600 的一例。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示圖像。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另行提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道、音量的操作，並且可以對顯示於顯示部 9603 上的圖像進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

注意，電視裝置 9600 採用具備接收機、數據機等的結構。藉由利用接收機，可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 29B 示出數位相框 9700 的一例。例如，在數位相

框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

注意，數位相框 9700 採用具備操作部、外部連接用端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這些構件也可以組裝到與顯示部同一個面，但是藉由將它們設置到側面或背面來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 既可以採用以無線的方式收發資訊的結構，又可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 30A 示出可攜式遊戲機，它由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 連接為能夠開閉。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 30A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（即，具有測定如下因素的功能的單元：力量、位移、位置、速度、加速度、角速度、轉動數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、射線、流量、濕度、傾斜度、振動、氣味或紅外

線)、以及麥克風 9889) 等。當然，可攜式遊戲機的結構不侷限於上述結構，而只要是至少具備根據本發明的一種方式的半導體裝置的結構就可以，並且可以採用適當地設置有其他附屬設備的結構。圖 30A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示在顯示部上；藉由與其他可攜式遊戲機進行無線通信而共用資訊。注意，圖 30A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 30B 示出大型遊戲機的投幣機 9900 的一例。在投幣機 9900 的框體 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動手柄或停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機 9900 的結構不侷限於此，而只要是至少具備根據本發明的一種方式的半導體裝置的結構就可以，並且可以採用適當地設置有其他附屬設備的結構。

圖 31A 示出行動電話機 1000 的一例。行動電話機 1000 除了安裝在框體 1001 中的顯示部 1002 之外還具備操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

圖 31A 所示的行動電話機 1000 可以用人手指等觸摸顯示部 1002 來輸入資訊。此外，可以用人手指等觸摸顯示部 1002 來進行打電話或製作電子郵件等的操作。

顯示部 1002 的螢幕主要有三種模式。第一是以圖像的顯示為主的顯示模式，第二是以文字等的資訊的輸入為

主的輸入模式，第三是顯示模式和輸入模式的兩種模式混合的顯示+輸入模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 1002 設定為以文字輸入為主的文字輸入模式，並進行顯示於螢幕上的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 1002 的螢幕的大多部分中顯示鍵盤或號碼按鈕。

此外，藉由在行動電話機 1000 的內部設置具有陀螺儀、加速度感測器等檢測傾斜度的感測器的檢測裝置，判斷行動電話機 1000 的方向（豎向還是橫向），從而可以對顯示部 1002 的螢幕顯示進行自動切換。

此外，藉由觸摸顯示部 1002 或對框體 1001 的操作按鈕 1003 進行操作，切換螢幕模式。此外，還可以根據顯示於顯示部 1002 上的圖像種類而切換螢幕模式。例如，當顯示於顯示部上的視頻信號為動態圖像的資料時，將螢幕模式切換成顯示模式，並且當顯示於顯示部上的視頻信號為文字資料時，將螢幕模式切換成輸入模式。

另外，當在輸入模式中藉由檢測出顯示部 1002 的光感測器所檢測的信號得知在一定期間中沒有顯示部 1002 的觸摸操作輸入時，也可以以將螢幕模式從輸入模式切換成顯示模式的方式進行控制。

還可以將顯示部 1002 用作圖像感測器。例如，藉由用人手掌或手指觸摸顯示部 1002，拍攝掌紋、指紋等，從而可以進行個人識別。此外，藉由在顯示部中使用發射近

紅外光的背光燈或發射近紅外光的感測用光源，也可以拍攝手指靜脈、手掌靜脈等。

圖 31B 也示出行動電話機的一例。圖 31B 的行動電話機包括顯示裝置 9410 和通信裝置 9400。顯示裝置 9410 具有包括顯示部 9412 和操作按鈕 9413 的框體 9411。通信裝置 9400 具有包括操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405、和在接電話時發光的發光部分 9406 的框體 9401。具有顯示功能的顯示裝置 9410 可以在箭頭所示的兩個方向上與具有電話功能的通信裝置 9400 之間進行分離、連接。因此，既可以將顯示裝置 9410 和通信裝置 9400 的短軸安裝在一起，又可以將顯示裝置 9410 和通信裝置 9400 的長軸安裝在一起。此外，當只需要顯示功能時，從通信裝置 9400 分離顯示裝置 9410，從而可以單獨使用顯示裝置 9410。通信裝置 9400 和顯示裝置 9410 可以藉由無線通信或有線通信交接圖像或輸入資訊，並且它們分別具有可充電的電池。

注意，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例 1

在本實施例中，示出對在上述實施例模式中作為氧化物半導體層及緩衝層而使用的氧化物半導體的導電率進行評價的結果。

在本實施例中，在玻璃基板上形成 In-Ga-Zn-O 類非

單晶膜（以下稱爲 IGZO 膜）和 In-Ga-Zn-O-N 類非單晶膜（以下稱爲 IGZON 膜）。該 In-Ga-Zn-O 類非單晶膜藉由在氬氣體和氧氣體氛圍下利用濺射法來形成，且 In-Ga-Zn-O-N 類非單晶膜藉由在氬氣體和氮氣體氛圍下利用濺射法來形成。對所形成的 IGZO 膜和 IGZON 膜進行多次的大氣氛圍下的熱處理和氮氛圍下的熱處理，並且在每個熱處理後測量薄層電阻，以算出導電率。下面說明在本實施例中的各製程的詳細情況。

首先，利用純水洗滌玻璃基板。注意，作爲玻璃基板，使用 Eagle2000（商品名）（康寧公司（Corning Inc.）製造的無鹼玻璃）。接著在玻璃基板上分別形成 IGZO 膜和 IGZON 膜。使用包含以 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的比例包含它們的氧化物半導體作爲靶材，將基板和靶材之間的距離設定爲 60mm，將壓力設定爲 0.4Pa，將直流（DC）電源設定爲 0.5kW，將膜厚度設定爲 50nm，將成膜氣體的流量比設定爲 $\text{Ar} : \text{O}_2 = 30 : 15$ （sccm），將成膜溫度設定爲室溫，以形成 IGZO 膜。此外，將成膜氣體設定爲 $\text{Ar} : \text{N}_2 = 35 : 5$ （sccm），並且關於其他條件與 IGZO 膜的 formed 同樣地進行 IGZON 膜的 formed。注意，將 IGZO 膜和 IGZON 膜 formed 爲其膜厚度成爲大約 50nm，並且關於它們的實際上的膜厚度，在進行成膜後藉由橢偏儀（ellipsometer）來測量。接著，利用薄層電阻測量器，以測量 IGZO 膜和 IGZON 膜的薄層電阻值。注意，導電率可以根據薄層電阻值和膜厚度而得到。

接著，對 IGZO 膜和 IGZON 膜進行反濺射處理，該反濺射處理的條件為如下：Ar 氣體流量為 50sccm，壓力為 0.6Pa，直流（DC）電源為 0.2kW，且處理時間為 3 分鐘。在反濺射處理後，測量 IGZO 膜和 IGZON 膜的薄層電阻值，以得到導電率。

接著，對 IGZO 膜和 IGZON 膜反復進行處理溫度為 350℃ 且處理時間為 1 小時的大氣氛圍下的熱處理（以下稱為大氣烘烤）及處理溫度和處理時間與大氣氛圍下的熱處理的處理溫度和處理時間相同的氮氣氛圍下的熱處理（以下稱為氮氣烘烤）。熱處理以製程 A 及製程 B 的兩種方法進行。在製程 A 中，在反濺射處理後，按大氣烘烤、氮氣烘烤、大氣烘烤、氮氣烘烤的順序進行熱處理，並且，在製程 B 中，在反濺射處理後，按氮氣烘烤、大氣烘烤、氮氣烘烤的順序進行熱處理。就是說，製程 B 是省略製程 A 中的最初大氣烘烤的製程。

表 1

製程 A	IGZO 膜的導電率 (S/cm)	IGZON 膜的導電率 (S/cm)
剛成膜後	<< 0.01	<< 0.01
反濺射後	1.72	3.49
大氣烘烤後	<< 0.01	<< 0.01
氮氣烘烤後	<< 0.01	1.82
大氣烘烤後	<< 0.01	<< 0.01
氮氣烘烤後	<< 0.01	1.65

表 2

製程 B	IGZO 膜的導電率 (S/cm)	IGZON 膜的導電率 (S/cm)
剛成膜後	$\ll 0.01$	$\ll 0.01$
反濺射後	1.72	3.49
氮氣烘烤後	139	290
大氣烘烤後	$\ll 0.01$	$\ll 0.01$
氮氣烘烤後	0.15	65.2

表 1 示出製程 A 中的 IGZO 膜和 IGZON 膜的導電率，並且表 2 示出製程 B 中的 IGZO 膜和 IGZON 膜的導電率。在表 1 和表 2 中，導電率的單位都是 S/cm。此外，關於其薄層電阻值高為不能由薄層電阻測量器測量程度的薄膜，將其導電率設定為 $\ll 0.01$ S/cm。

根據表 1、表 2，在比較經過同一個製程的 IGZO 膜和 IGZON 膜時，IGZON 膜的導電率更高。此外，在進行反濺射處理時，IGZO 膜和 IGZON 膜的導電率提高。此外，在進行大氣烘烤時，IGZO 膜和 IGZON 膜的導電率降低，而在進行氮氣烘烤時，IGZO 膜和 IGZON 膜的導電率提高。此外，在 IGZO 膜和 IGZON 膜中，即使受到氮氣烘烤而提高其導電率，在受到大氣烘烤後其導電率也降低得低於測量下限。

此外，在比較表 1 所示的製程 A 的第一次氮氣烘烤後的 IGZO 膜和 IGZON 膜的導電率和表 2 所示的製程 B 的第二次氮氣烘烤後的 IGZO 膜和 IGZON 膜的導電率時，雖然在製程 A、製程 B 中都由於大氣烘烤而導電率成為 0.01 S/cm 以下，但是後者的 IGZO 膜和 IGZON 膜的導電

率都更高。據此，可以知道如下事實：關於 IGZO 膜和 IGZON 膜的導電率，如果成膜後的最初熱處理的氛圍為大氣氛圍則低，而如果為氮氣氛圍則高。再者，可以推測如下：即使在成膜後在不同的氛圍下進行多次的熱處理，也根據在成膜後最初進行熱處理時的氛圍，而降低後面進行的在不同的氛圍下的熱處理的效果。

根據上述，在上述實施例模式中，作為氧化物半導體層，較佳使用在大氣氛圍下對在氫氣體和氧氣體的氛圍下形成的 In-Ga-Zn-O 類非單晶膜進行熱處理的膜。由此，可以降低氧化物半導體層的導電率，並且可以降低截止電流。此外，作為緩衝層，較佳的使用在氮氣氛圍下對在氫氣體和氮體的氛圍下形成的 In-Ga-Zn-O-N 類非單晶膜進行熱處理的膜。由此，可以提高緩衝層的低電阻區的導電率，在氧化物半導體層和源極電極層或汲極電極層之間形成歐姆接觸，使薄膜電晶體的電特性穩定。此外，藉由在大氣氛圍下對由於在氮氣氛圍下的熱處理而提高其導電率的緩衝層的一部分進行加熱，可以降低導電率而形成高電阻區。此外，藉由在形成氧化物半導體層後，馬上在大氣氛圍下進行熱處理，即使在後面的製程中在氮氣氛圍下進行熱處理，也可以抑制氧化物半導體層的導電率的提高。此外，藉由在形成氧化物半導體層後在大氣氛圍下進行熱處理，並且在形成緩衝層後在氮氣氛圍下進行熱處理，即使在形成薄膜電晶體後進行熱處理，也可以將氧化物半導體層及緩衝層的低電阻區及高電阻區的導電率保持在適當

的範圍內。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 2A 至 2C 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 3A 至 3C 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 4A 和 4B 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 5A 和 5B 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 6A 至 6C 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 7 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 8 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 9 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 10 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 11 是說明根據本發明的一種實施例的半導體裝置的製造方法的圖；

圖 12A 至 12D 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 13A 和 13B 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 14A 至 14C 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 15A 和 15B 是說明半導體裝置的方塊圖的圖；

圖 16 是說明信號線驅動電路的結構的圖；

圖 17 是說明信號線驅動電路的工作的時序圖；

圖 18 是說明信號線驅動電路的工作的時序圖；

圖 19 是說明移位暫存器的結構的圖；

圖 20 是說明圖 19 所示的正反器的連接結構的圖；

圖 21A 至 21C 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 22 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 23 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 24 是說明根據本發明的一種實施例的半導體裝置的像素等效電路的圖；

圖 25A 至 25C 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 26A 和 26B 是說明根據本發明的一種實施例的半導體裝置的圖；

圖 27A 和 27B 是說明電子紙的使用實施例的例子的圖；

圖 28 是示出電子書籍的一例的外觀圖；

圖 29A 和 29B 是示出電視裝置及數位相框的例子的外觀圖；

圖 30A 和 30B 是示出遊戲機的例子的外觀圖；以及

圖 31A 和 31B 是示出行動電話機的一例的外觀圖。

【主要元件符號說明】

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

105a：源極電極層或汲極電極層

105b：源極電極層或汲極電極層

106：緩衝層

106a：低電阻區

106b：低電阻區

106c：高電阻區

107：保護絕緣層

108：電容佈線

110：像素電極層

- 111 : 第一氧化物半導體膜
- 112 : 導電膜
- 113 : 第二氧化物半導體膜
- 115 : 導電層
- 120 : 連接電極
- 121 : 端子
- 122 : 端子
- 124 : 端子
- 125 : 接觸孔
- 126 : 接觸孔
- 127 : 接觸孔
- 128 : 透明導電膜
- 129 : 透明導電膜
- 131 : 抗蝕劑掩模
- 132 : 抗蝕劑掩模
- 150 : 端子
- 151 : 端子
- 152 : 閘極絕緣層
- 153 : 連接電極
- 154 : 保護絕緣層
- 155 : 透明導電膜
- 156 : 電極
- 170 : 薄膜電晶體
- 201 : 閘極電極層

- 400 : 基板
- 401a : 第一閘極電極層
- 401b : 第二閘極電極層
- 402 : 閘極絕緣層
- 403a : 第一氧化物半導體層
- 403b : 第二氧化物半導體層
- 404 : 第一緩衝層
- 404a : 低電阻區
- 404b : 低電阻區
- 404c : 高電阻區
- 405a : 第一佈線
- 405b : 第二佈線
- 405c : 第三佈線
- 406 : 第二緩衝層
- 406a : 低電阻區
- 406b : 低電阻區
- 406c : 高電阻區
- 414 : 接觸孔
- 430a : 第一薄膜電晶體
- 430b : 第二薄膜電晶體
- 580 : 基板
- 596 : 基板
- 581 : 薄膜電晶體
- 583 : 絕緣層

- 584 : 絕緣層
- 585 : 絕緣層
- 587 : 電極層
- 588 : 電極層
- 589 : 球形粒子
- 590a : 黑色區
- 590b : 白色區
- 594 : 空洞
- 595 : 填料
- 1000 : 行動電話機
- 1001 : 框體
- 1002 : 顯示部
- 1003 : 操作按鈕
- 1004 : 外部連接埠
- 1005 : 揚聲器
- 1006 : 麥克風
- 2600 : TFT 基板
- 2601 : 對置基板
- 2602 : 密封材料
- 2603 : 像素部
- 2604 : 顯示元件
- 2605 : 著色層
- 2606 : 偏光板
- 2607 : 偏光板

- 2608 : 佈線電路部
- 2609 : 撓性線路板
- 2610 : 冷陰極管
- 2611 : 反射板
- 2612 : 電路基板
- 2613 : 擴散板
- 2631 : 海報
- 2632 : 車廂廣告
- 2700 : 電子書籍
- 2701 : 框體
- 2703 : 框體
- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源
- 2723 : 操作鍵
- 2725 : 揚聲器
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層

- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：FPC
- 4019：各向異性導電膜
- 4020：絕緣層
- 4021：絕緣層
- 4030：像素電極層
- 4031：對置電極層
- 4032：絕緣層
- 4033：絕緣層
- 4501：基板
- 4502：像素部
- 4503a：信號線驅動電路
- 4503b：信號線驅動電路
- 4504a：掃描線驅動電路
- 4504b：掃描線驅動電路
- 4505：密封材料
- 4506：基板
- 4507：填料
- 4509：薄膜電晶體
- 4510：薄膜電晶體

- 4511 : 發光元件
- 4512 : 電場發光層
- 4513 : 電極層
- 4515 : 連接端子電極
- 4516 : 端子電極
- 4517 : 電極層
- 4518a : FPC
- 4519 : 各向異性導電膜
- 4520 : 分隔壁
- 5300 : 基板
- 5301 : 像素部
- 5302 : 掃描線驅動電路
- 5303 : 信號線驅動電路
- 5400 : 基板
- 5401 : 像素部
- 5402 : 掃描線驅動電路
- 5403 : 信號線驅動電路
- 5404 : 掃描線驅動電路
- 5501 : 佈線
- 5502 : 佈線
- 5503 : 佈線
- 5504 : 佈線
- 5505 : 佈線
- 5506 : 佈線

- 5543 : 節點
- 5544 : 節點
- 5571 : 薄膜電晶體
- 5572 : 薄膜電晶體
- 5573 : 薄膜電晶體
- 5574 : 薄膜電晶體
- 5575 : 薄膜電晶體
- 5576 : 薄膜電晶體
- 5577 : 薄膜電晶體
- 5578 : 薄膜電晶體
- 5601 : 驅動器 IC
- 5602 : 開關群
- 5603a : 薄膜電晶體
- 5603b : 薄膜電晶體
- 5603c : 薄膜電晶體
- 5611 : 佈線
- 5612 : 佈線
- 5613 : 佈線
- 5621 : 佈線
- 5701 : 正反器
- 5703a : 時序
- 5703b : 時序
- 5703c : 時序
- 5711 : 佈線

- 5712 : 佈線
- 5713 : 佈線
- 5714 : 佈線
- 5715 : 佈線
- 5716 : 佈線
- 5717 : 佈線
- 5721 : 信號
- 5803a : 時序
- 5803b : 時序
- 5803c : 時序
- 5821 : 信號
- 6400 : 像素
- 6401 : 開關電晶體
- 6402 : 驅動電晶體
- 6403 : 電容元件
- 6404 : 發光元件
- 6405 : 信號線
- 6406 : 掃描線
- 6407 : 電源線
- 6408 : 共同電極
- 7001 : TFT
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層

- 7005 : 陽極
- 7011 : 驅動 TFT
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7016 : 遮罩膜
- 7017 : 導電膜
- 7021 : 驅動 TFT
- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7027 : 導電膜
- 9400 : 通信裝置
- 9401 : 框體
- 9402 : 操作按鈕
- 9403 : 外部輸入端子
- 9404 : 麥克風
- 9405 : 揚聲器
- 9406 : 發光部分
- 9410 : 顯示裝置
- 9411 : 框體
- 9412 : 顯示部

9413 : 操作按鈕
9600 : 電視裝置
9601 : 框體
9603 : 顯示部
9605 : 支架
9607 : 顯示部
9609 : 操作鍵
9610 : 遙控操作機
9700 : 數位相框
9701 : 框體
9703 : 顯示部
9881 : 框體
9882 : 顯示部
9883 : 顯示部
9884 : 揚聲器部
9885 : 操作鍵
9886 : 記錄媒體插入部
9887 : 連接端子
9888 : 感測器
9889 : 麥克風
9890 : LED 燈
9891 : 框體
9893 : 連接部
9900 : 投幣機

9901 : 框體

9903 : 顯示部

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包含：

閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的緩衝層；

該緩衝層上的源極電極層及汲極電極層；以及

該源極電極層和該汲極電極層上的保護絕緣層，

其中，該緩衝層包括氮，

其中，該緩衝層包括第一區和第二區，

其中，該第一區和該第二區與該氧化物半導體層接觸，

其中，該第一區的導電率高於該第二區的導電率，

其中，該第一區由該源極電極層及該汲極電極層之一覆蓋，以及

其中該保護絕緣層與該第二區接觸。

2. 一種半導體裝置，包含：

閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的緩衝層；

該緩衝層上的源極電極層及汲極電極層；以及

該源極電極層和該汲極電極層上的保護絕緣層，

其中，該緩衝層包括氮，

其中，該緩衝層包括第一區和第二區，

其中，該第一區和該第二區與該氧化物半導體層接觸，

其中，該第一區的導電率高於該第二區的導電率，

其中，該第一區由該源極電極層及該汲極電極層之一覆蓋，

其中，該緩衝層是由氧化物半導體形成的非單晶膜，以及

其中，該保護絕緣層與該第二區接觸。

3. 一種半導體裝置，包含：

閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的緩衝層；以及

該緩衝層上的源極電極層及汲極電極層，

其中，該緩衝層包括氮，

其中，該緩衝層包括第一區和第二區，

其中，該第一區和該第二區與該氧化物半導體層接觸，

其中，該第一區的導電率高於該第二區的導電率，

其中，該第一區由該源極電極層及該汲極電極層之一覆蓋，以及

其中，該第二區的端部與該源極電極層或該汲極電極層重疊。

4. 一種半導體裝置，包含：

閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的緩衝層；以及

該緩衝層上的源極電極層及汲極電極層，

其中，該緩衝層包括氮，

其中，該緩衝層包括第一區和第二區，

其中，該第一區和該第二區與該氧化物半導體層接觸，

其中，該第一區的導電率高於該第二區的導電率，

其中，該第一區由該源極電極層及該汲極電極層之一覆蓋，

其中，該緩衝層是由氧化物半導體形成的非單晶膜，以及

其中，該第二區的端部與該源極電極層或該汲極電極層重疊。

5. 如申請專利範圍第 1 至 4 項中任一項的半導體裝置，其中，該閘極電極層的在通道方向上的寬度小於該氧化物半導體層的在通道方向上的寬度。

6. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該保護絕緣層為氧化矽膜、氮化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、或氧化鈮的單層或疊層。

7. 一種半導體裝置的製造方法，包含如下步驟：
- 在基板上形成閘極電極層；
- 在該閘極電極層上形成閘極絕緣層；
- 在該閘極絕緣層上藉由濺射法形成第一氧化物半導體膜；
- 在大氣氛圍下對該第一氧化物半導體膜進行熱處理；
- 在該第一氧化物半導體膜上藉由濺射法形成第二氧化物半導體膜；
- 在氮氣氛圍下對該第二氧化物半導體膜進行熱處理；
- 藉由對該第一氧化物半導體膜及該第二氧化物半導體膜進行蝕刻而形成氧化物半導體層及緩衝層；
- 在該氧化物半導體層及該緩衝層上形成導電膜；
- 藉由對該導電膜進行蝕刻而形成源極電極層及汲極電極層；以及
- 藉由在大氣氛圍下對該緩衝層的露出部分進行熱處理而形成第一區及第二區，
- 其中，該第一區和該第二區與該氧化物半導體層接觸，
- 其中，該第一區的導電率高於該第二區的導電率，以及
- 其中，該第一區由該源極電極層和該汲極電極層之一覆蓋。
8. 如申請專利範圍第 7 項的半導體裝置的製造方法，其中，在稀有氣體和氮氣體的氛圍下形成該第二氧化

物半導體膜。

9. 如申請專利範圍第 7 項的半導體裝置的製造方法，還包含如下步驟：在該氮氛圍下進行熱處理之前，對該第二氧化物半導體膜進行反濺射處理。

10. 如申請專利範圍第 7 項的半導體裝置的製造方法，其中，該第二區的端部與該源極電極層和該汲極電極層之一重疊。

圖 1A

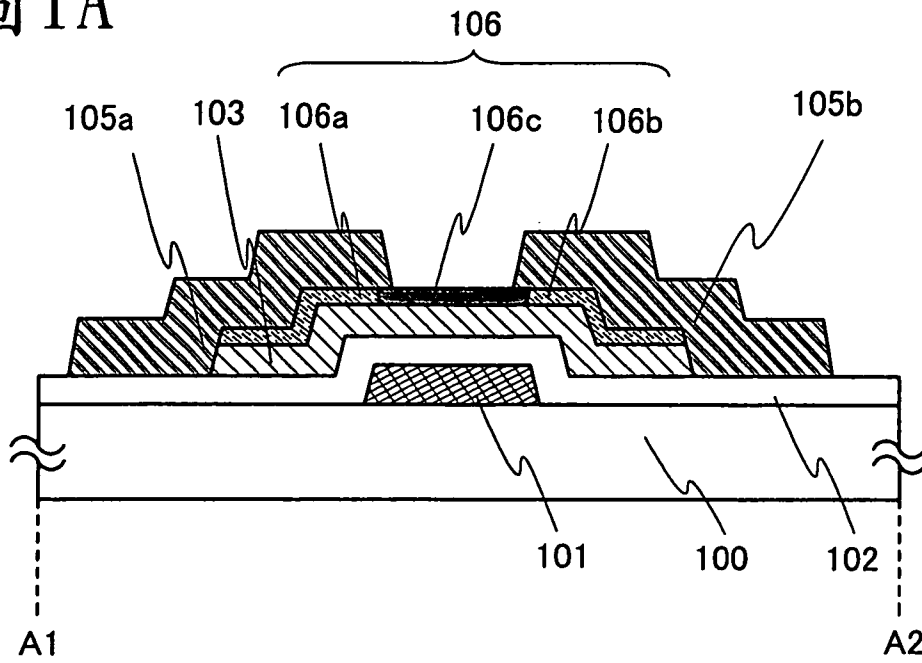


圖 1B

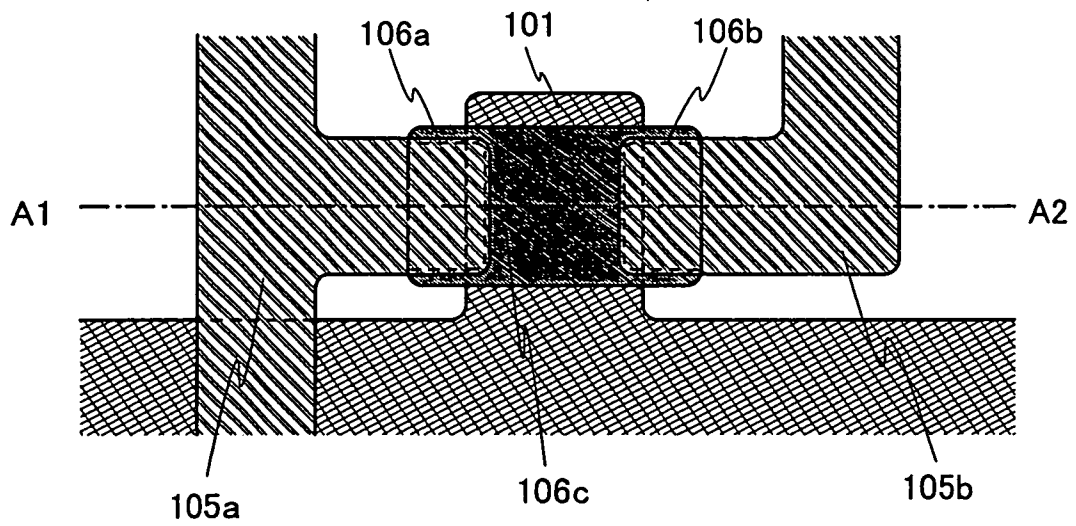


圖 2A

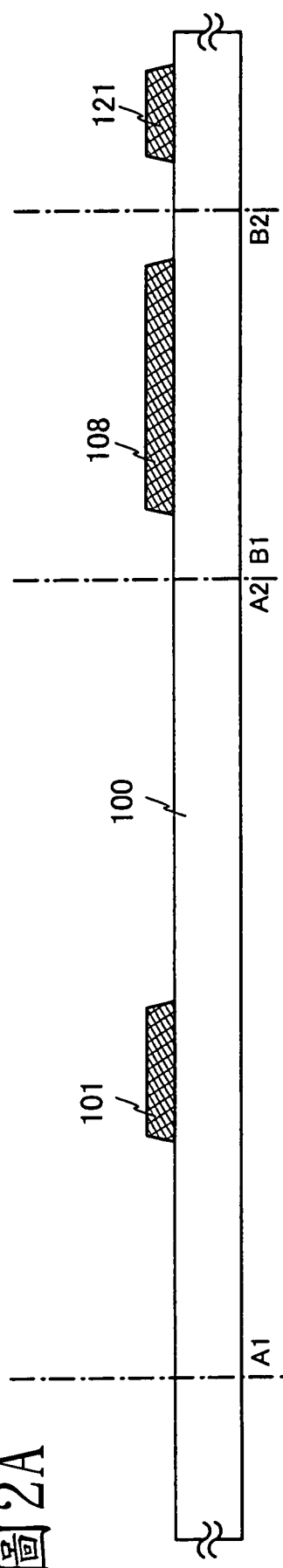


圖 2B

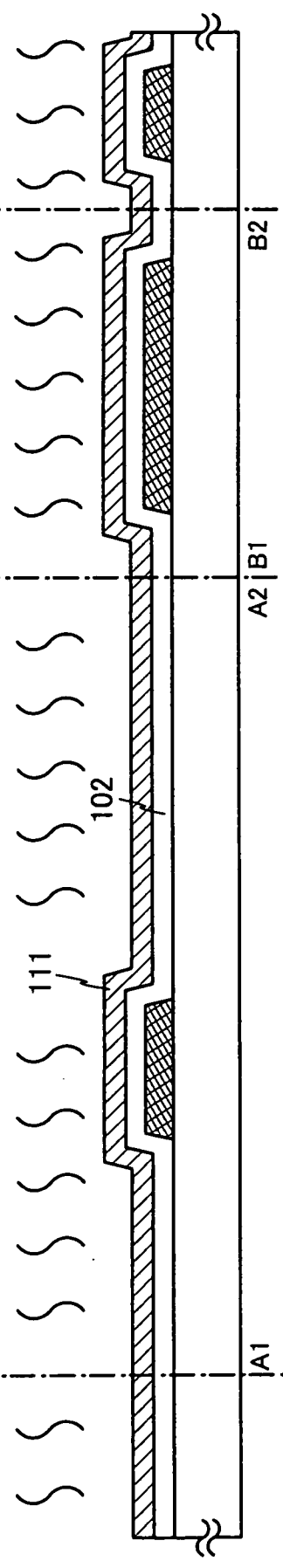
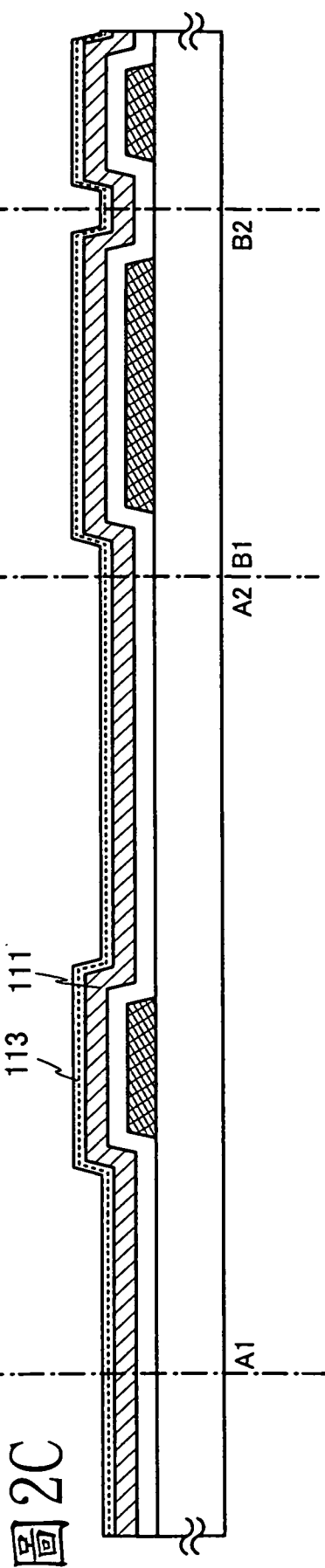


圖 2C



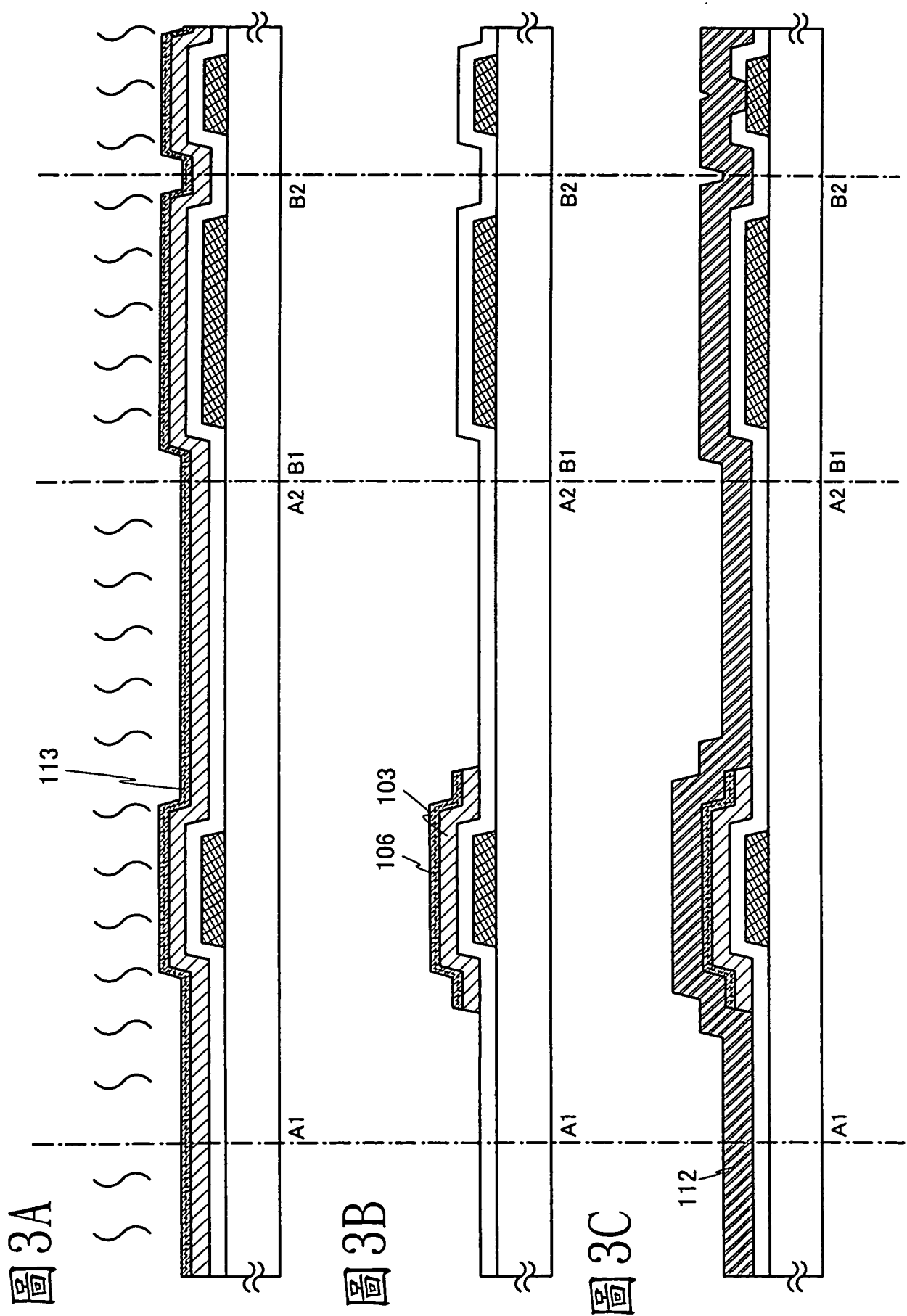


圖 4A

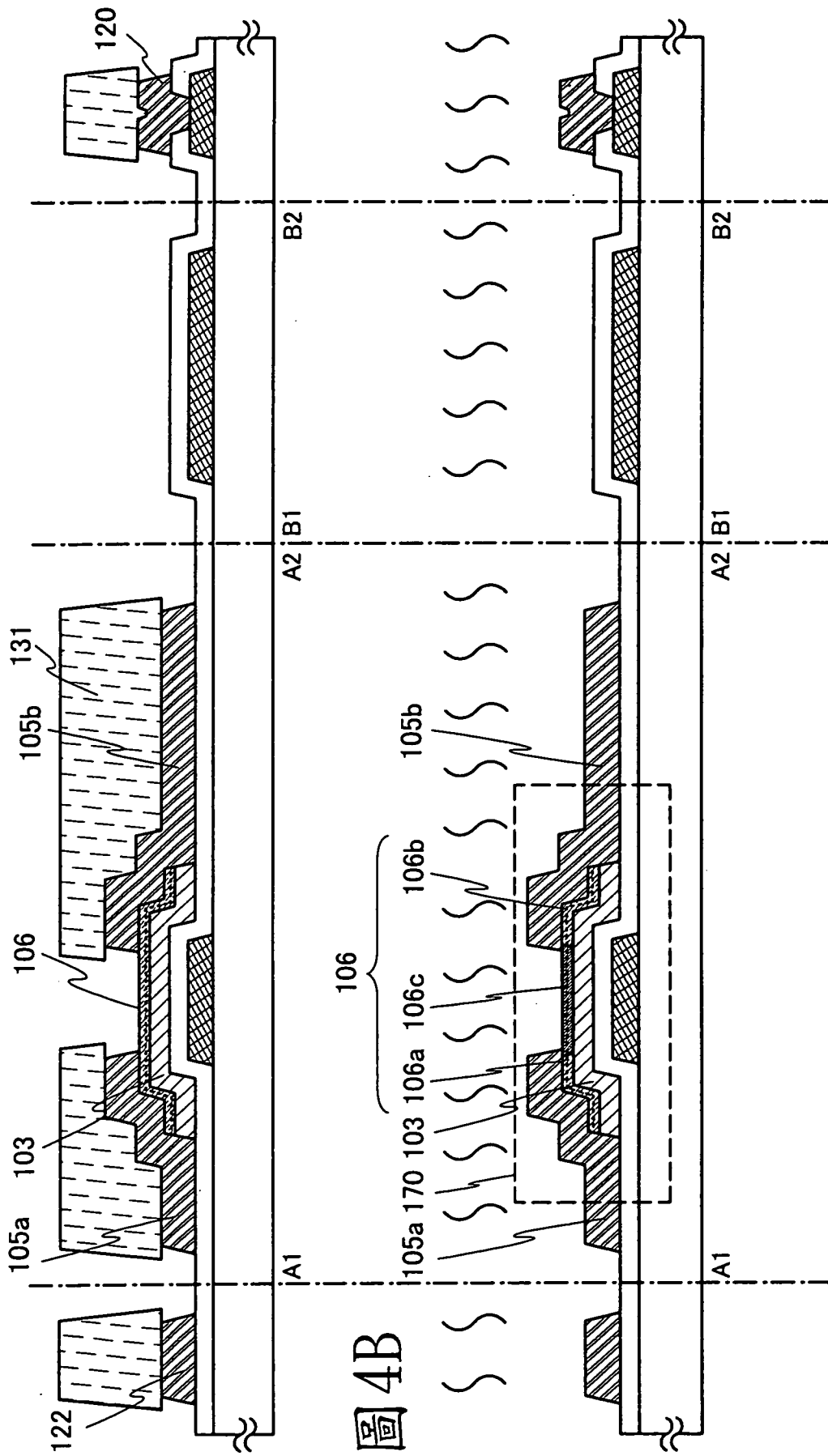


圖 4B

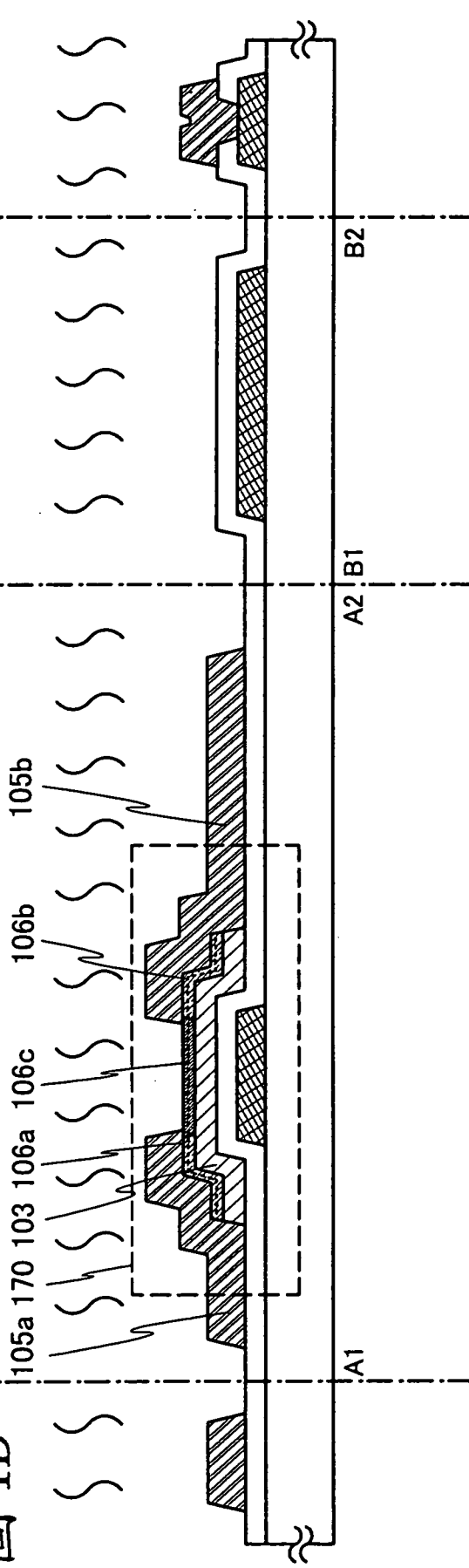


圖 5A

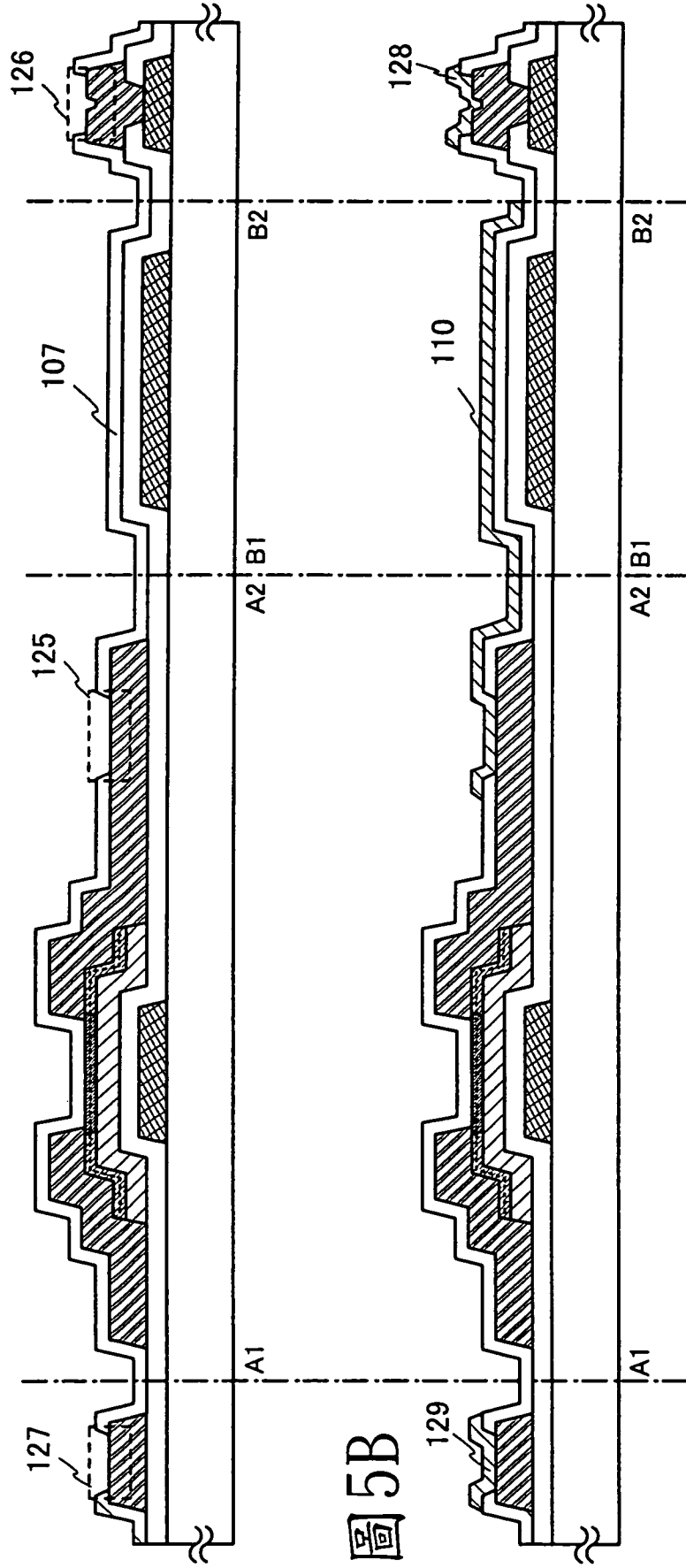


圖 5B

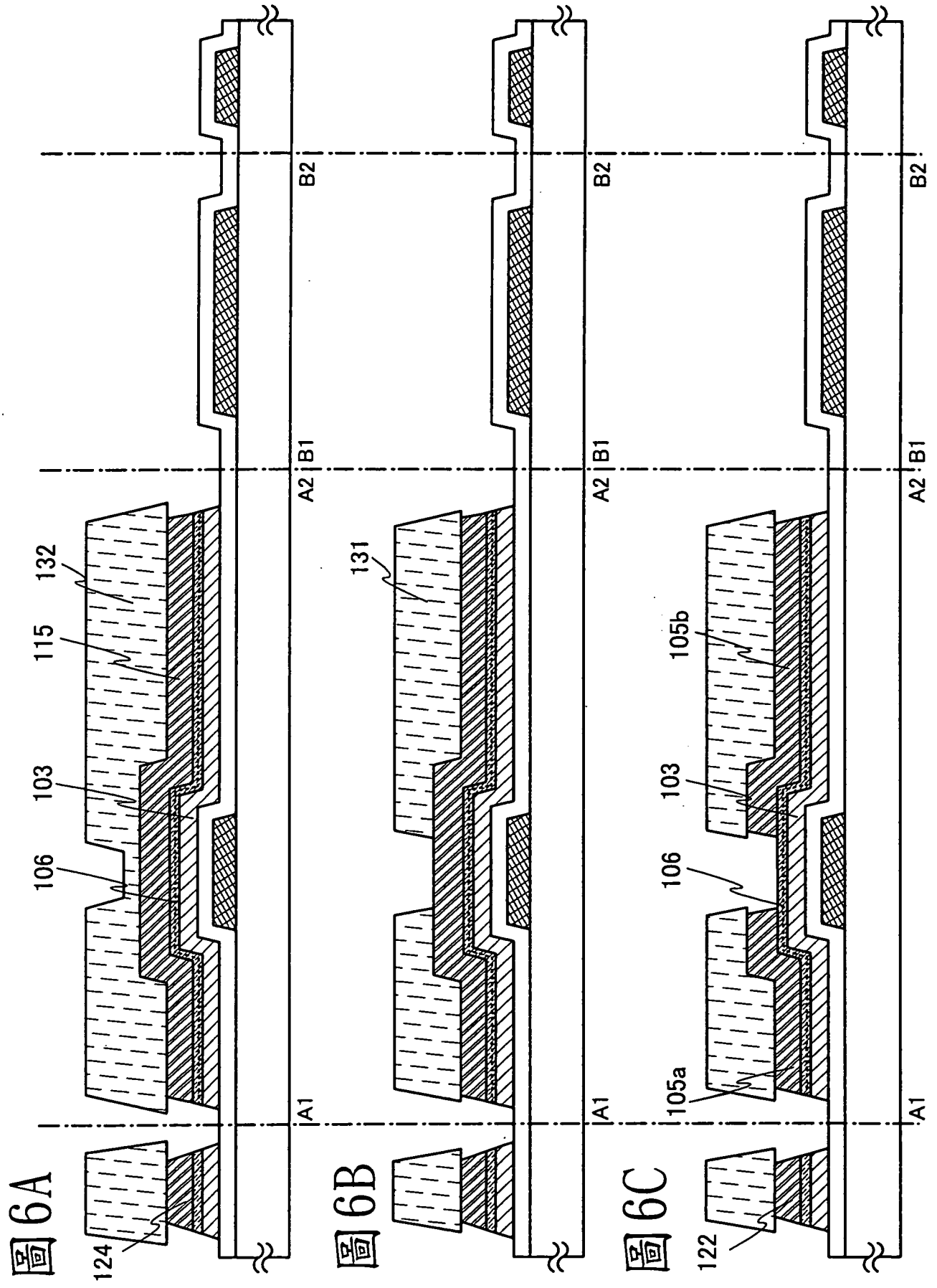


圖 6A

圖 6B

圖 6C

圖7

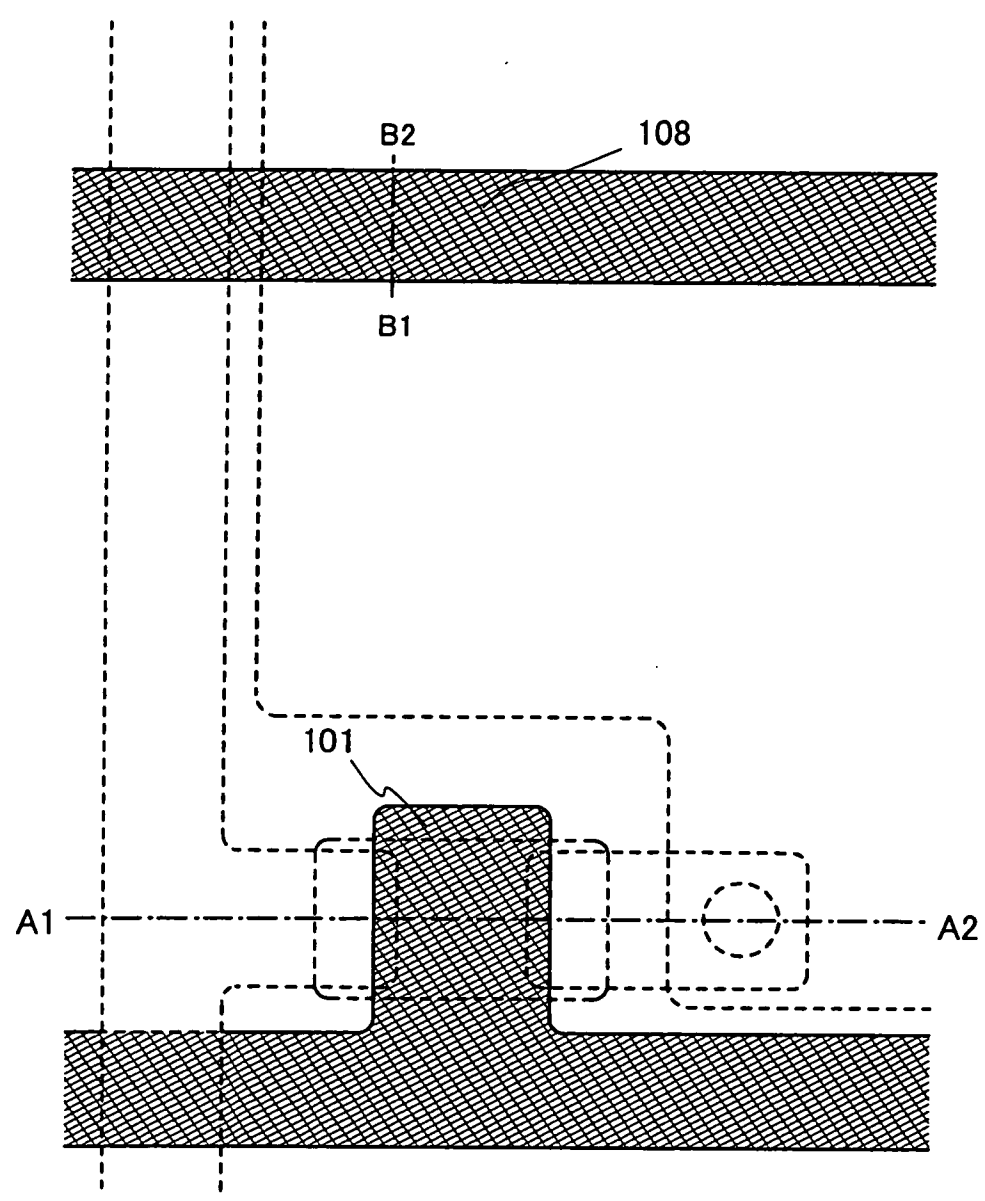


圖 8

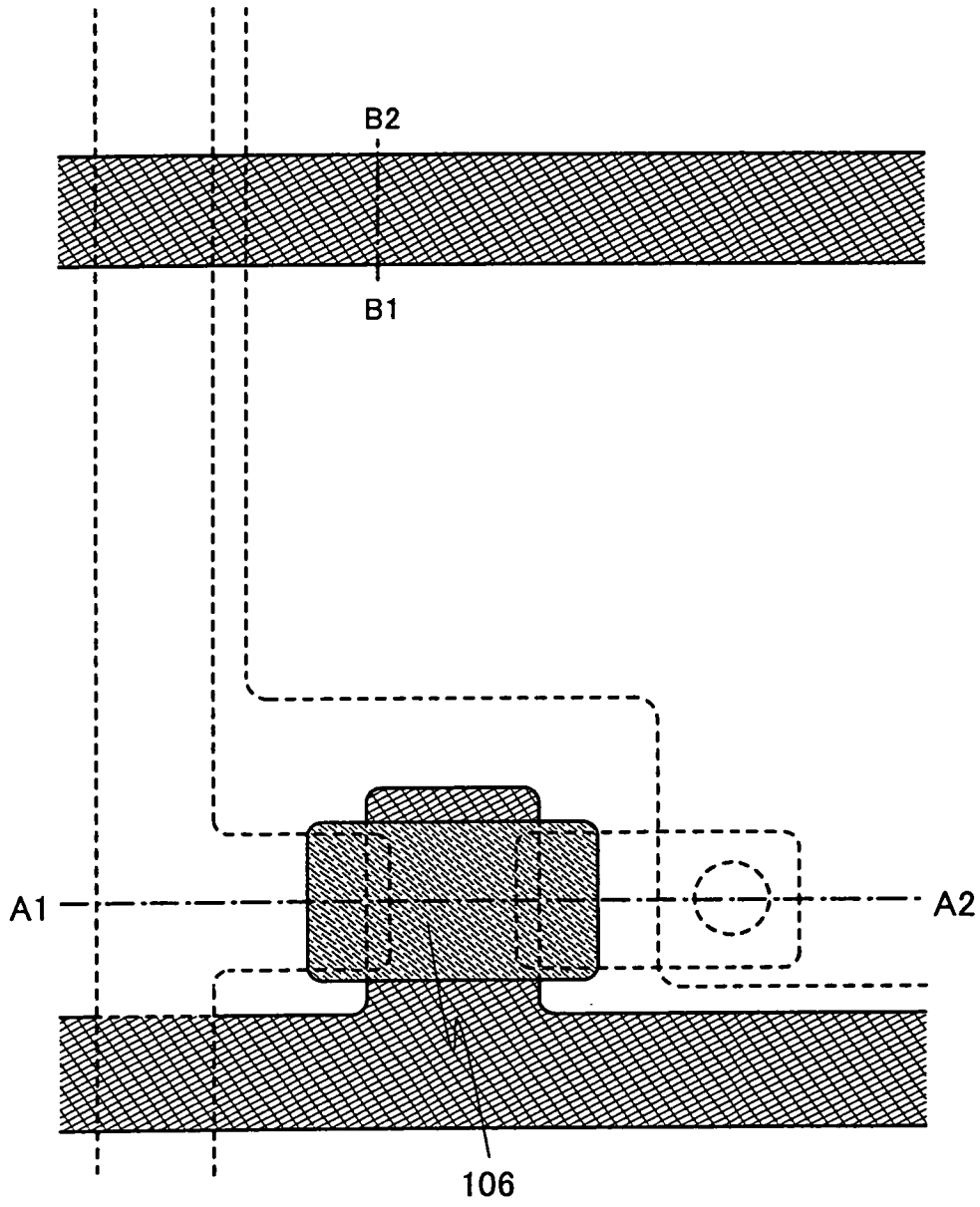


圖9

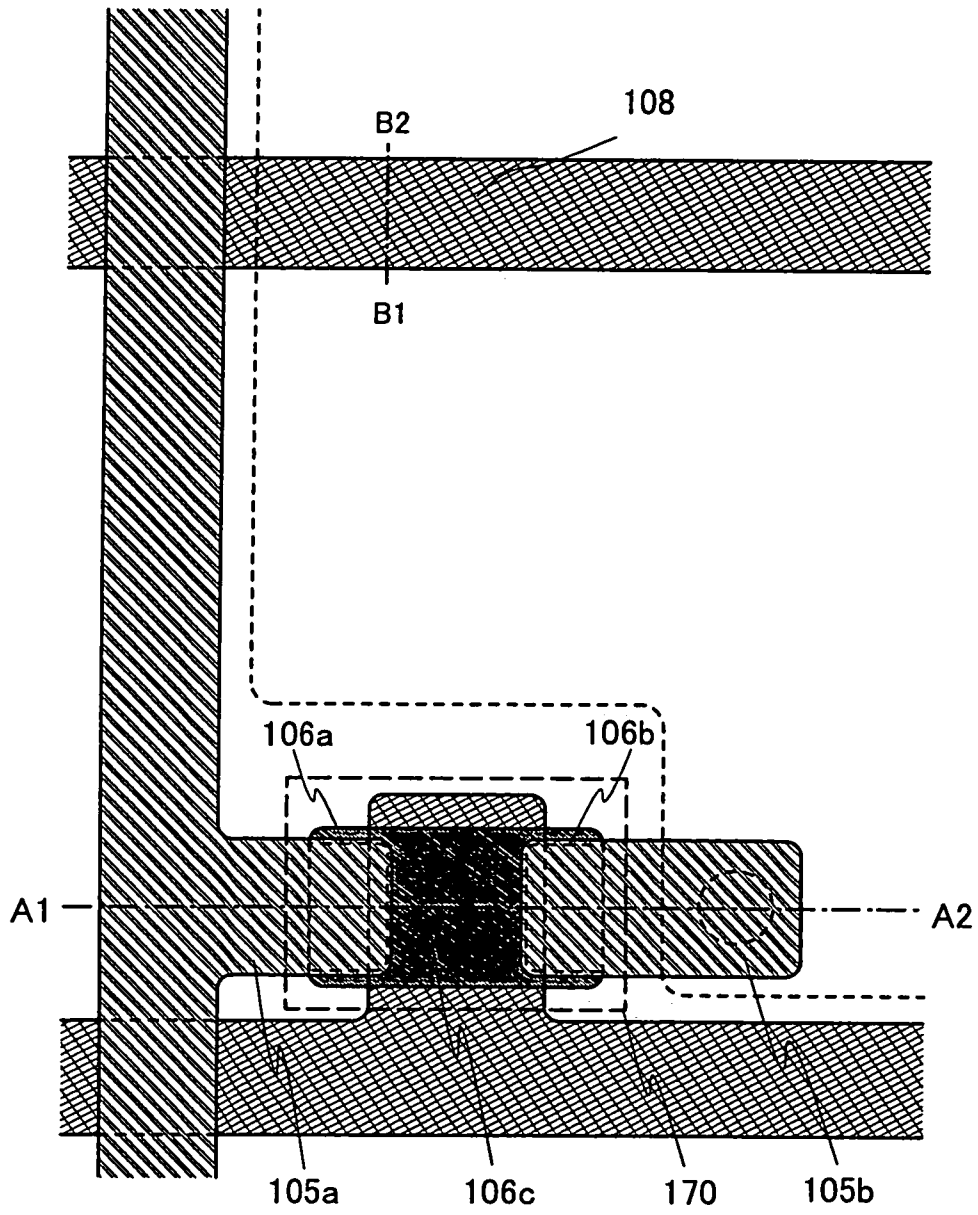


圖 10

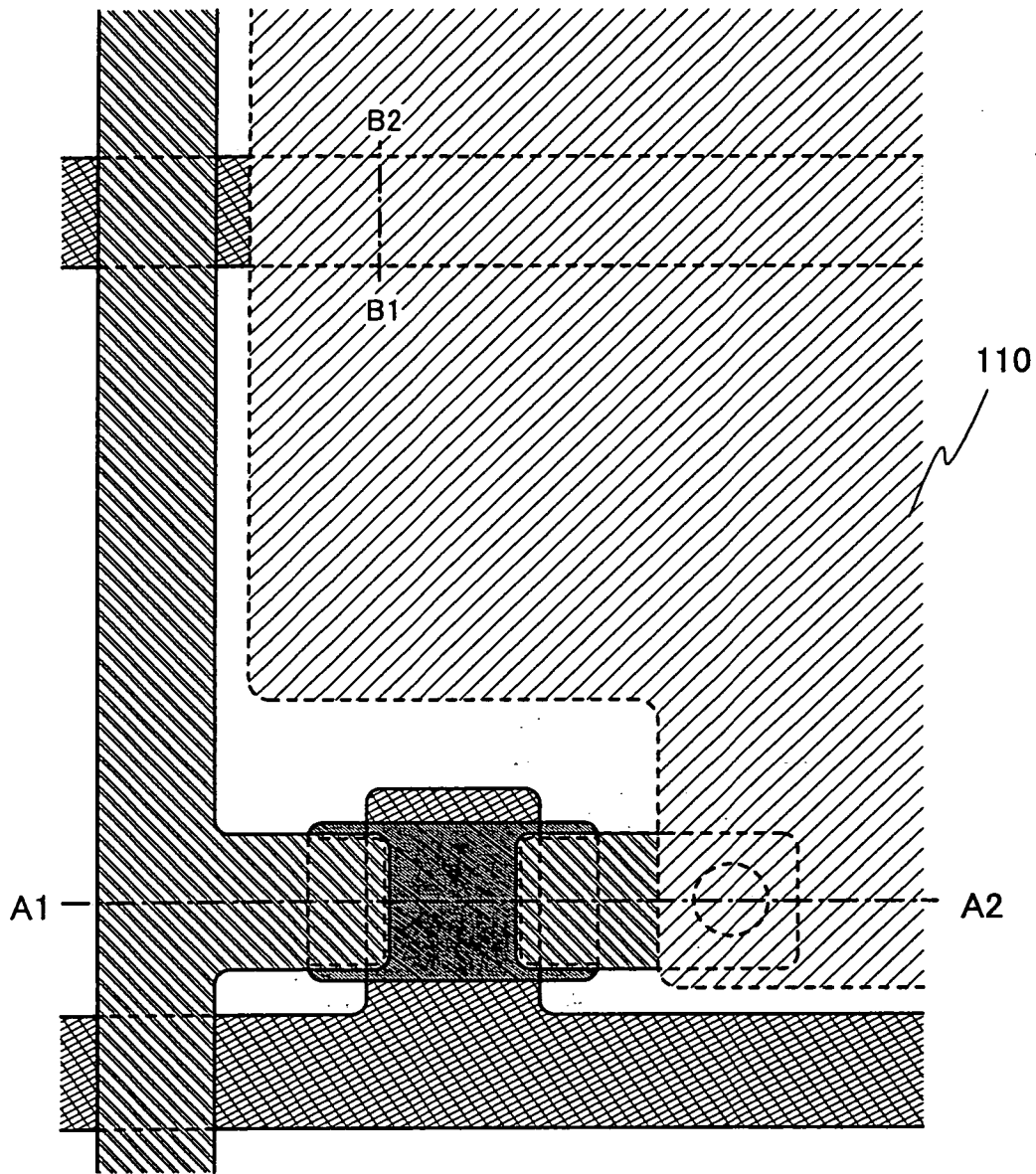


圖 11

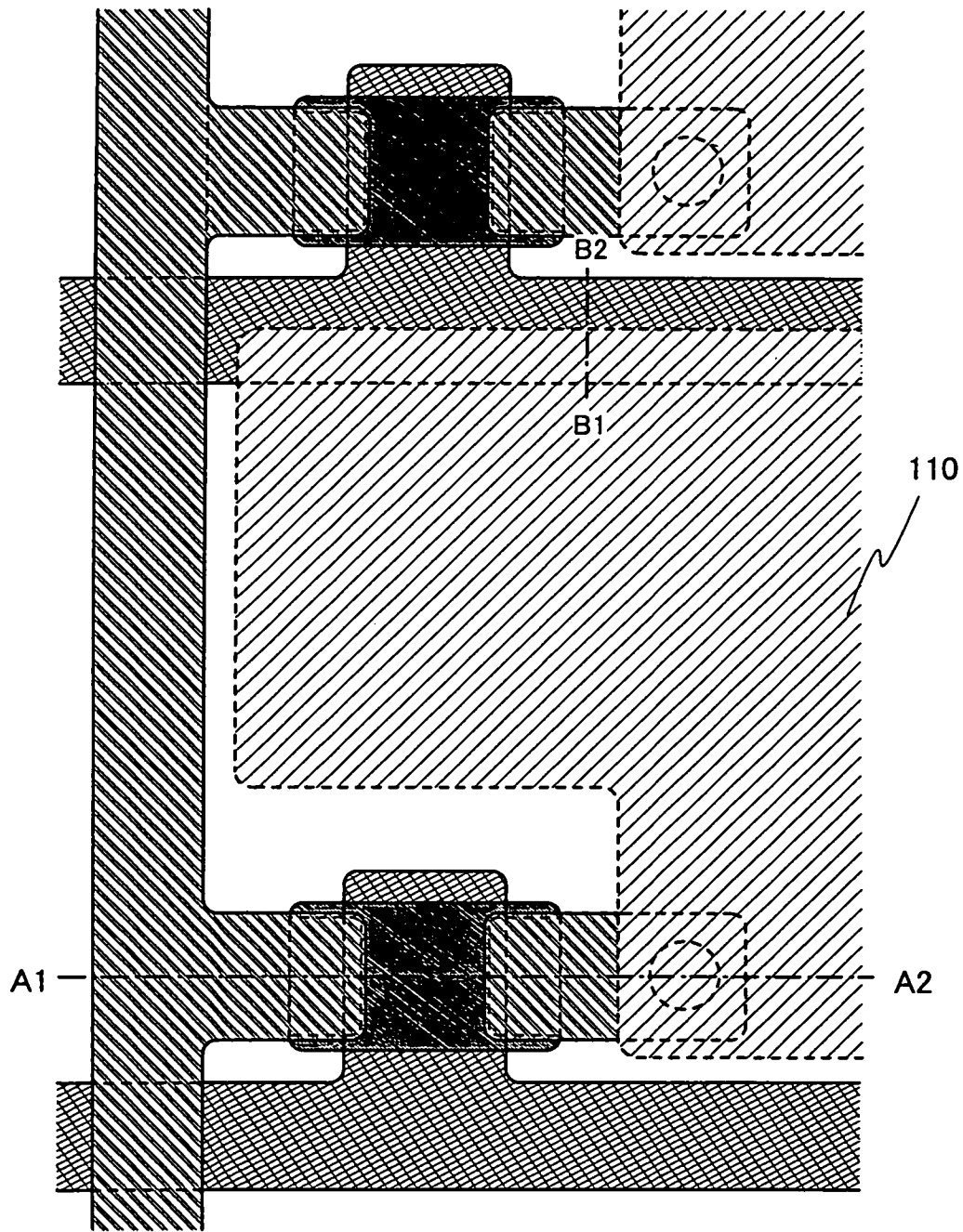


圖 12A

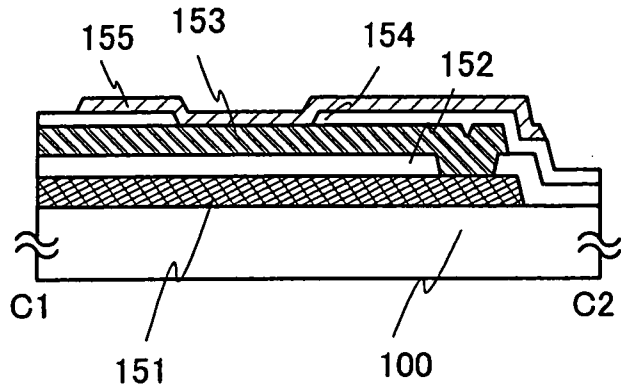


圖 12B

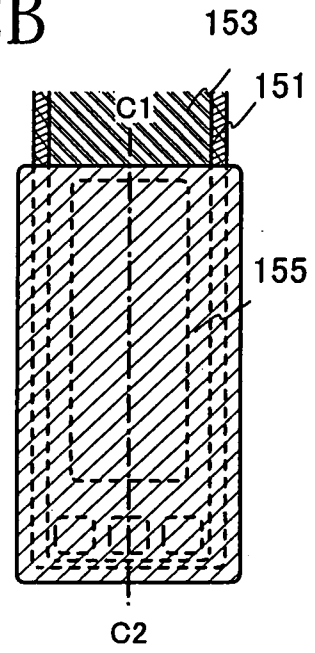


圖 12C

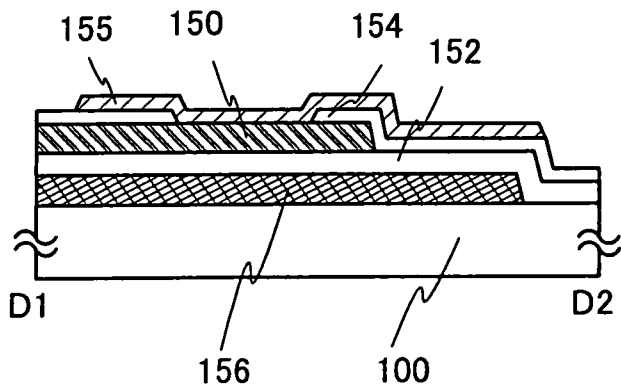


圖 12D

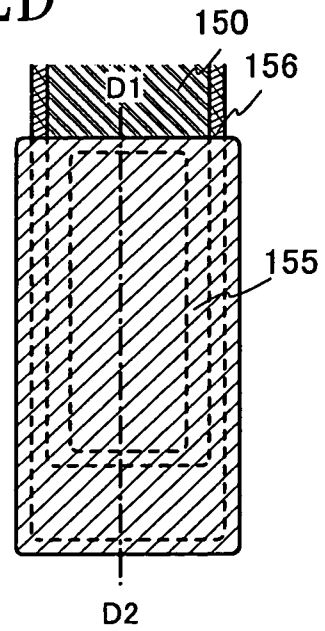


圖 13A

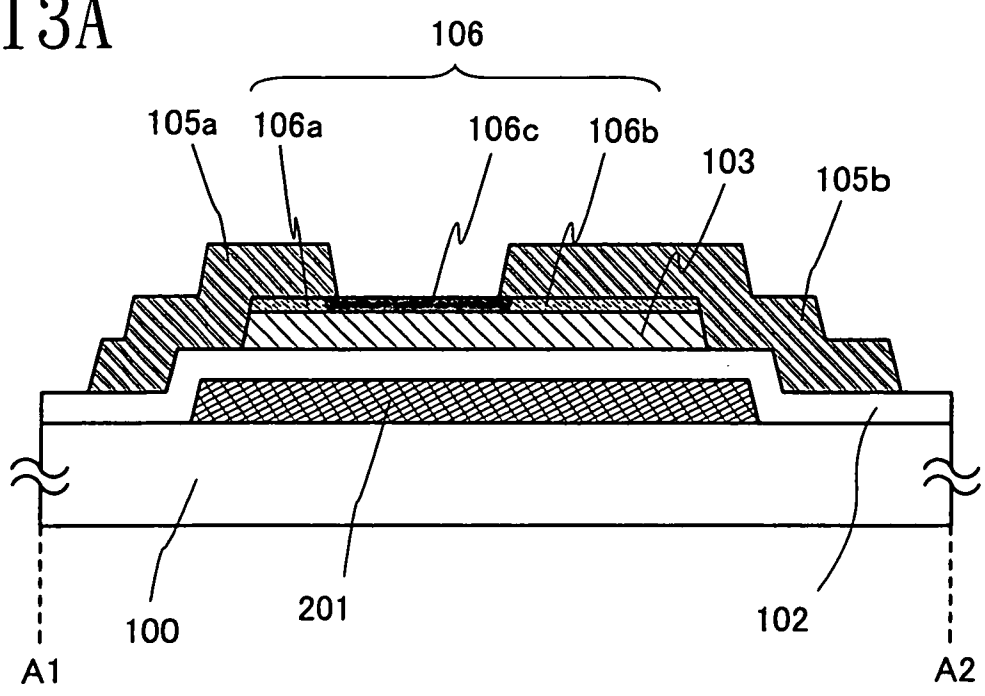


圖 13B

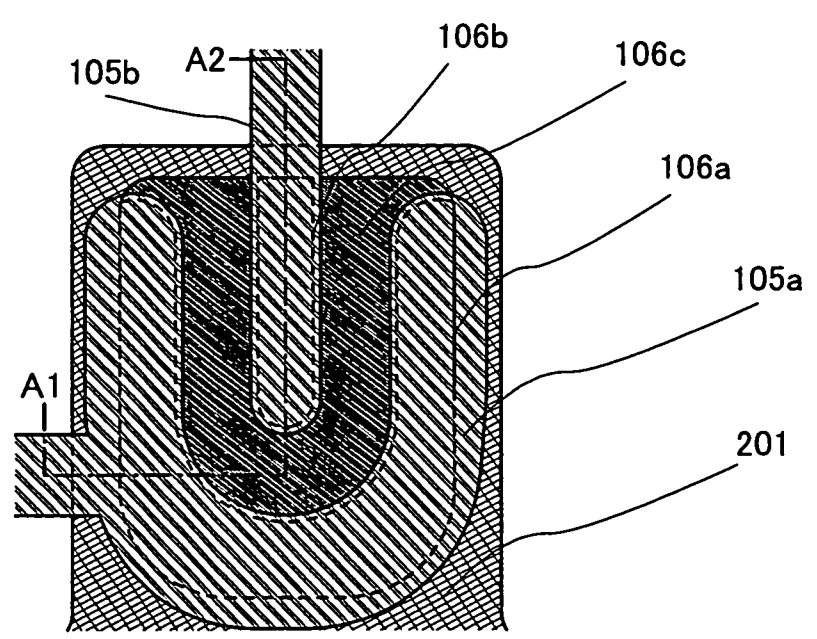


圖 14A

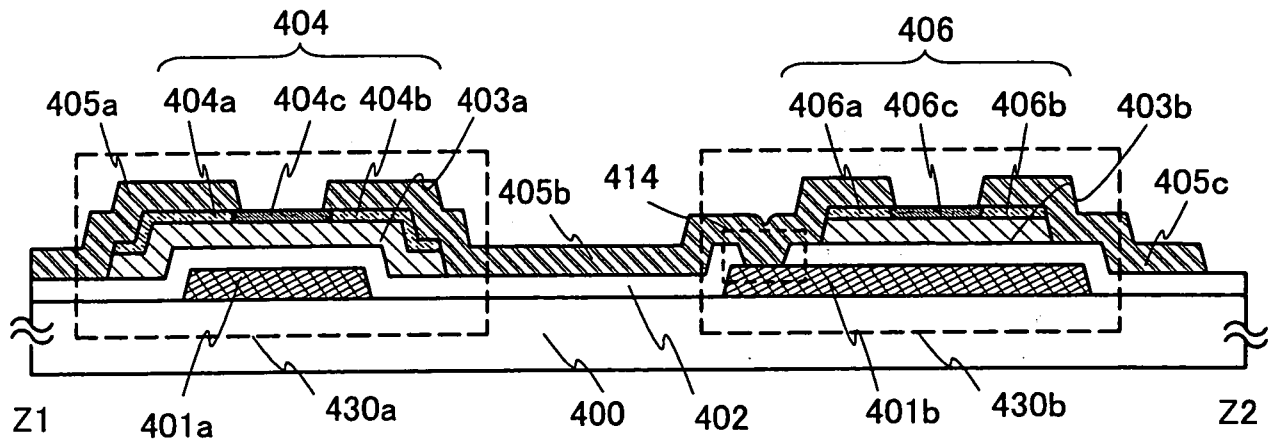


圖 14B

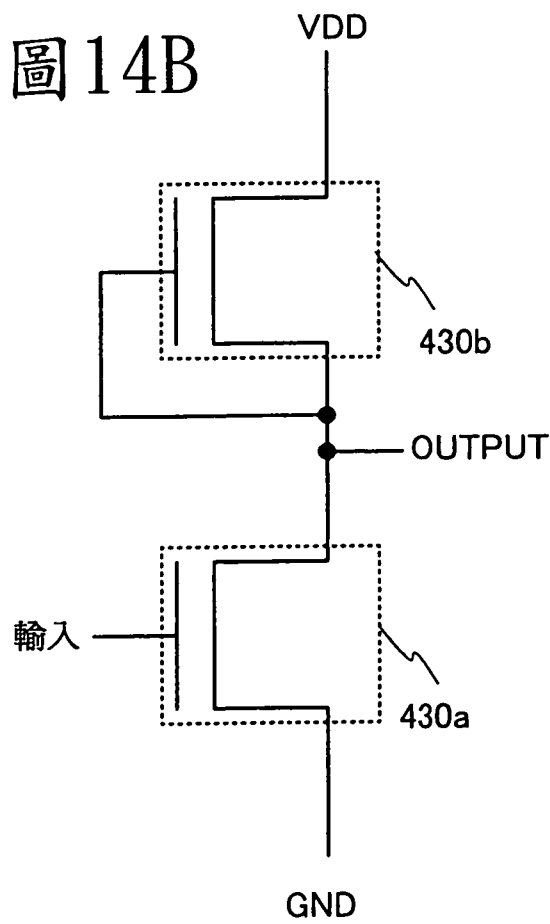


圖 14C

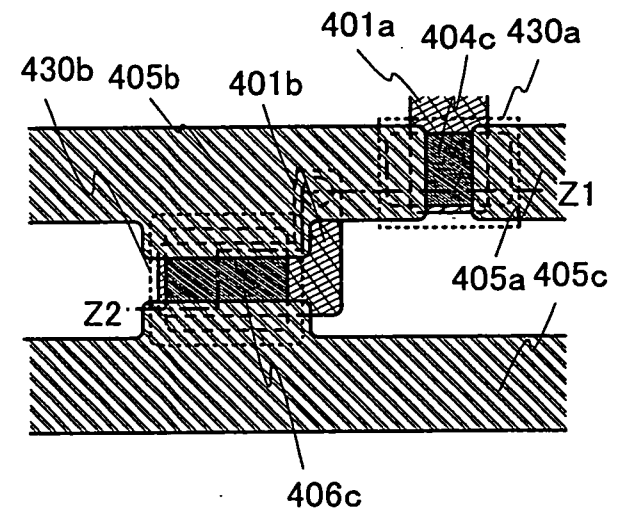


圖 15A

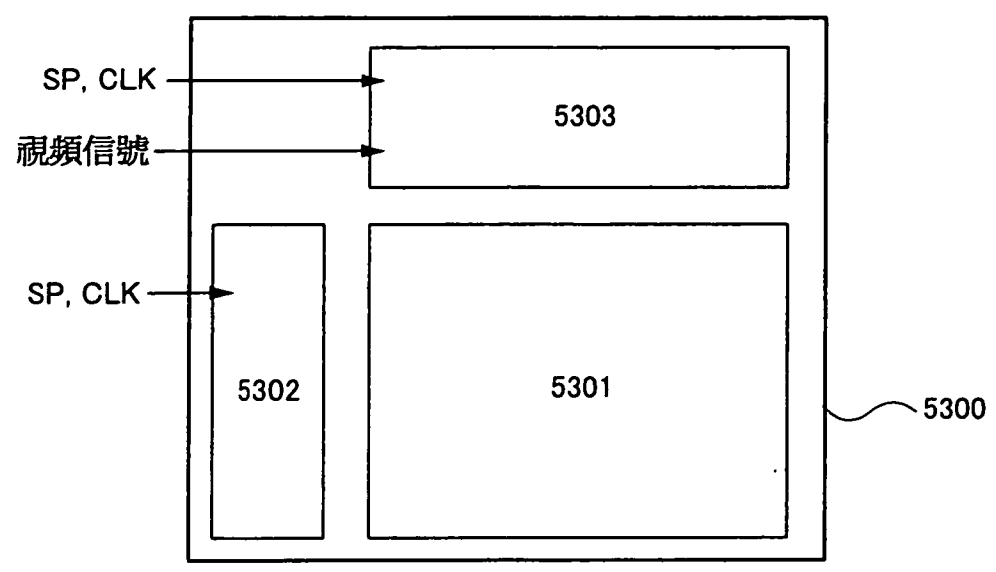


圖 15B

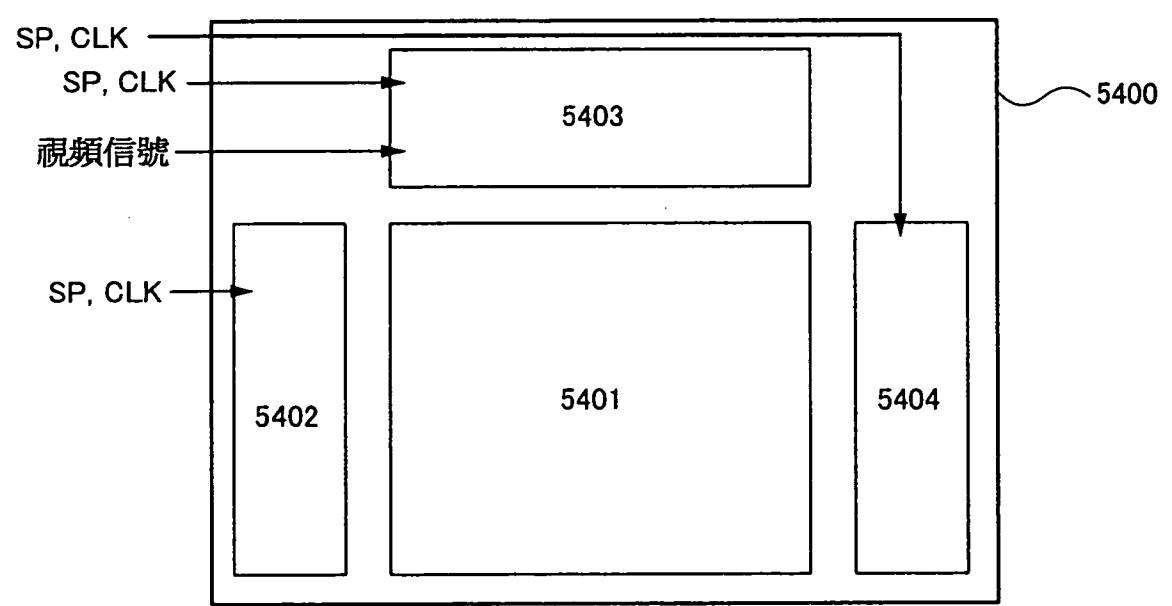


圖16

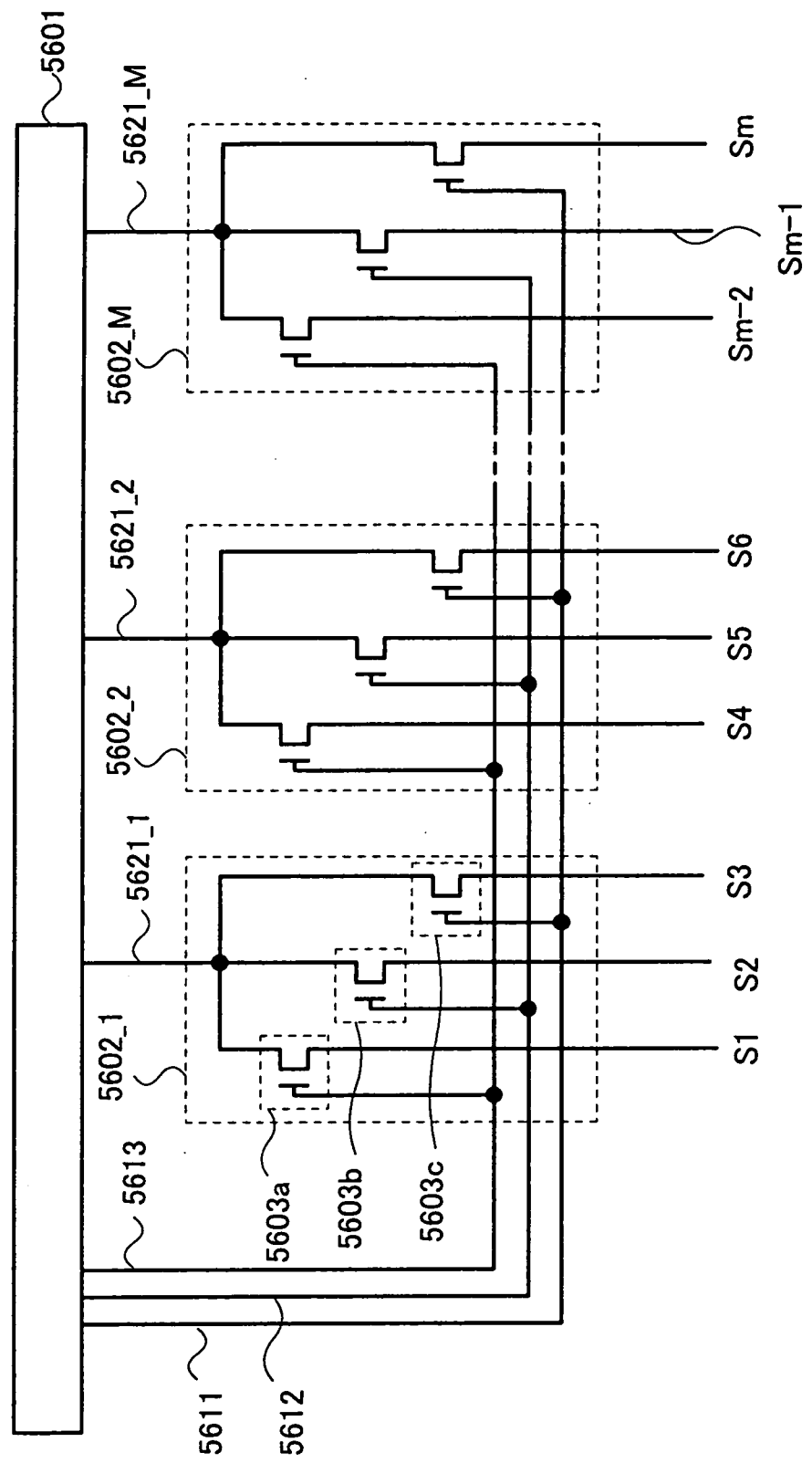


圖17

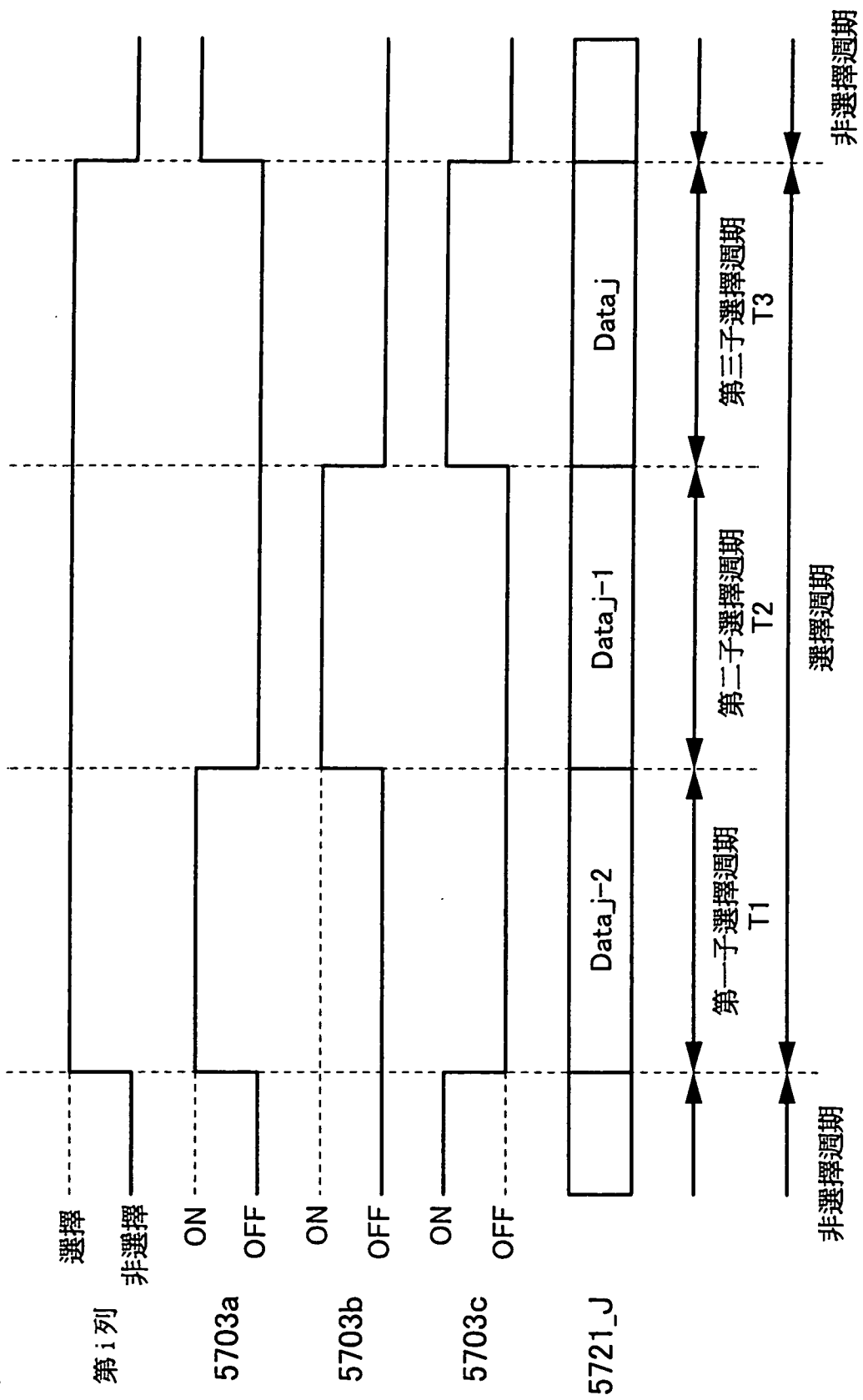


圖18

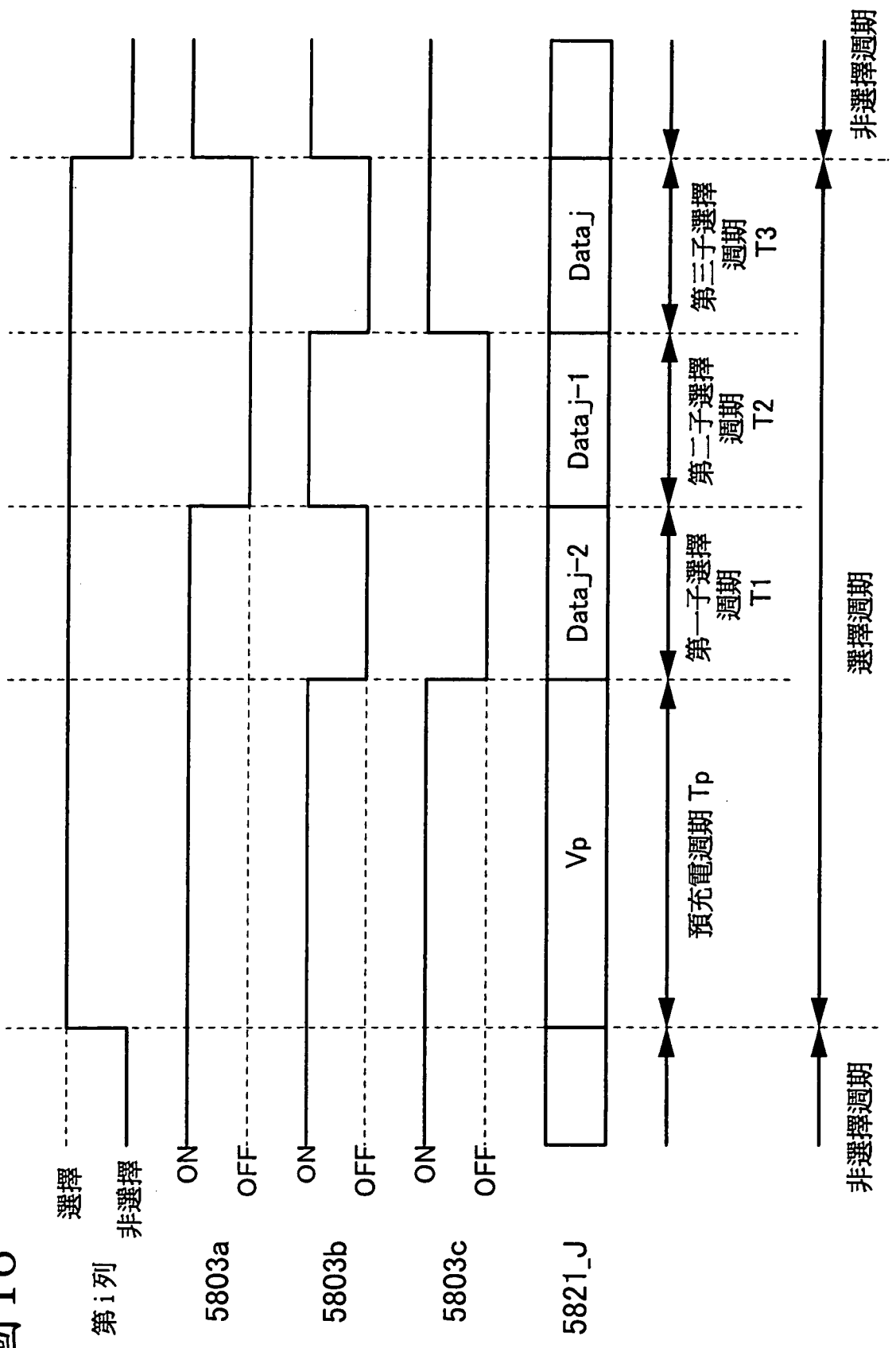


圖19

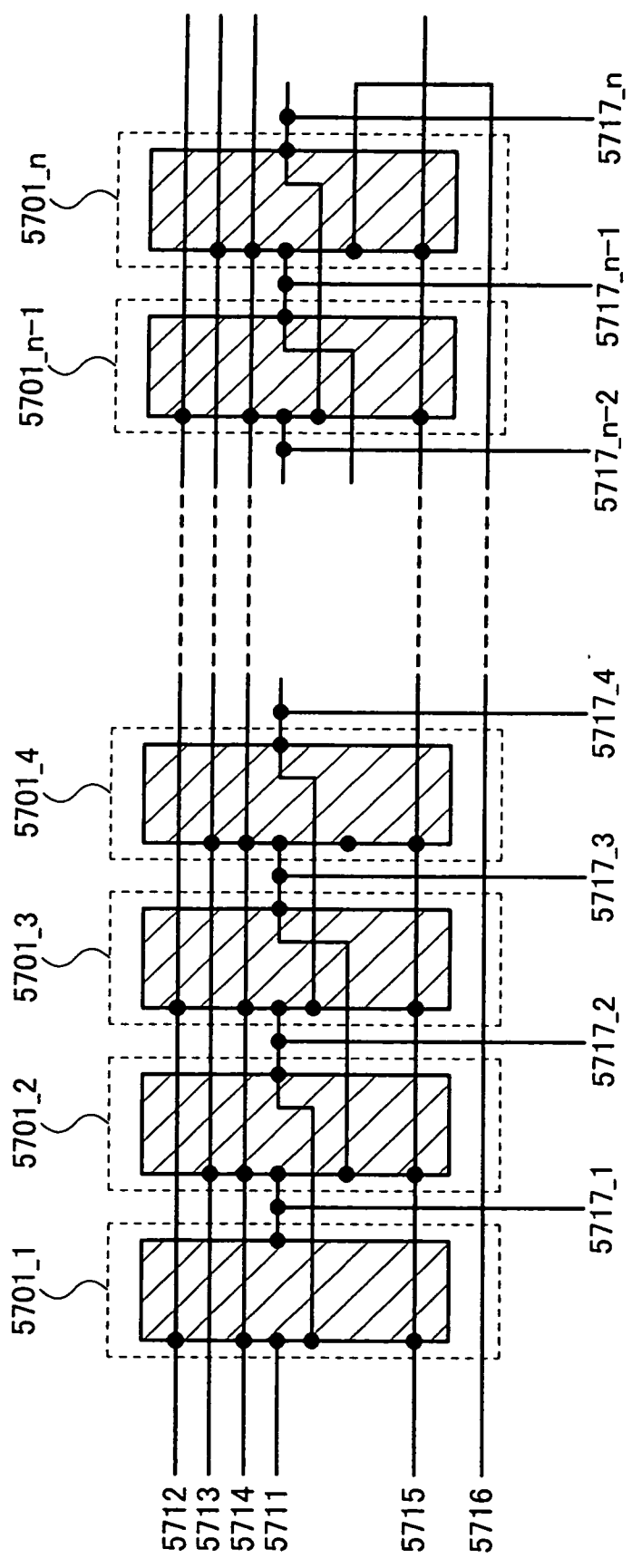


圖 20

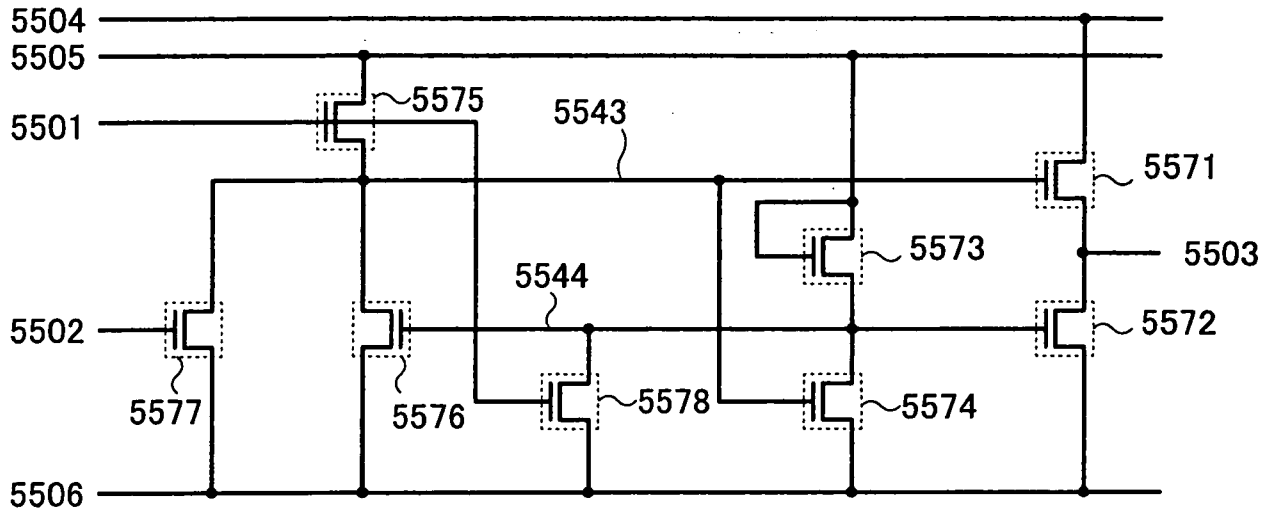


圖21B

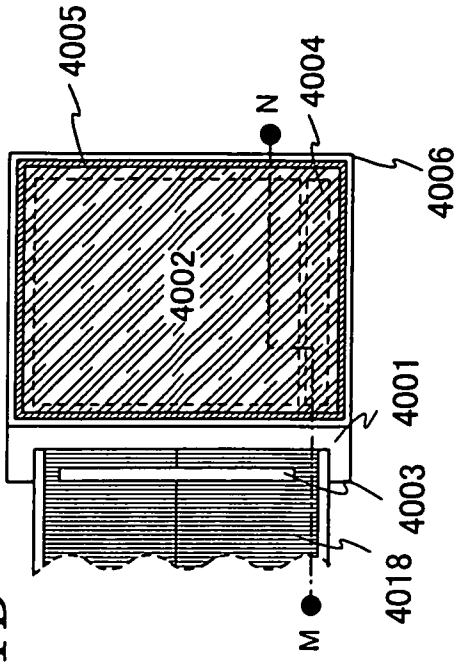


圖21A

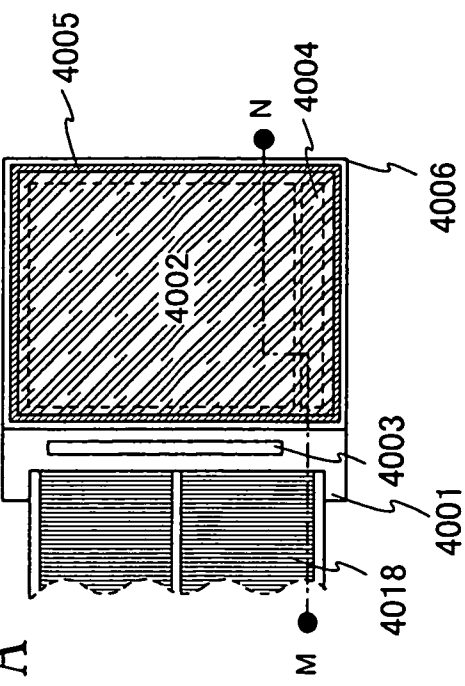


圖21C

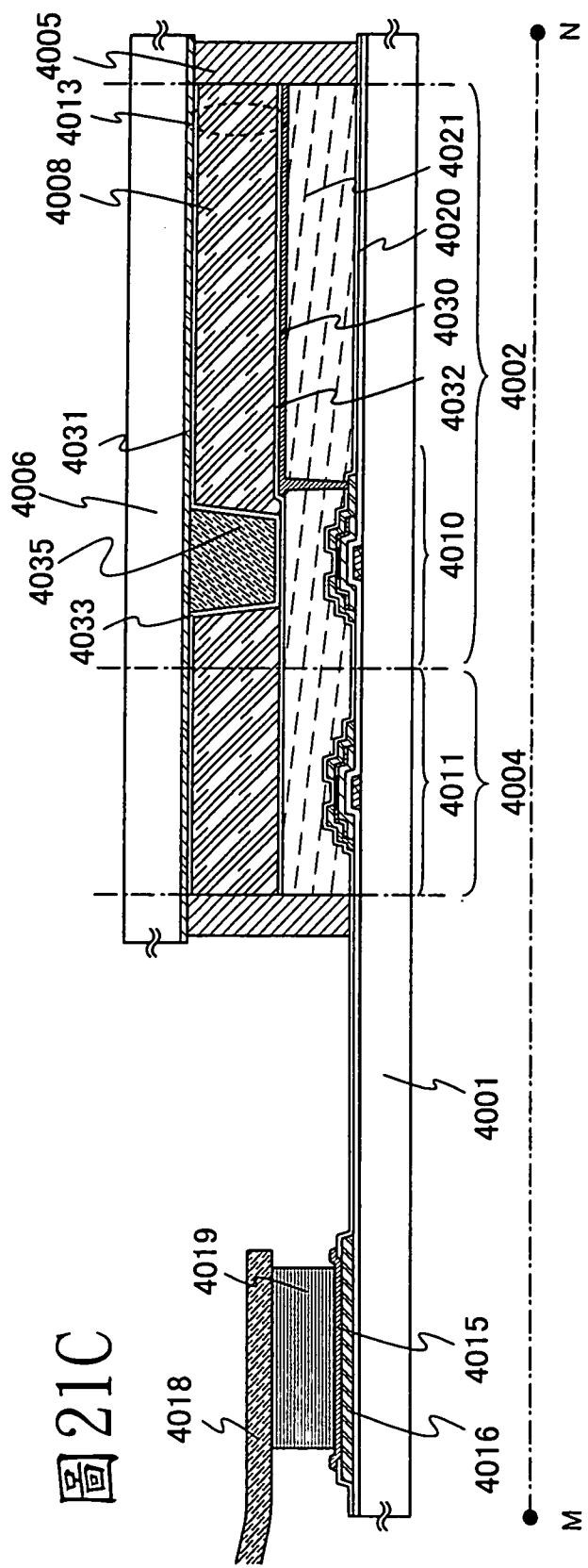


圖 22

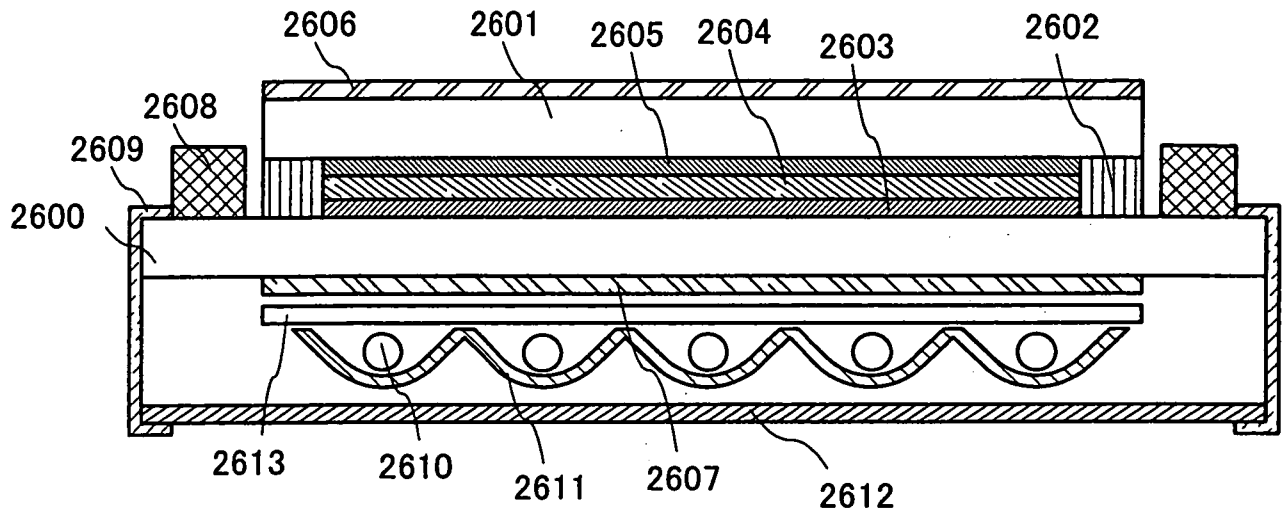


圖 23

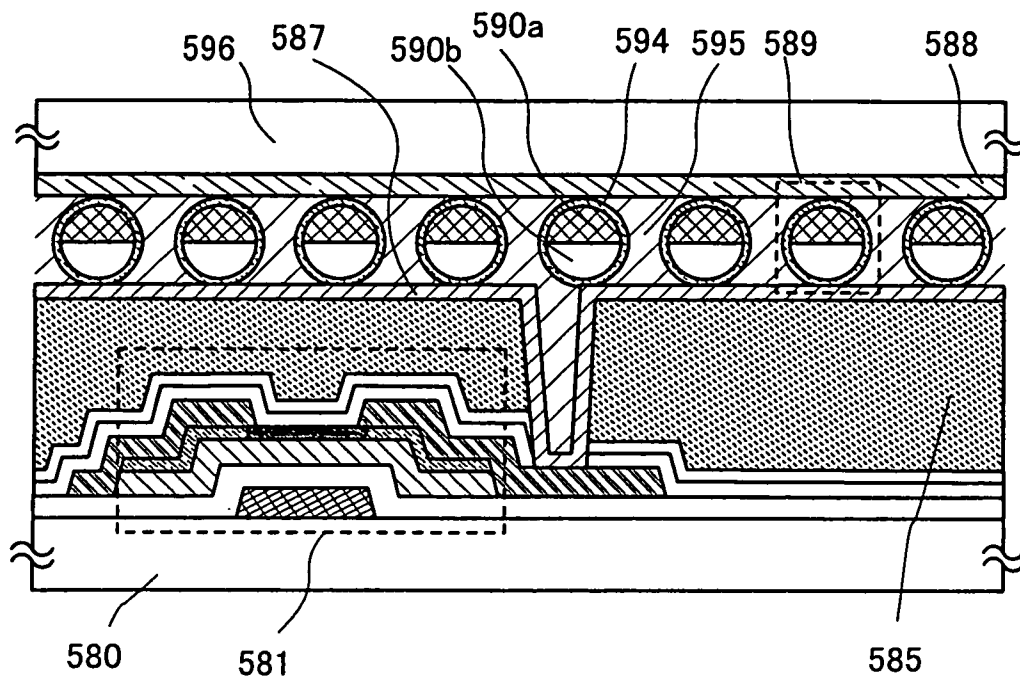


圖 24

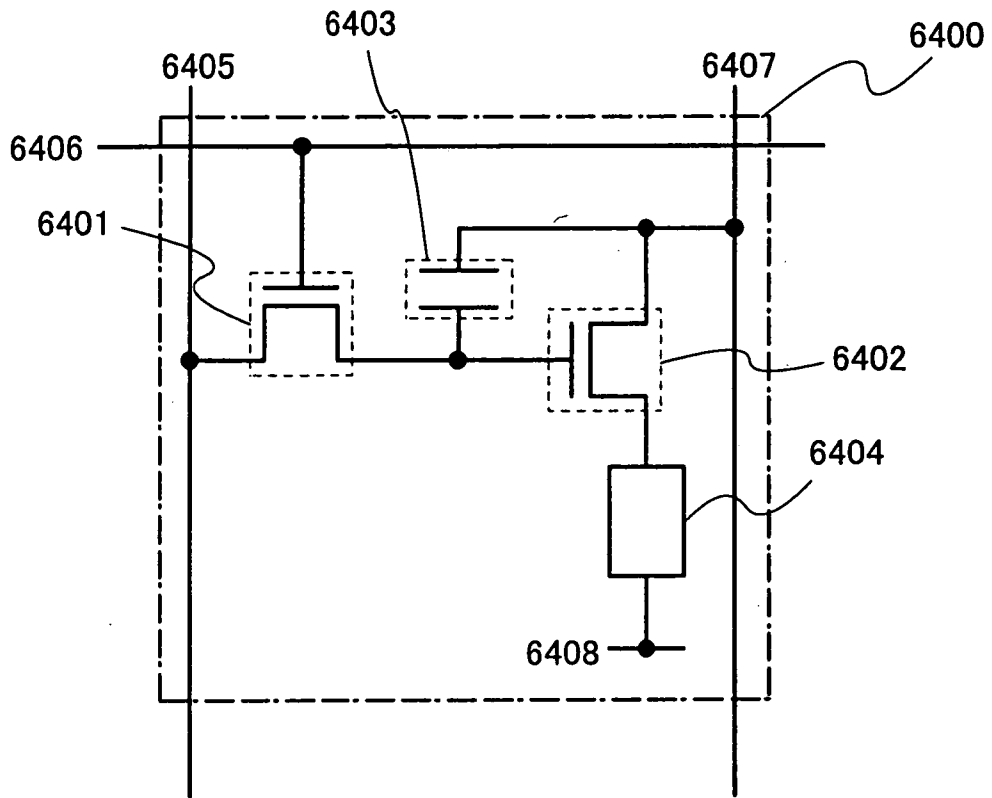


圖 25A

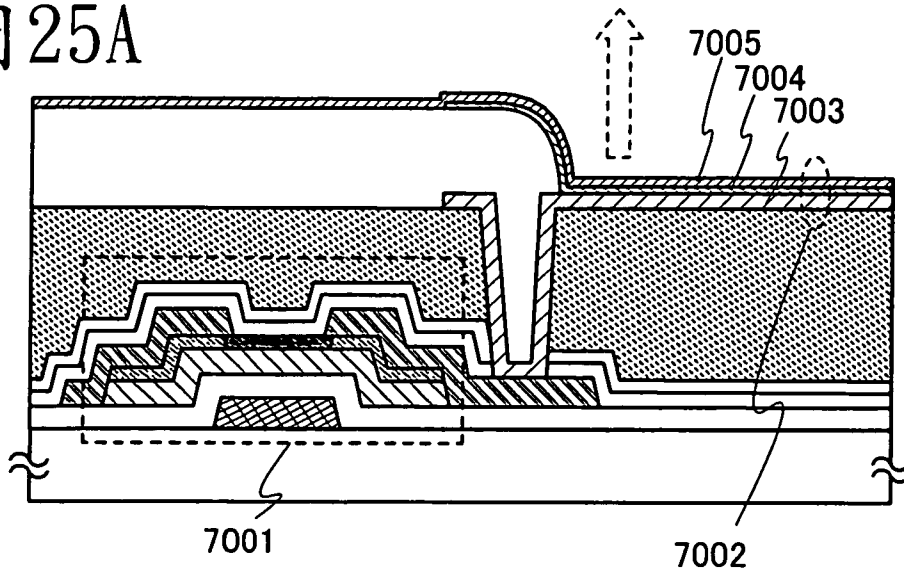


圖 25B

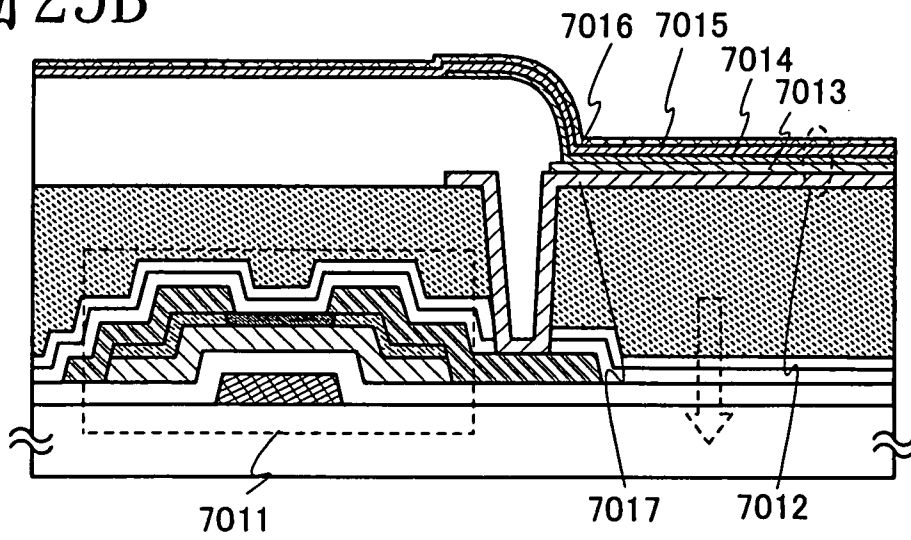


圖 25C

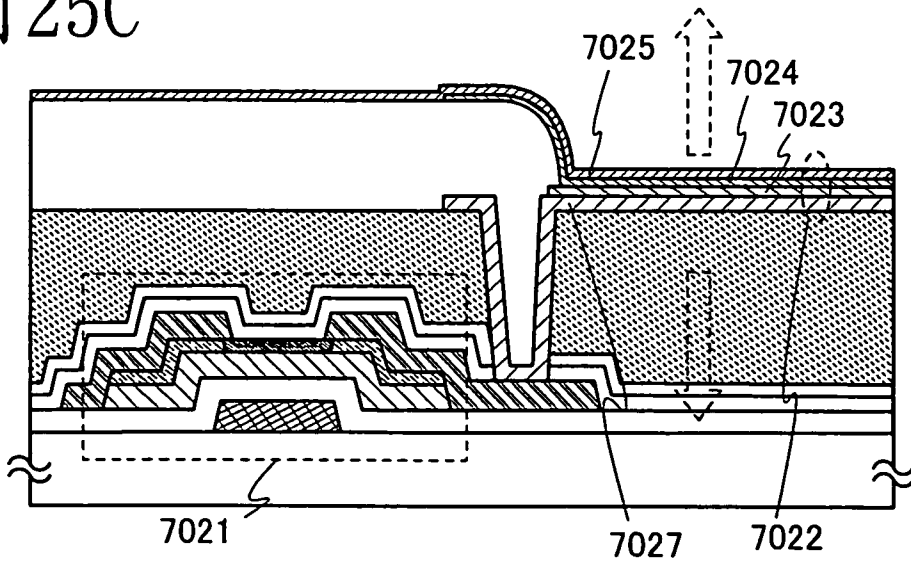


圖 26A

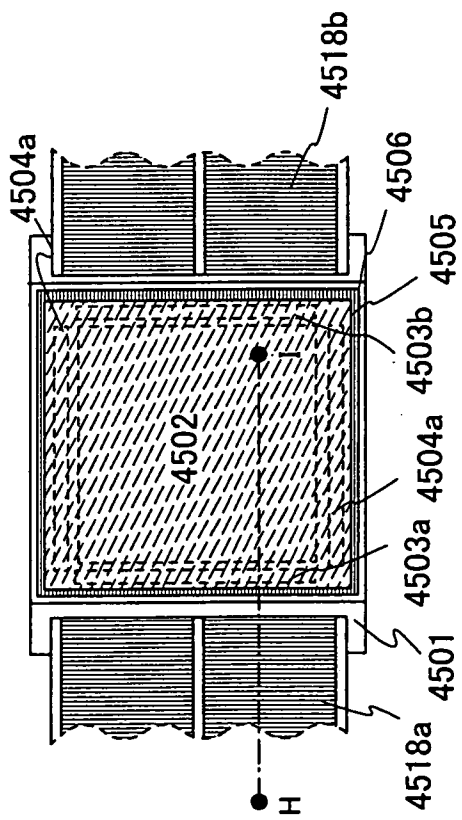


圖 26B

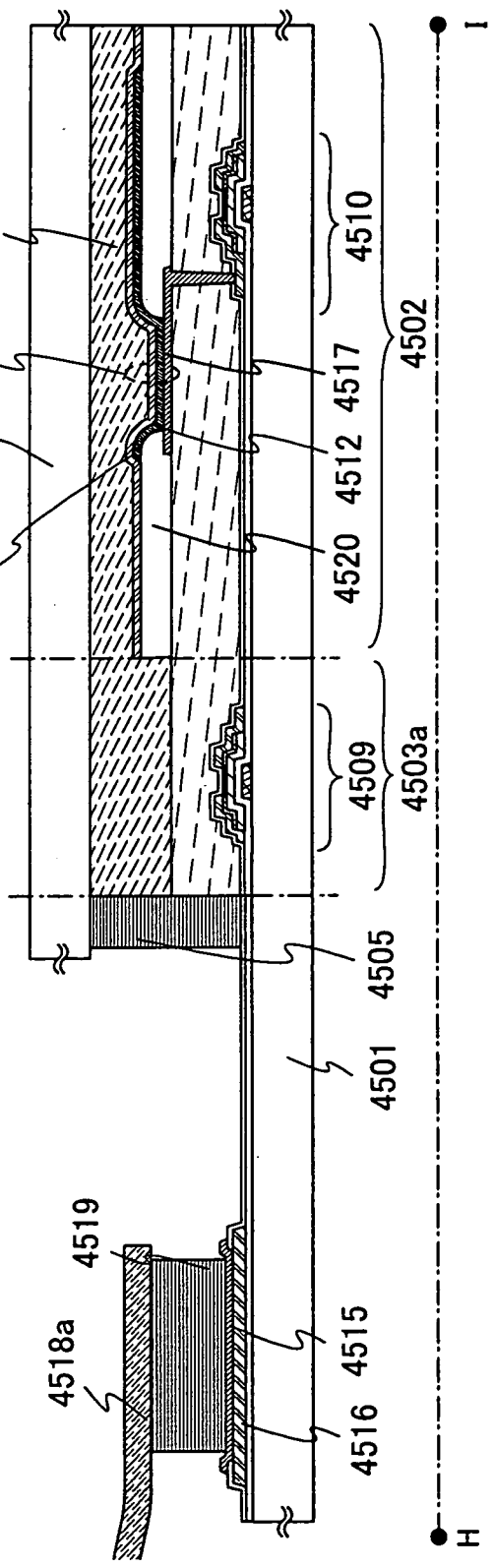


圖 27A

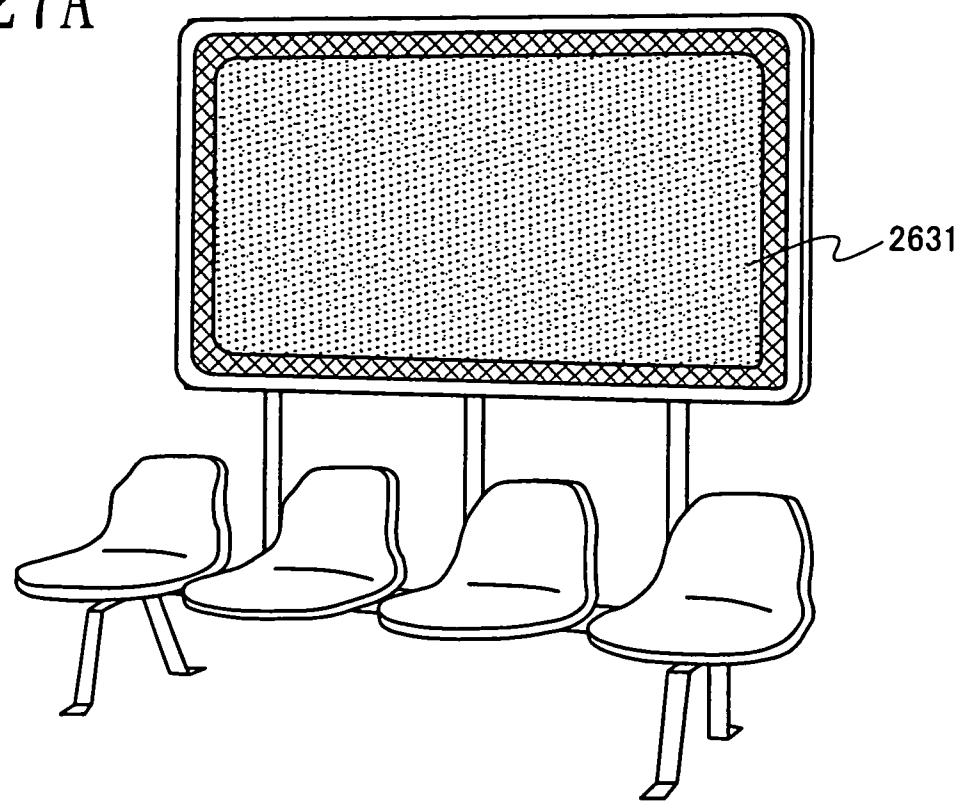


圖 27B

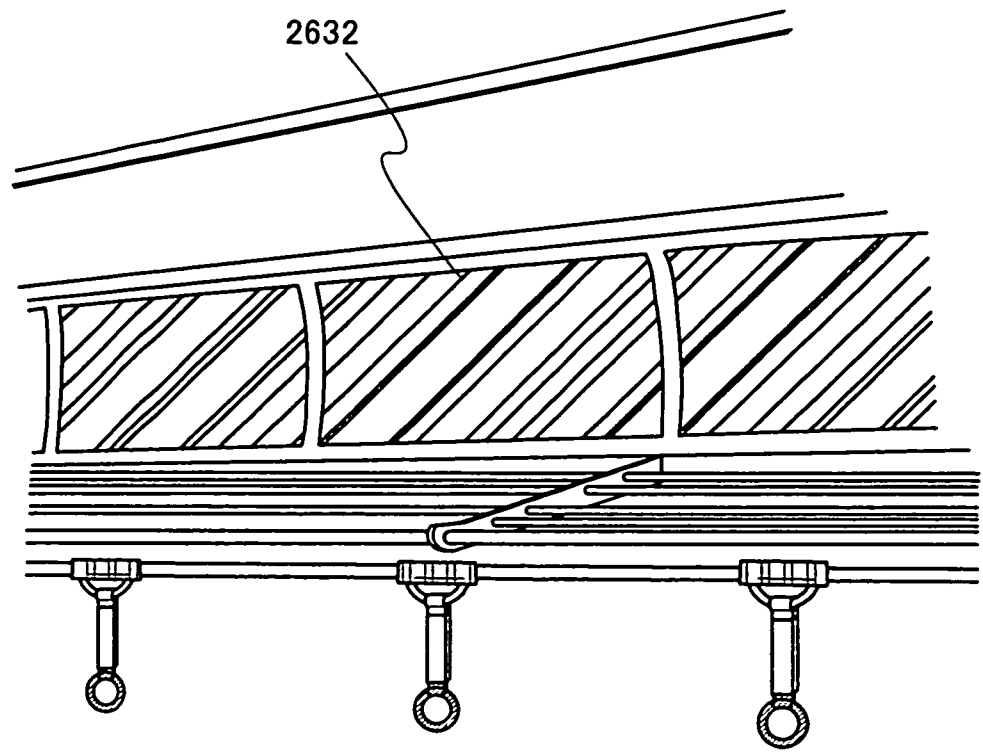


圖 28

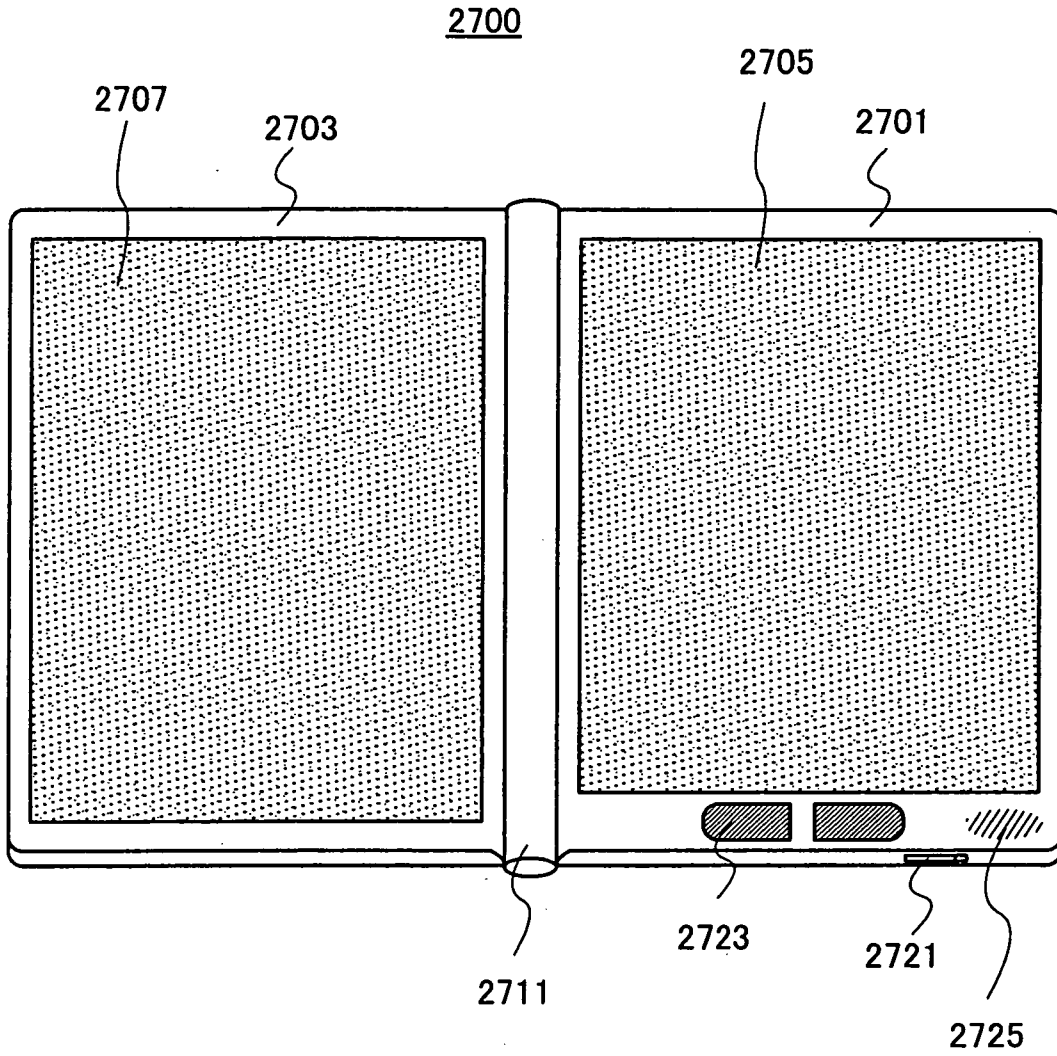


圖 29A

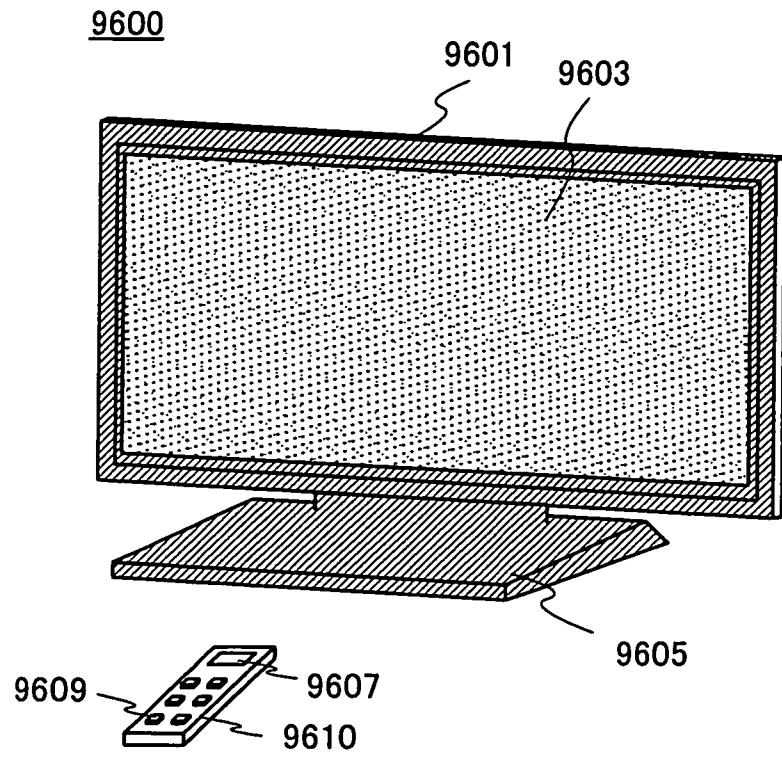


圖 29B

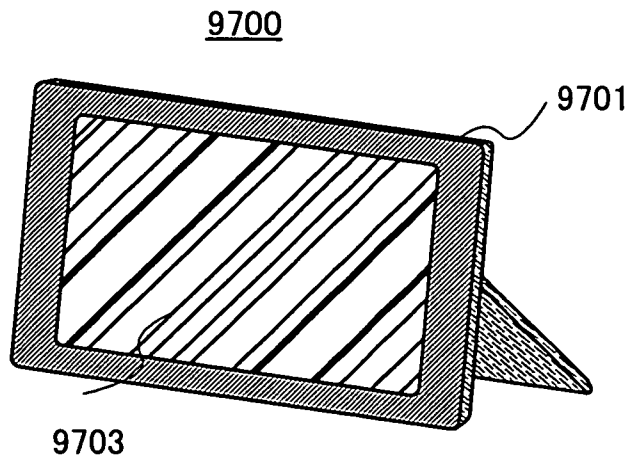


圖 30A

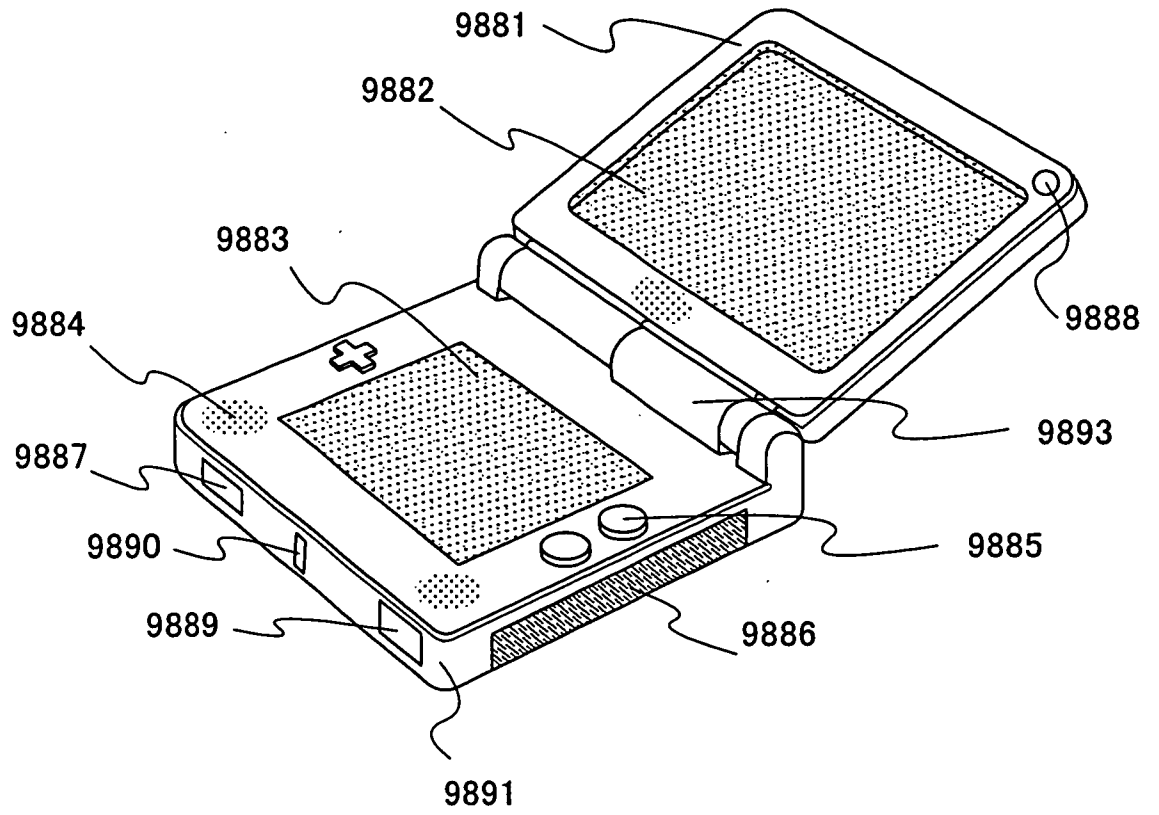


圖 30B

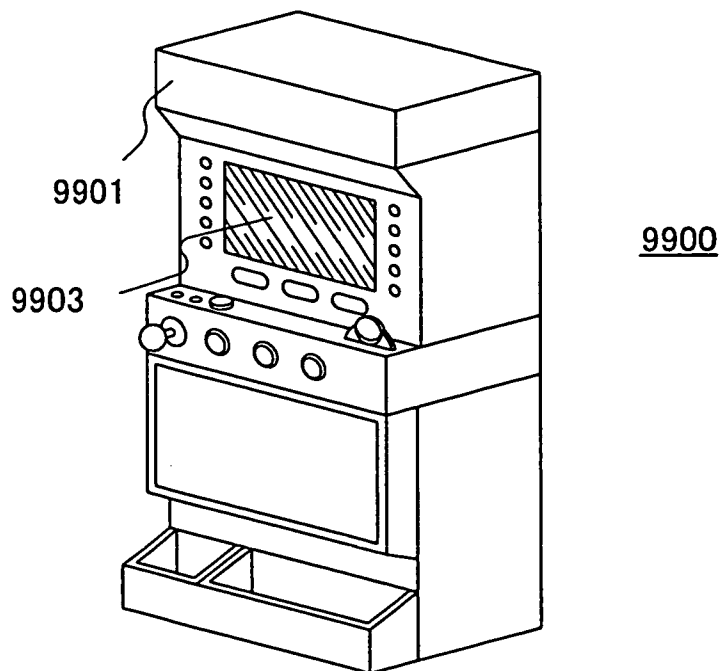


圖 31A

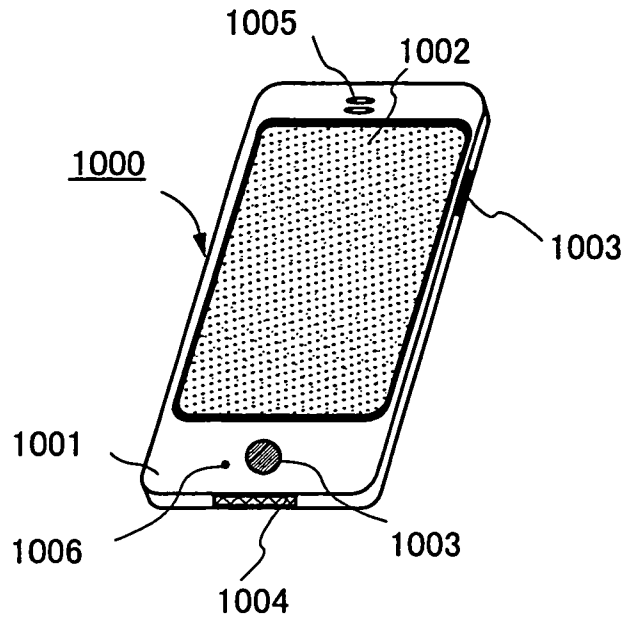


圖 31B

