

214606

公告本

申請日期	82.5.12
案號	82103707
類別	Halv <sup>2</sup> / <sub>4</sub> st, <sup>2</sup> / <sub>4</sub> st

A4  
C4

(以上各欄由本局填註)

發明 新型 專利說明書		
一、發明 名稱	中文	電漿蝕刻法
	英文	PLASMA ETCH PROCESS
二、發明 人	姓名	(1)薩哈希 古它 (2)蘇珊H·陳
	籍貫 (國籍)	美國
三、申請人	住、居所	(1)美國加州95131聖荷西蜜多雷其區1578號 (2)美國加州94007聖荷西梅拉路1468號
	姓名 (名稱)	美商·高級微裝置公司
三、申請人	籍貫 (國籍)	美國
	住、居所 (事務所)	美國·加州94088-3453·桑尼威·郵政信箱3453號· 湯普森區901號
三、申請人	代表人 姓名	湯瑪斯W·阿姆斯壯

經濟部中央標準局員工消費合作社印製

裝  
訂

## 五、發明說明(3)

發明領域

本發明有關一種對矽化合物蝕刻之新穎乾式蝕刻法，特別是有關一種適用於在 $SiO_x$ 化合物或玻璃中製成高深寬比之孔洞之方法。

發明背景

已有數種藉更快速之矽化合物或玻璃蝕刻之技術而改良之電氣及半導體裝置及製程，良好蝕刻方法之測試係測其製成高深寬比孔洞之能力；習知技藝中，在矽化合物中經報導之此種孔洞之深度/直徑比值，亦即深寬比，之最高值R為 $R=1.5$ ，且孔洞之直徑變得愈小；使用乾式蝕刻技術可達到之深寬比會變得愈差；據此，需要一種對以矽為主之物料改良之蝕刻方法。需明瞭可快速於物料中製成高深寬比孔洞而對表面無損害之任何蝕刻方法，為該物料之一般良好蝕刻劑。

表面離子衝擊為電漿蝕刻、反應性離子蝕刻及濺射沉積之重要目的，離子衝擊亦為數種分析技術之重要部份，如二級離子質譜測定法(SIMS)及低能量離子散射分光法(LEIS)；俄歇(Auger)電子能譜儀(AES)亦使用物理濺射用之低能量惰性氣體離子，以獲得支撐深度輪廓之蝕刻。雖然這些已變成非常重要之製程，但離子導入之表面化學法及新穎之化學，物理及電氣特徵之改變則非常複雜，迄今仍然是被瞭解不多之製程，此引起大部份商業上之電漿輔助之蝕刻製程之發展。

電漿為部份離子化之似中性氣體，其可藉施加足夠之

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( )

電場於真空室中使氣體離子化而生成電漿。電源可為DC電場，感應RF線圈，微波或電容耦合之RF電場。電子相對於其他粒子，具有較小質量，因此在這些系統中產生之大部份能量最初被電子所吸收，此等高能電子與其他粒子碰撞，可使氣體離子化及保持電漿狀態，一般離子化電位高，因而大部份分子和原子都維持在中性，最後，在電漿與附近之任何介質表面間將建立DC位能，而避免任何進一步之不均衡狀態。

通常，半導體加工電漿係呈熱不平衡態，且受下列影響：

(a) 功率 - 藉增加所吸收之功率，可增加護皮電位 (sheath potential) 並產生一定數目之離子；在電漿間之任何晶片 (wafer) 將因增加之離子能量撞擊及增加之離子流，而升高誘發之溫度。顯而易見地，在較高功率下對基材將更有害。

(b) 壓力 - 在較高壓力下，可提供一般相信可導致更高離子流之更多氣體分子，非常快速之蝕刻經常伴隨著表面損害，其通常係以帶能量之離子所發生者。然而此種表面損害如預期般發生於重離子，亦發生於輕離子。

(c) 裝置結構 - 如反應室幾何構造，包含基板置放位置，磁鐵結構，反應室之製造材料及離子密度均勻度等參數都將影響蝕刻製程。

假定以各種蝕刻劑氣體對物料之明顯不同之蝕刻速率之解釋為反應氣體分子對欲蝕刻之表面之穿透能力，及打

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

斷亞表面鍵結之能力，或降低表面原子鍵接能量之能力，及取代自身鍵結至亞表面上之鍵結之能力，因而釋出之產物在釋出之溫度下為揮發性者。相信當帶能量之離子撞擊固體時，其能量會經由一系列之彈性碰撞及電氣及振動過程而轉移至靠近表面之原子，碰撞串接效果可產生離子植入(implanation)，結晶損害，離子混合及物理濺射；低能量之離子撞擊也能造成這些效應；離子混合為一種目標原子係受離子衝擊再配製之過程，該過程會因彈回及串接而破壞，一般相信混合過程對增強揮發產物之形成為重要者。此與濺射不同，其中濺射係在靠近表面之原子以垂直於表面方向接受足夠之動力轉移，以克服表面電位屏障，且因而逸至真空中。

目前最經常使用於電漿蝕刻之裝置有數種，封閉之電漿反應器為此種設備之一種，其通常係利用互相接近之平行板，以RF電源激發，以於其中誘發及維持電漿，此等相當簡單之平行板電極裝置之困難點在電漿密度及離子能量無法分別控制，因此在需要高動力之情況中無法削減高離子能量。

一般在習知技藝中，此等反應器係由一對彼此接近但分開且幾近平面之電極所構成，特徵係以0.3-0.5 Torr之操作壓力供進行蝕刻操作，此壓力通常可得等離子蝕刻特徵；先前，此等反應器對單一晶片操作中之商業蝕刻用途而言太慢。

高深寬比孔洞之主要應用為在製造半導體裝置中產生

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(6)

接觸孔洞，亦即“VIAS”，這些VIAS為經由在積體電路板表面上介質電層所製得之細孔隙，以使電路表面產生電連接，或可連接至預先已在電路之活性元件上之介質電層上鍍上之金屬互接條，但是由於許多由 $\text{SiO}_x$ 或玻璃所製得之裝置及物品可藉著可在此種物料中產生高深寬比孔洞之改良微機械製程所改良，因此此種蝕刻方法並不限於積體電路。

氮於 $\text{SiO}_2$ 之RIE中之角色已被提出，如Smolinsley, J., Electro, Chemistry第129卷，第5期，1982年5月，第1036-1040頁；此報導指出一種改良之深寬比，但未克服隨後所述之打孔問題。

本發明方法將與半導體積體電路製造中某些特別之問題一起加以說明，但本發明方法之應用並未限制於此。

半導體積體電路在電路之各部份間需要許多低電阻連接，這些稱為互接部，互接部通常為金屬，但亦可由摻雜之矽聚合物製得，由介質電層所分開之互接部通常需要數種等級，典型上，同於互接部之金屬為Al或含有Al者，係由於其具有低電阻，且相當便宜。

在不同等級之互接部間亦需設有連接部，概括地說，此可藉在介質電層選定的位置上由表面向下打孔，穿透介質電層直至達到底層互接部而完成，接著，孔洞或“VIA”可以低電阻物料（通常為金屬）填充，下至(down to)介質物質上端，且接著上表面以Al塗覆，接著在金屬層上塗佈一層抗反射塗裝（通常為氮化鈦TiN）薄塗層，然後在ACR層上塗

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

上光阻劑，以UV照射光學曝光，形成掩模圖形，此圖形化之掩模用以控制金屬之蝕刻，以形成次一程度之互接部，此ARC塗層可降低金屬之光學反射，並可在欲形成之光學影像掩模上形成明確焦點；在互接部上塗佈下一保護介電層。

在此種多層結構中，需於各介電層表面施加平面化方法，以使各層之最終表面平滑，因此金屬不會覆蓋尖銳之底塗邊緣，且因此對下一層之光學處理將具有單一平坦深度區域以便得到更明確之焦點。此平面化要件會引起新的問題；至於大球形平面化方法之結果，如第1圖所示，自平面化表面1至經由單片之底塗接觸表面之距離，可在 $5500\text{Å}$ 至 $16500\text{Å}$ 間廣範圍地變化。因此對VIAS之蝕刻方法可製得更深之孔洞2'，同時不會損害淺孔洞2底部之材料。

習知蝕刻方法中，在VIA孔洞深度隨著片而廣範圍改變時，即使當一般為 $350\text{Å}$ 之TiN ARC層增厚至大致為 $1000\text{Å}$ 時，在淺VIAS2底部之曝露之ARC層8經常被蝕刻掉，此導致底塗金屬7之濺射及/或損害至底塗表面9。又，在習知方法中，聚合物構造10通常發生於難以移除之VIAS孔洞內，又復，此經常導致所得VIAS之電阻較高。

發明概述

本發明之一目的係提供一種於矽氧化物及/或玻璃中製造高深寬比孔洞之蝕刻方法。進一步目的係提供一種對 $\text{SiO}_x$ 及/或玻璃具有高蝕刻速率及對TiN具有低蝕刻速率之

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 五、發明說明(8)

蝕刻方法。

本發明之進一步特徵係於平行板式反應器中使用氮， $\text{CHF}_3$ 及 He。

又一目的係提供一種於矽積體電路中製造接觸 VIAS 之蝕刻方法，其中深 VIAS 與淺 VIAS 之深度差異因數大於 3，但不會損及淺 VIA 之底塗區域。

本發明蝕刻方法之特徵為於高總壓區域中使用封閉之電漿，其係迄今僅用於沉積作用者。

本發明之又一特徵為氧化物蝕刻時，在 VIAS 中本質上無聚合物結構發生，且可達到至少  $R=10$  之深寬比。

本發明之又一特徵為使用 He 作為製程氣體，可改良關於 TiN 蝕刻之製程差異。

圖式之簡單敘述

第 1 圖顯示由球形平面化結果生成之深及淺 VIA 之積體電路之截面圖。

第 2 圖表示高壓封閉之電漿反應器。

第 3 圖為對該反應器電極進行 RF 激發之圖式。

第 4 圖為本發明方法參數之等量線圖。

發明之詳細敘述

除了過度蝕刻會損及淺 VIAS 之外，已測定我們已認知乾淨之 VIA 壁及接觸表面，對於隨後之金屬化作用得到低電阻 VIA 而言是絕對必要的。在製造半導體 VIAS 中氧化矽介電膜之習知之封閉電漿平行板反應器蝕刻，係使用具有小百分比之氧及 / 或惰性氣體 (如氬氣) 之氟碳源氣體  $\text{CHF}_3$

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(9)

及CF<sub>4</sub>之混合物，通常相信氧之角色係用於與氟化物之碳結合，因而釋出為活性蝕刻物種之氟。此氧/碳組合通常相信有助於調節/控制在VIA壁上之聚合物結構，其係發生於自蝕刻氣體中碳之大分子形成者。

此聚合物結構激勵吾人尋找一種清除劑以捕捉釋出之碳。最初實驗係依據理論添加N<sub>2</sub>作為製程氣體，該理論為：更有效之游離基清除劑需在其聚合形成可於VIAS壁上看到之長鏈碳分子沉積之前，與碳及含碳化合物結合；與氧不同，製程中氮之量並未限於包含耐光性掩模之製程中。此於SiO<sub>2</sub>蝕刻中由氮所得之氮之清除劑角色已討論於Smolinsky等人之J. Electro Chemistry, 第129卷, 第5期, 1982年5月, 第1036-1040頁中。

此實驗係於兩種不同之封閉電漿反應器進行，該反應器係由LAM Research製造之型號ET01及ET13。型號ET01裝置之結構揭示於第2圖。

參見第2圖，平行板電漿反應器罩框23支撐住具有約12吋直徑之Al之下電極21，於其上，欲處理之晶片則以夾具22夾在其中心處24，上電極20一般為石墨，且電極間之間隙小且為可調整者；本實驗中，間隙設定為1.2cm，晶片(板)則於後方以氮冷卻(未圖示)。以夾具22夾住晶板可改良晶片表面之熱及電均勻性。在型號ET13中，下電極之中心略為圓形，並在冷卻時提供更好之導熱性。封閉之離子化電漿維持在電極20及21間之小區域中。

參見第3圖，激發並維持電漿之電場係由RF產生器30

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



214606

## 五、發明說明(10)

以約400KHZ提供。具有接地中分接頭32之RF變壓器31與上電極及下電極20及21呈對稱性偶合，元件33，34及35係用以匹配及調諧對RF產生器之空腔阻抗。

第一組階乘實驗係在電力=800W，間隙=0.75cm及 $CHF_3=CF_4=50SCCM$ 下進行，並使用 $CHF_3$ ， $CF_4$ 及<sup>Ay</sup>氫之蝕刻氣體之標準混合物，且包含以500-1900mT之壓力範圍內添加 $N_2$ ；發現欲得到至少 $86^\circ$ 之壁角度，需要 $CHF_3$ 對 $CF_4$ 之比例低於1，而另一方面， $CF_4$ 流速大於 $CHF_3$ 時，導致TiN上之高蝕刻速率。本策略係發展一種識別TiN之方法，其中TiN係作為終止層，因而在淺VIA底部區域之TiN在深VIAS被蝕刻之時間內不會被侵蝕。在傳統蝕刻壓力下，亦即低於1.0T之壓力下，即使添加 $N_2$ ，使用習知蝕刻化學品於封閉之電漿中，亦無法改良對TiN之識別能力。在圓形化晶片中，與 $SiO_2$ 比較，對TiN之蝕刻選擇性可達到6-10之最佳結果，在這些實驗中觀察到數項效果，接近晶片中心之TiN蝕刻速率比邊緣之蝕刻速度快，且VIA內側之蝕刻比開放區域之蝕刻快，這些觀察使吾人發現TiN蝕刻速率與瞬時局部溫度成比例。

這些因素使吾人尋找一種可藉增加非彈性碰撞而冷卻電漿之方法。此可藉添加高流速之He(一種輕質氣體)增加壓力而完成，非彈性碰撞係一種對互換之能量類型並無限制之碰撞，且包含動力及內部或電位能交換。

下一個實驗係在 $CHF_3$ 與 $CF_4$ 之混合物及高流速He下，於1.5T-3.0之高總壓下進行，但對TiN之蝕刻識別仍無改

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(11)

進，據此，於下一個實驗中，捨去 $CF_4$ 以增加TiN選擇性，但在此等壓力下，所達到者為沉積作用而非蝕刻作用。

最後，導入小流速之 $N_2$ ，維持此高總壓區域，並發現回到蝕刻作用之方法，且蝕刻速率與 $N_2$ 流速成比例。吾人相信 $N_2$ 係與碳及氫反應，因此可提供更多之氟離子物種供與 $SiO_x$ 反應。

現在已成功地發展出對本方法進行細部調整之技術，可使對氧化物及對TiN之蝕刻速率選擇性達到最佳狀態，在壓力=2700mT，1.2cm間隙， $CHF_3=50SCCM$ ， $N_2=65SCCM$ ， $He=3500sccm$ 及電力=1000W時，可得到對圖形化之TiN選擇性為21，及壁角度為 $88 \pm 1^\circ$ ，且已製成具有深寬比為10之孔洞，而未見到聚合物沉積於側壁上，因此認為將可達到30-40之深寬比。

利用上述蝕刻方法製造積體電路，而VIAS具有1.2歐姆之電阻，標準偏差為0.3歐姆，此外，由於在大氧化物區域與小氧化物區域之蝕刻速率相等，亦即無微負載或RI滯後，且因而無深寬比從屬性，故此方法更易於控制。

本實驗亦顯示以寬廣範圍之製程參數可得到成功且改良之流動式高深寬比操作流程；關於TiN選擇性之 $CHF_3$ 寬邊限亦相同；如第4圖所示，均勻性，壁角度及TiN選擇性之值在3000mT至3500mT壓力範圍內幾乎相同，參數3000mT/800W/1.2cm/50 $CHF_3$ /3500He/60 $N_2$ 下，得壁角度接近於88及選擇性為21。藉著調整 $N_2$ 流速及電力，可達到某些程度之高氧化物蝕刻速率及高TiN選擇性。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(12)

為了增加深寬比(即更垂直之壁角度),需增加N<sub>2</sub>流速而不需改變其他參數。

本發明配合圖式之特定具體例加以敘述,但本發明並不限制於任何特定具體例且本發明之範圍係由申請專利範圍所決定。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

四、中文發明摘要 (發明之名稱： 電漿蝕刻法 )

一種改良之  $\text{SiO}_x$  蝕刻法，係於封閉之電漿反應器中，使用  $\text{CHF}_3$ ， $\text{N}_2$  及輕質 (light mass) 冷却氣體以總壓為 3000mT 下進行，可得到至少為 10:1 之高深寬比。

英文發明摘要 (發明之名稱： PLASMA ETCH PROCESS )

An improved  $\text{SiO}_x$  etch which employs  $\text{CHF}_3$ ,  $\text{N}_2$  and a light mass cooling gas in total pressure on the order of 3000mT in a confined plasma reactor. High aspect ratios at least 10:1 are obtainable.

附註：本案已向

美

國 (地區) 申請專利、申請日期：

1992.10.9

案號：

07/960,499

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種對  $\text{SiO}_x$  物料進行電漿蝕刻之方法，包括：

(a) 在真空容器中，建立電漿於兩個緊密間隔配置之電極間之封閉區域內，係藉著提供反應氣體流至該封閉區域，且 RF 電力係以 400 KHZ 之頻率通過該電極；

(b) 將欲蝕刻之該  $\text{SiO}_x$  物料扣緊該電極之一；該改良處包括：

(1) 該反應氣體包含  $\text{CHF}_3$ ；

(2) 藉非彈性碰撞冷卻該電漿；及

(3) 選擇該氣體流，以得到室總壓  $p$ ，其中  $10.0 \text{ Torr} > p > 1.5 \text{ Torr}$ 。

2. 如申請專利範圍第 1 項之方法，其中該冷卻步驟包括使高流速之輕質量氣體包含於該反應氣體中。

3. 如申請專利範圍第 2 項之方法，其中該輕質量氣體為 He。

4. 如申請專利範圍第 2 項之方法，其中反應氣體又包含  $\text{N}_2$  氣流。

5. 如申請專利範圍第 4 項之方法，其中該  $\text{SiO}_x$  之蝕刻速率可藉調節該  $\text{N}_2$  氣體流速而調節之。

6. 如申請專利範圍第 3 項之方法，其中該反應氣體又包含  $\text{N}_2$  氣流。

7. 如申請專利範圍第 6 項之方法，其中該  $\text{SiO}_x$  之蝕刻速率，可藉調節該  $\text{N}_2$  氣體流速為  $\text{CHF}_3$  流速之 40-400% 範圍內而調節之。

8. 如申請專利範圍第 4 項之方法，其中該輕質量冷卻氣體

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

流速遠大於  $N_2$  質量流速或  $CHF_3$  質量流速。

9. 如申請專利範圍第 8 項之方法，其中  $CHF_3$  與  $N_2$  之流速係相同，而輕質量冷卻氣體之流速為  $CHF_3$  或  $N_2$  質量流速之 50-100 倍。
10. 如申請專利範圍第 9 項之方法，其中欲蝕刻之晶片 (wafer) 在蝕刻之前，以 TiN 層塗覆，且其中該蝕刻係在比該 TiN 被該電漿蝕刻之速率更快之速率對該矽及矽化合物進行選擇性蝕刻。
11. 如申請專利範圍第 10 項之方法，其中對  $SiO_x$  和對 TiN 蝕刻速率選擇性為 20/1。
12. 如申請專利範圍第 4 項之方法，其中以該電漿作用對該矽化合物蝕刻所產生之產物，本質上係完全揮發至足以使該蝕刻產物在再沉積之前自該真空容器移開之時間。
13. 如申請專利範圍第 10 項之方法，其中該 TiN 係終止層，因而乾淨壁高深寬比淺孔洞可與深孔洞同時蝕刻於該晶片中，其中該深孔洞之深度為淺孔洞之 3 倍。
14. 一種製造位於其上具有金屬互接條之積體電路中之中間層金屬互接部之方法，包括：
- (a) 在該金屬互接條上端塗佈一層 TiN 層；
  - (b) 在該 TiN 塗覆之金屬互接條上塗上介電填料；
  - (c) 使該介電填料上端平面化；
  - (d) 在該平面化層上端塗佈及繪製耐光性掩模，而提供 VIAS 使金屬連接至該金屬互接條；

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 六、申請專利範圍

(e) 將該圖形化之晶片置入封閉之電漿蝕刻反應器中，  
並使該晶片扣緊於該機器之電極上；

(f) 將反應氣體導入該封閉之電漿蝕刻機中，該反應氣體包括  $\text{CHF}_3$ ， $\text{N}_2$  及輕質冷卻氣體；

(g) 施加約 400KHZ 之 RF 能量而激發該電漿。

15. 如申請專利範圍第 14 項之方法，其中該輕質冷卻氣體為 He，且 He 之質量流速遠大於  $\text{CHF}_3$  及  $\text{N}_2$  之質量流速，並調整總流量以建立高壓 p，其中  $10.0\text{Torr} > p > 1.5\text{Torr}$ 。

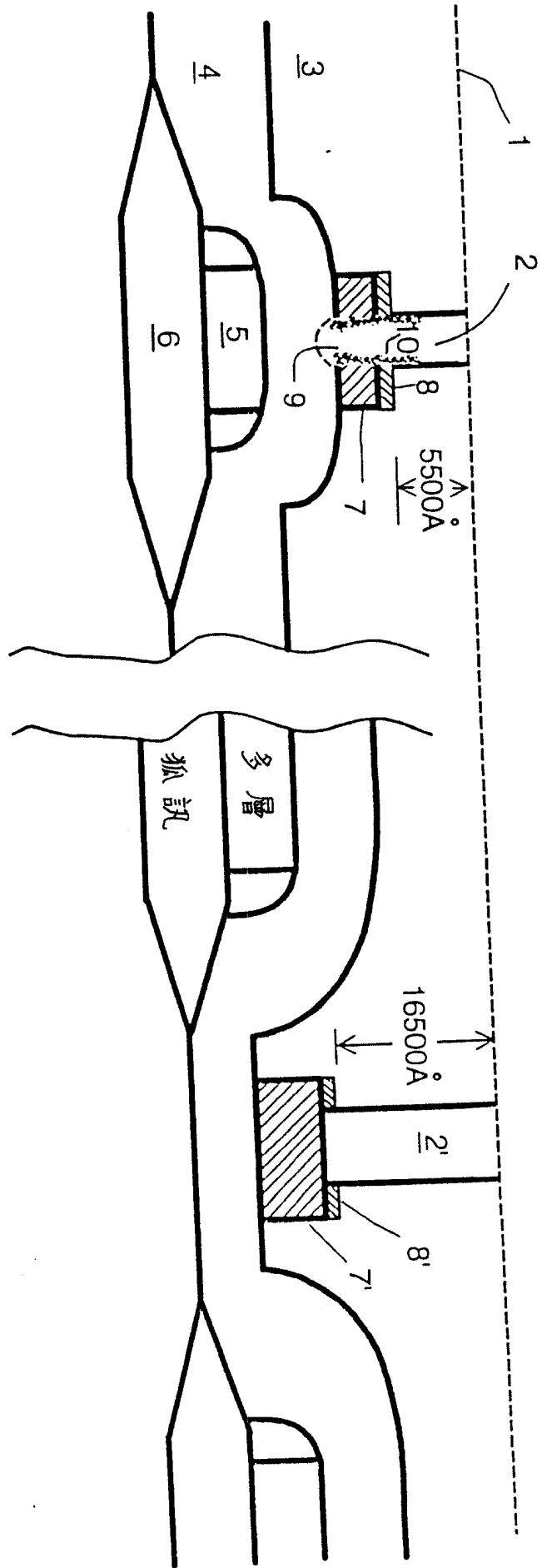
16. 如申請專利範圍第 15 項之方法，其中該 TiN 層係 1000 Å。

17. 如申請專利範圍第 16 項之方法，又包括步驟 (h)，該步驟 (h) 包括將 Ti 或 Ti/TiN 及鑄插頭填入該 VIA 孔洞中，該插頭具有 1.2 歐姆之電阻，及 0.8 微米之 VIA 插頭直徑。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

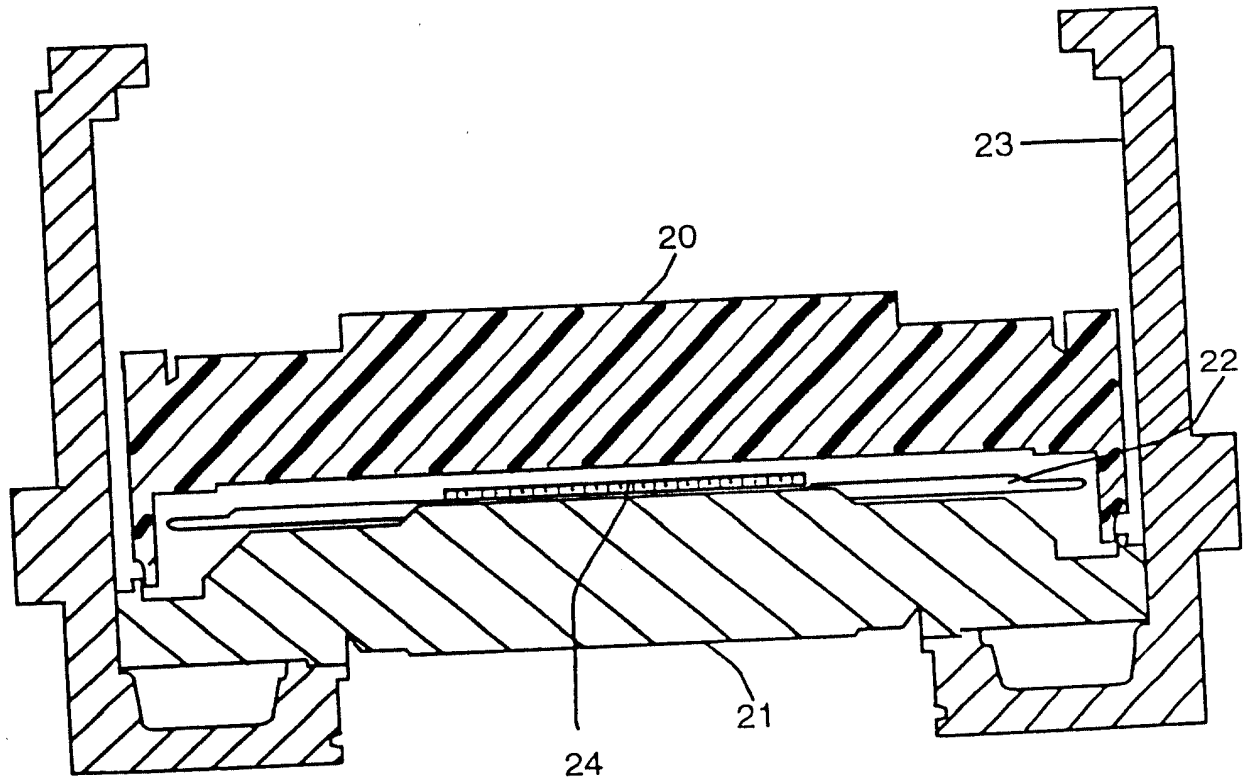
214606



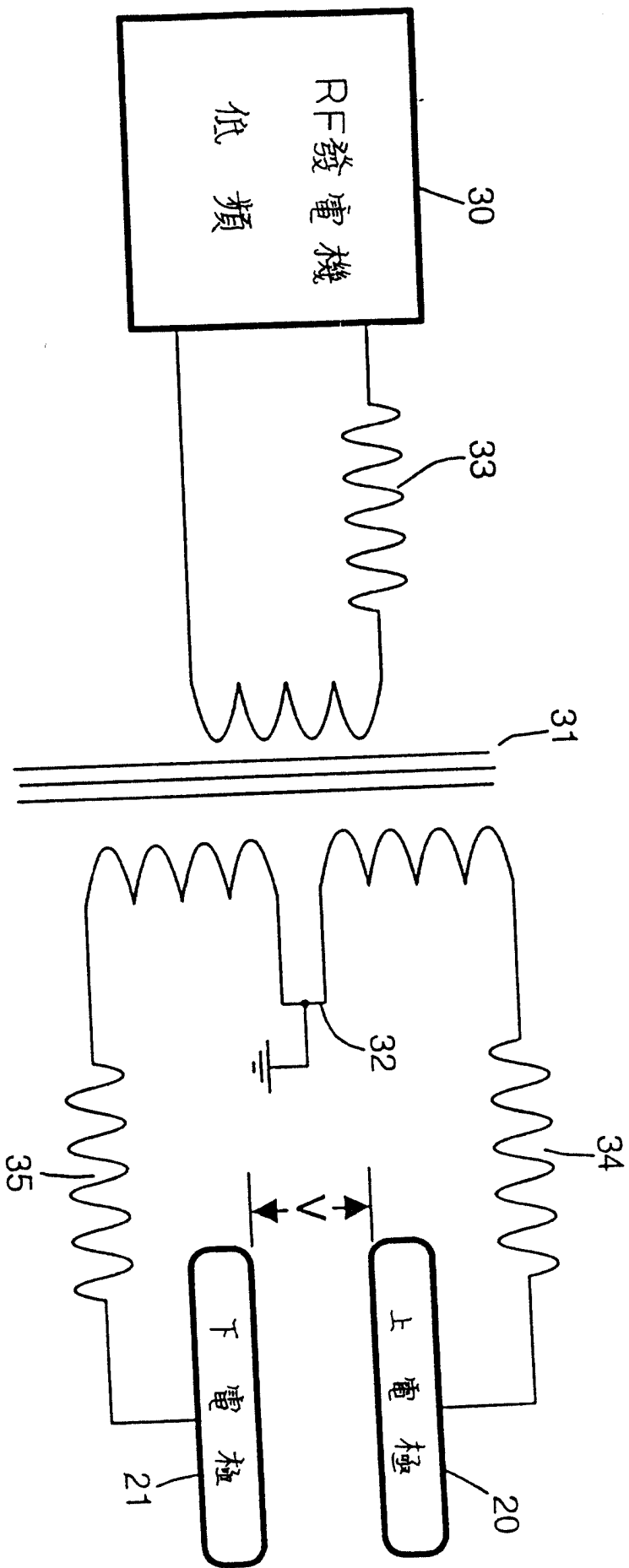
第 1 圖



314606

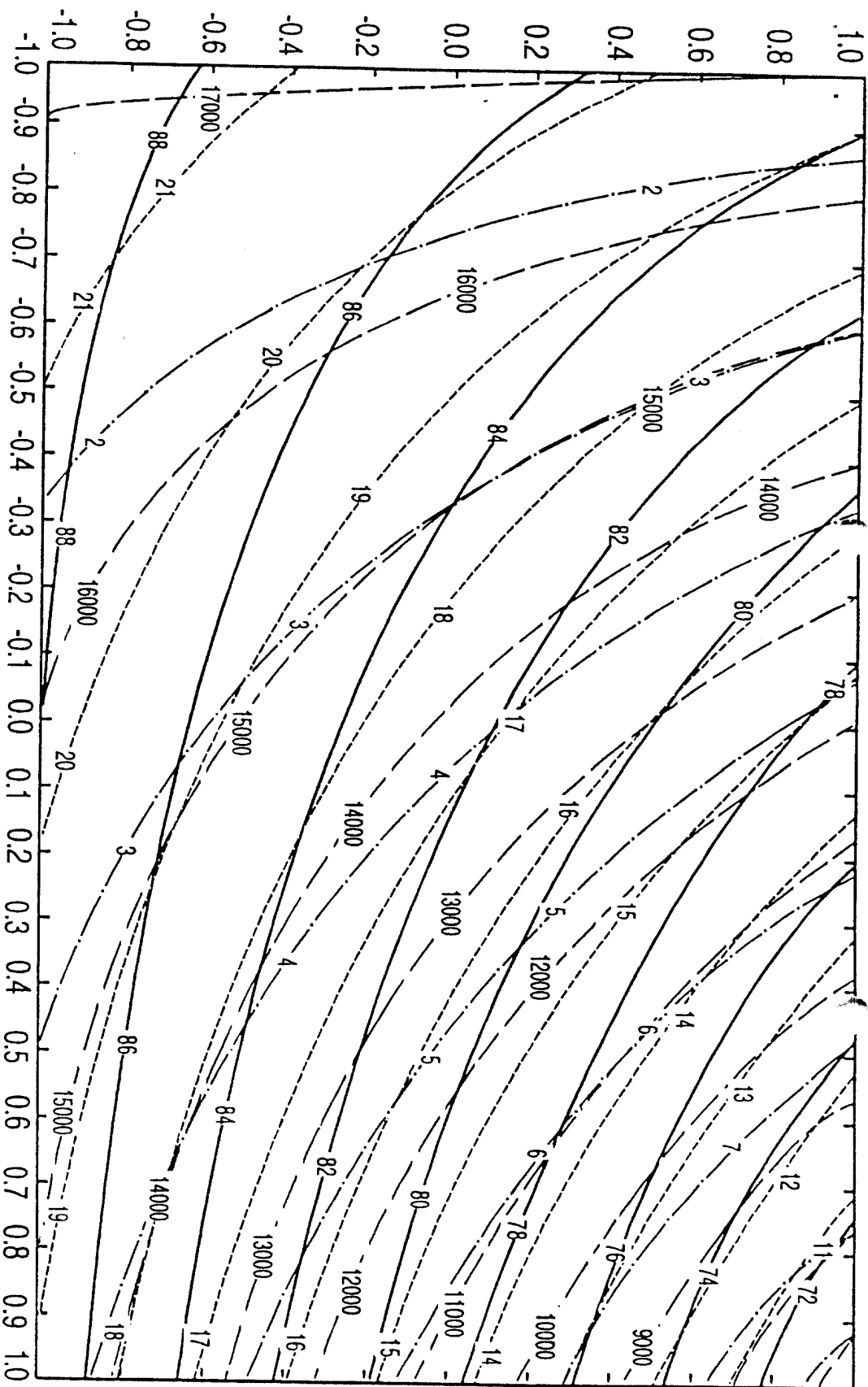


第 2 圖



第 3 圖

C H F 3



909416

壓力 第 4 圖

—— 角度  
 - - - 氧  
 - - - 氮  
 - - - 選擇性