



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I777233 B

(45)公告日：中華民國 111 (2022) 年 09 月 11 日

(21)申請案號：109130240

(22)申請日：中華民國 104 (2015) 年 08 月 21 日

(51)Int. Cl. : H01L23/485 (2006.01)

H01L23/31 (2006.01)

(30)優先權：2015/08/11 美國

14/823,689

(71)申請人：美商艾馬克科技公司(美國) AMKOR TECHNOLOGY, INC. (US)

美國

(72)發明人：凱利 麥可 KELLY, MICHAEL (US)；海納 大衛 HINER, DAVID (US)；休莫勒

羅納 HUEMOELLER, RONALD (US)；聖艾曼德 羅傑 ST. AMAND, ROGER

(US)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

TW 201322411A

US 2011/0175235

審查人員：蕭允政

申請專利範圍項數：20 項 圖式數：16 共 99 頁

(54)名稱

半導體封裝以及製造其之方法

(57)摘要

一種半導體裝置結構以及一種用於製造一半導體裝置之方法。作為非限制性的例子，此揭露內容的各種特點係提供各種的半導體封裝結構、以及用於製造其之方法，其係包括一薄的細微間距的重新分佈結構。

A semiconductor device structure and a method for making a semiconductor device. As non-limiting examples, various aspects of this disclosure provide various semiconductor package structures, and methods for making thereof, that comprise a thin fine-pitch redistribution structure.

指定代表圖：

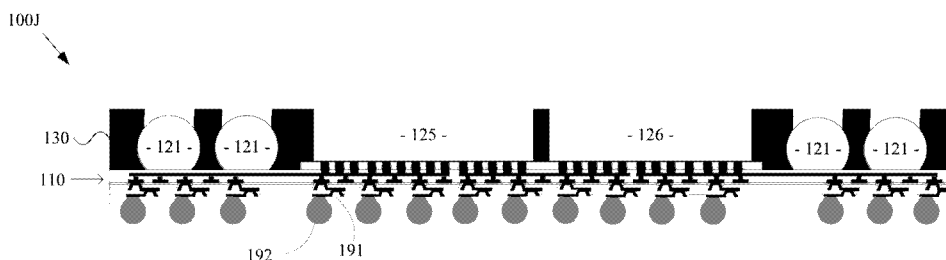


圖1J

符號簡單說明：

100J:封裝

110:重新分佈(RD)結構

121:互連結構

125:第一晶粒

126:第二晶粒

191:第二 RDL 線路

192:互連結構



I777233

## 【發明摘要】

【中文發明名稱】 半導體封裝以及製造其之方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND FABRICATING  
METHOD THEREOF

### 【中文】

一種半導體裝置結構以及一種用於製造一半導體裝置之方法。作為非限制性的例子，此揭露內容的各種特點係提供各種的半導體封裝結構、以及用於製造其之方法，其係包括一薄的細微間距的重新分佈結構。

### 【英文】

A semiconductor device structure and a method for making a semiconductor device. As non-limiting examples, various aspects of this disclosure provide various semiconductor package structures, and methods for making thereof, that comprise a thin fine-pitch redistribution structure.

【指定代表圖】 圖1J

【代表圖之符號簡單說明】

100J:封裝

110:重新分佈(RD)結構

121:互連結構

125:第一晶粒

126:第二晶粒

191:第二RDL線路

192:互連結構

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 半導體封裝以及製造其之方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND FABRICATING  
METHOD THEREOF

### 【技術領域】

【0001】 本申請案係有關於一種半導體封裝以及一種製造其之方法。

【0002】 相關申請案的交互參照/納入作為參考

【0003】 此申請案係相關於2013年1月29日申請且名稱為"半導體裝置以及製造半導體裝置的方法"的美國專利申請案序號13/753,120；2013年4月16日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號13/863,457；2013年11月19日申請且名稱為"具有直通矽穿孔-較不深的井之半導體裝置"的美國專利申請案序號14/083,779；2014年3月18日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/218,265；2014年6月24日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/313,724；2014年7月28日申請且名稱為"具有薄的重新分佈層之半導體裝置"美國專利申請案序號14/444,450；2014年10月27日申請且名稱為"具有降低的厚度之半導體裝置"的美國專利申請案序號14/524,443；2014年11月4日申請且名稱為"中介體、其之製造方法、利用其之半導體封裝、以及用於製造該半導體封裝之方法"的美國專利申請案序號14/532,532；2014年11月18日申請且名稱為"具有降低的翹曲之半導體裝置"的美國專利申請案序號14/546,484；以及2015年3月27日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/671,095；該些美國專利申請案的每一個的內容茲在此以其整體納入作為參考。

**【先前技術】**

**【0004】** 目前的半導體封裝以及用於形成半導體封裝之方法是不足的，其例如是產生超額的成本、降低的可靠度、或是過大的封裝尺寸。透過習知及傳統的方式與如同在本申請案之參考圖式的其餘部分中所闡述的本揭露內容之比較，此種習知及傳統的方式之進一步的限制及缺點對於具有此項技術的技能者而言將會變成是明顯的。

**【發明內容】**

**【0005】** 此揭露內容的各種特點係提供一種半導體裝置結構以及一種用於製造一半導體裝置之方法。作為非限制性的例子，此揭露內容的各種特點係提供各種的半導體封裝結構以及用於製造其之方法，其係包括一薄的細微間距的重新分佈(redistribution)結構。

**【圖式簡單說明】**

**【0006】** 所附的圖式係被包括在內以提供本揭露內容的進一步的理解，並且被納入在此說明書中而且構成說明書的一部分。該圖式係描繪本揭露內容的例子，並且和說明一起用以解說本揭露內容的各種原理。在圖式中：

[圖1]A-1J係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖2]是根據本揭露內容的各種特點的一種製造一半導體封裝之範例的方法的流程圖。

[圖3]A-3B係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖4]A-4D係展示描繪根據本揭露內容的各種特點的一種範例的半導體封

裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖5]A-5F係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖6]A-6D係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖7]A-7L係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖8]是根據本揭露內容的各種特點的一種製造一半導體封裝之範例的方法的流程圖。

[圖9]係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖10]A-10B係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖11]A-11D係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖12]A-12B係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖13]係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖14]係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖15]係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。

[圖16]係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以

及一種製造一半導體封裝之範例的方法的橫截面圖。

### 【實施方式】

【0007】 以下的討論是藉由提供本揭露內容的各種特點之各種例子來呈現該些特點。此種例子並非限制性的，並且因此本揭露內容的各種特點之範疇不應該是必然受限於所提供的例子之任何特定的特徵。在以下的討論中，該措辭"例如"、"譬如"以及"範例的"並非限制性的，並且大致與"舉例且非限制性的"、"例如且非限制性的"、及類似者為同義的。

【0008】 如同在此所利用的，"及/或"是表示在表列中藉由"及/或"所加入的項目中的任一個或多個。舉例而言，"x及/或y"是表示該三個元素的集合{(x)、(y)、(x, y)}中的任一元素。換言之，"x及/或y"是表示"x及y中的一或兩者"。作為另一例子的是，"x、y及/或z"是表示該七個元素的集合{(x)、(y)、(z)、(x, y)、(x, z)、(y, z)、(x, y, z)}中的任一元素。換言之，"x、y及/或z"是表示"x、y及z中的一或多個"。

【0009】 在此所用的術語只是為了描述特定例子之目的而已，因而並不欲限制本揭露內容。如同在此所用的，單數形係欲亦包含複數形，除非上下文另有清楚相反的指出。進一步將會理解到的是，當該些術語"包括"、"包含"、"具有"、與類似者用在此說明書時，其係指明所述特點、整數、步驟、操作、元件及/或構件的存在，但是並不排除一或多個其它特點、整數、步驟、操作、元件、構件及/或其之群組的存在或是添加。

【0010】 將會瞭解到的是，儘管該些術語第一、第二、等等可被使用在此以描述各種的元件，但是這些元件不應該受限於這些術語。這些術語只是被用來區別一元件與另一元件而已。因此，例如在以下論述的一第一元件、一第一構件或是一第一區段可被稱為一第二元件、一第二構件或是一第二區段，而不

脫離本揭露內容的教示。類似地，各種例如是"上方"、"下方"、"側邊"與類似者的空間的術語可以用一種相對的方式而被用在區別一元件與另一元件。然而，應該瞭解的是構件可以用不同的方式加以定向，例如一半導體裝置可被轉向側邊，因而其"頂"表面是水平朝向的，並且其"側"表面是垂直朝向的，而不脫離本揭露內容的教示。

**【0011】** 本揭露內容的各種特點係提供一種半導體裝置或封裝以及其之一種製造(或製作)方法，其可以減少成本、增進可靠度、及/或增進該半導體裝置的可製造性。

**【0012】** 本揭露內容之以上的特點以及其它特點將會在以下各種範例的實施方式的說明中加以描述、或是從該說明而明顯得知。本揭露內容的各種特點現在將會參考所附的圖式來加以呈現，使得熟習此項技術者可以輕易地實施該各種的特點。

**【0013】** 圖1A-1J係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。在圖1A-1J中所展示的結構可以和在圖3A-3B、4A-4D、5A-5F、6A-6D、7A-7L、9、10A-10B、11A-11D、12A-12B、13、14、15及16中所示之類似的結構共用任一或是所有的特徵。圖2是根據本揭露內容的各種特點的一種製造一半導體封裝之範例的方法200的流程圖。圖1A-1K例如可以描繪在圖2的方法200之各種的步驟(或區塊)的一範例的半導體封裝。圖1A-1K以及圖2現在將會一起加以論述。應注意到的是，該方法200的範例的區塊的順序可以變化，而不脫離此揭露內容的範疇。

**【0014】** 該範例的方法200在區塊205可以包括製備一用於處理(例如，用於封裝)的邏輯晶圓。區塊205可包括用各種方式的任一種來製備一用於處理的邏輯晶圓，其之非限制性的方式係在此加以呈現。

**【0015】** 例如，區塊205可包括例如是從供應商運送、從在一製造位置的



一上游製程、等等來接收一邏輯晶圓。該邏輯晶圓例如可以包括一半導體晶圓，其係包括複數個主動的半導體晶粒。該半導體晶粒例如可以包括一處理器晶粒、記憶體晶粒、可程式化的邏輯晶粒、特殊應用積體電路晶粒、一般的邏輯晶粒、等等。

**【0016】** 區塊205例如可以包括在該邏輯晶圓上形成導電的互連結構。此種導電的互連結構例如可以包括導電的墊、平面(land)、凸塊或球、導電柱、等等。該形成例如可以包括附接預先形成的互連結構至該邏輯晶圓、在該邏輯晶圓上電鍍互連結構、等等。

**【0017】** 在一範例的實施方式中，該些導電的結構可包括導電柱(其係包括銅及/或鎳)、並且可包括一焊料蓋(例如，其係包括錫及/或銀)。例如，包括導電柱的導電的結構可包括：**(a)**一凸塊底部金屬化("UBM")結構，其係包含**(i)**一藉由濺鍍所形成的鈦-鎢(TiW)層(其可被稱為一"晶種層")、以及**(ii)**一在該鈦-鎢層上藉由濺鍍所形成的銅(Cu)層；**(b)**一在該UBM上藉由電鍍所形成的銅柱；以及**(c)**一被形成在該銅柱上的焊料層、或是一被形成在該銅柱上的鎳層以及一被形成在該鎳層上的焊料層。

**【0018】** 再者，在一範例的實施方式中，該些導電的結構可包括一種鉛及/或無鉛的晶圓凸塊。例如，無鉛的晶圓凸塊(或是互連結構)可以至少部分是藉由以下來加以形成的：**(a)**形成一凸塊底部金屬化(UBM)結構，其係藉由以下的**(i)**藉由濺鍍以形成一鈦(Ti)或是鈦-鎢(TiW)層、**(ii)**在該鈦或是鈦-鎢層上藉由濺鍍以形成一銅(Cu)層、**(iii)**以及在該銅層上藉由電鍍以形成一鎳(Ni)層；以及**(b)**在該UBM結構的鎳層上藉由電鍍以形成一無鉛的焊料材料，其中該無鉛的焊料材料係具有一按重量計的1%到4%銀(Ag)的成分，並且該按重量計的成分的其餘部分是錫(Sn)。

**【0019】** 區塊205例如可以包括執行該邏輯晶圓的部分或是全面的薄化

(例如，研磨、蝕刻、等等)。區塊205例如也可以包括切割該邏輯晶圓成為個別的晶粒或是晶粒組，以用於後續的安裝。區塊205亦可包括從在一製造設施之一相鄰或是上游的製造站、從另一地理位置、等等接收該邏輯晶圓。接收到的邏輯晶圓例如可以是已經製備的、或是額外的製備步驟可加以執行。

**【0020】** 一般而言，區塊205可包括製備一用於處理(例如，用於封裝)的邏輯晶圓。於是，此揭露內容的範疇不應該受限於特定類型的邏輯晶圓及/或晶粒處理的特徵。

**【0021】** 該範例的方法200在區塊210可以包括製備一載體、基板、或是晶圓。所製備的(或是接收到的)晶圓可被稱為一重新分佈結構晶圓或是RD晶圓。區塊210可包括用各種方式的任一種來製備一用於處理的RD晶圓，其之非限制性的例子係在此加以呈現。

**【0022】** 該RD晶圓例如可以包括一中介體晶圓、封裝基板的晶圓、等等。該RD晶圓例如可以包括一種形成(例如，以逐一晶粒的方式)在一半導體(例如，矽)晶圓上的重新分佈結構。該RD晶圓例如可以只包括電性路徑，而不包括電子裝置(例如，半導體裝置)。該RD晶圓例如亦可以包括被動的電子裝置，但是不包括主動的半導體裝置。例如，該RD晶圓可包括一或多個導電層或線路，其係被形成在一基板或載體上(例如，直接或間接在其上)、或是耦接至一基板或載體。該載體或基板的例子可包含一半導體(例如，矽)晶圓或是一玻璃基板。在一半導體晶圓上被用來形成導電層(例如，銅、鋁、鎢、等等)的製程的例子係包含利用半導體晶圓製程，其在此亦可以被稱為後段製程(BEOL)。在一範例的實施方式中，該些導電層可以利用一濺鍍及/或電鍍製程來沉積在一基板上面或是之上。該些導電層可被稱為重新分佈層。該些重新分佈層可被用來在兩個或多個電連線之間繞線一電性信號、及/或將一電連線繞線成為一較寬或是較窄的間距。

**【0023】** 在一範例的實施方式中，該重新分佈結構(例如，可以附接至電

子裝置的互連結構(例如，平面、線路、等等))的各種部分可被形成具有一個次微米的間距(或是中心至中心的間隔)及/或小於一個2微米的間距。在各種的其它實施方式中，一個2-5微米的間距可被利用。

**【0024】** 在一範例的實施方式中，該重新分佈結構被形成於其上的一矽晶圓可包括比可被充分利用來形成最終附接至該重新分佈結構的半導體晶粒較低等級的矽。在另一範例的實施方式中，該矽晶圓可以是來自一失敗的半導體裝置晶圓製造之一回收的矽晶圓。在另一範例的實施方式中，該矽晶圓可包括比可被充分利用來形成最終附接至該重新分佈結構的半導體晶粒較薄的一矽層。區塊210亦可包括從在一製造設施之一相鄰或是上游的製造站、從另一地理位置、等等來接收該RD晶圓。接收到的RD晶圓例如可以是已經製備的、或是額外的製備步驟可加以執行。

**【0025】** 圖1A係提供區塊210的各種特點的一範例的圖示。參照圖1A，該RD晶圓100A例如可以包括一支撐層105(例如，一矽或其它半導體層、一玻璃層、等等)。一重新分佈(RD)結構110可被形成在該支撐層105上。該RD結構110例如可以包括一基底介電層111、一第一介電層113、第一導電線路112、一第二介電層116、第二導電線路115、以及互連結構117。

**【0026】** 該基底介電層111例如可以是在該支撐層105上。該基底介電層111例如可以包括一氧化物層、一氮化物層、等等。該基底介電層111例如可以是按照規格被形成的，且/或可以是自然的。介電層111可被稱為一保護層。例如，介電層111可以是一利用低壓化學氣相沉積(LPCVD)製程所形成的二氧化矽層、或者是包括該二氧化矽層。

**【0027】** 該RD晶圓100A例如也可以包括第一導電線路112以及一第一介電層113。該些第一導電線路112例如可以包括沉積的導電金屬(例如，銅、鋁、鎢、等等)。導電線路112可以藉由濺鍍及/或電鍍來加以形成。該些導電線路112

例如可以是在一個次微米或是次兩微米的間距(或是中心至中心的間隔)下加以形成。該第一介電層113例如可以包括一種無機介電材料(例如，矽氧化物、矽氮化物、等等)。注意到的是，在各種的實施方式中，該介電層113可在第一導電線路112之前被形成，其例如是被形成有孔洞，該些孔洞係接著被填入第一導電線路112或是其之一部分。在一例如包括銅導電線路之範例的實施方式中，一種雙鑲嵌(dual damascene)製程可被利用來沉積該些線路。

**【0028】** 在一替代的組件中，該第一介電層113可包括一種有機介電材料。例如，該第一介電層113可包括雙順丁烯二酸醯亞胺/三氮吡(bismaleimidetriazine(BT))、酚樹脂(phenolic resin)、聚醯亞胺(PI)、苯環丁烯(benzocyclobutene(BCB))、聚苯並噁唑(polybenzoxazole(PBO))、環氧樹脂以及其等同物及其化合物，但是本揭露內容的特點並不限於此。該有機介電材料可以用各種方式的任一種(例如是化學氣相沉積(CVD))來加以形成。在此種替代的組件中，該些第一導電線路112例如可以是在一個2-5微米的間距(或是中心至中心的間隔)。

**【0029】** 該RD晶圓100A例如也可以包括第二導電線路115以及一第二介電層116。該些第二導電線路115例如可以包括沉積的導電金屬(例如，銅、等等)。該些第二導電線路115例如可以透過個別的導電貫孔114(例如，在該第一介電層113中)以連接至個別的第一導電線路112。該第二介電層116例如可以包括一種無機介電材料(例如，矽氧化物、矽氮化物、等等)。在一替代的組件中，該第二介電層116可包括一種有機介電材料。例如，該第二介電層116可包括雙順丁烯二酸醯亞胺/三氮吡(BT)、酚樹脂、聚醯亞胺(PI)、苯環丁烯(BCB)、聚苯並噁唑(PBO)、環氧樹脂以及其等同物及其化合物，但是本揭露內容的特點並不限於此。該第二介電層116例如可以利用一CVD製程來加以形成，但是此揭露內容的範疇並不限於此。

【0030】 儘管兩組的介電層及導電線路被描繪在圖1A中，但應瞭解的是該RD晶圓100A的RD結構110可包括任意數量的此種層及線路。例如，該RD結構110可以只包括一介電層及/或多組的導電線路、三組的介電層及/或導電線路、等等。

【0031】 如同在區塊205的邏輯晶圓製備，區塊210可包括在該RD結構110的一表面上形成互連結構(例如，導電凸塊、導電球、導電柱、導電平面或墊、等等)。此種互連結構117的例子係被展示在圖1A中，其中該RD結構110係包括互連結構117，其係被展示為形成在該RD結構110的正面(或頂端)側上，並且透過在該第二介電層116中的導電貫孔來電連接至個別的第二導電線路115。此種互連結構117例如可被利用以將該RD結構110耦接至各種的電子構件(例如，主動的半導體構件或晶粒、被動的構件、等等)。

【0032】 該些互連結構117例如可以包括各種導電材料的任一種(例如，銅、鎳、金、等等的任一種或是一組合)。該些互連結構117例如也可以包括焊料。

【0033】 一般而言，區塊210可包括製備一重新分佈結構晶圓(RD晶圓)。於是，此揭露內容的範疇不應該受限於執行此種製備的任何特定方式的特徵。

【0034】 該範例的方法200在區塊215可以包括在該RD晶圓上形成互連結構(例如，通模孔(TMV)互連結構)。區塊215可包括用各種方式的任一種來形成此種互連結構。

【0035】 該些互連結構可包括各種特徵的任一種。例如，該些互連結構可包括焊料球或凸塊、多球體的焊料柱、細長的焊料球、在一金屬核心之上具有一焊料層的金屬(例如，銅)核心球、電鍍的柱結構(例如，銅柱、等等)、導線結構(例如，引線接合的線)、等等。

【0036】 該些互連結構可包括各種尺寸的任一種。例如，該些互連結構可以從該RD晶圓延伸到一高度是小於耦接至該RD晶圓的電子構件(例如，在區塊

220)的高度。同樣例如的是，該些互連結構可以從該RD晶圓延伸到一高度是大於或等於耦接至該RD晶圓的電子構件的高度。此種相對的高度的重要性於在此的討論中將會變成是明顯的(例如，在模製薄化、封裝堆疊、頂端基板附接、頂端重新分佈結構的形成等等的討論中)。該些互連結構例如也可以在各種的間距下(或是中心至中心的間隔)加以形成。例如，該些互連結構(例如，導電柱或柱體)可以在一個150-250微米或是更小的間距之下加以電鍍及/或接合的。同樣例如的是，該些互連結構(例如，細長及/或填入金屬的焊料結構)可以在一個250-350微米或是更小的間距之下加以附接。同樣例如的是，該些互連結構(例如，焊料球)可以在一個350-450微米或是更小的間距之下加以附接。

**【0037】** 區塊215可包括用各種方式的任一種來附接該些互連結構。例如，區塊215可包括在該RD晶圓上回焊附接互連結構、在該RD晶圓上電鍍互連結構、在該RD晶圓上引線接合互連結構、利用導電的環氧樹脂以將預先形成的互連結構附接至該RD晶圓、等等。

**【0038】** 圖1B係提供區塊215的各種特點(例如，互連結構形成的特點)的一範例的圖示。在範例的組件100B中，互連結構121(例如，焊料球)係被附接(例如，回焊附接、利用一焊料的球式滴落製程來附接、等等)至該RD晶圓100A的RD結構110。

**【0039】** 儘管兩列的互連結構121被展示，但是各種的實施方式可包括單一系列、三列、或是任意數量的列。如同將會在此論述的，各種範例的實施方式可以不具有此種互連結構121，並且因此區塊215可內含在範例的方法200中。

**【0040】** 注意到的是，儘管在該範例的方法200中，該區塊215是在區塊230的晶圓模製操作之前被執行，但是該些互連結構可以替代地在該晶圓模製操作之後加以形成(例如，在該模製材料中形成貫孔並且接著以導電材料來填充此種孔)。同樣注意到的是，如同在圖2中所示，區塊215例如可以在區塊220的晶粒附

接操作之後加以執行，而不是在晶粒附接之前。

**【0041】** 一般而言，區塊215可包括在該RD晶圓上形成互連結構。於是，此揭露內容的範疇不應該受限於特定類型的互連結構的特徵、或是受限於形成此種互連結構的任何特定方式的特徵。

**【0042】** 該範例的方法200在區塊220可以包括附接一或多個半導體晶粒至該RD結構(例如，該RD晶圓的RD結構)。區塊220可包括用各種方式的任一種來附接該晶粒至該RD結構，其之非限制性的例子係在此加以提供。

**【0043】** 該半導體晶粒可包括各種類型的半導體晶粒的任一種的特徵。例如，該半導體晶粒可包括一處理器晶粒、一記憶體晶粒、一特殊應用積體電路晶粒、一般的邏輯晶粒、主動的半導體構件、等等)。注意到的是，被動的構件亦可以在區塊220加以附接。

**【0044】** 區塊220可包括用各種方式的任一種來附接該半導體晶粒(例如，如同在區塊205所製備者)。例如，區塊220可包括利用批量回焊(mass reflow)、熱壓接合(TCB)、導電的環氧樹脂、等等來附接該半導體晶粒。

**【0045】** 圖1B係提供區塊220的各種特點(例如是晶粒附接特點)的一範例的圖示。例如，第一晶粒125(例如，其可以是已經從一在區塊205製備的邏輯晶圓切割而來的)係電性且機械式地附接至該重新分佈結構110。類似地，第二晶粒126(例如，其可以是已經從一在區塊205製備的邏輯晶圓切割而來的)係電性且機械式地附接至該重新分佈結構110。例如，如同在區塊205所解說的，該邏輯晶圓(或是其之晶粒)可以已經被製備具有各種被形成在其上的互連結構(例如，導電的墊、平面、凸塊、球、晶圓凸塊、導電柱、等等)。此種結構係在圖1B中被大致展示為項目119。區塊220例如可以包括利用各種的附接製程(例如，批量回焊、熱壓接合(TCB)、導電的環氧樹脂、等等)的任一種，以電性且機械式地附接此種互連結構至該重新分佈結構110。

【0046】 該第一晶粒125以及第二晶粒126可包括各種晶粒特徵的任一。在一範例情節中，該第一晶粒125可包括一處理器晶粒，並且該第二晶粒126可包括一記憶體晶粒。在另一範例情節中，該第一晶粒125可包括一處理器晶粒，並且該第二晶粒126可包括一協同處理器晶粒。在另一範例情節中，該第一晶粒125可包括一感測器晶粒，並且該第二晶粒126可包括一感測器處理晶粒。儘管在圖1B的組件100B係被展示為具有兩個晶粒125、126，但是其可以有任意數量的晶粒。例如，其可以只有一晶粒、三個晶粒、四個晶粒、或是超過四個晶粒。

【0047】 此外，儘管該第一晶粒125以及第二晶粒126係被展示為相對於彼此橫向地附接至該重新分佈結構110，但是它們亦可以用一垂直的組件來加以配置。此種結構之各種非限制性的例子係在此被展示及論述(例如，晶粒在晶粒上的堆疊、晶粒附接到相對的基板側、等等)。再者，儘管該第一晶粒125以及第二晶粒126係被展示為具有大致類似的尺寸，但是此種晶粒125、126可包括不同的個別的特徵(例如，晶粒高度、覆蓋區、連接間距、等等)。

【0048】 該第一晶粒125以及第二晶粒126係被描繪為具有大致一致的間距，但是此並不必要是如此。例如，該第一晶粒125在第一晶粒覆蓋區的緊鄰該第二晶粒126的一區域中的大部分或全部的接點119及/或該第二晶粒126在第二晶粒覆蓋區的緊鄰該第一晶粒125的一區域中的大部分的接點119可以具有比其它大部分或全部的接點119實質更細的間距。例如，該第一晶粒125最靠近第二晶粒126(及/或該第二晶粒126最靠近第一晶粒125)的前面5、10或是n列的接點119可以具有一30微米的間距，而其它的接點119大致可以具有一80微米及/或200微米的間距。該RD結構110因此可以具有在該對應的間距下之對應的接觸結構及/或線路。

【0049】 一般而言，區塊220係包括附接一或多個半導體晶粒至該重新分



佈結構(例如，一重新分佈晶圓的重新分佈結構)。於是，此揭露內容的範疇不應該受限於任何特定的晶粒的特徵、或是受限於任何特定的多晶粒的佈局的特徵、或是受限於附接此種晶粒的任何特定方式的特徵、等等。

**【0050】** 該範例的方法200在區塊225可以包括底膠填充(底膠填充ing)在區塊220附接至該RD結構的半導體晶粒及/或其它構件。區塊225可包括用各種方式的任一種來執行此種底膠填充，其之非限制性的例子係在此加以呈現。

**【0051】** 例如，在區塊220的晶粒附接之後，區塊225可包括利用一種毛細管底膠填充來底膠填充該半導體晶粒。例如，該底膠填充可包括一種足夠黏的強化聚合材料，其係在一毛細管作用中流動在該附接晶粒與RD晶圓之間。

**【0052】** 同樣例如的是，區塊225可包括在該晶粒於區塊220正被附接(例如，利用一熱壓接合製程)時，利用一種非導電膏(NCP)及/或一種非導電膜(NCF)或帶來底膠填充該半導體晶粒。例如，此種底膠填充材料可以在附接該半導體晶粒之前先加以沉積(例如，印刷、噴塗、等等)。

**【0053】** 如同在該範例的方法200中所描繪的所有的區塊，只要在該晶粒與重新分佈結構之間的空間是可接達的，區塊225就可以在該方法200的流程中的任何位置加以執行。

**【0054】** 該底膠填充亦可以發生在該範例的方法200的一不同的區塊處。例如，該底膠填充可以作為該晶圓模製區塊230的部分(例如，利用一種模製底膠填充)來加以執行。

**【0055】** 圖1B係提供區塊225的各種特點(例如，該底膠填充的特點)的一範例的圖示。該底膠填充128係被設置在該第一半導體晶粒125與重新分佈結構110之間、以及在該第二半導體晶粒126與重新分佈結構110之間，其例如是圍繞該些接點119。

**【0056】** 儘管該底膠填充128係大致被描繪為平坦的，但是該底膠填充可

以升起並且在該半導體晶粒及/或其它構件的側邊上形成圓角(fillet)。在一範例情節中，該些晶粒側表面的至少四分之一或是至少一半可以被覆蓋該底膠填充材料。在另一範例情節中，該些整個側表面的一或多個或是全部可以被覆蓋該底膠填充材料。同樣例如的是，直接在該些半導體晶粒之間、在該半導體晶粒與其它構件之間、及/或在其它構件之間的空間的一實質的部分可以被填入該底膠填充材料。例如，在橫向相鄰的半導體晶粒之間、在該晶粒與其它構件之間、及/或在其它構件之間的至少一半的空間或是全部的空間可以被填入該底膠填充材料。在一範例的實施方式中，該底膠填充128可以覆蓋該RD晶圓的整個重新分佈結構110。在此種範例實施方式中，當該RD晶圓之後被切割時，此種切割亦可切穿過該底膠填充128。

**【0057】** 一般而言，區塊225可包括底膠填充在區塊220附接至該RD結構的半導體晶粒及/或其它構件。於是，此揭露內容的範疇不應該受限於任何特定類型的底膠填充或是執行此種底膠填充的任何特定方式的特徵。

**【0058】** 該範例的方法200在區塊230可以包括模製該RD晶圓(例如，或是一RD結構)。區塊230可包括用各種方式的任一種來模製該RD晶圓，其之非限制性的例子係在此加以呈現。

**【0059】** 例如，區塊230可包括模製在該RD晶圓的頂表面之上、在區塊220附接的晶粒及/或其它構件之上、在區塊215所形成的互連結構(例如，導電球、橢圓體、柱或柱體(例如，電鍍的柱、線或是接合線等等)、等等)之上、在區塊225所形成的底膠填充之上、等等。

**【0060】** 區塊230例如可以包括利用壓縮模製(例如，其係利用液體、粉末及/或膜)、或是真空模製。同樣例如的是，區塊230可包括利用一轉移模製製程(例如，一晶圓級轉移模製製程)。

**【0061】** 該模製材料例如可以包括各種特徵的任一種。例如，該模製材料

(例如，環氧模製化合物(EMC)、環氧樹脂模製化合物、等等)可包括一相對高的模數，例如用以在一後續的製程中提供晶圓支撐。同樣例如的是，該模製材料可包括一相對低的模數，以在一後續的製程中提供晶圓彈性。

**【0062】** 如同在此所解說的，例如有關於區塊225，區塊230的模製製程可以在該晶粒與該RD晶圓之間提供底膠填充。在此種例子中，在該模製的底膠填充材料與囊封該半導體晶粒的模製材料之間可以有均勻的材料。

**【0063】** 圖1C係提供區塊230的各種特點(例如，模製特點)的一範例的圖示。例如，模製組件100C係被展示為其中模製材料130覆蓋該些互連結構121、第一半導體晶粒125、第二半導體晶粒126、底膠填充128、以及重新分佈結構110的頂表面。儘管該模製材料130(其在此亦可被稱為囊封材料)係被展示為完全覆蓋該第一半導體晶粒125以及第二半導體晶粒126的側邊以及頂端，但是此並不必要是如此的。例如，區塊230可包括利用一膜輔助或是晶粒密封的模製技術，以保持晶粒的頂端沒有模製材料。

**【0064】** 一般而言，該模製材料130例如可以直接接觸並且覆蓋該些晶粒125、126的未被該底膠填充128覆蓋的部分。例如，在一其中該些晶粒125、126的側邊的至少一第一部分係被底膠填充128覆蓋的情節中，該模製材料130可以直接接觸並且覆蓋晶粒125、126的側邊的一第二部分。該模製材料130例如也可以填入在晶粒125、126之間的空間(例如，尚未被填入底膠填充128的空間的至少一部分)。

**【0065】** 一般而言，區塊230可包括模製該RD晶圓。於是，此揭露內容的範疇不應該受限於任何特定的模製材料、結構及/或技術的特徵。

**【0066】** 該範例的方法200在區塊235可以包括研磨(或者是薄化)在區塊230所施加的模製材料。區塊235可包括用各種方式的任一種來研磨(或薄化)該模製材料，其之非限制性的例子係在此加以呈現。

【0067】 區塊235例如可以包括機械式研磨該模製材料，以薄化該模製材料。此種薄化例如可以將該晶粒及/或互連結構保留為包覆模製的、或是此種薄化可以露出一或多個晶粒及/或一或多個互連結構。

【0068】 區塊235例如可以包括研磨除了該模製化合物之外的其它構件。例如，區塊235可包括研磨在區塊220所附接的晶粒的頂端側(例如，背側或是非主動側)。區塊235例如也可以包括研磨在區塊215所形成的互連結構。此外，在一其中在區塊225或區塊230所施加的底膠填充是向上足夠的延伸的情節中，區塊235亦可包括研磨此種底膠填充材料。此種研磨例如可以在該被研磨的材料的頂端產生一平坦的平面表面。

【0069】 區塊235例如可以是在一其中該模製材料的高度原先就被形成在一所要的厚度的情節中被跳過。

【0070】 圖1D係提供區塊235的各種特點(例如，該模製研磨特點)的一範例的圖示。組件100D係被描繪為其中該模製材料130(例如，相對於在圖1C所描繪的模製材料130)被薄化，以露出晶粒125、126的頂表面。在此種例子中，該晶粒125、126亦可以是已經被研磨(或者是被薄化)。

【0071】 儘管如同在圖1D中所繪，該模製材料的頂表面是在該些互連結構121之上，並且因此互連結構121並未被研磨，但是該些互連結構121也可以被研磨。此種範例實施方式例如可以在此階段產生一頂表面是包含晶粒125、126的一頂表面、模製材料130的一頂表面、以及互連結構121的一頂表面，所有的頂表面都在一共同的平面上。

【0072】 如同在此所解說的，該模製材料130在一包覆成型(overmold)配置中可以被保留以覆蓋該晶粒125、126。例如，該模製材料130可以不被研磨、或是該模製材料130可以被研磨，但是不到一露出該晶粒125、126的高度。

【0073】 一般而言，區塊235可包括研磨(或者是薄化)在區塊230所施加的

模製材料。於是，此揭露內容的範疇不應該受限於任何特定的研磨(或薄化)的量或是類型的特徵。

**【0074】** 該範例的方法200在區塊240可以包括剝蝕在區塊230所施加的模製材料。區塊240可包括用各種方式的任一種來剝蝕該模製材料，其之非限制性的例子係在此加以提供。

**【0075】** 如同在此論述的，該模製材料可以覆蓋在區塊215所形成的互連結構。若該模製材料覆蓋互連結構，並且該些互連結構需要被露出(例如，用於後續的封裝附接、頂端側的重新分佈層形成、頂端側的積層基板附接、電連接、散熱器連接、電磁屏蔽的連接、等等)，則區塊240可包括剝蝕該模製材料以露出該些連接結構。

**【0076】** 區塊240例如可以包括利用雷射剝蝕，穿過該模製材料來露出該些互連結構。同樣例如的是，區塊240可包括利用軟性射束鑽孔、機械式鑽孔、化學鑽孔、等等。

**【0077】** 圖1D係提供區塊240的各種特點(例如，該剝蝕特點)的一範例的圖示。例如，該組件100D係被展示包括穿過該模製材料130而延伸至互連結構121之剝蝕的貫孔140。儘管該些剝蝕的貫孔140係被展示為具有垂直的側壁，但應瞭解的是貫孔140可包括各種形狀的任一種。例如，該些側壁可以是傾斜的(例如，在該模製材料130的頂表面具有比在互連結構121較大的開口)。

**【0078】** 儘管區塊240在圖2中係被描繪為緊接在區塊230的晶圓模製以及在區塊235的模製研磨之後，但是區塊240可以在該方法200中之後的任何點來加以執行。例如，區塊240可以在該晶圓支撐結構(例如，在區塊245所附接的)被移除之後加以執行。

**【0079】** 一般而言，區塊240可包括剝蝕在區塊230所施加的模製材料(例如，用以露出在區塊215所形成的互連結構)。於是，此揭露內容的範疇不應該受

限於執行此種剝蝕的任何特定方式的特徵、或是受限於任何特定的剝蝕的貫孔結構的特徵。

**【0080】** 該範例的方法200在區塊245可以包括將該模製RD晶圓(例如，其頂端或模製側)附接至一晶圓支撐結構。區塊245可包括用各種方式的任一種來將該模製RD晶圓附接至該晶圓支撐結構，其之非限制性的例子係在此加以提供。

**【0081】** 該晶圓支撐結構例如可以包括由矽、玻璃、或是各種其它的材料(例如，介電材料)所形成的一晶圓或固定裝置。區塊245例如可以包括利用一黏著劑、一真空固定裝置、等等以將該模製RD晶圓附接至該晶圓支撐結構。注意到的是，如同在此所描繪及解說的，一重新分佈結構可以在該晶圓支撐件附接之前被形成在該晶粒以及模製材料的頂端側(或是背面)上。

**【0082】** 圖1E係提供區塊245的各種特點(例如，晶圓支撐件附接特點)的一範例的圖示。晶圓支撐結構150係被附接至該模製材料130以及晶粒125、126的頂端側。該晶圓支撐結構150例如可以是利用一黏著劑來加以附接，並且此種黏著劑亦可被形成在該些貫孔140中而且接觸該些互連結構121。在另一範例的組件中，該黏著劑並未進入貫孔140且/或並未接觸互連結構121。注意到的是，在一其中該晶粒125、126的頂端被覆蓋模製材料130的組件中，該晶圓支撐結構150可能只有直接耦接至該模製材料130的頂端。

**【0083】** 一般而言，區塊245可包括將該模製RD晶圓(例如，其頂端或模製側)附接至一晶圓支撐結構。於是，此揭露內容的範疇不應該受限於任何特定類型的晶圓支撐結構的特徵、或是受限於附接一晶圓支撐結構的任何特定方式的特徵。

**【0084】** 該範例的方法200在區塊250可以包括從該RD晶圓移除一支撐層。區塊250可包括用各種方式的任一種來移除該支撐層，其之非限制性的例子係在此加以呈現。

【0085】 如同在此論述的，該RD晶圓可包括一RD結構被形成及/或承載於其上的一支撐層。該支撐層例如可以包括一種半導體材料(例如，矽)。在一其中該支撐層包括一矽晶圓層的範例情節中，區塊250可包括移除該矽(例如，從該RD晶圓移除該矽的全部、從該RD晶圓移除該矽的幾乎全部(例如是至少90%或95%)、等等)。例如，區塊250可包括機械式研磨該矽的幾乎全部，接著是一乾式或濕式化學蝕刻以移除剩餘部分(或是該剩餘部分的幾乎全部)。在一其中該支撐層係鬆弛地附接至被形成(或承載)於其上的RD結構的範例情節中，區塊250可包括拉開或是剝離以分開該支撐層與該RD結構。

【0086】 圖1F係提供區塊250的各種特點(例如，支撐層移除特點)的一範例的圖示。例如，該支撐層105(在圖1E中所示)係從該RD結構110被移除。在該舉例說明的例子中，該RD結構110仍然可以包括一如同在此論述的基底介電層111(例如，一氧化物、氮化物、等等)。

【0087】 一般而言，區塊250可包括從該RD晶圓移除一支撐層。於是，此揭露內容的範疇不應該受限於任何特定類型的晶圓材料的特徵、或是受限於晶圓材料移除的任何特定方式的特徵。

【0088】 該範例的方法200在區塊255可以包括形成及圖案化一第一重新分佈層(RDL)的介電層，以用於蝕刻該RD結構的一氧化物層。區塊255可包括用各種方式的任一種來形成及圖案化該第一RDL介電層，其之非限制性的例子係在此加以呈現。

【0089】 在大致於此論述的例子中，該RD晶圓的RD結構大致是被形成在一氧化物層(或是氮化物或其它介電質)上。為了致能金屬到金屬的附接至該RD結構，該氧化物層的覆蓋該RD結構的線路(或是墊或平面)的部分可以例如是藉由蝕刻而被移除。注意到的是，該氧化物層並不一定需要被移除或是完全被移除，只要其具有可接受的導電度即可。

【0090】 該第一RDL介電層例如可以包括一聚醯亞胺或是一聚苯並噁唑(PBO)材料。該第一RDL介電層例如可以包括一疊層的膜或是其它材料。該第一RDL介電層例如可以大致包括一種有機材料。然而，在各種的範例實施方式中，該第一RDL介電層可包括一種無機材料。

【0091】 在一範例的實施方式中，該第一RDL介電層可包括一種被形成在該RD結構的基底介電層的一第一側上之有機材料(例如，聚醯亞胺、PBO、等等)，該基底介電層可包括一氧化物或氮化物或是其它的介電材料。

【0092】 該第一RDL介電層例如可被利用作為一用於蝕刻例如是一氧化物或氮化物層的基底介電層之遮罩(例如，在區塊260)。同樣例如的是，在蝕刻之後，該第一RDL介電層可以保留，例如是被利用於其上形成導電的RDL線路。

【0093】 在一替代的範例情節中(未顯示)，一臨時的遮罩層(例如，一臨時的光阻層)可被利用。例如，在蝕刻之後，該臨時的遮罩層可被移除，並且由一永久的RDL介電層所取代。

【0094】 圖1G係提供區塊255的各種特點的一範例的圖示。例如，該第一RDL介電層171係在該基底介電層111上被形成及圖案化。該圖案化的第一RDL介電層171例如可以包括穿過該第一RDL介電層171的貫孔172，而該基底介電層111例如可以透過貫孔172而被蝕刻(例如，在區塊260)，並且第一線路(或是其之部分)可被形成在貫孔172中(例如，在區塊265)。

【0095】 一般而言，區塊255可包括例如是在該基底介電層上形成及圖案化一第一介電層(例如，一第一RDL介電層)。於是，此揭露內容的範疇不應該受限於一特定的介電層的特徵、或是受限於形成一介電層的一特定方式的特徵。

【0096】 該範例的方法200在區塊260可以包括從該RD結構蝕刻該基底介電層(例如，氧化物層、氮化物層、等等)，例如是其之未被遮罩的部分。區塊260可包括用各種方式的任一種來執行該蝕刻，其之非限制性的例子係在此加以呈



現。

**【0097】** 例如，區塊260可包括執行一乾式蝕刻製程(或者是一濕式蝕刻製程)以蝕刻穿過該基底介電層(例如，氧化物、氮化物、等等)的藉由穿過該第一介電層的貫孔所露出部分，該第一介電層是作用為一用於該蝕刻的遮罩。

**【0098】** 圖1G係提供區塊260的各種特點(例如，介電質蝕刻特點)的一範例的圖示。例如，該基底介電層111的在圖1F中被展示是在該第一導電線路112之下的部分係自圖1G被移除。此例如是致能在該第一導電線路112與在區塊265所形成的第一RDL線路之間的一金屬到金屬的接觸。

**【0099】** 一般而言，區塊260例如可以包括蝕刻該基底介電層。於是，此揭露內容的範疇不應該受限於執行此種蝕刻的任何特定的方式。

**【0100】** 該範例的方法200在區塊265可以包括形成第一重新分佈層(RDL)線路。區塊265可包括用各種方式的任一種來形成該第一RDL線路，其之非限制性的例子係在此加以呈現。

**【0101】** 如同在此論述的，該第一RDL介電層(例如，在區塊255所形成的)可被利用於蝕刻(例如，在區塊260)並且接著保留以用於該些第一RDL線路的形成。或者是，該第一RDL介電層可以在該蝕刻製程之後加以形成及圖案化。在此論述的又一替代的實施方式中，該用於基底介電層的蝕刻製程可被跳過，例如是在一其中該基底介電層(例如，一薄的氧化物或氮化物層)是足夠導電的、以充分地作為一在金屬線路之間的導電路徑的實施方式中。

**【0102】** 區塊265可包括形成該第一RDL線路以附接至該RD結構的透過該圖案化的第一RDL介電層所露出的第一導電線路。該第一RDL線路亦可被形成在該第一RDL介電層上。區塊265可包括用各種方式的任一種(例如是藉由電鍍)來形成該第一RDL線路，但是此揭露內容的範疇並不限於形成此種線路的任何特定方式的特徵。

【0103】 該些第一RDL線路可包括各種材料(例如，銅、金、鎳、等等)的任一種。該第一RDL線路例如可以包括各種尺寸的特徵的任一種。例如，一用於該第一RDL線路之典型的間距例如可以是5微米。在一範例的實施方式中，該些第一RDL線路例如可以在一中心至中心間距是大約或至少一數量級大於該RD晶圓的RD結構的各種線路被形成所在的一間距(例如，在一個次微米的間距、大約0.5微米的間距、等等)來加以形成。

【0104】 圖1G及1H係提供區塊265的各種特點(例如，RDL線路形成特點)的一範例的圖示。例如，第一RDL線路的一第一部分181可被形成在該第一RDL介電層171的貫孔172中並且接觸該RD結構110的藉由此種貫孔172所露出的第一導電線路112。同樣例如的是，第一RDL線路的一第二部分182可被形成在該第一RDL介電層171上。

【0105】 一般而言，區塊265可包括形成第一重新分佈層(RDL)線路。於是，此揭露內容的範疇不應該受限於任何特定的RDL線路的特徵、或是受限於形成此種RDL線路的任何特定方式的特徵。

【0106】 該範例的方法200在區塊270可以包括在該些第一RDL線路(例如，在區塊265所形成的)以及該第一RDL介電層(例如，在區塊255所形成的)之上形成及圖案化一第二RDL介電層。區塊270可包括用各種方式的任一種來形成及圖案化該第二介電層，其之非限制性的例子係在此加以呈現。

【0107】 例如，區塊270可以與區塊255共用任一或是所有的特徵。該第二RDL介電層例如可以是利用一種和在區塊255所形成的第一RDL介電層相同的材料來加以形成。

【0108】 該第二RDL介電層例如可以包括一聚醯亞胺或是一聚苯並噁唑(PBO)材料。該第二RDL介電層例如可以大致包括一種有機材料。然而，在各種的範例實施方式中，該第一RDL介電層可包括一種無機材料。

【0109】 圖1H係提供區塊270的各種特點的一範例的圖示。例如，該第二RDL介電層183係被形成在該些第一RDL線路181、182上、以及在該第一RDL介電層171上。如同在圖1H中所示，貫孔184係被形成在該第二RDL層183中，而可以透過貫孔184來做成導電的接觸到藉由此種貫孔184所露出的第一RDL線路182。

【0110】 一般而言，區塊270可包括形成及/或圖案化一第二RDL介電層。於是，此揭露內容的範疇不應該受限於任何特定的介電層的特徵、或是受限於形成一介電層的任何特定方式的特徵。

【0111】 該範例的方法200在區塊275可以包括形成第二重新分佈層(RDL)線路。區塊275可包括用各種方式的任一種來形成該第二RDL線路，其之非限制性的例子係在此加以呈現。區塊275例如可以與區塊265共用任一或是所有的特徵。

【0112】 區塊275可包括形成附接到第一RDL線路(例如，在區塊265所形成的)的第二RDL線路，而該些第一RDL線路係透過在該圖案化的第二RDL介電層(例如，在區塊270所形成的)中的貫孔而被露出。該些第二RDL線路亦可被形成在該第二RDL介電層上。區塊275可包括用各種方式的任一種(例如是藉由電鍍)來形成該些第二RDL線路，但是此揭露內容的範疇並不限於任何特定的方式的特徵。

【0113】 如同第一RDL線路，該些第二RDL線路可包括各種材料(例如，銅、等等)的任一種。此外，該第二RDL線路例如可以包括各種尺寸的特徵的任一種。

【0114】 圖1H及1I係提供區塊275的各種特點的一範例的圖示。例如，該些第二RDL線路191可被形成在第二RDL介電層183中的貫孔184內，以接觸透過此種貫孔184所露出的第一RDL線路181。此外，該第二RDL線路191可被形成在

該第二RDL介電層183上。

【0115】 一般而言，區塊275可包括形成第二重新分佈層(RDL)線路。於是，此揭露內容的範疇不應該受限於任何特定的RDL線路的特徵、或是受限於形成此種RDL線路的任何特定方式的特徵。

【0116】 該範例的方法200在區塊280可以包括在第二RDL線路(例如，在區塊275所形成的)以及第二RDL介電層(例如，在區塊270所形成的)之上形成及圖案化一第三RDL介電層。區塊280可包括用各種方式的任一種來形成及圖案化該第三介電層，其之非限制性的例子係在此加以呈現。

【0117】 例如，區塊280可以與區塊270及255共用任一或是所有的特徵。該第三RDL介電層例如可以是利用一和在區塊255(及/或在區塊260的蝕刻以及剝除一臨時的遮罩層之後)所形成的第一RDL介電層相同的材料、及/或利用一和在區塊270所形成的第二RDL介電層相同的材料來加以形成。

【0118】 該第三RDL介電層例如可以包括一聚醯亞胺或是一聚苯並噁唑(PBO)材料。該第三RDL介電層例如可以大致包括一種有機材料。然而，在各種的範例實施方式中，該第三RDL介電層可包括一種無機材料。

【0119】 圖1I係提供區塊280的各種特點的一範例的圖示。例如，該第三RDL層185可被形成在該些第二RDL線路191上以及在該第二RDL層183上。如同在圖1I中所示，貫孔係被形成在該第三RDL層185中，而可以透過該些貫孔來做成導電的接觸到藉由此種貫孔所露出的第二RDL線路191。

【0120】 一般而言，區塊280可包括形成及/或圖案化一第三RDL介電層。於是，此揭露內容的範疇不應該受限於任何特定的介電層的特徵、或是受限於形成一介電層的任何特定方式的特徵。

【0121】 該範例的方法200在區塊285可以包括在該些第二RDL線路上、及/或在該第三RDL介電層上形成互連結構。區塊285可包括用各種方式的任一種來

形成該些互連結構，其之非限制性的例子係在此加以呈現。

**【0122】** 區塊285例如可以包括在透過在該第三介電層中的貫孔所露出的第二RDL線路的部分上形成一凸塊底部(underbump)金屬。區塊285接著例如可以包括將導電凸塊或球附接至該凸塊底部金屬。其它的互連結構也可以被利用，其例子係在此加以呈現(例如，導電柱或柱體、焊料球、焊料凸塊、等等)。

**【0123】** 圖1I係提供區塊285的各種特點(例如，互連結構形成的特點)的一範例的圖示。例如，互連結構192係透過在該第三RDL介電層185中所形成的貫孔而被附接至該些第二RDL線路191。注意到的是，儘管該些互連結構192被描繪為小於互連結構121，但是此揭露內容並未如此受限的。例如，該些互連結構192可以是和互連結構121相同的尺寸、或是大於互連結構121。此外，該些互連結構192可以是和互連結構121相同類型的互連結構、或者可以是一不同的類型。

**【0124】** 儘管在區塊255-285所形成的重新分佈層(其亦可被稱為正面重新分佈層(RDL))在圖1中係大致以一種扇出組件(例如，延伸到晶粒125、126的覆蓋區之外)來加以描繪，但是它們亦可以用一種扇入組件來加以形成，例如其中互連結構192大致並未延伸到晶粒125、126的覆蓋區之外。此種組件之非限制性的例子係在此加以呈現。

**【0125】** 一般而言，區塊285例如可包括在該些第二RDL線路上及/或在該第三RDL介電層上形成互連結構。於是，此揭露內容的範疇不應該受限於任何特定的互連結構的特徵、或是受限於形成互連結構的任何特定的方式。

**【0126】** 該範例的方法200在區塊290可以包括脫黏(或分離)在區塊245所附接的晶圓支撐件。區塊290可包括用各種方式的任一種來執行此種脫黏，其之非限制性的特點係在此加以呈現。

**【0127】** 例如，在一其中該晶圓支撐件是黏附地附接的範例情節中，該黏著劑可被釋放(例如，利用熱及/或力)。同樣例如的是，化學脫模劑可被利用。

在另一其中該晶圓支撐件是利用一真空力附接的範例情節中，該真空力可被釋放。注意到的是，在一涉及黏著劑或是其它物質以助於該晶圓支撐件的安裝的情節中，區塊285可包括在該脫黏之後，從該電性組件及/或從該晶圓支撐件清除殘留物。

**【0128】** 圖1I及1J係提供區塊290的各種特點的一範例的圖示。例如，在圖1I中描繪的晶圓支撐件150係在圖1J中被移除。

**【0129】** 一般而言，區塊290可包括脫黏該晶圓支撐件。於是，此揭露內容的範疇不應該受限於任何特定類型的晶圓支撐件的特徵、或是受限於脫黏一晶圓支撐件的任何特定的方式。

**【0130】** 該範例的方法200在區塊295可以包括切割該晶圓。區塊295可包括用各種方式的任一種來切割該晶圓，其之非限制性的例子係在此加以呈現。

**【0131】** 在此的討論大致已經聚焦在該RD晶圓的單一晶粒的處理。此種聚焦在該RD晶圓的單一晶粒只是為了清楚的舉例說明而已。應瞭解的是，在此論述的所有製程步驟都可以在一整個晶圓上被執行。例如，在圖1A-1J以及在此的其它圖所提出的每一個圖示都可以在單一晶圓上被複製數十或是數百次。例如，在切割之前，在該晶圓的所舉例說明的組件中之一組件與一相鄰的組件之間可以是不分開的。

**【0132】** 區塊295例如可以包括從該晶圓切割出(例如，機械沖壓切割、機械鋸切割、雷射切割、軟性射束切割、電漿切割、等等)個別的封裝。此種切割的最終結果例如可以是在圖1J中所示的封裝。例如，該切割可以形成該封裝的側表面是包括該封裝的複數個構件之共面的側表面。例如，該模製材料130、RD結構110的介電層、各種的RDL介電層、底膠填充128、等等的任一個或是全部的側表面可以是共面的。

**【0133】** 一般而言，區塊295可包括切割該晶圓。於是，此揭露內容的範

疇不應該受限於切割一晶圓的任何特定方式的特徵。

【0134】 圖1及2係提出各種範例的方法的特點以及其之變化。其它範例的方法的特點現在將會參考另外的圖來加以提出。

【0135】 如同在此論述的，在圖1及2的討論中，區塊235可包括研磨(或者是薄化)該模製材料130，以露出晶粒125、126中的一或多個。一例子係在圖1D被提供。

【0136】 亦如同所論述的，在區塊235的模製研磨(或薄化)並不需要加以執行、或是可加以執行到一範圍是仍然讓晶粒125、126的頂端被覆蓋模製材料130。一例子係在圖3被提供。如同在圖3A中所示，該模製材料130係覆蓋半導體晶粒125、126的頂端。注意到的是，該些互連結構121可以是比晶粒125、126較矮或是較高的。繼續該比較，並非是出現如同在圖1J中展示之所產生的封裝100J，而是所產生的封裝300B可以出現如同在圖3B中所示者。

【0137】 再者，如同在此所論述的，在圖1及2的討論中，形成TMV互連結構的區塊215以及TMV模製剝蝕的區塊240可被跳過。一個例子係在圖4被提供。如同在圖4A中所示，相對於區塊215及圖1B，其並沒有形成TMV互連結構121。如同在圖4B中所示，相對於區塊230及圖1C，該模製材料130並未覆蓋互連結構。

【0138】 繼續該比較，如同在此所解說的，在區塊235的模製研磨(或薄化)可加以執行到一範圍是從該模製材料130露出晶粒125、126的頂端中的一或多個。圖4C係提供此種處理的一範例的圖示。一般而言，圖4C的組件400C係類似於圖1J的組件100J，再減去互連結構121以及穿過模製材料130來露出該些互連結構的剝蝕的貫孔。

【0139】 同樣例如的是，如同在此所解說的，在區塊235的模製研磨(或薄化)可被跳過、或是被執行到一範圍是讓晶粒125、126的頂端被覆蓋模製材料

130。圖4D係提供此種處理的一範例的圖示。一般而言，圖4D的組件400D係類似於圖1J的組件100J，再減去互連結構121以及穿過模製材料130來露出該些互連結構的剝蝕的貫孔，並且其中模製材料130係覆蓋晶粒125、126。

**【0140】** 在另一例子中，如同在此所解說的，在區塊215的討論中，該些TMV互連可包括各種結構的任一種，例如一導電柱(例如，電鍍的柱或柱體、垂直的導線、等等)。圖5A係提供附接至該RD結構110的導電柱521之一範例的圖示。該些導電柱521例如可以是電鍍在該RD結構110上。該些導電柱521例如也可以包括附接(例如，引線接合的附接、焊接、等等)至該RD結構110並且垂直地延伸的線(例如，引線接合的線)。該些導電柱521例如可以從該RD結構110延伸到一高度是大於晶粒125、126的一高度、等於晶粒125、126中的一或多個的高度、小於晶粒125、126的一高度、等等。在一範例的實施方式中，該些柱可以具有一大於或等於200微米的高度，而且在一個100-150微米的中心至中心的間距下。注意到的是，任意數量的列的柱521可被形成。一般而言，圖5A的組件500A係類似於圖1B的組件100B，其中導電柱521是作為互連結構，而不是導電球121。

**【0141】** 繼續該例子，圖5B係描繪被覆蓋模製材料130的RD結構110、導電柱521、半導體晶粒125、126、以及底膠填充128。該模製例如可以根據該範例的方法200的區塊230來加以執行。一般而言，圖5B的組件500B係類似於圖1C的組件100C，其中導電柱521是作為互連結構，而不是導電球121。

**【0142】** 仍然繼續該例子，圖5C係描繪該模製材料130已經被薄化(例如，被研磨)到一所要的厚度。該薄化例如可以根據該範例的方法200的區塊235來加以執行。例如，注意到的是，該些導電柱521及/或半導體晶粒125、126亦可被薄化。一般而言，圖5D的組件500D係類似於圖1D的組件100D，其中導電柱521是作為互連結構，而不是導電球121，並且亦不具有圖1D的剝蝕的貫孔140。例如，該模製材料130的薄化可以露出導電柱521的頂端。然而，若該模製材料130的薄



化並不露出導電柱521的頂端，則一模製剝蝕操作(例如，根據區塊240)可加以執行。注意到的是，儘管該組件是被展示為半導體晶粒125、126的頂端被露出，但是該些頂端並不必要被露出。例如，該些柱521可以是高於半導體晶粒125、126。此種範例的配置例如可以容許該些柱521能夠從該模製材料130露出且/或從該模製材料130突出，同時該模製材料130係持續覆蓋半導體晶粒125、126的背表面，其例如可以提供保護給半導體晶粒125、126，避免或降低翹曲、等等。

**【0143】** 在一其中該些柱521係被形成具有一高度是小於晶粒125、126之範例的實施方式中，該薄化可包括首先研磨該模製材料130，接著是研磨該模製材料130以及晶粒125、126的背面(或非主動)側，直到該些柱521被露出為止。在此時點，該薄化可被停止、或者可以繼續，例如是研磨該模製材料130、晶粒125、126以及柱521。

**【0144】** 繼續該例子，在圖5C中所示的組件500C可以進一步藉由在該模製材料130以及晶粒125、126之上形成一重新分佈層(RDL)532來加以處理。圖5D係展示此種處理的一個例子。該重新分佈層532在此亦可被稱為背面重新分佈(RDL)層532。儘管此種背面RDL的形成並未明確地展示在該範例的方法200的任一區塊中，但是此種操作可以在該些區塊的任一個中被執行，例如是在區塊235的模製研磨操作之後而且在區塊245的晶圓支撐件附接之前(例如，在區塊235、在區塊240、在區塊245、或是在此些區塊的任一個之間)。

**【0145】** 如同在圖5D中所示，一第一背面介電層533可以在該模製材料130以及晶粒125、126上加以形成及圖案化。該第一背面介電層533例如可以用一種和在區塊260所形成的第一RDL介電層171相同或類似的方式而被形成及圖案化，儘管第一RDL介電層171是在一不同的表面上。例如，該第一背面介電層533可被形成在該模製材料130上以及在該半導體晶粒125、126上(例如，在晶粒125、126的露出的背表面的正上方、在覆蓋晶粒125、126的背表面的模製材

料130上、等等)，並且貫孔534可以在該第一背面介電層533中被形成(例如是藉由蝕刻、剝蝕、等等)，以至少露出該些導電柱521的頂端。注意到的是，在一其中該模製材料130覆蓋半導體晶粒125、126的背表面之範例的配置中，該第一背面介電層533仍然可被形成，但是其並不必要是如此的(例如，在以下論述的背面線路535可以直接被形成在該模製材料130上，而不是在該第一背面介電層533上)。

**【0146】** 背面線路535可被形成在該第一背面介電層533上、以及在該第一背面介電層533的貫孔534中。該些背面線路535因此可以電連接至導電柱521。該些背面線路535例如可以用一種和在區塊265所形成的第一RDL線路相同或類似的方式來加以形成。該些背面線路535的至少某些個(若非全部的話)例如可以從導電柱521水平地延伸到在半導體晶粒125、126的正上方的位置處。該些背面線路535的至少某些個例如也可以從導電柱521延伸到並非在半導體晶粒125、126的正上方的位置處。

**【0147】** 一第二背面介電層536可以在該第一背面介電層533以及背面線路535上加以形成及圖案化。該第二背面介電層536例如可以用一種和在區塊270所形成的第二RDL介電層183相同或類似的方式而被形成及圖案化，儘管該第二RDL介電層183是在一不同的表面上。例如，該第二背面介電層536可被形成在該第一背面介電層533之上以及在該些背面線路535之上，並且貫孔537可以在該第二背面介電層536中被形成(例如，藉由蝕刻、剝蝕、等等)，以露出該些背面線路535的接觸區域。

**【0148】** 背面互連墊538(例如，球體接觸墊)可被形成在該第二背面介電層536上且/或在該第二背面介電層536的貫孔537中。該些背面互連墊538因此可以電連接至背面線路535。該些背面互連墊538例如可以用一種和在區塊275所形成的第二RDL線路相同或類似的方式而被形成。該些背面互連墊538例如可以

是藉由形成金屬接觸墊及/或形成凸塊底部金屬化來加以形成(例如，用以強化後續藉由互連結構的附接至背面線路535)。

**【0149】** 儘管該背面RDL層532係被展示為具有兩個背面介電層533、536以及一層的背面線路535，但應瞭解的是任意數量的介電層及/或線路層都可被形成。

**【0150】** 如同例如在圖5E中所展示的，在該背面RDL層532被形成之後，一晶圓支撐結構150可以附接至該背面RDL層532(例如，直接、利用一介於中間的黏著層、利用真空力、等等)。該晶圓支撐件150例如可以用一種和在區塊245所附接的晶圓支撐件150相同或類似的方式來加以附接。例如，圖5E係展示該晶圓支撐件150的以一種類似於圖1E的附接之方式的附接，儘管其中是附接至該RDL層532，而不是附接至該模製層130以及半導體晶粒125、126。

**【0151】** 如同例如在圖5F中所描繪的，該支撐層105(在圖5E中所示)可以從該RD晶圓被移除，一正面重新分佈層可被形成在該RD結構110的一與晶粒125、126相對的側邊上，互連結構192可被形成，並且該晶圓支撐件150可被移除。

**【0152】** 例如，該支撐層105可以用一種和在此相關區塊250以及圖1E-1F所論述的相同或類似的方式來加以移除。同樣例如的是，一正面重新分佈層可以用一種和在此相關區塊255-280以及圖1G-1H所論述的相同或類似的方式來加以形成。此外例如的是，互連結構192可以用一種和在此相關區塊285以及圖1I所論述的相同或類似的方式而被形成。又例如的是，該晶圓支撐件150可以用一種和在此相關區塊290以及圖1J所論述的相同或類似的方式而被移除。

**【0153】** 在另一範例的實施方式中，一基板(例如，一積層基板、封裝基板、等等)可以附接在半導體晶粒125、126之上，其例如是在此相關圖5所論述的背面RDL之替代或額外的。例如，如同在圖6A中所繪，互連結構621可被形成在

一高度是將會延伸到晶粒125、126的高度。注意到的是，此高度並不一定存在，例如在一其中該背面基板係具有其本身的互連結構、或是其中額外的互連結構係被利用在該些互連結構621與背面基板之間的情節中。該些互連結構621例如可以用一種和在此相關區塊215以及圖1B所論述的相同或類似的方式來加以附接。

【0154】 繼續該例子，如同在圖6B中所繪，該組件600B可加以模製，並且若必要的話，該模製物可被薄化。此種模製及/或薄化例如可以用一種和在此相關區塊230及235以及圖1C及1D所論述的相同或類似的方式來加以執行。

【0155】 如同在圖6C中所示，一晶圓支撐件150可加以附接，支撐層105可被移除，並且一正面側RDL可被形成。例如，一晶圓支撐件150可以用一種和在此相關區塊245以及圖1E所論述的相同或類似的方式來加以附接。同樣例如的是，支撐層105可以用一種和在此相關區塊250以及圖1F所論述的相同或類似的方式來加以移除。同樣例如的是，一正面RDL可以用一種和在此相關區塊255-280以及圖1G-1H所論述的相同或類似的方式來加以形成。

【0156】 如同在圖6D中所繪，互連結構192可加以附接，該晶圓支撐件150可被移除，並且背面基板632可加以附接。例如，該互連結構192可以用一種和在此相關區塊285以及圖1I所論述的相同或類似的方式來加以附接。同樣例如的是，該晶圓支撐件150可以用一種和在此相關區塊290以及圖1J所論述的相同或類似的方式來加以移除。又例如的是，該背面基板632可以電性附接至互連結構621、及/或機械式附接至模製材料130及/或晶粒125、126。該背面基板632例如可以用晶圓(或面板)形式及/或單一封裝形式來加以附接，並且例如可以在切割(例如，如同在區塊295論述的)之前或是之後附接。

【0157】 在圖1-7中所示並且在此論述之範例的方法及組件只是非限制性的例子而已，其係被呈現以描繪此揭露內容的各種特點。此種方法及組件亦可

以和在以下的共同申請之美國專利申請案中所展示及論述的方法及組件共用任一或是所有的特徵：2013年1月29日申請且名稱為"半導體裝置以及製造半導體裝置的方法"的美國專利申請案序號13/753,120；2013年4月16日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號13/863,457；2013年11月19日申請且名稱為"具有直通矽穿孔-較不深的井之半導體裝置"的美國專利申請案序號14/083,779；2014年3月18日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/218,265；2014年6月24日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/313,724；2014年7月28日申請且名稱為"具有薄的重新分佈層之半導體裝置"的美國專利申請案序號14/444,450；2014年10月27日申請且名稱為"具有降低的厚度之半導體裝置"的美國專利申請案序號14/524,443；2014年11月4日申請且名稱為"中介體、其之製造方法、利用其之半導體封裝、以及用於製造該半導體封裝之方法"的美國專利申請案序號14/532,532；2014年11月18日申請且名稱為"具有降低的翹曲之半導體裝置"的美國專利申請案序號14/546,484；以及2015年3月27日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/671,095；該些美國專利申請案的每一個的內容茲在此以其整體納入作為參考。

**【0158】** 應注意到的是，在此論述的半導體封裝的任一個或是全部都可以(但是並不必要)附接至一封裝基板。此種半導體裝置封裝以及製造其之方法的各種非限制性的例子現在將會加以論述。

**【0159】** 圖7A-7L係展示描繪根據本揭露內容的各種特點的一種範例的半導體封裝以及一種製造一半導體封裝之範例的方法的橫截面圖。在圖7A-7L中所展示的結構例如可以和在圖1A-1J、3A-3B、4A-4D、5A-5F、6A-6D、9、10A-10B、11A-11D、12A-12B、13及14中所示之類似的結構共用任一或是所有的特徵。圖8是根據本揭露內容的各種特點的一種製造一半導體封裝之範例的方

法800的流程圖。該範例的方法800例如可以和在圖2中所描繪而且在此論述之範例的方法200以及和任何在此論述的方法共用任一或是所有的特徵。圖7A-7L例如可以描繪在圖8的製造方法800的各種步驟(或區塊)之範例的半導體封裝。圖7A-7L以及圖8現在將會一起加以論述。

**【0160】** 該範例的方法800在區塊805可以包括製備一用於處理(例如，用於封裝)的邏輯晶圓。區塊805可包括用各種方式的任一種來製備一用於處理的邏輯晶圓，其之非限制性的例子係在此加以呈現。區塊805例如可以和在圖2中所示以及在此論述之範例的方法200的區塊205共用任一或是所有的特徵。

**【0161】** 該範例的方法800在區塊810可以包括製備一重新分佈結構晶圓(RD晶圓)。區塊810可包括用各種方式的任一種來製備一用於處理的RD晶圓，其之非限制性的例子係在此加以提供。區塊810例如可以和在圖2中所示以及在此論述之範例的方法200的區塊210共用任一或是所有的特徵。

**【0162】** 圖7A係提供區塊810的各種特點的一範例的圖示。參照圖7A，該RD晶圓700A例如可以包括一支撐層705(例如，一矽層)。一重新分佈(RD)結構710可被形成在該支撐層705上。該RD結構710例如可以包括一基底介電層711、一第一介電層713、第一導電線路712、一第二介電層716、第二導電線路715、以及互連結構717。

**【0163】** 該基底介電層711例如可以是在該支撐層705上。該基底介電層711例如可以包括一氧化物層、一氮化物層、等等。該基底介電層711例如可以是按照規格被形成的，且/或可以是自然的。

**【0164】** 該RD晶圓700A例如也可以包括第一導電線路712以及一第一介電層713。該些第一導電線路712例如可以包括沉積的導電金屬(例如，銅、等等)。該第一介電層713例如可以包括一種無機介電材料(例如，矽氧化物、矽氮化物、等等)。在一替代的組件中，該第一介電層713可包括一種有機介電材料。

【0165】 該RD晶圓700A例如也可以包括第二導電線路715以及一第二介電層716。該第二導電線路715例如可以包括沉積的導電金屬(例如，銅、等等)。該第二導電線路715例如可以透過個別的導電貫孔714(例如，在該第一介電層713中)來連接至個別的第一導電線路712。該第二介電層716例如可以包括一種無機介電材料(例如，矽氧化物、矽氮化物、等等)。在一替代的組件中，該第二介電層716可包括一種有機介電材料。

【0166】 儘管兩組的介電層以及導電線路係被描繪在圖7A中，但應瞭解的是該RD晶圓700A的RD結構710可包括任意數量的此種層及線路。例如，該RD結構710可以只包括一介電層及/或一組的導電線路、三組的介電層及/或導電線路、等等。

【0167】 如同在區塊805的邏輯晶圓製備，區塊810可包括在該RD結構710的一表面上形成互連結構(例如，導電凸塊、導電球、導電柱、導電的平面或墊、等等)。此種互連結構717的例子係被展示在圖7A中，其中該RD結構710係包括互連結構717，其係被展示為被形成在該RD結構710的正面(或頂端)側上，並且透過在該第二介電層716中的導電貫孔來電連接至個別的第二導電線路715。此種互連結構717例如可被利用以耦接該RD結構710至各種的電子構件(例如，主動的半導體構件或晶粒、被動的構件、等等)。

【0168】 該些互連結構717例如可以包括各種導電材料的任一種(例如，銅、鎳、金、等等的任一個或是一組合)。該些互連結構717例如也可以包括焊料。

【0169】 一般而言，區塊810可包括製備一重新分佈結構晶圓(RD晶圓)。於是，此揭露內容的範疇不應該受限於執行此種製備的任何特定方式的特徵。

【0170】 該範例的方法800在區塊820可以包括附接一或多個半導體晶粒至該RD結構(例如，該RD晶圓的RD結構)。區塊820可包括用各種方式的任一種來附接該晶粒至該RD結構，其之非限制性的例子係在此加以提供。區塊820例如

可以和在圖2中所示以及在此論述之範例的方法200的區塊220共用任一或是所有的特徵。

**【0171】** 圖7B係提供區塊820的各種特點(例如，該晶粒附接)的一範例的圖示。例如，第一晶粒725(例如，其可以是已經從一在區塊805所製備的邏輯晶圓被切割出)係電性且機械式地附接至該重新分佈結構710。類似地，該第二晶粒726(例如，其可以是已經從一在區塊805所製備的邏輯晶圓被切割出)係電性且機械式地附接至該重新分佈結構710。

**【0172】** 該第一晶粒725以及第二晶粒726可包括各種晶粒特徵的任一種。在一範例情節中，該第一晶粒725可包括一處理器晶粒，並且該第二晶粒726可包括一記憶體晶粒。在另一範例情節中，該第一晶粒725可包括一處理器晶粒，並且該第二晶粒726可包括一協同處理器晶粒。在另一範例情節中，該第一晶粒725可包括一感測器晶粒，並且該第二晶粒726可包括一感測器處理晶粒。儘管在圖7B的組件700B係被展示為具有兩個晶粒725、726，但是其可以有任意數量的晶粒。例如，其可以只有一晶粒、三個晶粒、四個晶粒、或是超過四個晶粒。

**【0173】** 此外，儘管該第一晶粒725以及第二晶粒726係被展示為相對於彼此橫向地附接至該重新分佈結構710，但是它們亦可以被配置在一垂直的組件中。此種結構的各種非限制性的範例的組件係在此被展示及論述(例如，晶粒在晶粒上的堆疊、晶粒附接到相對的基板側、等等)。再者，儘管該第一晶粒725以及第二晶粒726係被展示為具有大致類似的尺寸，但是此種晶粒725、726可包括不同的個別的特徵(例如，晶粒高度、覆蓋區、連接間距、等等)。

**【0174】** 該第一晶粒725以及第二晶粒726係被描繪為具有大致一致的間距，但是此並不必要是如此。例如，該第一晶粒725在第一晶粒覆蓋區的緊鄰該第二晶粒726的一區域中的大部分或全部的接點及/或該第二晶粒126在第二晶粒



覆蓋區的緊鄰該第一晶粒725的一區域中的大部分的接點可以具有比其它大部分或全部的接點實質更細的間距。例如，該第一晶粒725最靠近第二晶粒726(及/或該第二晶粒726最靠近第一晶粒725)的前面5、10或是n列的接點可以具有一30微米的間距，而其它的接點大致可以具有一80微米及/或200微米的間距。該RD結構710因此可以具有在該對應的間距下之對應的接觸結構及/或線路。

**【0175】** 一般而言，區塊820係包括將一或多個半導體晶粒附接至該重新分佈結構(例如，一重新分佈晶圓的重新分佈結構)。於是，此揭露內容的範疇不應該受限於任何特定的晶粒的特徵、或是受限於任何特定的多晶粒的佈局的特徵、或是受限於附接此種晶粒的任何特定方式的特徵、等等。

**【0176】** 該範例的方法800在區塊825可以包括底膠填充在區塊820所附接至該RD結構的半導體晶粒及/或其它構件。區塊825可包括用各種方式的任一種來執行此種底膠填充，其之非限制性的例子係在此加以呈現。區塊825例如可以和在圖2中所示以及在此論述之範例的方法200的區塊225共用任一或是所有的特徵。

**【0177】** 圖7B係提供區塊825的各種特點(例如，該底膠填充)的一範例的圖示。該底膠填充728係被設置在該第一半導體晶粒725與重新分佈結構710之間、以及在該第二半導體晶粒726與重新分佈結構710之間。

**【0178】** 儘管該底膠填充728係大致被描繪為平坦的，但是該底膠填充可以升起並且在該半導體晶粒及/或其它構件的側邊上形成圓角。在一範例情節中，該些晶粒側表面的至少四分之一或是至少一半可以被覆蓋該底膠填充材料。在另一範例情節中，該些整個側表面的一或多個或是全部可以被覆蓋該底膠填充材料。同樣例如的是，直接在該些半導體晶粒之間、在該半導體晶粒與其它構件之間、及/或在其它構件之間的空間的一實質的部分可以被填入該底膠填充材料。例如，在橫向相鄰的半導體晶粒之間、在該半導體晶粒與其它構件

之間、及/或在其它構件之間的至少一半的空間或是全部的空間可以被填入該底膠填充材料。在一範例的實施方式中，該底膠填充728可以覆蓋該RD晶圓的整個重新分佈結構710。在此種範例實施方式中，當該RD晶圓之後被切割時，此種切割亦可切穿過該底膠填充728。

**【0179】** 一般而言，區塊825可包括底膠填充在區塊820附接至該RD結構的半導體晶粒及/或其它構件。於是，此揭露內容的範疇不應該受限於任何特定類型的底膠填充、或是執行此種底膠填充的任何特定方式的特徵。

**【0180】** 該範例的方法800在區塊830可以包括模製該RD晶圓(或是RD結構)。區塊830可包括用各種方式的任一種來模製該RD晶圓，其之非限制性的例子係在此加以呈現。區塊830例如可以和在圖2中所示以及在此論述之範例的方法200的區塊230共用任一或是所有的特徵。

**【0181】** 圖7C係提供區塊830的各種特點(例如，模製特點)的一範例的圖示。例如，該模製組件700C係被展示為其中該模製材料730覆蓋該第一半導體晶粒725、第二半導體晶粒726、底膠填充728、以及該重新分佈結構710的頂表面。儘管該模製材料730(其在此亦可被稱為囊封材料)係被展示為完全覆蓋該第一半導體晶粒725以及第二半導體晶粒726的側邊及頂端，但是此並不必要是如此。例如，區塊830可包括利用一膜輔助或是晶粒密封的模製技術，以保持晶粒的頂端沒有模製材料。

**【0182】** 一般而言，該模製材料730例如可以直接接觸並且覆蓋晶粒725、726的未被該底膠填充728覆蓋的部分。例如，在一其中該些晶粒725、726的側邊的至少一第一部分係被底膠填充728覆蓋的情節中，該模製材料730可以直接接觸並且覆蓋晶粒725、726的側邊的一第二部分。該模製材料730例如也可以填入在晶粒725、726之間的空間(例如，尚未被填入底膠填充728的空間的至少一部分)。

【0183】 一般而言，區塊830可包括模製該RD晶圓。於是，此揭露內容的範疇不應該受限於任何特定的模製材料、結構及/或技術的特徵。

【0184】 該範例的方法800在區塊835可以包括研磨(或者是薄化)在區塊830所施加的模製材料。區塊835可包括用各種方式的任一種來研磨(或薄化)該模製材料，其之非限制性的例子係在此加以呈現。區塊835例如可以和在圖2中所示以及在此論述之範例的方法200的區塊235共用任一或是所有的特徵。

【0185】 圖7D係提供區塊835的各種特點(例如，該模製研磨特點)的一範例的圖示。該組件700D係被描繪為該模製材料730(例如，相對於在圖7C描繪的模製材料730)被薄化，以露出晶粒725、726的頂表面。在此種例子中，該晶粒725、726也可以是已經被研磨(或者是被薄化)。

【0186】 如同在此所解說的，該模製材料730在一包覆成型組件中可以被保留以覆蓋晶粒725、726。例如，該模製材料730可以是未被研磨的、或是該模製材料730可以被研磨，但是並未到一露出晶粒725、726的高度。

【0187】 一般而言，區塊835可包括研磨(或者是薄化)在區塊830所施加的模製材料。於是，此揭露內容的範疇不應該受限於研磨(或薄化)的任何特定的量或類型的特徵。

【0188】 該範例的方法800在區塊845可以包括將該模製的RD晶圓(例如，其頂端或是模製側)附接至一晶圓支撐結構。區塊845可包括用各種方式的任一種來將該模製的RD晶圓附接至該晶圓支撐結構，其之非限制性的例子係在此加以提供。區塊845例如可以和在圖2中所示以及在此論述之範例的方法200的區塊245共用任一或是所有的特徵。

【0189】 圖7E係提供區塊845的各種特點(例如，晶圓支撐件附接的特點)的一範例的圖示。該晶圓支撐結構750係被附接至該模製材料730以及晶粒725、726的頂端側。該晶圓支撐結構750例如可以是利用一黏著劑來加以附接。注意

到的是，在一其中該些晶粒725、726的頂端被覆蓋該模製材料730的組件中，該晶圓支撐結構750可以只有直接耦接至該模製材料730的頂端。

**【0190】** 一般而言，區塊845可包括將該模製的RD晶圓(例如，其頂端或是模製側)附接至一晶圓支撐結構。於是，此揭露內容的範疇不應該受限於任何特定類型的晶圓支撐結構的特徵、或是受限於附接一晶圓支撐結構的任何特定方式的特徵。

**【0191】** 該範例的方法200在區塊850可以包括從該RD晶圓移除一支撐層。區塊850可包括用各種方式的任一種來移除該支撐層，其之非限制性的例子係在此加以呈現。區塊850例如可以和在圖2中所示以及在此論述之範例的方法200的區塊250共用任一或是所有的特徵。

**【0192】** 如同在此論述的，該RD晶圓可包括一RD結構被形成及/或承載於其上的一支撐層。該支撐層例如可以包括一種半導體材料(例如，矽)。在一其中該支撐層包括一矽晶圓層的範例情節中，區塊850可包括移除該矽(例如，從該RD晶圓移除該矽的全部、從該RD晶圓移除該矽的幾乎全部(例如是至少90%或95%)、等等)。例如，區塊850可包括機械式研磨該矽的幾乎全部，接著是一乾式或濕式化學蝕刻以移除剩餘部分(或是該剩餘部分的幾乎全部)。在一其中該支撐層係鬆弛地附接至被形成(或承載)於其上的RD結構的範例情節中，區塊850可包括拉開或是剝離以分開該支撐層與該RD結構。

**【0193】** 圖7F係提供區塊850的各種特點(例如，支撐層移除特點)的一範例的圖示。例如，該支撐層705(在圖7E中所示)係從該RD結構710被移除。在該舉例說明的例子中，該RD結構710仍然可以包括一如同在此論述的基底介電層711(例如，一氧化物、氮化物、等等)。

**【0194】** 一般而言，區塊850可包括從該RD晶圓移除一支撐層。於是，此揭露內容的範疇不應該受限於任何特定類型的晶圓材料的特徵、或是受限於晶

圓材料移除的任何特定方式的特徵。

**【0195】** 該範例的方法800在區塊855可以包括形成及圖案化一重新分佈層(RDL)介電層，以用於蝕刻該RD結構的一氧化物層。區塊855可包括用各種方式的任一種來形成及圖案化該RDL介電層，其之非限制性的例子係在此加以呈現。區塊855例如可以和在圖2中所示以及在此論述之範例的方法200的區塊255共用任一或是所有的特徵。

**【0196】** 圖7G係提供區塊855的各種特點的一範例的圖示。例如，該RDL介電層771係在該基底介電層711上被形成及圖案化。該圖案化的RDL介電層771例如可以包括穿過RDL介電層771的貫孔772，例如該基底介電層711可以透過貫孔772而被蝕刻(例如，在區塊860)，並且導電線路(或是其之部分)可被形成(例如，在區塊865)在貫孔772中。

**【0197】** 一般而言，區塊855可包括例如是在該基底介電層上形成及圖案化一介電層(例如，一RDL介電層)。於是，此揭露內容的範疇不應該受限於一特定的介電層的特徵、或是受限於形成一介電層的一特定方式的特徵。

**【0198】** 該範例的方法800在區塊860可以包括從該RD結構蝕刻該基底介電層(例如，氧化物層、氮化物層、等等)，例如是其之未被遮罩的部分。區塊860可包括用各種方式的任一種來執行該蝕刻，其之非限制性的例子係在此加以呈現。區塊860例如可以和在圖2中所示以及在此論述之範例的方法200的區塊260共用任一或是所有的特徵。

**【0199】** 圖7G係提供區塊860的各種特點的一範例的圖示。例如，該基底介電層711的被展示在圖7F中的第一導電線路712之下的部分係從圖7G被移除。例如，此係致能在該些第一導電線路712與在區塊865所形成的RDL線路之間的金屬到金屬的接觸。

**【0200】** 一般而言，區塊860例如可以包括蝕刻該基底介電層。於是，此

揭露內容的範疇不應該受限於執行此種蝕刻的任何特定的方式。

【0201】 該範例的方法800在區塊865可以包括形成重新分佈層(RDL)線路。區塊865可包括用各種方式的任一種來形成該RDL線路，其之非限制性的例子係在此加以呈現。區塊865例如可以和在圖2中所示以及在此論述之範例的方法200的區塊265共用任一或是所有的特徵。

【0202】 圖7G及7H係提供區塊865的各種特點(例如，RDL線路形成的特點)的一範例的圖示。例如，該些RDL線路的一第一部分781可被形成在該RDL介電層771的貫孔772中，並且接觸該RD結構710的藉由此種貫孔772所露出的第一導電線路712。同樣例如的是，該第一RDL線路的一第二部分782可被形成在該第一RDL介電層771上。

【0203】 一般而言，區塊865可包括形成重新分佈層(RDL)線路。於是，此揭露內容的範疇不應該受限於任何特定的RDL線路的特徵、或是受限於形成此種RDL線路的任何特定方式的特徵。

【0204】 注意到的是，儘管該範例的方法800係在區塊855之處只有展示一RDL介電層、並且在區塊865之處只有展示一RDL線路，但是此類的區塊可以依所要地被重複多次。

【0205】 該範例的方法800在區塊885可以在RDL線路上形成互連結構。區塊885可包括用各種方式的任一種來形成該些互連結構，其之非限制性的例子係在此加以呈現。例如，區塊885可以和在圖2中所示以及在此論述之範例的方法200的區塊285共用任一或是所有的特徵。

【0206】 區塊885例如可以在RDL線路上形成導電柱(例如，金屬柱、銅柱、焊料封頂的柱、等等)及/或導電凸塊(例如，焊料、等等)。例如，區塊885可以包括電鍍導電柱、設置或塗覆導電凸塊、等等。

【0207】 圖7I係提供區塊885的各種特點(例如，凸塊形成的特點)的一範例

的圖示。例如，互連結構792(例如，其係被展示為焊料封頂的柱，例如是銅柱)係被附接至該些RDL線路782。

【0208】 儘管在區塊855-885所形成的重新分佈層(其亦可被稱為正面重新分佈層(RDL))在圖7中係大致以一種扇入組件(例如，大致內含在晶粒725、726的覆蓋區之內)來加以描繪，但是它們亦可以用一種扇出組件來加以形成，例如其中互連結構792的至少一部份是大致延伸到晶粒725、726的覆蓋區之外。此種組件之非限制性的例子係在此加以呈現。

【0209】 一般而言，區塊885可包括例如在該些RDL線路上及/或在該RDL介電層上形成互連結構。於是，此揭露內容的範疇不應該受限於任何特定的互連結構的特徵、或是受限於形成互連結構的任何特定的方式。

【0210】 該範例的方法800在區塊890可以包括脫黏(或分離)在區塊845所附接的晶圓支撐件。區塊890可包括用各種方式的任一種來執行此種脫黏，其之非限制性的特點係在此加以呈現。例如，區塊890可以和在圖2中所示以及在此論述之範例的方法200的區塊290共用任一或是所有的特徵。

【0211】 圖7H及7I係提供區塊890的各種特點的一範例的圖示。例如，在圖7H中描繪的晶圓支撐件750係在圖7I中被移除。

【0212】 一般而言，區塊890可包括脫黏該晶圓支撐件。於是，此揭露內容的範疇不應該受限於任何特定類型的晶圓支撐件的特徵、或是受限於脫黏一晶圓支撐件的任何特定的方式。

【0213】 該範例的方法800在區塊895可以包括切割該晶圓。區塊895可包括用各種方式的任一種來切割該晶圓，其之非限制性的例子係在此加以呈現。區塊895例如可以和在圖2所示以及在此論述之範例的方法200的區塊295共用任一或是所有的特徵。

【0214】 在此的討論大致已經聚焦在討論該RD晶圓的單一晶粒的處理。

此種聚焦在該RD晶圓的單一晶粒只是為了清楚的舉例說明而已。應瞭解的是，在此論述的所有製程步驟(或區塊)都可以在一整個晶圓上被執行。例如，在圖7A-7L以及在此的其它圖所提出的每一個圖示都可以在單一晶圓上被複製數十或是數百次。例如，在切割之前，在該晶圓的所舉例說明的裝置組件中之一組件與一相鄰的裝置組件之間可以是不分開的。

**【0215】** 區塊895例如可以包括從該晶圓切割出(例如，機械沖壓切割、機械鋸切割、雷射切割、軟性射束切割、電漿切割、等等)個別的封裝。此種切割的最終結果例如可以是在圖7I中所示的封裝。例如，該切割可以形成該封裝的側表面是包括該封裝的複數個構件之共面的側表面。例如，該模製材料730、RD結構710的介電層、RDL介電層771、底膠填充728、等等的任一個或是全部的側表面可以是共面的。

**【0216】** 一般而言，區塊895可包括切割該晶圓。於是，此揭露內容的範疇不應該受限於切割一晶圓的任何特定方式的特徵。

**【0217】** 該範例的方法800在區塊896可以包括製備一基板、或是其之晶圓或面板，以用於該組件700I至其的附接。區塊896可包括用各種方式的任一種來製備一基板，其之非限制性的例子係在此加以呈現。區塊896例如可以和在圖2中所示以及在此論述之範例的方法200的區塊205及210共用任一個或是所有的特點。

**【0218】** 該基板例如可以包括各種基板的任一種的特徵。例如，該基板可包括一封裝基板、主機板基板、積層基板、模製基板、半導體基板、玻璃基板、等等)。區塊896例如可以包括製備該基板的正表面及/或背表面，以用於電性及/或機械式的附接。區塊896例如在此階段可以讓一面板的基板保留在一面板形式而在之後切開個別的封裝、或是可以在此階段從一面板切開個別的基板。

**【0219】** 區塊896亦可包括從在一製造設施之一相鄰或是上游的製造站、



從另一地理位置、等等來接收該基板。該接收到的基板例如可以是已經製備的、或是額外的製備步驟可加以執行。

**【0220】** 圖7J係提供區塊896的各種特點的一範例的圖示。例如，該組件700J係包含一被製備用於附接之範例的基板793。

**【0221】** 一般而言，區塊896可包括製備一基板、或是其之晶圓或面板，以用於該組件700I至其的附接。於是，此揭露內容的各種特點的範疇不應該受限於特定的基板的特徵、或是受限於製備一基板的任何特定方式的特徵。

**【0222】** 該範例的方法800在區塊897可以包括將一組件附接至該基板。區塊897可包括用各種方式的任一種來附接一組件(例如，一在圖7I所例示的組件700I或是其它組件)，其之非限制性的例子係在此加以呈現。區塊897例如可以和在圖2中所示以及在此論述之範例的方法200的區塊220共用任一或是所有的特徵。

**【0223】** 該組件可包括各種組件的任一種的特徵，其之非限制性的例子係在此加以呈現，例如是在所有的圖及/或在此相關的討論中。區塊897可包括用各種方式的任一種來附接該組件。例如，區塊897可包括利用批量回焊、熱壓接合(TCB)、導電的環氧樹脂、等等以將該組件附接至該基板。

**【0224】** 圖7J係提供區塊897的各種特點(例如，組件附接特點)的一範例的圖示。例如，在圖7I所展示的組件700I係被附接至該基板793。

**【0225】** 儘管未顯示在圖7J中，在各種的範例實施方式中(例如，如同在圖7K及7L中所示)，例如是穿模互連結構的互連結構可被形成在該基板793上。在此種範例實施方式中，區塊897可以和在圖2中所示以及在此論述之範例的方法200的區塊215共用任一或是所有的特徵，儘管是有關於在該基板793上形成這些互連結構。注意到的是，此種互連結構可以在該組件附接之前或是之後被執行、或是亦可以在區塊898的底膠填充之前或是之後被執行。

【0226】 一般而言，區塊897係包括將一組件附接至該基板。於是，此揭露內容的範疇不應該受限於任何特定的組件、基板、或是附接一組件至一基板的方式的特徵。

【0227】 該範例的方法800在區塊898可以包括底膠填充在該基板上的組件。區塊898可包括各種方式的底膠填充的任一種，其之非限制性的例子係在此加以呈現。區塊898例如可以和區塊825及/或在圖2中所示以及在此論述之範例的方法200的區塊225共用任一或是所有的特徵。

【0228】 例如，在區塊897的組件附接之後，區塊898可包括利用一毛細管底膠填充來底膠填充該附接組件。例如，該底膠填充可包括一種足夠黏的強化的聚合材料，以在一毛細管作用中流動在該組件與該基板之間。

【0229】 同樣例如的是，區塊897可包括在該組件於區塊897正被附接(例如，利用一熱壓接合製程)時，利用一種非導電膏(NCP)及/或一種非導電膜(NCF)或帶以底膠填充該半導體晶粒。例如，此種底膠填充材料可以在附接該組件之前加以沉積(例如，印刷、噴塗、等等)。

【0230】 如同在該範例的方法800中所描繪的所有區塊，區塊898可以在該方法800的流程中的任何位置處被執行，只要在該組件與該基板之間的空間是可接達的即可。

【0231】 該底膠填充亦可以發生在該範例的方法800之一不同的區塊處。例如，該底膠填充可以被執行為基板模製區塊899的部分(例如，利用一模製底膠填充)。

【0232】 圖7K係提供區塊898的各種特點(例如，該底膠填充特點)的一範例的圖示。該底膠填充794係被設置在該組件700I與基板793之間。

【0233】 儘管該底膠填充794係大致被描繪為平坦的，但是該底膠填充可以升起並且在該組件700I及/或其它構件的側邊上形成圓角。在一範例情節中，

該組件700I的側表面的至少四分之一或是至少一半可以被覆蓋該底膠填充材料。在另一範例情節中，該組件700I的整個側表面的一或多個或是全部可以被覆蓋該底膠填充材料。同樣例如的是，直接在該組件700I與其它構件之間、及/或在其它構件(在各種的圖中所展示的)之間的空間的一實質的部分可以被填入該底膠填充材料794。例如，在該組件700I與一橫向相鄰的構件之間的至少一半的空間或是全部的空間可以被填入該底膠填充材料。

**【0234】** 如同在圖7J中所示，該組件700J可包括一在該晶粒725、726與該RD結構710之間的第一底膠填充728、以及一在該RD結構710與該基板793之間的第二底膠填充794。此種底膠填充728、794例如可以是不同的。例如，在一其中在該晶粒725、726與該RD結構710之間的距離小於在該RD結構710與該基板793之間的距離的範例情節中，該第一底膠填充728相較於該第二底膠填充794可以大致包括一較小的填充物尺寸(或是具有較高的黏度)。換言之，該第二底膠填充794可以是比該第一底膠填充728便宜的。

**【0235】** 再者，在區塊898及825所執行之個別的底膠填充製程可以是不同的。例如，區塊825可包括利用一毛細管底膠填充程序，而區塊898可包括利用一非導電膏(NCP)底膠填充程序。

**【0236】** 在另一例子中，區塊825及898可包括同時在一相同的底膠填充製程中被執行，例如是在區塊897之後。此外，如同在此論述的，一模製的底膠填充亦可被利用。在此種範例的情節中，區塊899可包括在該基板模製製程期間執行區塊825及/或898的任一或是兩者的底膠填充。例如，區塊825可包括執行一毛細管底膠填充，而區塊898係在區塊899被執行為一模製底膠填充製程。

**【0237】** 一般而言，區塊898可包括底膠填充在區塊897所附接至該基板的組件及/或其它構件。於是，此揭露內容的範疇不應該受限於任何特定類型的底膠填充、或是執行底膠填充的任何特定的方式的特徵。

【0238】 該範例的方法800在區塊899可以包括模製該基板。區塊899可包括用各種方式的任一種來執行此種模製，其之非限制性的例子係在此加以呈現。區塊899例如可以和區塊830及/或在圖2中所示以及在此論述之範例的方法200的區塊230共用任一或是所有的特徵。

【0239】 例如，區塊899可包括模製在該基板的頂表面之上、在區塊897附接的組件之上、在TMV互連結構(若其被形成在該基板上的話，例如是導電球、橢圓體、柱或柱體(例如，電鍍的柱、線或是接合線等等)、等等)之上。

【0240】 區塊899例如可以包括利用轉移模製、壓縮模製、等等。區塊899例如可以包括利用一面板模製的製程，其中複數個基板被連接在一面板中並且一起模製、或是區塊899可包括個別地模製基板。在一面板模製的情節中，在該面板模製之後，區塊899可包括執行一切開製程，其中個別的基板係和該基板面板分開。

【0241】 該模製材料例如可以包括各種特徵的任一種。例如，該模製材料(例如，環氧模製化合物(EMC)、環氧樹脂模製化合物、等等)可包括一相對高的模數，例如以在一後續的製程中提供封裝支撐。同樣例如的是，該模製材料可包括一相對低的模數，以在一後續的製程中提供封裝彈性。

【0242】 區塊899例如可以包括利用一種模製材料是不同於在區塊830所利用的模製材料。例如，區塊899可以利用一種具有比在區塊830所利用的模製材料較低的模數之模製材料。在此種情節中，該組件的中央區域相較於該組件的周邊區域可以是相對較堅硬的，此係在該組件的較強健的區域中提供各種力的吸收。

【0243】 在一其中該組件700K的模製材料735以及該組件700I的模製材料730是不同的，且/或在不同的階段被形成，且/或利用不同類型的製程被形成的範例情節中，區塊899(或是另一區塊)可包括製備該模製材料730以用於黏著至該

模製材料735。例如，該模製材料730可以被物理性或化學性蝕刻。該模製材料730例如可以被電漿蝕刻。同樣例如的是，溝槽、凹口、突出部、或是其它物理特點可被形成在該模製材料730上。又例如的是，一黏著劑可被設置在該模製材料730上。

**【0244】** 區塊899例如可以利用一與在區塊830所利用者為不同類型的模製製程。在一範例情節中，區塊830可以利用一壓縮模製製程，而區塊899係利用一轉移模製製程。在此種範例情節中，區塊830可以利用一種特定適配於壓縮模製的模製材料，並且區塊899可以利用一種特定適配於轉移模製的模製材料。此種模製材料例如可以具有明顯不同的材料特徵(例如，流動特徵、固化特徵、硬度特徵、粒子尺寸特徵、化學化合物特徵、等等)。

**【0245】** 如同在此所解說的，例如是關於區塊898，區塊899的模製製程可以提供在該組件700I與該基板793之間底膠填充，且/或可以提供在該晶粒725、726與該RD結構710之間底膠填充。在此種例子中，在該模製底膠填充材料與囊封基板793及組件700I的模製材料及/或囊封RD結構710及半導體晶粒725、726的模製材料之間可以有材料的均勻性。

**【0246】** 圖7K係提供區塊899的各種特點(例如，該些模製特點)的一範例的圖示。例如，該模製組件700K係被展示為其中該模製材料735覆蓋互連結構795以及組件700I。儘管該模製材料735(其在此亦可被稱為囊封材料)係被展示為讓組件700I的頂端被露出，但是此並不必要是如此。例如，區塊899可以完全覆蓋該組件700I，而且並不需要接著是一薄化(或研磨)操作來露出該組件700I的頂端。

**【0247】** 一般而言，該模製材料735例如可以直接接觸且覆蓋組件700I的未被該底膠填充794覆蓋的部分。例如，在一其中該組件700I的側邊的至少一第一部分被覆蓋底膠填充794的情節中，該模製材料735可以直接接觸且覆蓋組件700I的側邊的一第二部分。再者，該模製材料735可以橫向地延伸至該基板793

的邊緣，並且因此構成一與該基板793共平面的側表面。此種組件例如可以是利用面板模製而被形成的，接著是個別的封裝從該面板的單粒化。

**【0248】** 一般而言，區塊899可包括模製該基板。於是，此揭露內容的範疇不應該受限於任何特定的模製材料、結構及/或技術的特徵。

**【0249】** 該範例的方法800在區塊886可以包括在該基板上形成互連結構，例如是在該基板的相對該組件在區塊897被附接到的側邊之側邊上。該些互連結構可包括各種類型的互連結構的任一種的特徵，例如是可被利用以連接一半導體封裝至另一封裝或是一主機板的結構。例如，該些互連結構可包括導電球(例如，焊料球)或是凸塊、導電柱、等等。

**【0250】** 圖7K係提供區塊886的各種特點(例如，該形成互連的特點)的一範例的圖示。例如，該些互連結構792係被描繪為附接至該基板793的平面791。

**【0251】** 一般而言，區塊886可包括在該基板上形成互連結構。於是，此揭露內容的範疇不應該受限於特定的互連結構的特徵、或是受限於形成此種結構的任何特定的方式。

**【0252】** 如同在此論述的，該底膠填充728可以覆蓋晶粒725、726的側邊的至少一部分，且/或該底膠填充794可以覆蓋組件700I的側邊的至少一部分。圖7L係提供此種覆蓋之一舉例說明的例子。例如，該組件700I係被展示為其中該底膠填充728是接觸晶粒725、726的側邊的一部分。如同在此論述的，在一切割製程期間，該底膠填充728亦可被切割，此係產生一包括一平的側表面之組件700I，該側表面係包含該RD結構710的一側表面、該模製材料730的一側表面、以及該底膠填充728的一側表面。

**【0253】** 該組件700L(其亦可被稱為一封裝)係被展示為其中底膠填充794接觸該組件700I的側邊的一部分(例如，該RD結構710的側邊、該底膠填充728的側邊、以及該模製材料730的側邊)。注意到的是，如同在此論述的，在各種的範

例實施方式中，該底膠填充794可以包括模製的底膠填充，其是和該模製材料735相同的材料。該模製材料735係被展示為囊封基板793、互連結構795、底膠填充794、以及組件700I。儘管在該範例的圖示中，組件700I以及互連結構795的頂端係從該模製材料735被露出，但是此並不必要是如此。

**【0254】** 圖7及8係呈現各種的範例的方法特點以及其之變化。其它範例的方法特點現在將會參考額外的圖來加以呈現。

**【0255】** 如同在此論述的，在圖7及8的討論中，區塊835可包括研磨(或者是薄化)該模製材料730，以露出晶粒725、726中的一或多個。一個例子係在圖7D被提供。

**【0256】** 亦如同所論述的，在區塊835的模製研磨(或薄化)並不需要加以執行、或是可以被執行到一範圍是仍然讓晶粒725、726的頂端被覆蓋模製材料730。一個例子係在圖9被提供，其中該模製材料735係覆蓋該組件700I的晶粒725、726的頂端。

**【0257】** 亦如同在此論述的，例如是相關於區塊897以及圖7K及7L，在各種的範例實施方式中，互連結構可被形成在該基板上。一個例子係在圖9被提供。例如，儘管該些晶粒互連結構795的頂端最初是被覆蓋該模製材料735，貫孔940係在該模製材料735中被剝蝕，以露出互連結構795。

**【0258】** 再者，如同在此的圖7及8的討論中所論述的，在各種的範例實施方式中，TMV互連結構並不需要被形成在該基板上。一個例子係在圖10A被提供。如同在圖10A中所示，相對於圖7K，其並沒有TMV互連結構795被形成。同樣如同在圖10A中所示，相對於圖1K，該模製材料735並未覆蓋互連結構。

**【0259】** 同樣例如的是，如同在此所解說的，在區塊899的模製研磨(或薄化)可被跳過、或是可被執行到一範圍是讓該組件700I及/或晶粒725、726中的至少一個的頂端被覆蓋模製材料735。圖10A係提供此種處理的一範例的圖示。一

般而言，圖10A的組件1000A係類似於圖7K的組件700K再減去互連結構795，並且其中模製材料735係覆蓋該組件700I。

【0260】 此外，如同在此所解說的，在區塊899的模製研磨(或薄化)可加以執行到一範圍是從該模製材料735(及/或模製材料730)露出該組件700I及/或晶粒725、726中的一或多個的頂端。圖10B係提供此種處理的一範例的圖示。一般而言，圖10B的組件1000B係類似於圖7K的組件700K，再減去互連結構795。

【0261】 在另一例子中，如同在此所解說的，在區塊897的討論中，該些TMV互連可包括各種結構的任一種，例如是一導電柱(例如，電鍍的柱或柱體、垂直的導線、等等)。圖11A係提供附接至該基板793的導電柱1121之一範例的圖示。該些導電柱1121例如可以是被電鍍在該基板793上。該些導電柱1121例如也可以包括附接(例如，引線接合的附接、焊接、等等)至該基板793並且垂直地延伸的導線(例如，引線接合的導線)。該些導電柱1121例如可以從該基板793延伸到一高度是大於晶粒725、726的一高度、等於晶粒725、726中的一或多個的高度、小於晶粒725、726的一高度、等等。注意到的是，任意數量列的柱1121都可被形成。一般而言，圖11A的組件1100A係類似於圖7K的組件700K(再減去該模製化合物735)，其具有導電柱1121作為互連結構，而不是細長的導電球795。

【0262】 繼續該例子，圖11B係描繪被覆蓋模製材料735的基板793、導電柱1121、組件700I(例如，半導體晶粒725、726)、以及底膠填充794。該模製例如可以根據該範例的方法800的區塊899來加以執行。一般而言，圖11B的組件1100B係類似於圖7K的組件700K，其具有導電柱1121作為互連結構，而不是細長的導電球795，並且具有尚未被薄化或是尚未被足夠的薄化以露出組件700I的模製材料735。

【0263】 仍然繼續該例子，圖11C係描繪該模製材料735已經被薄化(例如，被研磨)到一所要的厚度。該薄化例如可以根據該範例的方法800的區塊899



來加以執行。例如，注意到的是，該些導電柱1121及/或組件700I(例如，包含模製材料730及/或半導體晶粒725、726)亦可被薄化。例如，該模製材料735的薄化可以露出導電柱1121的頂端。然而，若該模製材料735的薄化反而並未露出導電柱1121的頂端的話，則一模製剝蝕操作可加以執行。注意到的是，儘管該組件1100C係被展示為組件700I的半導體晶粒725、726的頂端被露出，但是該些頂端並不必要被露出。

**【0264】** 一般而言，圖11C的組件1100C係類似於圖7K的組件700K，其具有導電柱1121作為互連結構，而不是細長的導電球795。

**【0265】** 繼續該例子，在圖11C中所示的組件1100C可以藉由在該模製材料735以及組件700I(例如，包含該模製材料730及/或其之半導體晶粒725、726)之上形成一重新分佈層(RDL)1132而進一步被處理。圖11D係展示此種處理的一個例子。該重新分佈層1132在此亦可被稱為背面重新分佈(RDL)層1132。儘管此種背面RDL的形成並未明確地展示在該範例的方法800的區塊中之一，但是此種操作可以在該些區塊的任一個中加以執行，例如是在該區塊899的模製研磨操作(若被執行的話)之後加以執行。

**【0266】** 如同在圖11D中所示，一第一背面介電層1133可以在該模製材料735以及組件700I(例如，包含該模製材料730及/或其之半導體晶粒725、726)上被形成及圖案化。該第一背面介電層1133例如可以用一種和在區塊855所形成的RDL介電層771相同或類似的方式而被形成及圖案化，儘管是在一不同的表面上。例如，該第一背面介電層1133可被形成在該模製材料735上、及/或在該組件700I(例如，包含該模製材料730及/或其之半導體晶粒725、726)上，例如是直接被形成在晶粒725、726的露出的背表面上、在覆蓋晶粒725、726的背表面的模製材料730及/或735上、等等，並且貫孔1134可以在該第一背面介電層1133中被形成(例如，藉由蝕刻、剝蝕、等等)，以至少露出導電柱1121的頂端。

【0267】 背面線路1135可被形成在該第一背面介電層1133上、以及在該第一背面介電層1133的貫孔1134中。該些背面線路1135因此可以電連接至導電柱1121。該些背面線路1135例如可以用一種和在區塊865所形成的RDL線路782相同或類似的方式而被形成。該些背面線路1135的至少某些個(若非全部的話)例如可以從導電柱1121延伸到在該組件700I(例如,包含該模製材料730及/或其之半導體晶粒725、726)的正上方的位置處。該些背面線路1135的至少某些個例如也可以從該導電柱1121延伸到並非在該組件700I(例如,包含該模製材料730及/或其之半導體晶粒725、726)的正上方的位置處。

【0268】 一第二背面介電層1136可以在該第一背面介電層1133以及背面線路1135上被形成及圖案化。該第二背面介電層1136例如可以用一種和在區塊855所形成的RDL介電層771相同或類似的方式而被形成及圖案化,儘管是在一不同的表面上。例如,該第二背面介電層1136可被形成在該第一背面介電層1133之上以及在該些背面線路1135之上,並且貫孔1137可以在該第二背面介電層1136中被形成(例如,藉由蝕刻,剝蝕、等等),以露出背面線路1135的接觸區域。

【0269】 背面互連墊1138(例如,球體接觸墊、平面、端子、等等)可被形成在該第二背面介電層1136上、及/或在該第二背面介電層1136的貫孔1137中。該些背面互連墊1138因此可以電連接至背面線路1135。該些背面互連墊1138例如可以用一種和在區塊865所形成的RDL線路相同或類似的方式而被形成。該些背面互連墊1138例如可以是藉由形成金屬接觸墊及/或形成凸塊底部金屬化而被形成(例如,用以強化後續藉由其它互連結構的附接至背面線路1135)。

【0270】 儘管該背面RDL層1132係被展示為具有兩個背面介電層1133、1136以及一層背面線路1135,但應瞭解的是任意數量的介電質及/或線路層都可被形成。

【0271】 儘管未顯示在圖11D中,互連結構可被形成在該基板793上,例

如是在該基板793的一相對該組件700I以及模製材料735的側邊上，如同在此例如相關於區塊886及圖7K所論述者。

【0272】 在另一範例的實施方式中，一基板(例如，一積層基板、封裝基板、等等)可以被附接在該組件700I(例如，包含該半導體晶粒725、726以及模製材料730)以及該模製材料735之上，例如是作為在此相關圖11A-11D所論述的背面RDL替代或是額外的。

【0273】 例如，如同在圖12A中所繪，該些互連結構795可被形成在一高度是將會至少延伸到該組件700I的高度。注意到的是，此高度並不一定存在，例如是在一其中該背面基板具有其本身的互連結構、或是其中額外的互連結構被利用在該些互連結構795與背面基板之間的情節中。該些互連結構795例如可以用一種和在此相關區塊897以及圖7K所論述的相同或類似的方式來加以附接。

【0274】 繼續該例子，如同在圖12A中所繪，該組件1200A可以利用一模製材料735來加以模製，並且若必要的話，該模製材料735可被薄化。此種模製及/或薄化例如可以用一種和在此相關區塊899以及圖7K所論述的相同或類似的方式來加以執行。

【0275】 如同在圖12B中所示，一背面基板1232可加以附接。例如，該背面基板1232可以電連接至互連結構795且/或機械式附接至模製材料735及/或組件700I(例如，模製材料730及/或半導體晶粒725、726)。該背面基板1232例如可以用面板形式及/或單一封裝形式來加以附接，並且例如可以在單粒化之前或是之後加以附接。

【0276】 如同在此論述的，在該組件700I被附接至基板793之後，該基板793及/或組件700I可以被覆蓋一種模製材料。替代或額外的是，該基板793及/或組件700I可以被覆蓋一蓋子或是加固構件(stiffener)。圖13係提供一舉例說明的例子。圖13大致係展示圖7J的組件700J，其中增加一蓋子1310(或是加固構件)。

【0277】 該蓋子1310例如可以包括金屬，並且提供電磁屏蔽及/或散熱。例如，該蓋子1310可以電耦接至一在該基板793上的接地線路，以提供屏蔽。該蓋子1310例如可以利用焊料及/或導電的環氧樹脂來耦接至該基板793。儘管未被展示，但是熱介面材料可被形成在該組件700I與該蓋子1310之間的一間隙1315中。

【0278】 儘管大多數在此展示及論述的例子都大致只有展示該組件700I附接至該基板793，但是其它構件(例如，主動及/或被動的構件)亦可以附接至該基板793。例如，如同在圖14中所示，一半導體晶粒1427可以附接(例如，覆晶接合、引線接合、等等)至該基板793。該半導體晶粒1427係以一種橫向相鄰該組件700I的方式而被附接至該基板793。在此種附接之後，在此論述的封裝結構(例如，互連結構、模製、蓋子、等等)的任一種接著可被形成。

【0279】 在另一範例的實施方式中，其它構件可以在一垂直堆疊的組件中耦接至組件700I的頂端側。圖15係展示此種組件1500C的一個例子。一第三晶粒1527以及一第四晶粒1528(例如，其非主動側)可以附接至該組件700I的頂端。此種附接例如可以利用黏著劑來加以執行。在該第三晶粒1527以及第四晶粒1528的主動側上的接合墊接著可以被引線接合至該基板793。注意到的是，在一個其中一RDL及/或基板被附接在該組件700I之上的情節中，該第三晶粒1527及/或第四晶粒1528可以被覆晶接合到此種RDL及/或基板。在此種附接之後，在此論述的封裝結構(例如，互連結構、模製、蓋子、等等)的任一種接著可被形成。

【0280】 在又一範例實施方式中，另一構件可以耦接至該基板的底部側。圖16係展示此種組件的一個例子。一第三晶粒1699係被附接至該基板793的底部側，例如是在該基板793的底部側上的互連結構之間的一間隙中。在此種附接之後，在此論述的封裝結構(例如，互連結構、模製、蓋子、等等)的任一種接著可被形成。

**【0281】** 在圖8-16中所示並且在此論述之範例的方法及組件只是非限制性的例子而已，其係被呈現以描繪此揭露內容的各種特點。此種方法及組件亦可以和在以下的共同申請之美國專利申請案中所展示及論述的方法及組件共用任一或是所有的特徵：2013年1月29日申請且名稱為"半導體裝置以及製造半導體裝置的方法"的美國專利申請案序號13/753,120；2013年4月16日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號13/863,457；2013年11月19日申請且名稱為"具有直通矽穿孔-較不深的井之半導體裝置"的美國專利申請案序號14/083,779；2014年3月18日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/218,265；2014年6月24日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/313,724；2014年7月28日申請且名稱為"具有薄的重新分佈層之半導體裝置"的美國專利申請案序號14/444,450；2014年10月27日申請且名稱為"具有降低的厚度之半導體裝置"的美國專利申請案序號14/524,443；2014年11月4日申請且名稱為"中介體、其之製造方法、利用其之半導體封裝、以及用於製造該半導體封裝之方法"的美國專利申請案序號14/532,532；2014年11月18日申請且名稱為"具有降低的翹曲之半導體裝置"的美國專利申請案序號14/546,484；以及2015年3月27日申請且名稱為"半導體裝置以及製造其之方法"的美國專利申請案序號14/671,095；該些美國專利申請案的每一個的內容茲在此以其整體納入作為參考。

**【0282】** 在此的討論係包含許多的舉例說明的圖，其係展示一半導體封裝組件的各種部分。為了清楚的舉例說明，這些圖並未展示每個範例的組件的所有特點。在此呈現的範例的組件之任一個都可以和其它在此呈現的組件的任一個或是全部共用任一或是所有的特徵。例如且非限制性的，相關於圖1-7所展示及論述的範例的組件的任一個或是其之部分都可以被納入相關於圖8-16所論述的範例的組件的任一個。相反地，相關於圖8-16所展示及論述的組件的任一個都

可以被納入相關於圖1-7所展示及論述的組件。

**【0283】** 總之，此揭露內容的各種特點係提供一種半導體裝置或封裝結構以及一種用於製造其之方法。儘管先前的內容已經參考某些特點及例子來加以敘述，但是將會被熟習此項技術者理解到可以做成各種的改變，並且等同物可加以取代，而不脫離本揭露內容的範疇。此外，可以做成許多修改以將一特定的情況或材料調適至本揭露內容的教示，而不脫離其範疇。因此，所欲的是本揭露內容不受限於所揭露之特定的例子，而是本揭露內容將會包含落入所附的申請專利範圍的範疇內之所有的例子。

#### **【符號說明】**

##### **【0284】**

100A:重新分佈結構(RD)晶圓

100B:組件

100C:模製組件

100D:組件

100J:封裝

105:支撐層

110:重新分佈(RD)結構

111:基底介電層

112:第一導電線路

113:第一介電層

114:導電貫孔

115:第二導電線路

116:第二介電層

- 117:互連結構
- 119:接點
- 121:互連結構
- 125:第一晶粒
- 126:第二晶粒
- 128:底膠填充
- 130:模製材料
- 140:貫孔
- 150:晶圓支撐結構
- 171:第一RDL介電層
- 172:貫孔
- 181:第一RDL線路的第一部分
- 182:第一RDL線路的第二部分
- 183:第二RDL介電層
- 184:貫孔
- 185:第三RDL層
- 191:第二RDL線路
- 192:互連結構
- 200:方法
- 205、210、215、220、225、230、235、240、245、250、255、260、265、  
270、275、280、285、290、295:區塊
- 300B:封裝
- 400C:組件
- 400D:組件

500A:組件  
500B:組件  
500C:組件  
500D:組件  
521:導電柱  
532:重新分佈層(RDL)  
533:第一背面介電層  
534:貫孔  
535:背面線路  
536:第二背面介電層  
537:貫孔  
538:背面互連墊  
600B:組件  
621:互連結構  
632:背面基板  
700A:RD晶圓  
700B:組件  
700C:模製組件  
700D:組件  
700I:組件  
700J:組件  
700K:組件  
700L:組件  
705:支撐層



710:重新分佈(RD)結構  
711:基底介電層  
712:第一導電線路  
713:第一介電層  
714:導電貫孔  
715:第二導電線路  
716:第二介電層  
717:互連結構  
725:第一半導體晶粒  
726:第二半導體晶粒  
728:底膠填充  
730:模製材料  
735:模製材料  
750:晶圓支撐結構  
771:RDL介電層  
772:貫孔  
781:第一RDL線路的第一部分  
782:第一RDL線路的第二部分  
791:平面  
792:互連結構  
793:基板  
794:底膠填充  
795:互連結構  
800:方法

805、810、820、825、830、835、845、850、855、860、865、885、886、  
890、895、896、897、898、899:區塊

940:貫孔

1000A:組件

1000B:組件

1100A:組件

1100B:組件

1100C:組件

1121:導電柱

1132:重新分佈層(RDL)

1133:第一背面介電層

1134:貫孔

1135:背面線路

1136:第二背面介電層

1137:貫孔

1138:背面互連墊

1200A:組件

1232:背面基板

1310:蓋子

1315:間隙

1427:半導體晶粒

1500C:組件

1527:第三晶粒

1528:第四晶粒

1699:第三晶粒

## 【發明申請專利範圍】

【請求項1】一種半導體裝置，其包括：

正面側重新分佈結構(FSRDS)，包括第一FSRDS介電層；

半導體晶粒，包括正面晶粒側和背面晶粒側，所述正面晶粒側耦接到所述正面側重新分佈結構的頂側；

堆疊組件互連結構，包括頂側和底側，所述堆疊組件互連結構的所述底側耦接到所述正面側重新分佈結構的所述頂側，所述堆疊組件互連結構的所述頂側垂直地延伸至少與所述背面晶粒側相同高度；

囊封材料，在所述正面側重新分佈結構的所述頂側上並且橫向地圍繞所述半導體晶粒；以及

背面側重新分佈結構(BSRDS)，包括：

第一BSRDS介電層，其接觸並且在所述囊封材料的頂側上；

第一BSRDS導電貫孔，其延伸完全穿透所述第一BSRDS介電層並且耦接到所述堆疊組件互連結構的所述頂側；

第一BSRDS線路，其在所述第一BSRDS介電層的頂側上；

第二BSRDS介電層，其在所述第一BSRDS介電層的所述頂側上，所述第二BSRDS介電層覆蓋第一BSRDS線路的橫向側和所述第一BSRDS線路的頂側；

第二BSRDS導電貫孔，其耦接到所述第一BSRDS線路所述頂側上並且從所述第一BSRDS線路的所述頂側垂直延伸到所述第二BSRDS介電層的頂側；以及

頂側組件連接墊，其耦接到所述第二BSRDS導電貫孔。

【請求項2】如請求項1所述的半導體裝置，其中所述第一BSRDS導電貫孔包括金屬電鍍，所述金屬電鍍完全延伸穿過所述第一BSRDS介電層。

【請求項3】如請求項2所述的半導體裝置，其中所述第一BSRDS導電貫孔僅在垂直方向上穿透所述第一BSRDS介電層來執行。

【請求項4】如請求項1所述的半導體裝置，其中在垂直橫截面中，所述第一BSRDS介電層沒有任何在垂直方向上執行的埋藏的線路。

【請求項5】如請求項1所述的半導體裝置，其中所述堆疊組件互連結構包括柱，其中所述柱包括金屬電鍍或導線。

【請求項6】如請求項1所述的半導體裝置，其中所述背面側重新分佈結構是無核心的。

【請求項7】如請求項1所述的半導體裝置，其中：

所述正面側重新分佈結構包括：

下FSRDS介電層；以及

球型接觸件，其包括埋藏在所述下FSRDS介電層中的電鍍襯墊層；並

且

所述電鍍襯墊層的底側高於所述下FSRDS介電層的底側。

【請求項8】如請求項1所述的半導體裝置，其中所述第一BSRDS線路是直接

接在所述第一BSRDS介電層的所述頂側上。

【請求項9】如請求項1所述的半導體裝置，其中：

所述囊封材料覆蓋所述半導體晶粒的頂側；並且

所述囊封材料包括頂側，所述頂側與所述堆疊組件互連結構的所述頂側共平面。

【請求項10】一種半導體裝置，其包括：

正面側重新分佈結構(FSRDS)，其包括：

第一FSRDS介電層；

第二FSRDS介電層；以及

第三FSRDS介電層，

其中：

所述第一FSRDS介電層、所述第二FSRDS介電層以及所述第三FSRDS介電層中的每一個橫向地圍繞多個FSRDS導電層；並且

所述正面側重新分佈結構是無核心的；

第一半導體晶粒，其包括正面晶粒側和背面晶粒側，所述正面晶粒側耦接到所述正面側重新分佈結構的頂側；

第一堆疊組件互連結構，其包括頂側和底側，所述第一堆疊組件互連結構的所述底側耦接到所述正面側重新分佈結構的所述頂側，所述第一堆疊組件互連結構的所述頂側垂直地延伸至少與所述背面晶粒側相同高度；

第二堆疊組件互連結構，其包括頂側和底側，所述第二堆疊組件互連結構的所述底側耦接到所述正面側重新分佈結構的所述頂側，所述第二堆疊組件互連結構的所述頂側垂直地延伸至少與所述背面晶粒側相同高度；

囊封材料，其在所述正面側重新分佈結構的所述頂側上並且橫向地圍繞所述第一半導體晶粒；以及

背面側重新分佈結構(BSRDS)，其包括：

第一BSRDS介電層，其在所述囊封材料的頂側上；

第一BSRDS導電貫孔，其延伸完全穿透所述第一BSRDS介電層並且耦接到所述第一堆疊組件互連結構的所述頂側；

第一BSRDS線路，其在所述第一BSRDS介電層的頂側上；

第二BSRDS介電層，其在所述第一BSRDS介電層的所述頂側上，所述第二BSRDS介電層覆蓋所述第一BSRDS線路的橫向側以及所述第一BSRDS線路的頂側；以及

上貫孔，其從所述第二BSRDS介電層的頂側延伸穿透所述第二BSRDS

介電層到所述第一BSRDS線路的所述頂側。

【請求項11】如請求項10所述的半導體裝置，其包括第二半導體晶粒，其中所述第一半導體晶粒和所述第二半導體晶粒被橫向地定位在所述第一堆疊組件互連結構和所述第二堆疊組件互連結構之間。

【請求項12】如請求項10所述的半導體裝置，其包括背側互連襯墊，所述背側互連襯墊直接垂直地在所述第一半導體晶粒的上方。

【請求項13】如請求項10所述的半導體裝置，其中所述第一堆疊組件互連結構包括電鍍柱。

【請求項14】如請求項10所述的半導體裝置，其包括直接橫向地在所述第一半導體晶粒和所述第二半導體晶粒之間的底膠填充。

【請求項15】如請求項10所述的半導體裝置，其中所述第一BSRDS介電層接觸所述囊封材料的所述頂側。

【請求項16】如請求項15所述的半導體裝置，其中所述第一BSRDS介電層垂直覆蓋整個所述囊封材料。

【請求項17】如請求項10所述的半導體裝置，其中所述背面側重新分佈結構是無核心的。

【請求項18】一種製造半導體裝置的方法，所述方法包括：

提供正面側重新分佈結構(FSRDS)，其包括第一FSRDS介電層；

提供半導體晶粒，其包括正面晶粒側和背面晶粒側，所述正面晶粒側耦接到所述正面側重新分佈結構的頂側；

提供堆疊組件互連結構，其包括頂側和底側，所述堆疊組件互連結構的所述底側耦接到所述正面側重新分佈結構的所述頂側，所述堆疊組件互連結構的所述頂側垂直地延伸至少與所述背面晶粒側相同高度；

提供囊封材料，其在所述正面側重新分佈結構的所述頂側上並且橫向地圍

繞所述半導體晶粒；以及

提供背面側重新分佈結構(BSRDS)，其包括：

第一BSRDS介電層，其在所述囊封材料的頂側上；

第一BSRDS導電貫孔，其延伸完全穿透所述第一BSRDS介電層並且耦接到所述堆疊組件互連結構的所述頂側；

第一BSRDS線路，其在第一BSRDS介電層的頂側上；

第二BSRDS介電層，其在所述第一BSRDS介電層的所述頂側上，所述第二BSRDS介電層覆蓋所述第一BSRDS線路的橫向側以及所述第一BSRDS線路的頂側；

第二BSRDS導電貫孔耦接到所述第一BSRDS線路的所述頂側並且從所述第一BSRDS線路的所述頂側垂直地延伸到所述第二BSRDS介電層的頂側；以及

頂側組件連接墊，其耦接到所述第二BSRDS導電貫孔。

**【請求項19】**如請求項18所述的方法，其中所述第一BSRDS介電層接觸所述囊封材料的所述頂側。

**【請求項20】**如請求項18所述的方法，其中所述背面側重新分佈結構是無核心的。



【發明圖式】

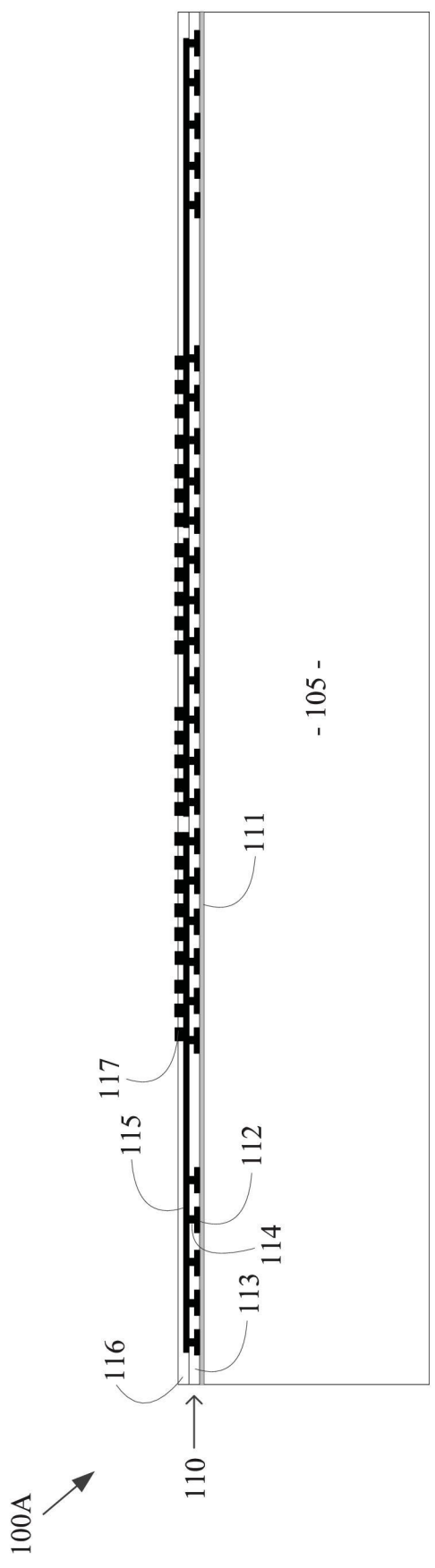


圖1A

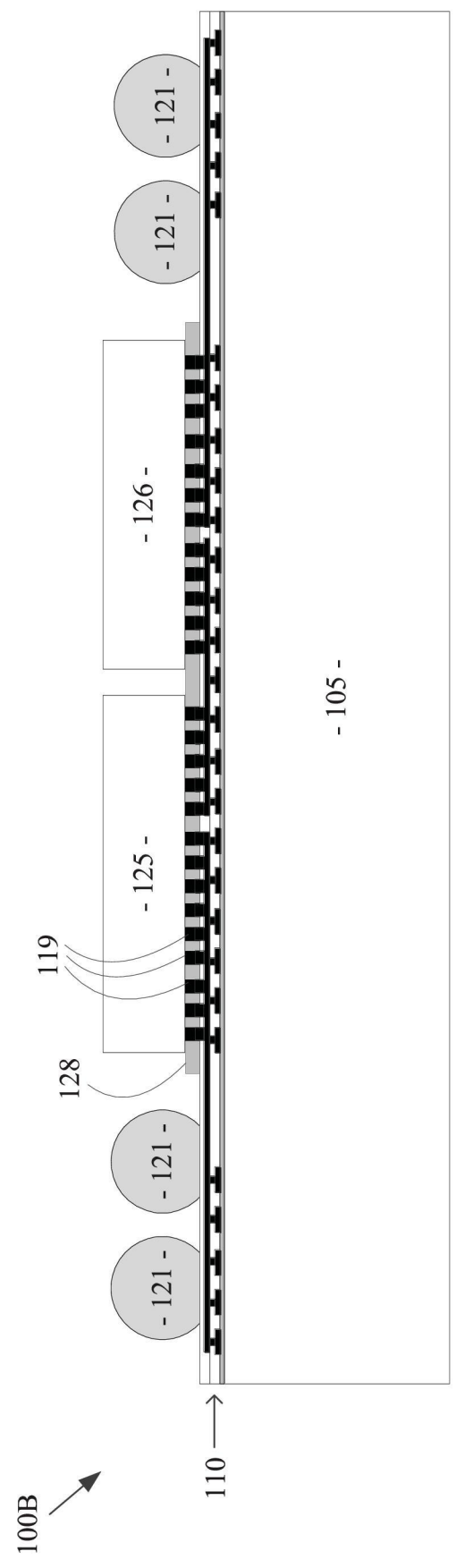


圖1B

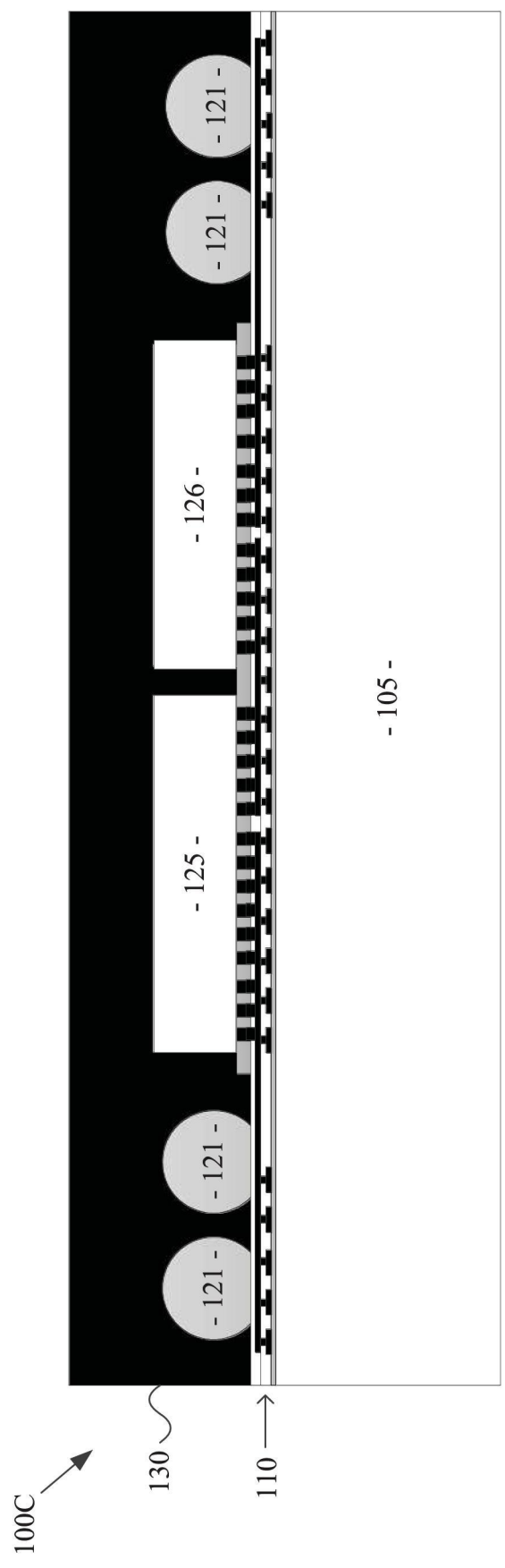


圖1C

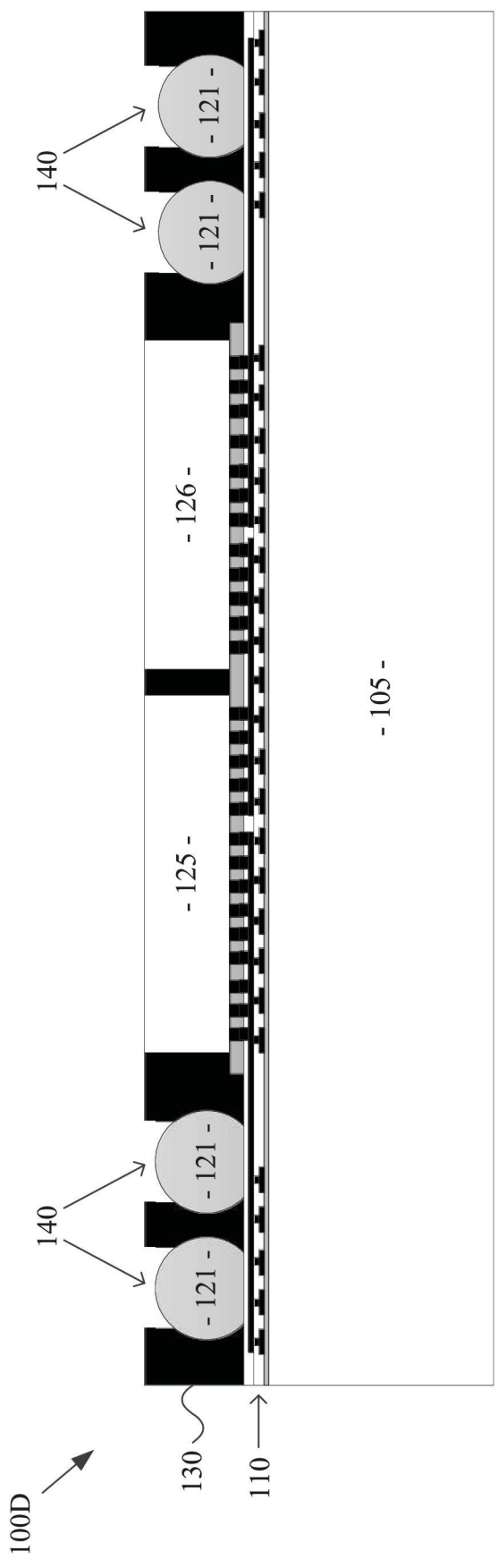


圖1D

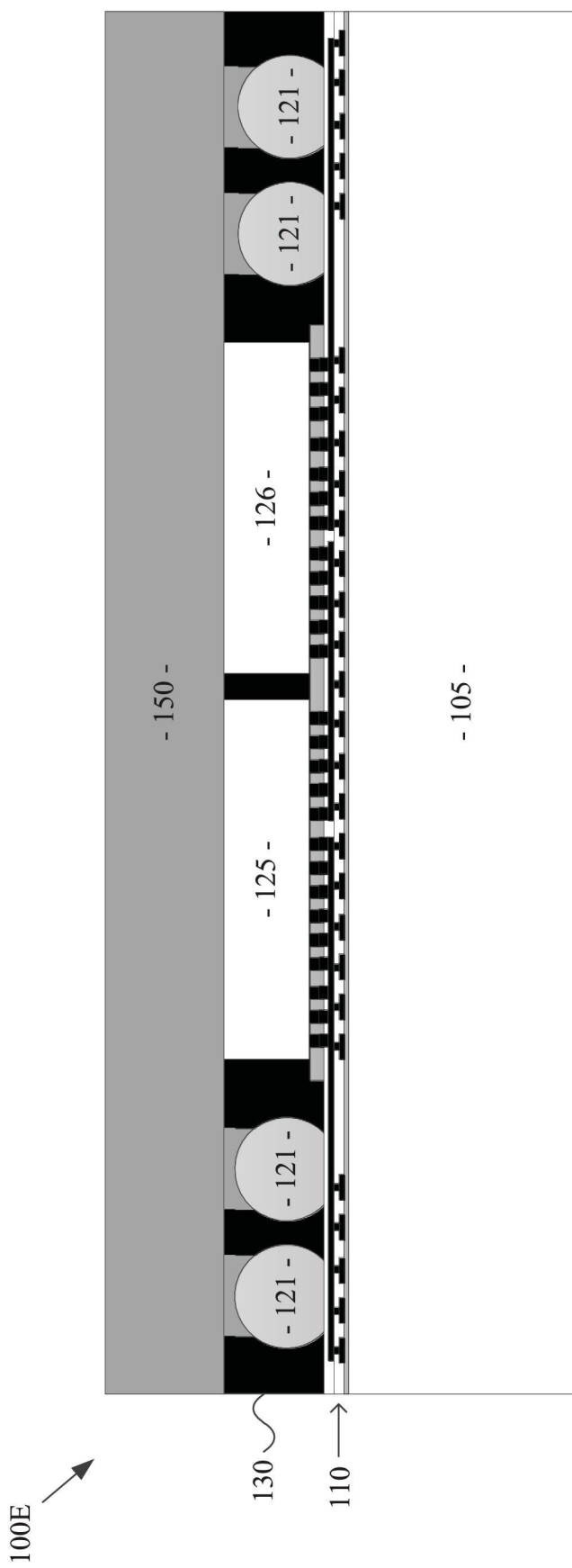


圖1E

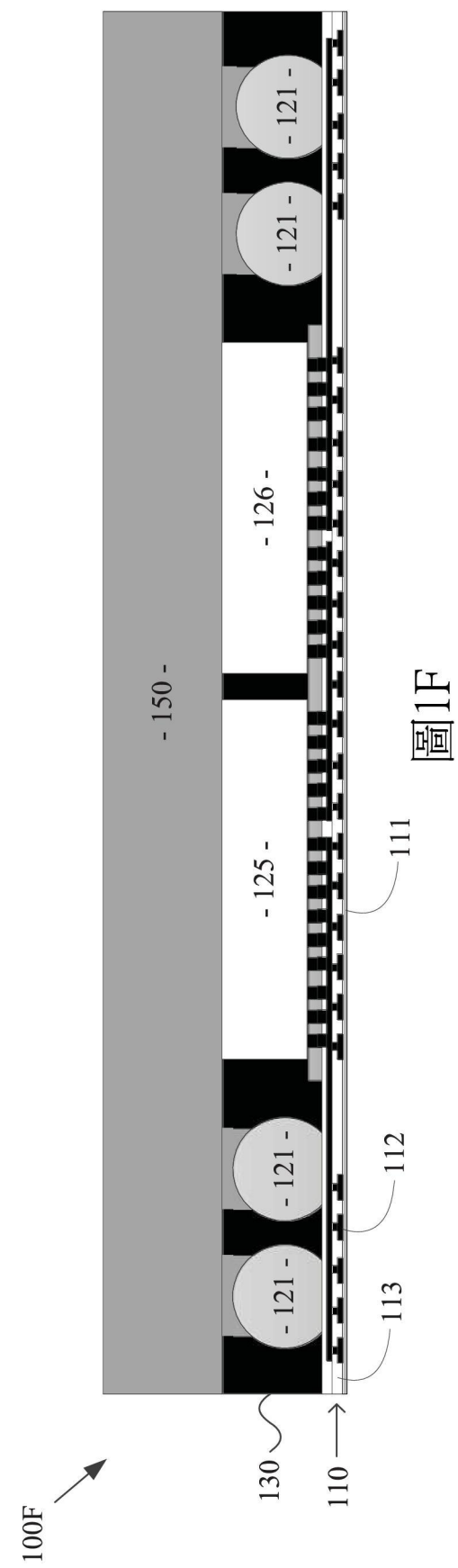


圖1F

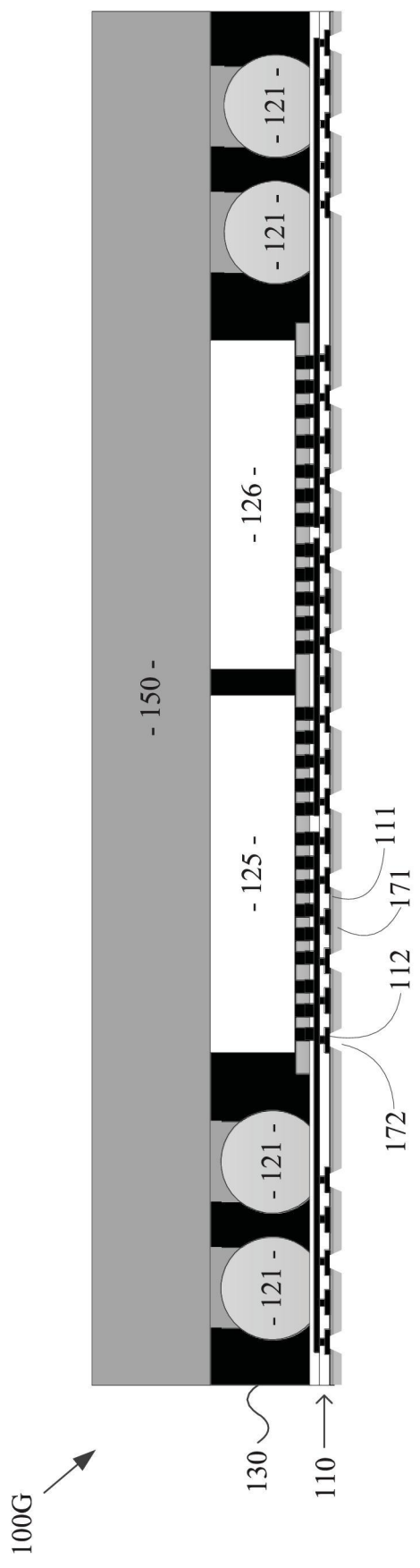


圖1G

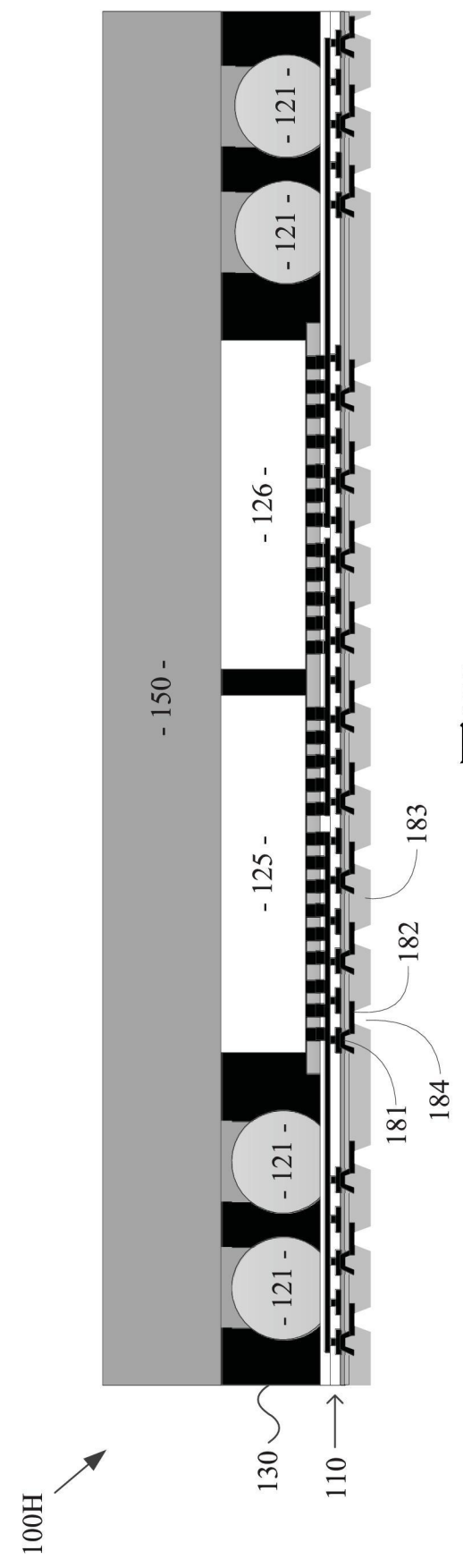


圖1H

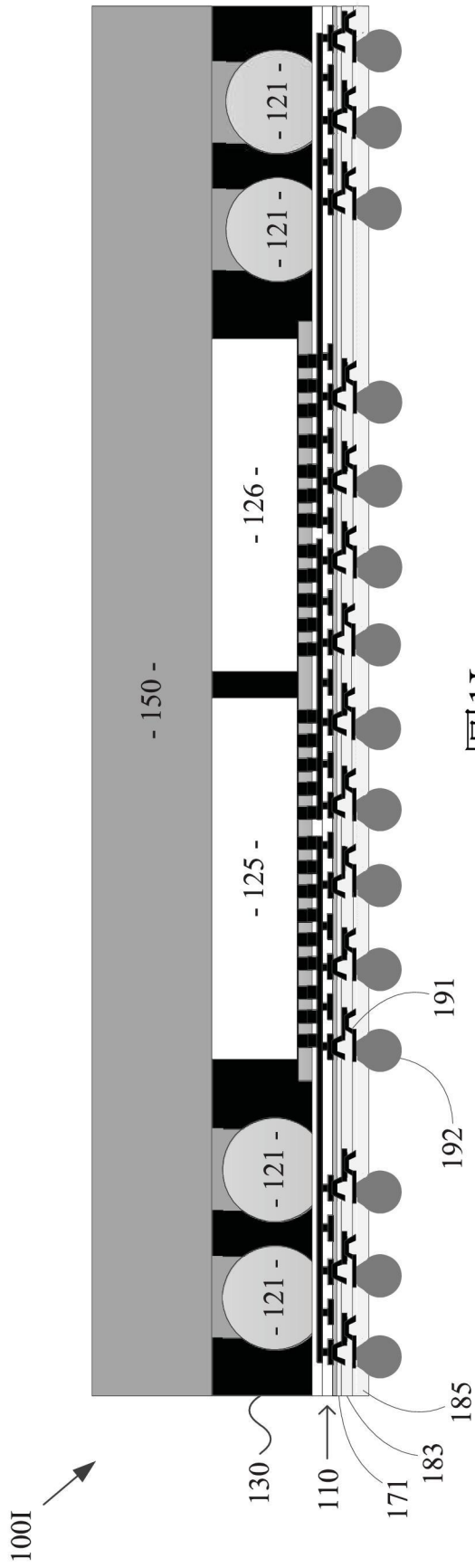


圖1I

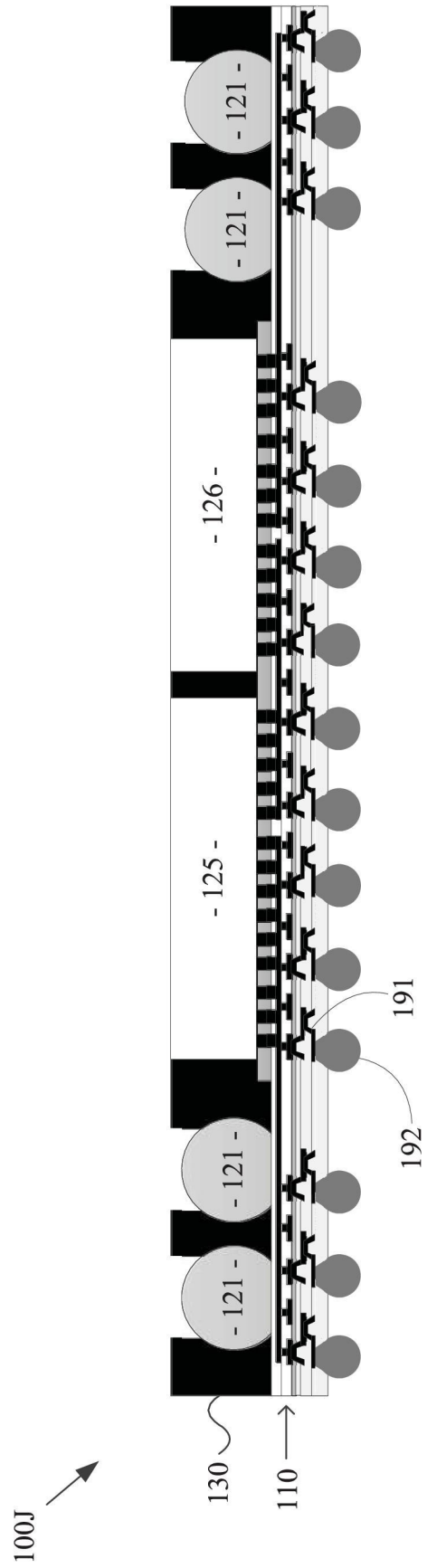


圖1J

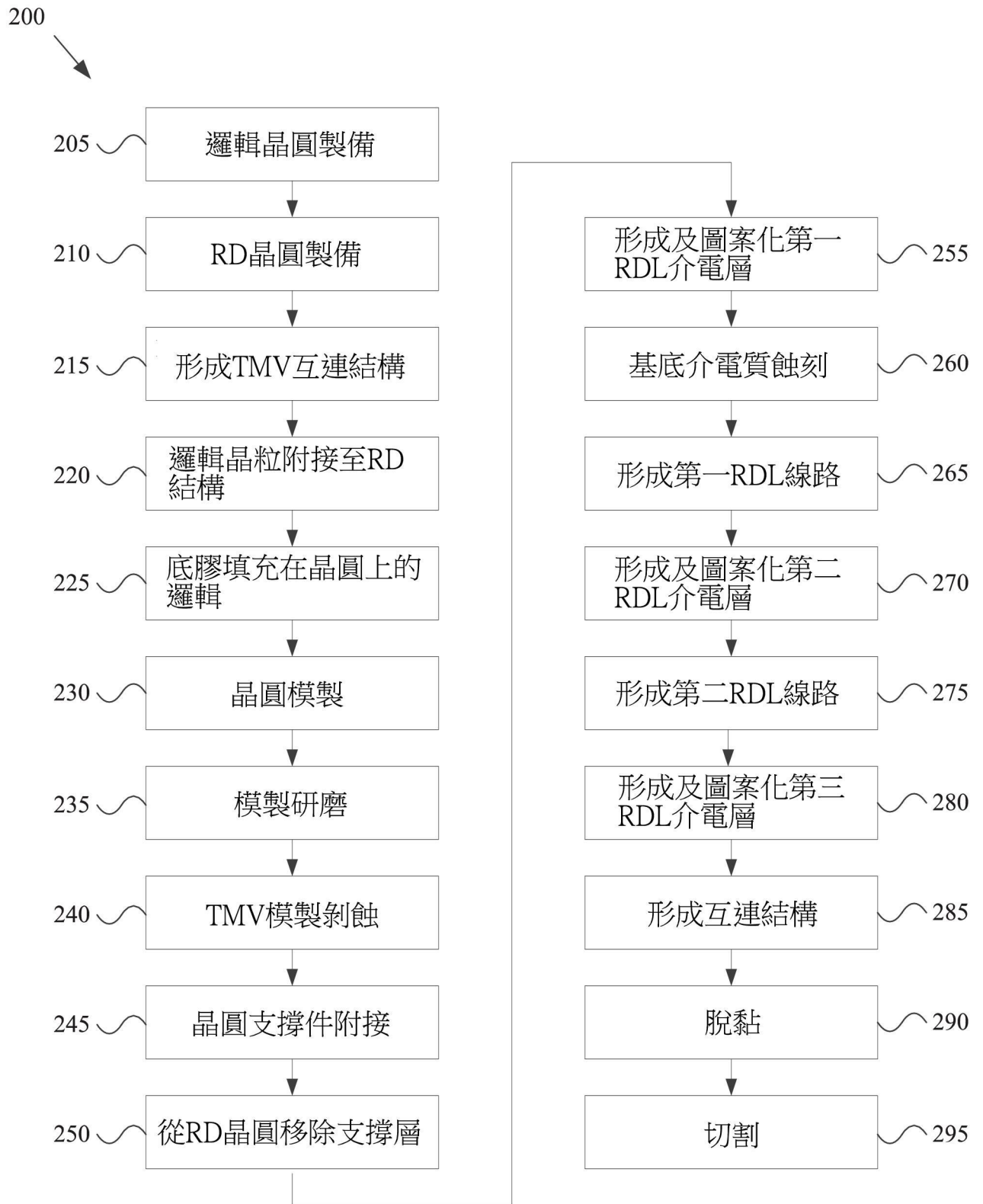


圖2

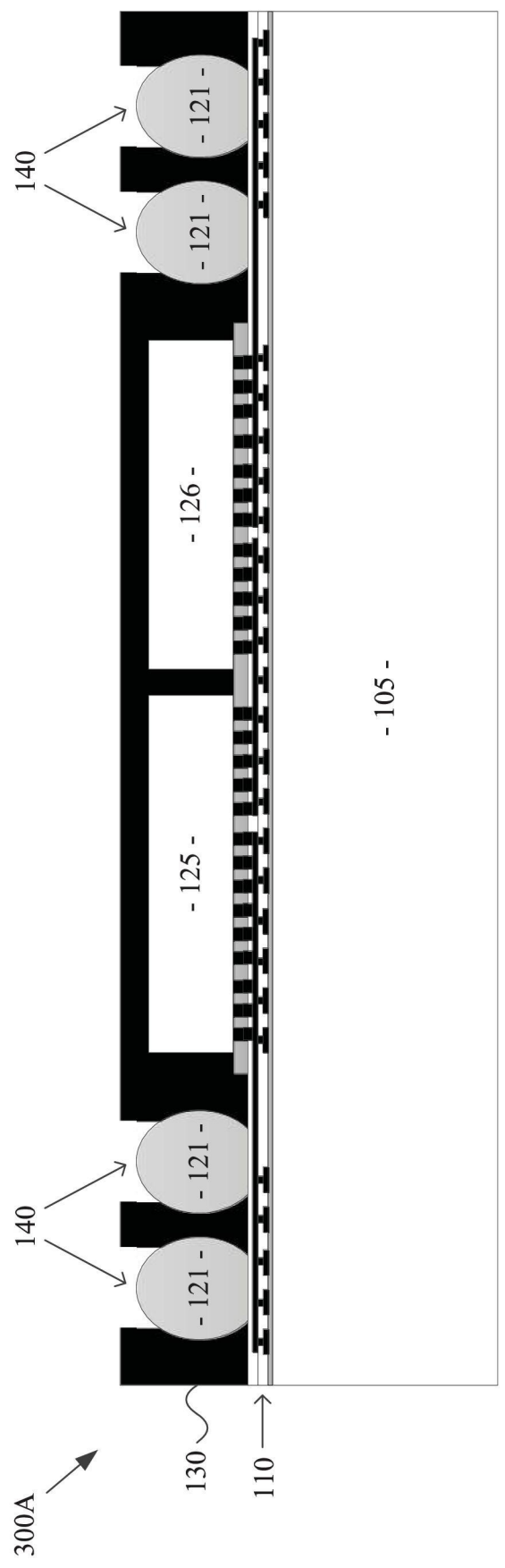


圖3A

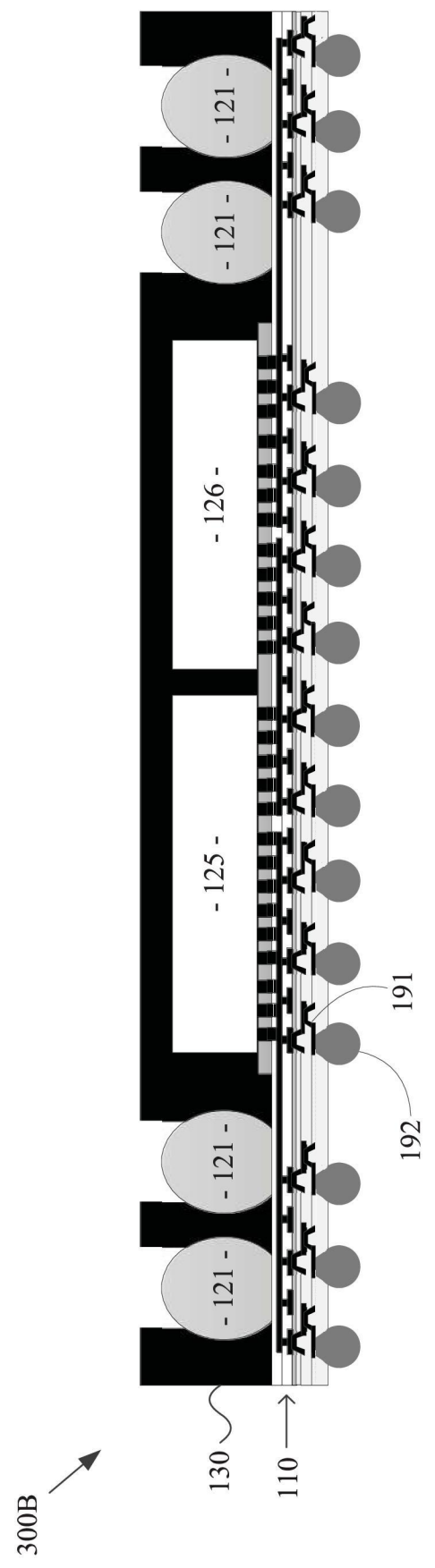


圖3B

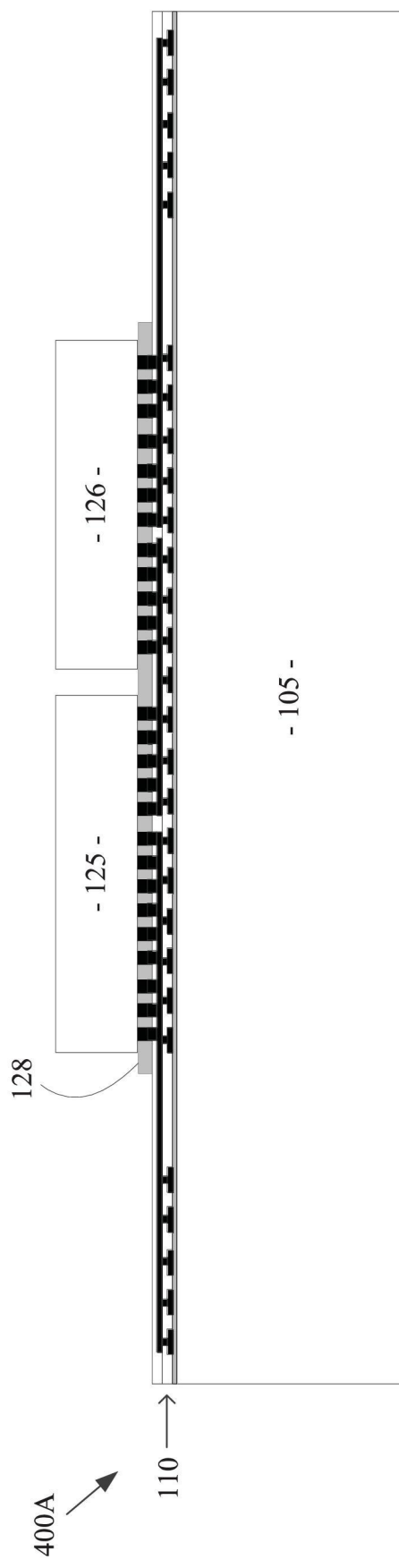


圖4A

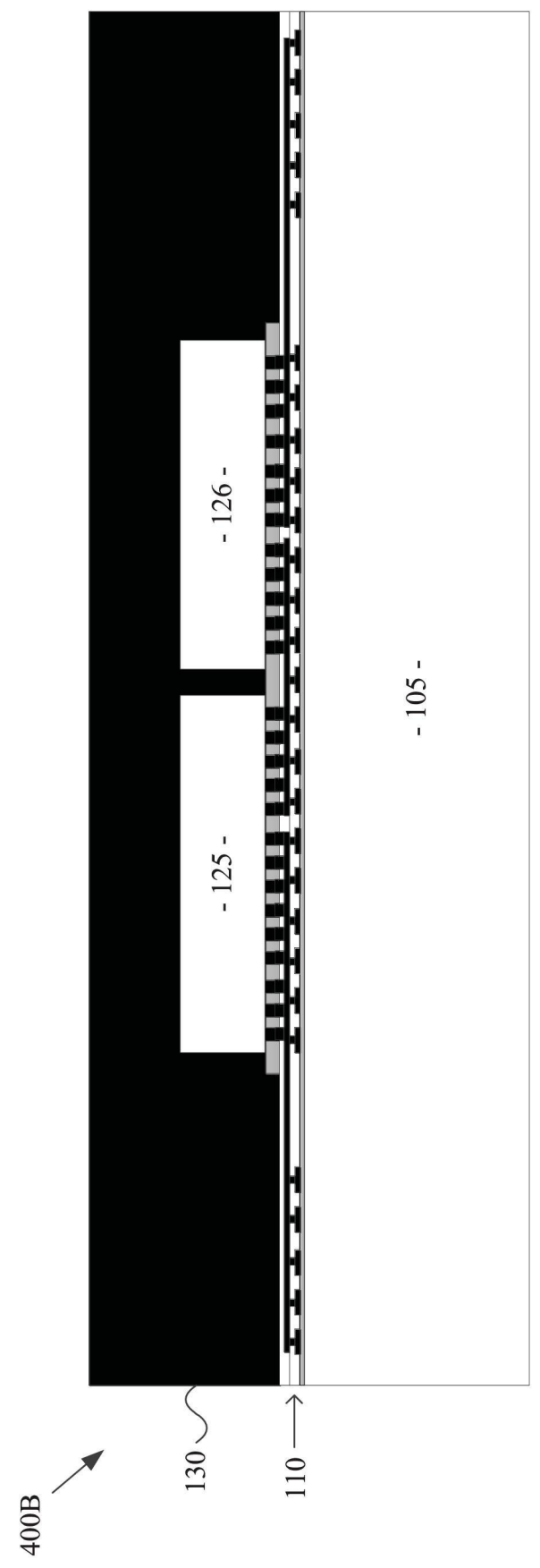


圖4B



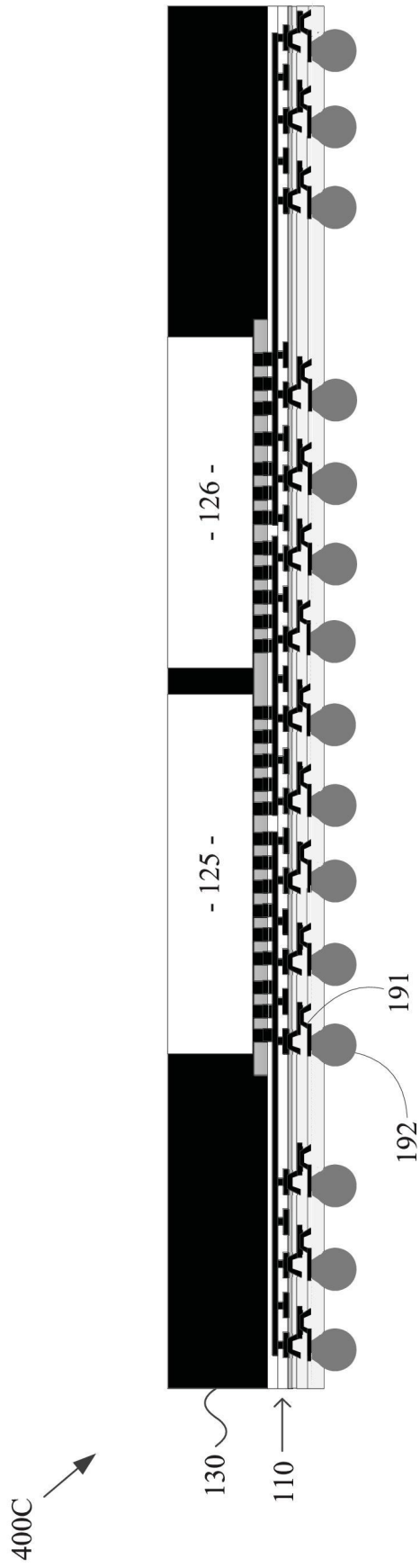


圖4C

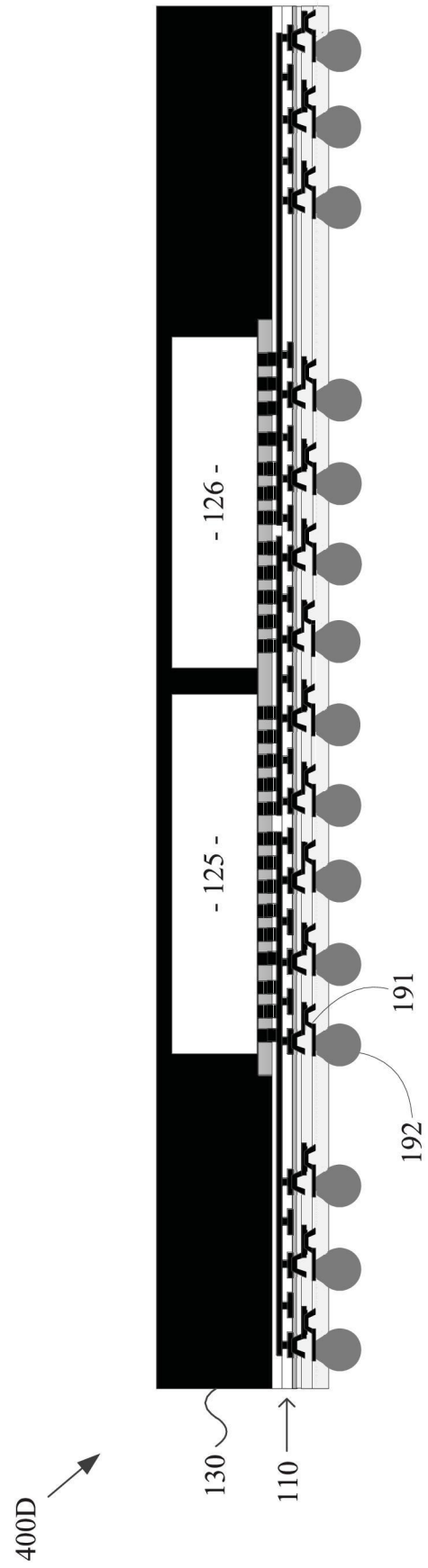


圖4D

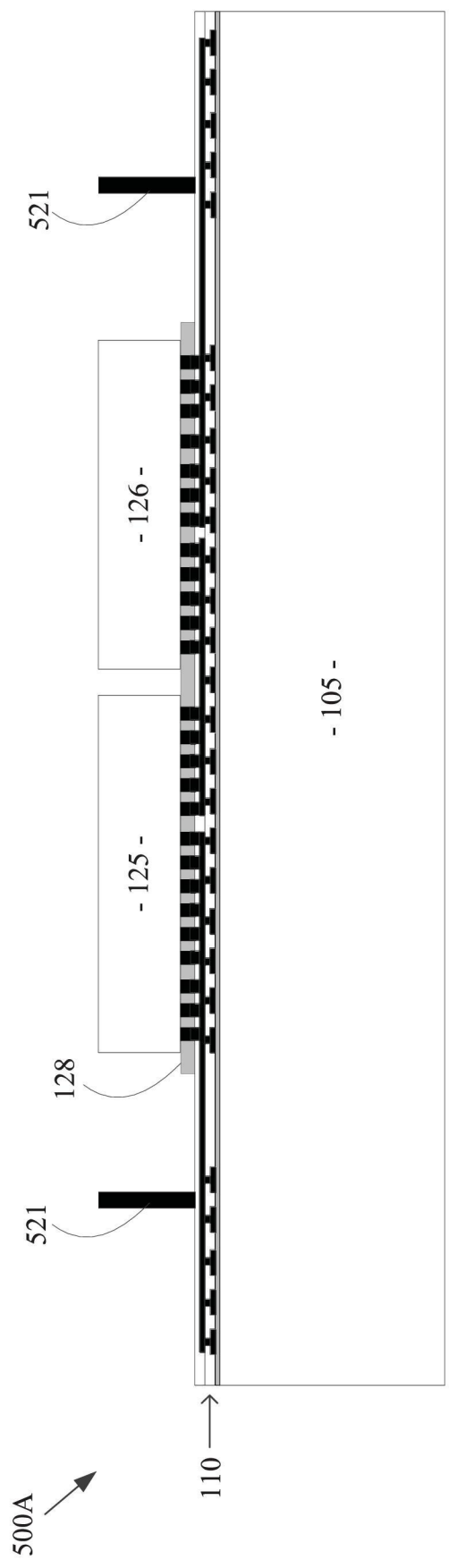


圖5A

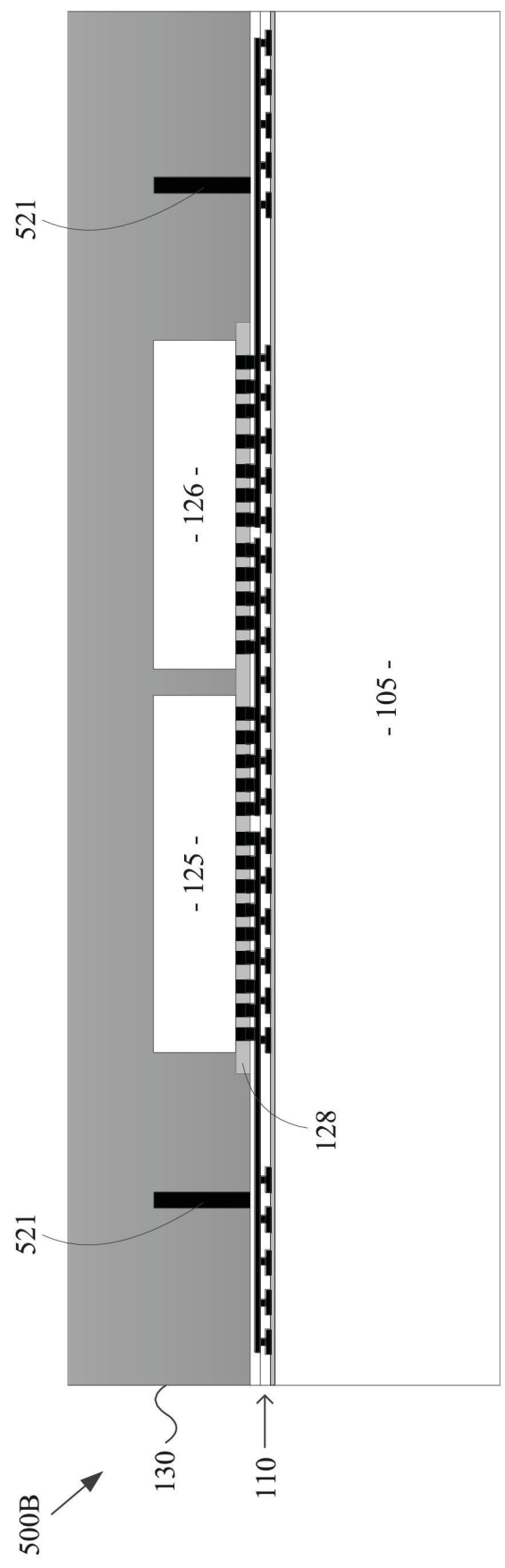
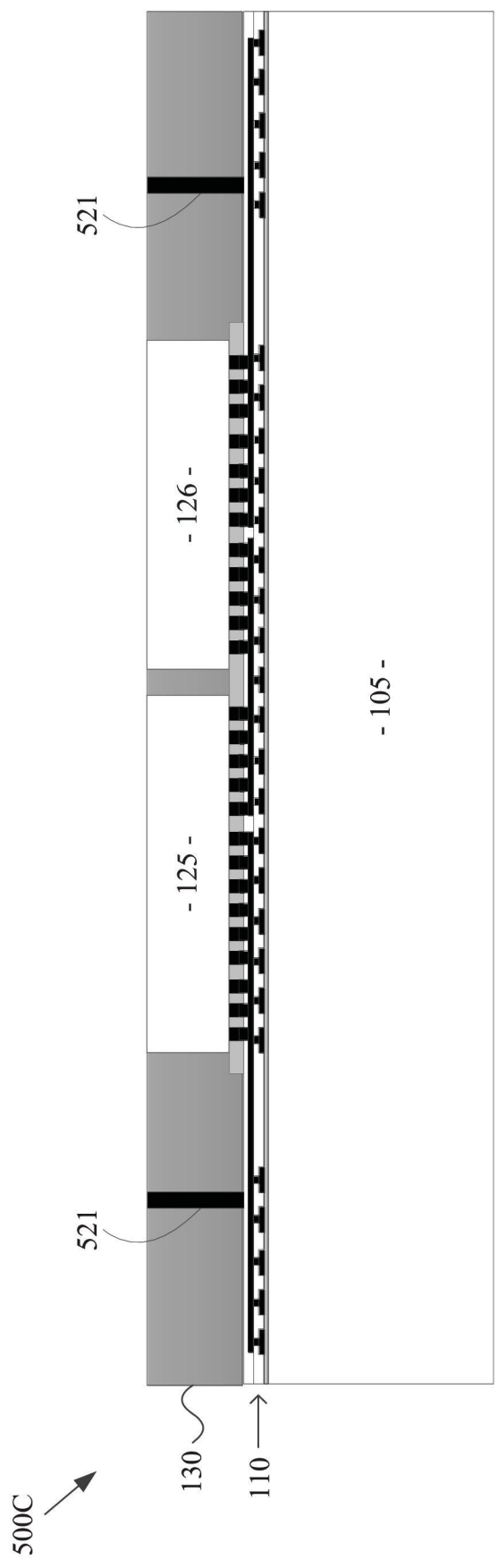
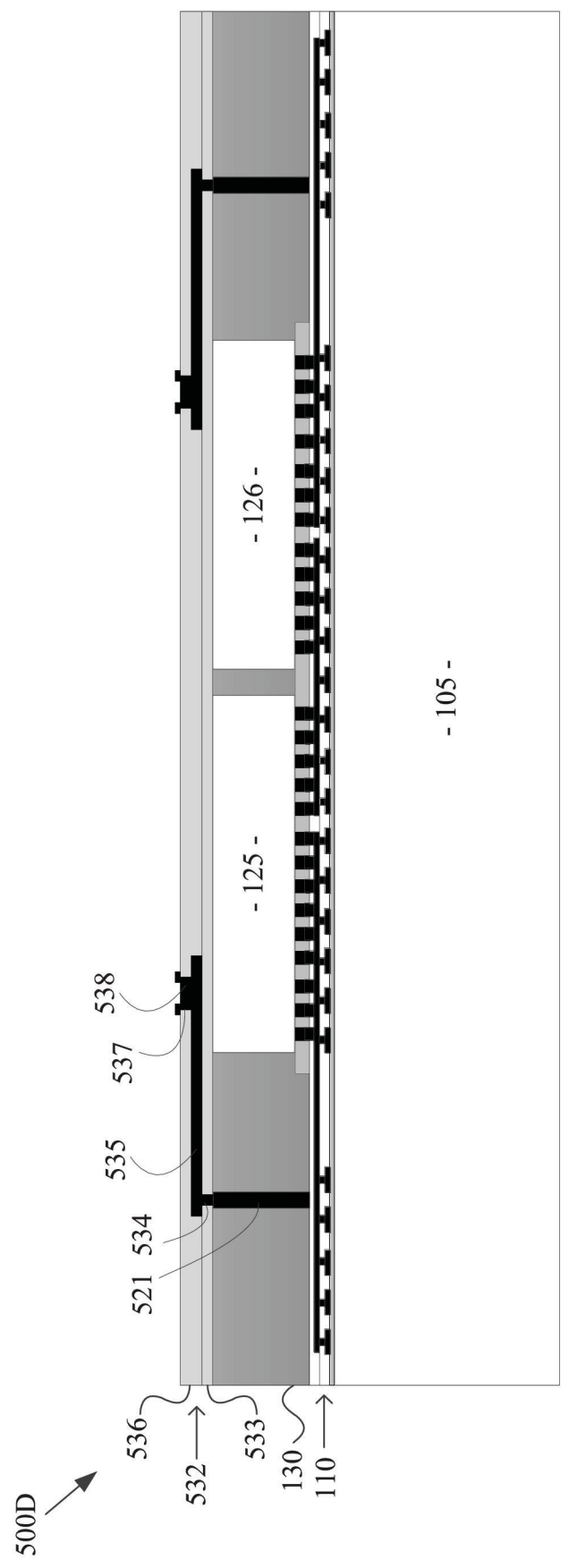


圖5B



- 105 -

圖5C



- 105 -

圖5D

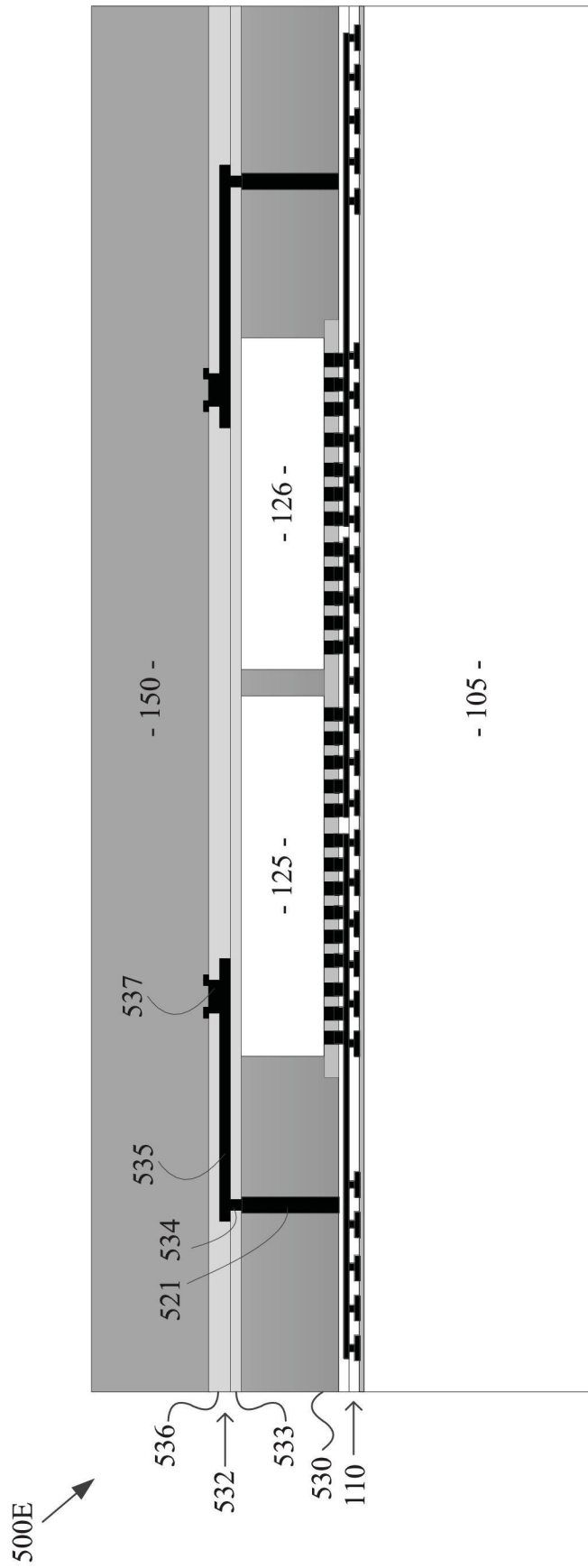


圖5E

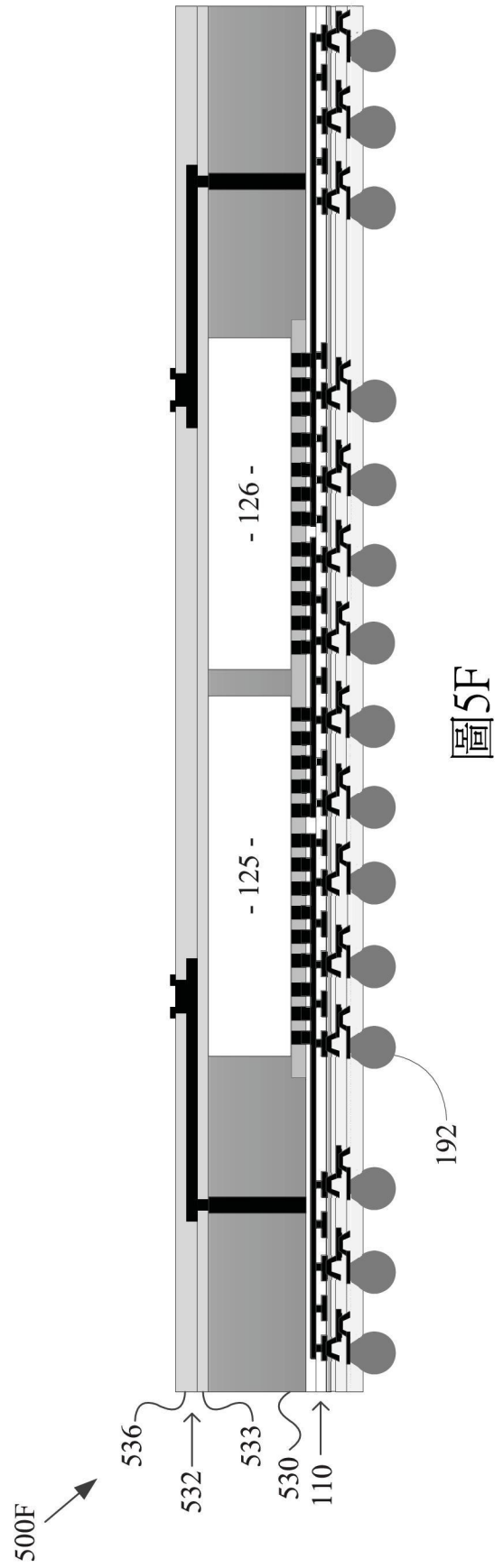


圖5F

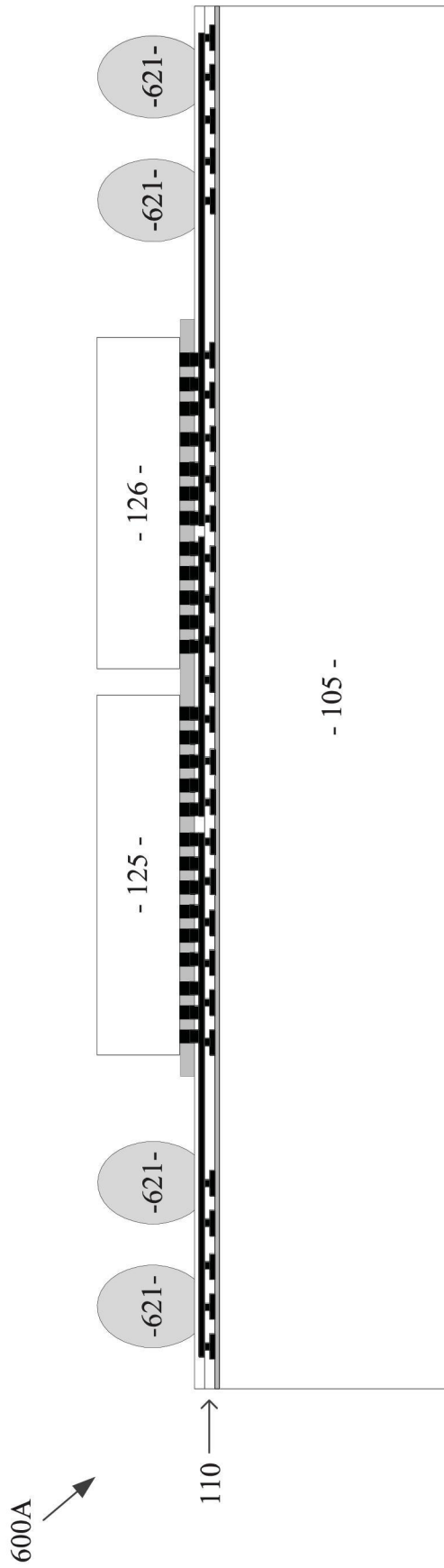


圖6A

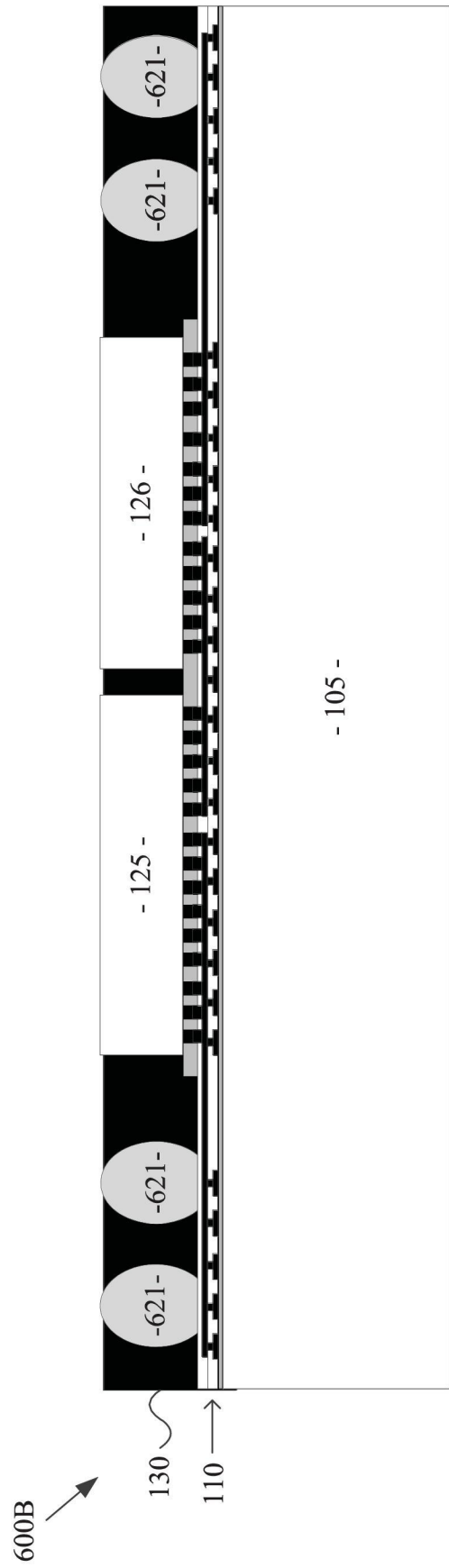


圖6B

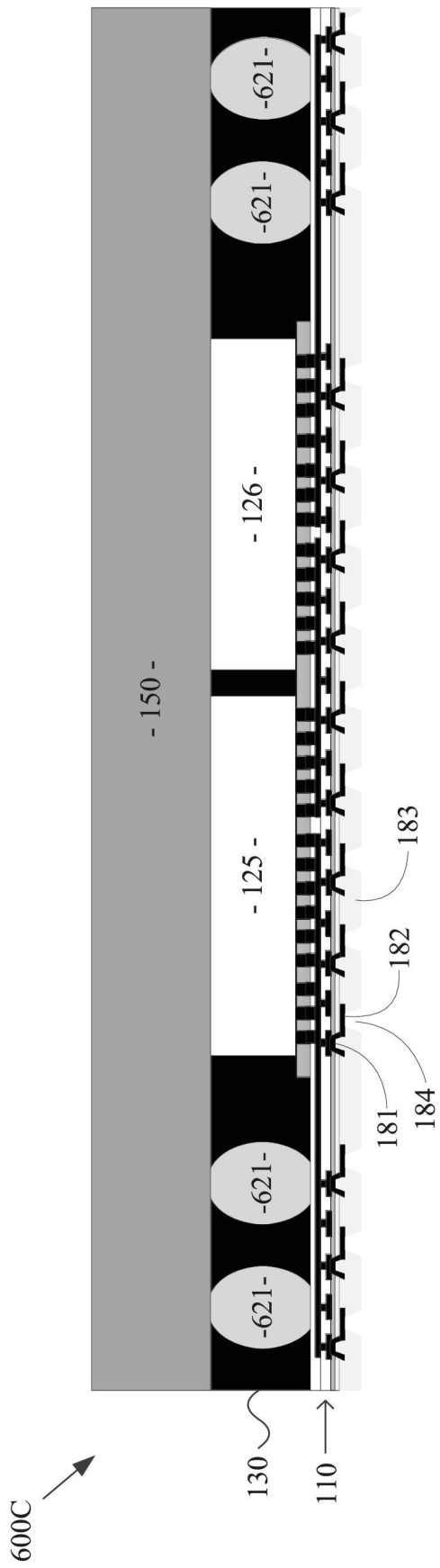


圖6C

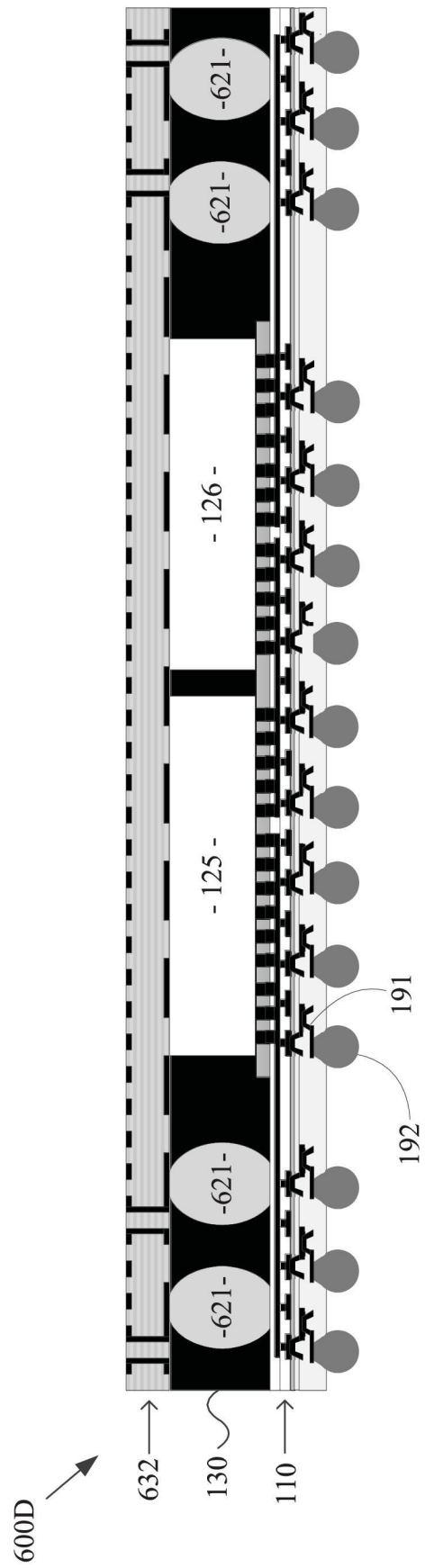


圖6D

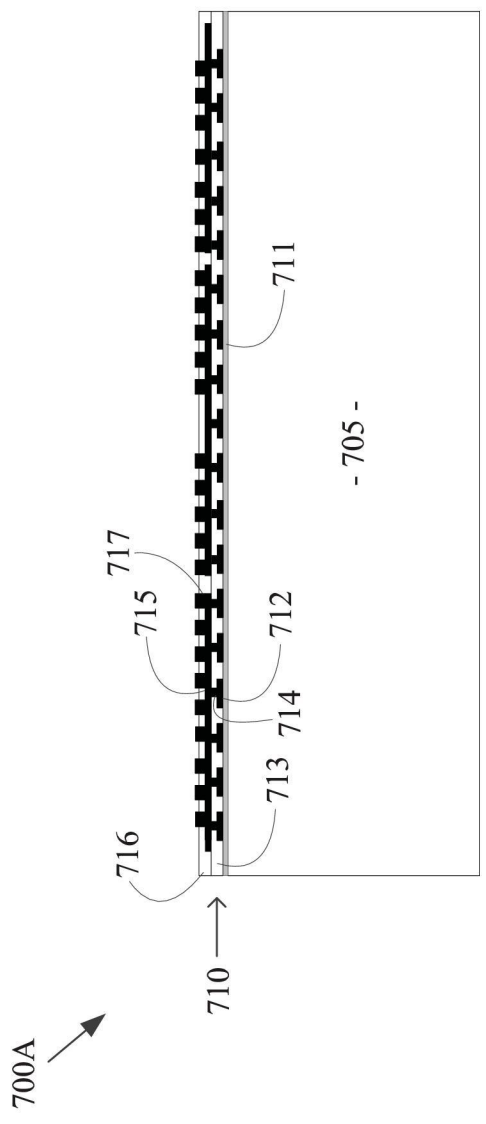


圖7A

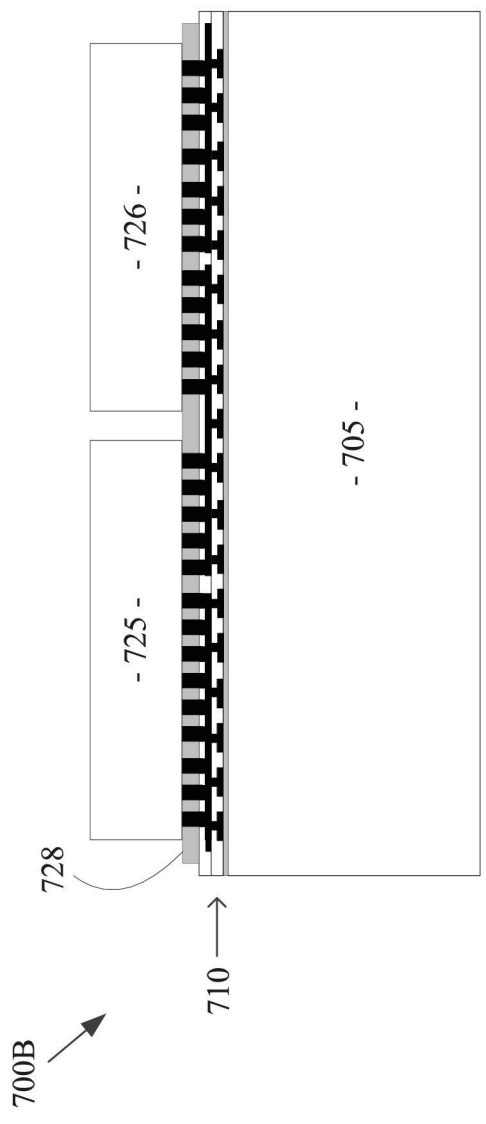


圖7B

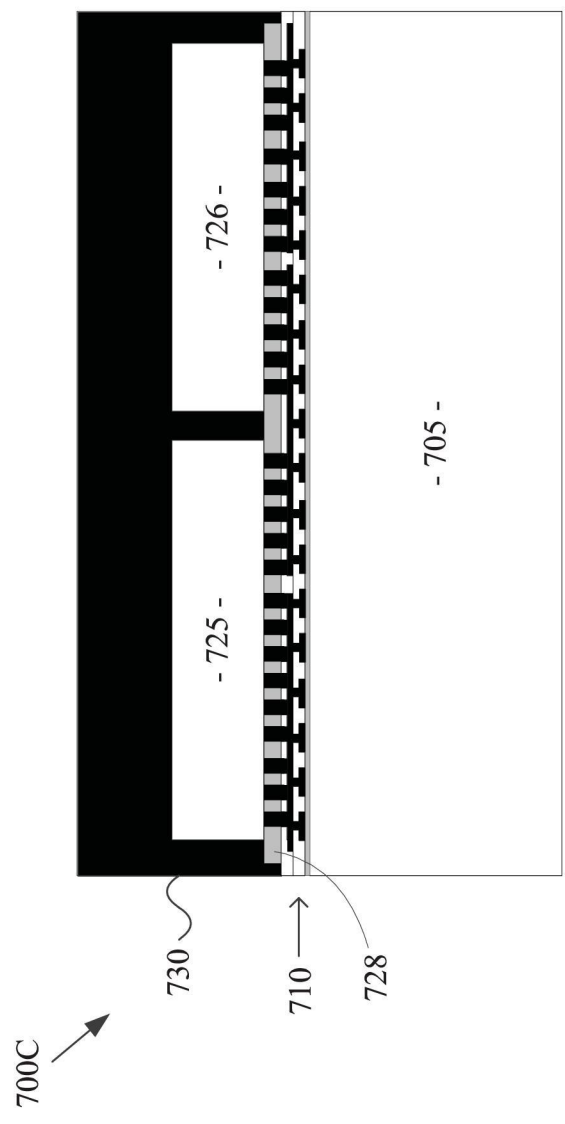


圖7C

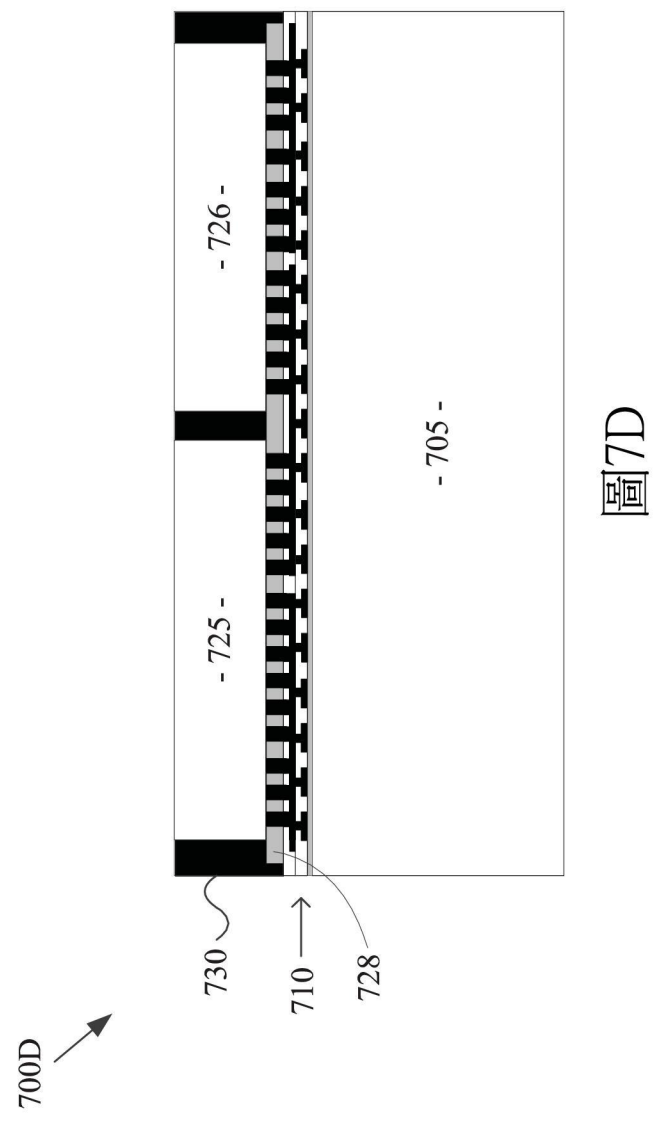


圖7D



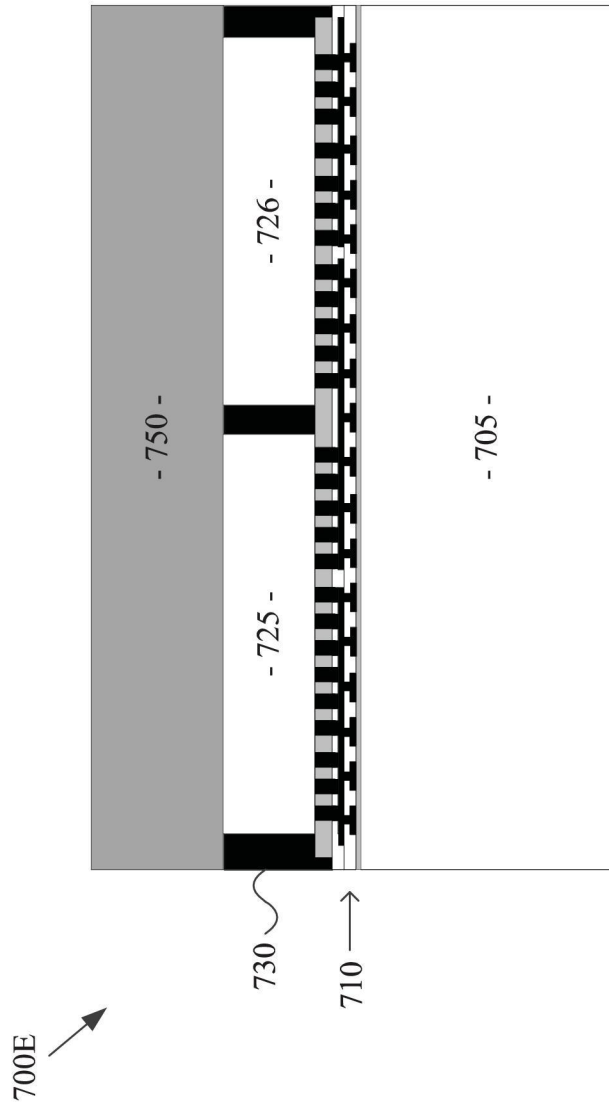


圖7E

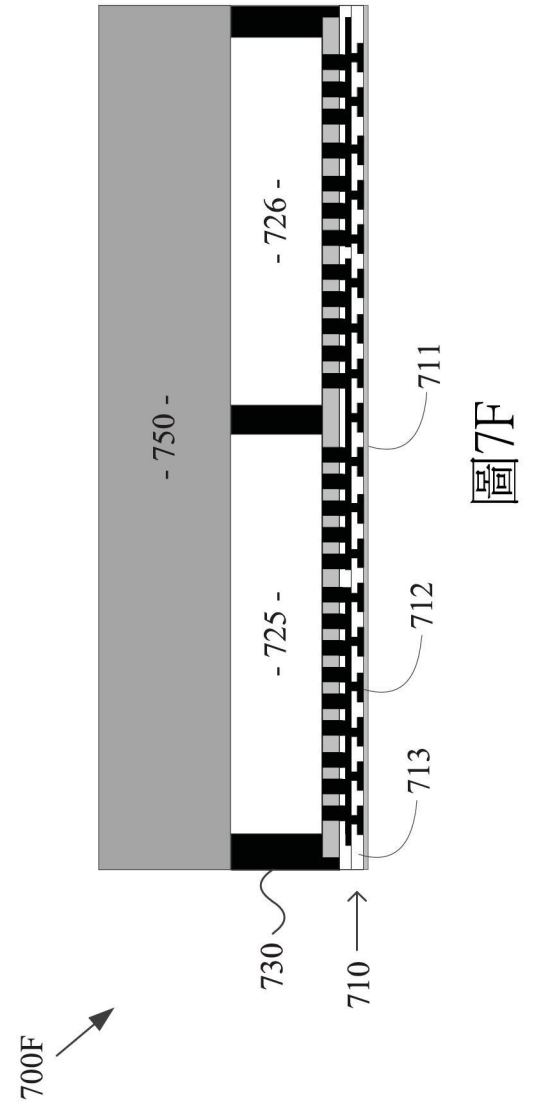


圖7F

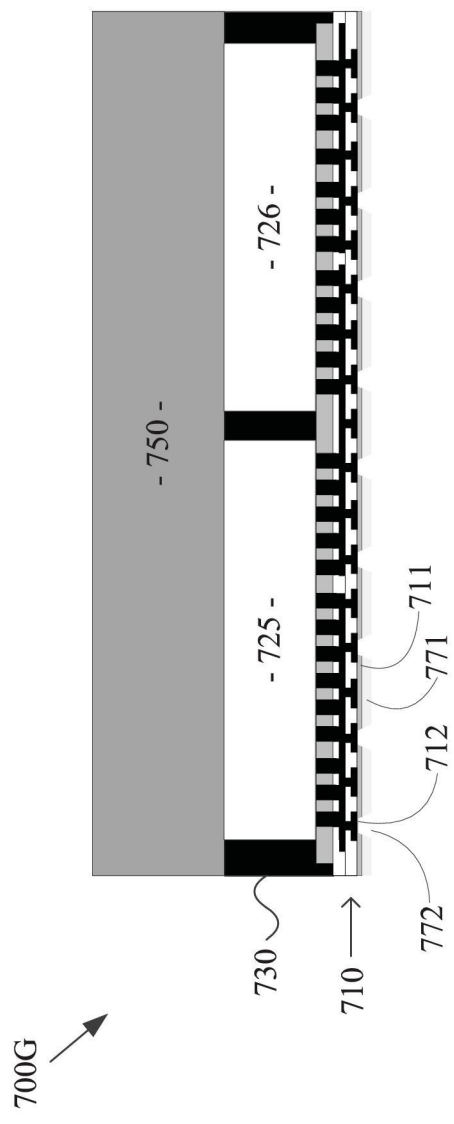


圖7G

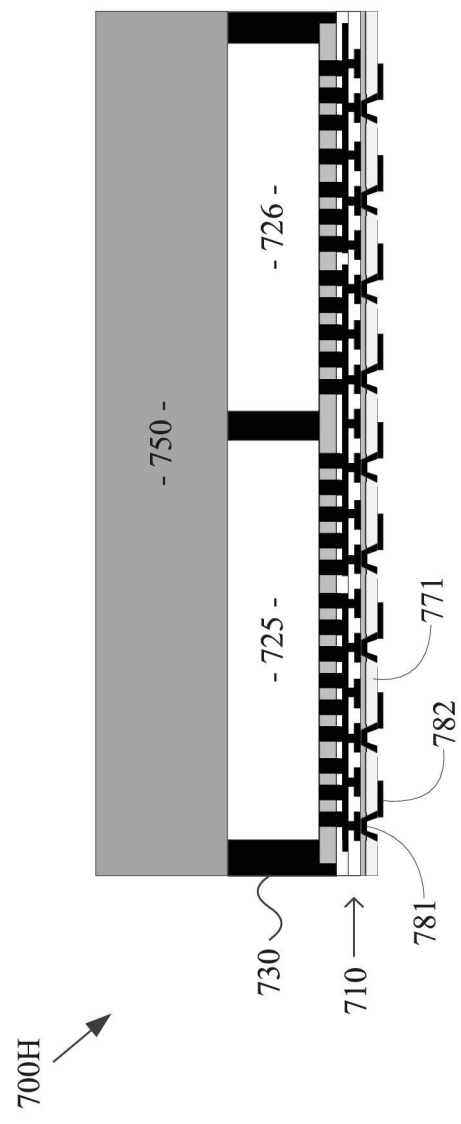


圖7H

700I

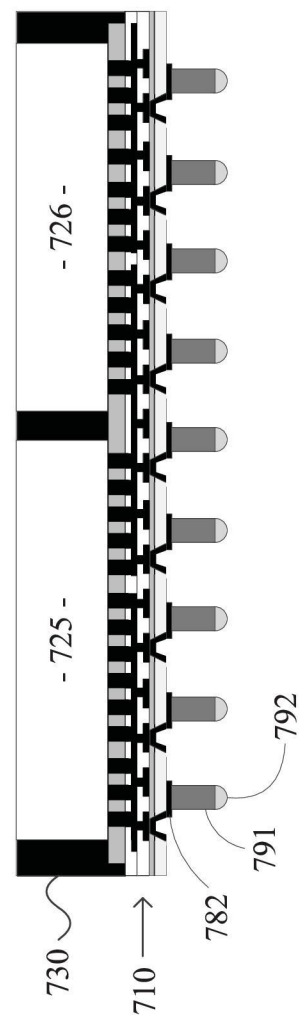


圖7I

700J

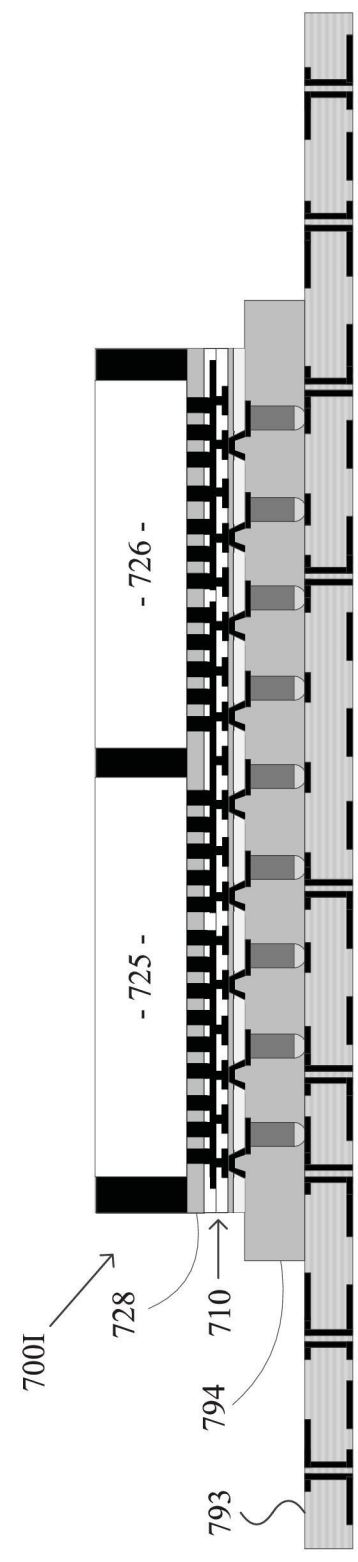


圖7J

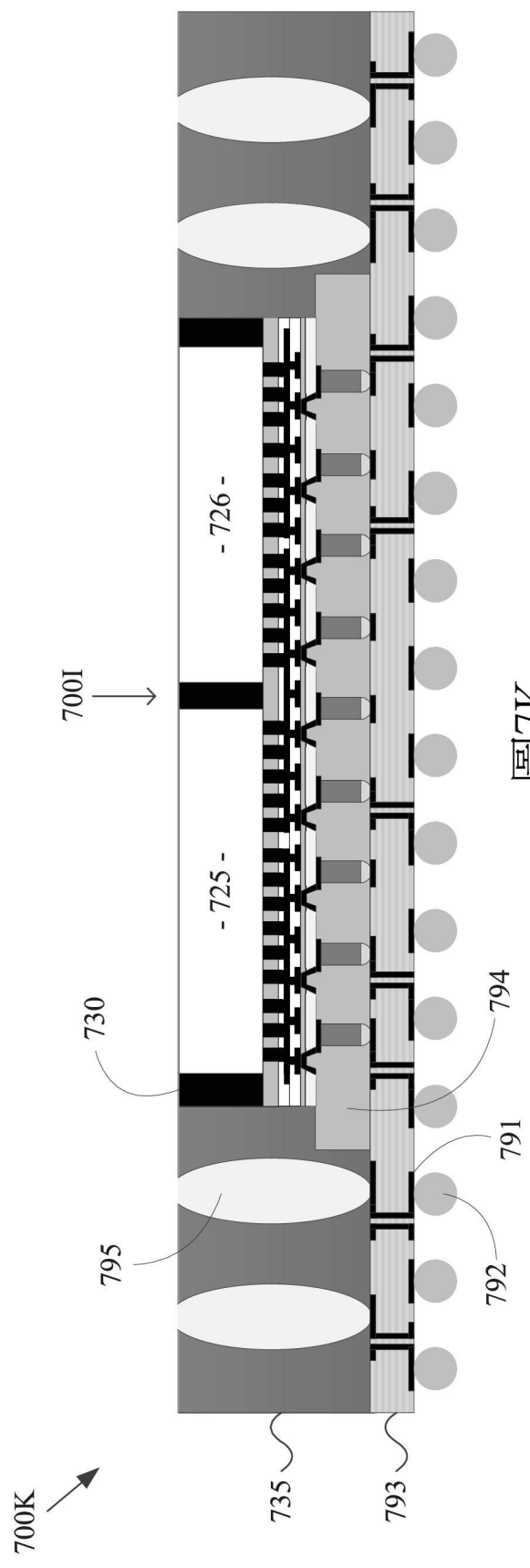


圖7K

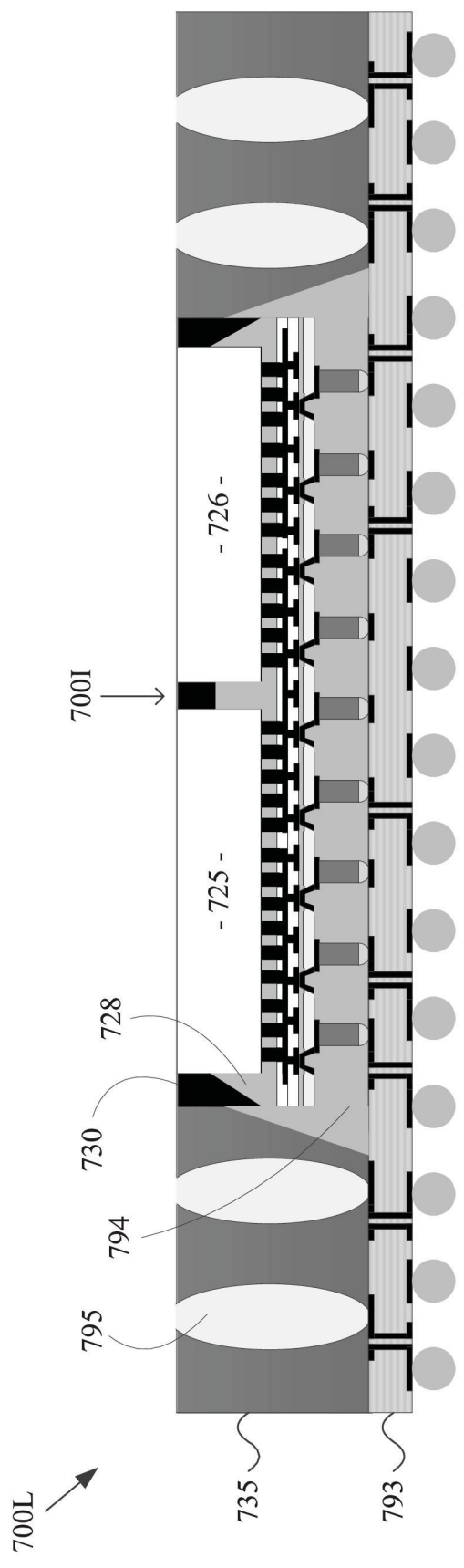


圖7L

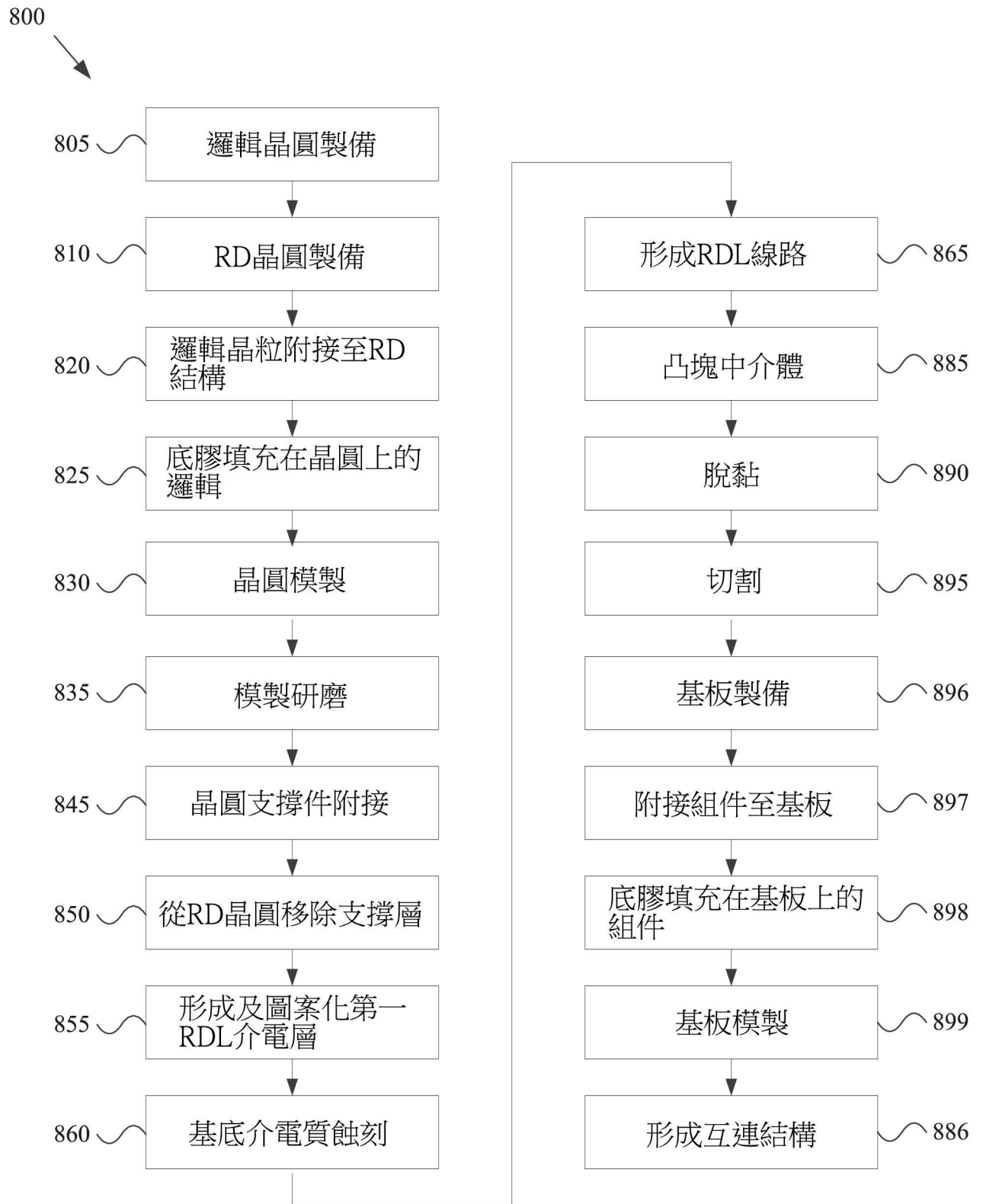


圖8

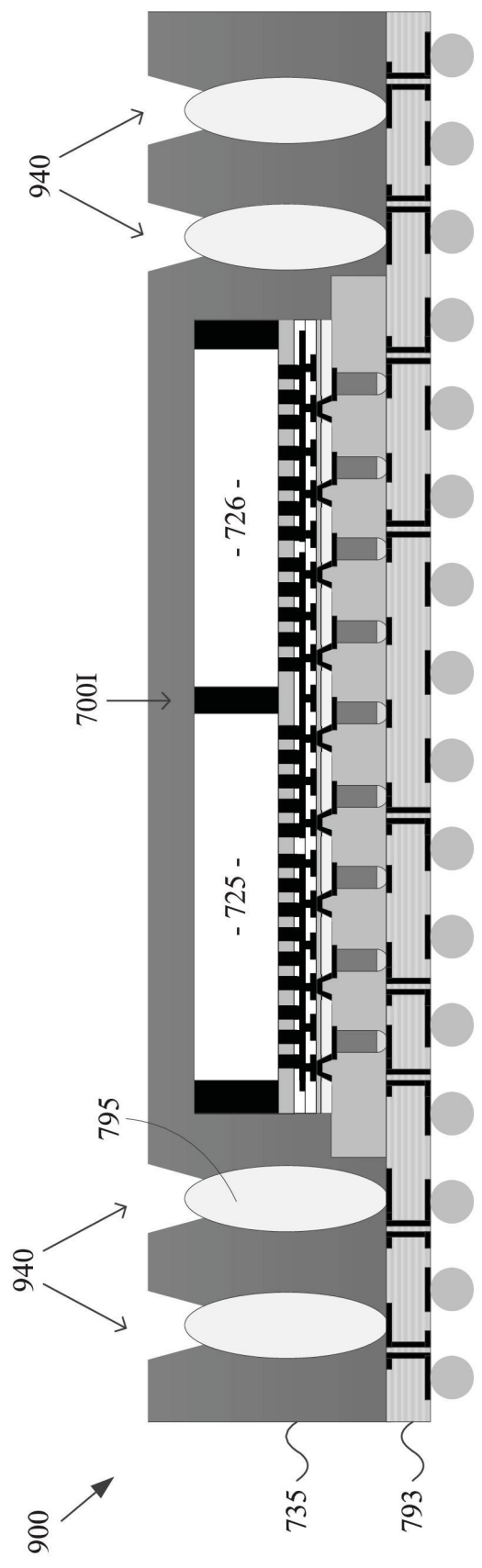


圖9

1000A ↗

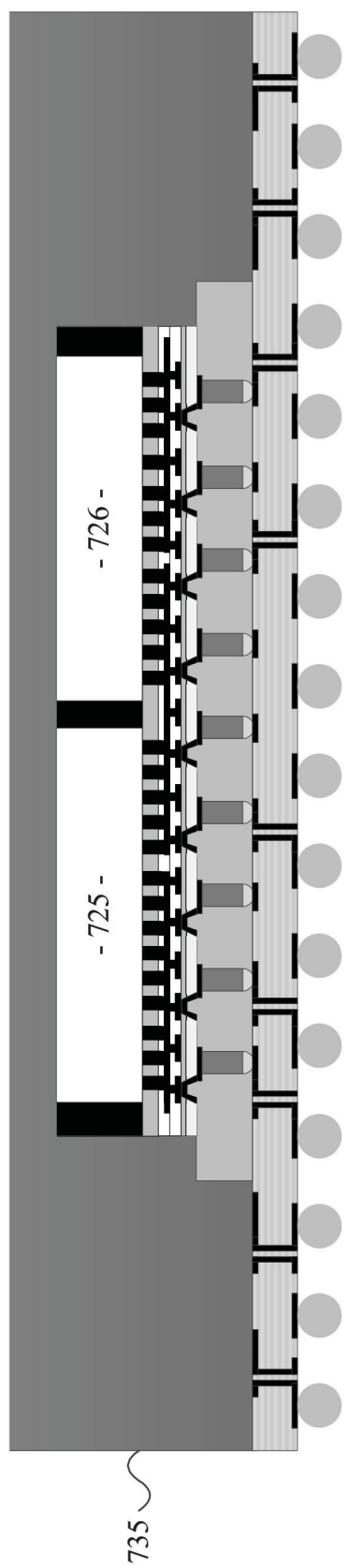


圖10A

1000B ↗

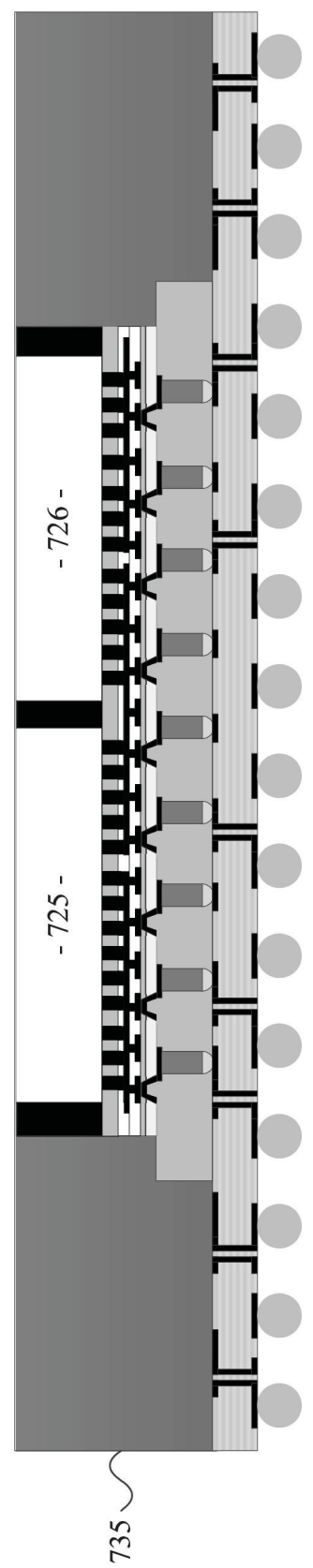


圖10B

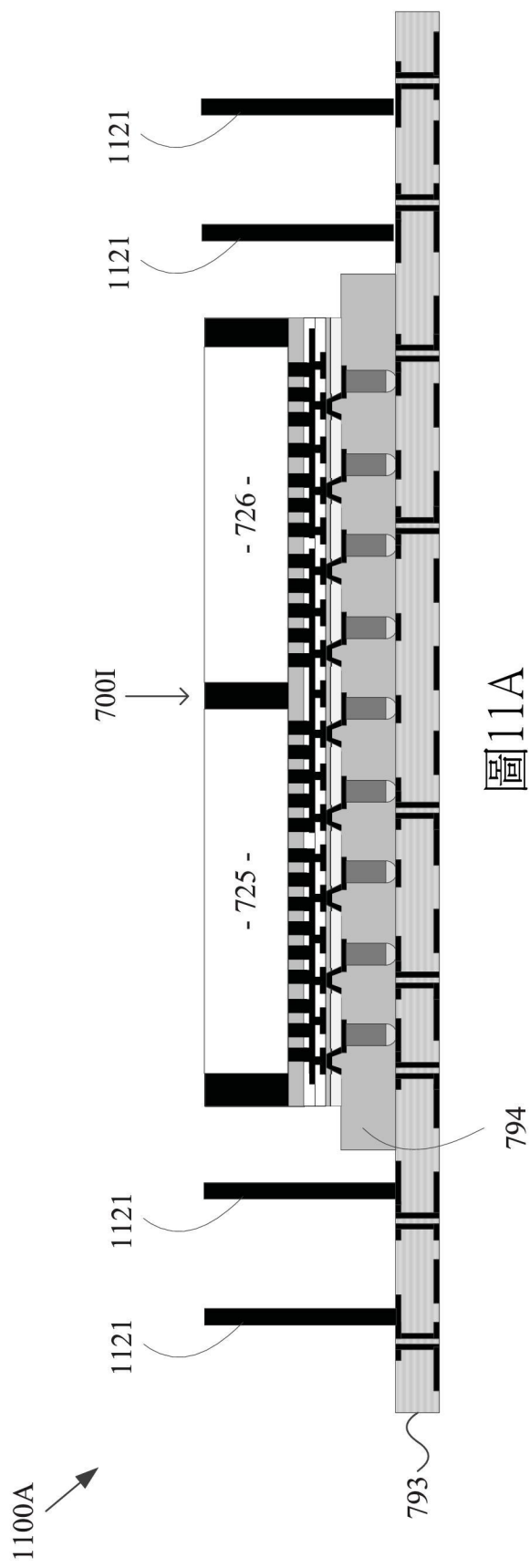


圖11A

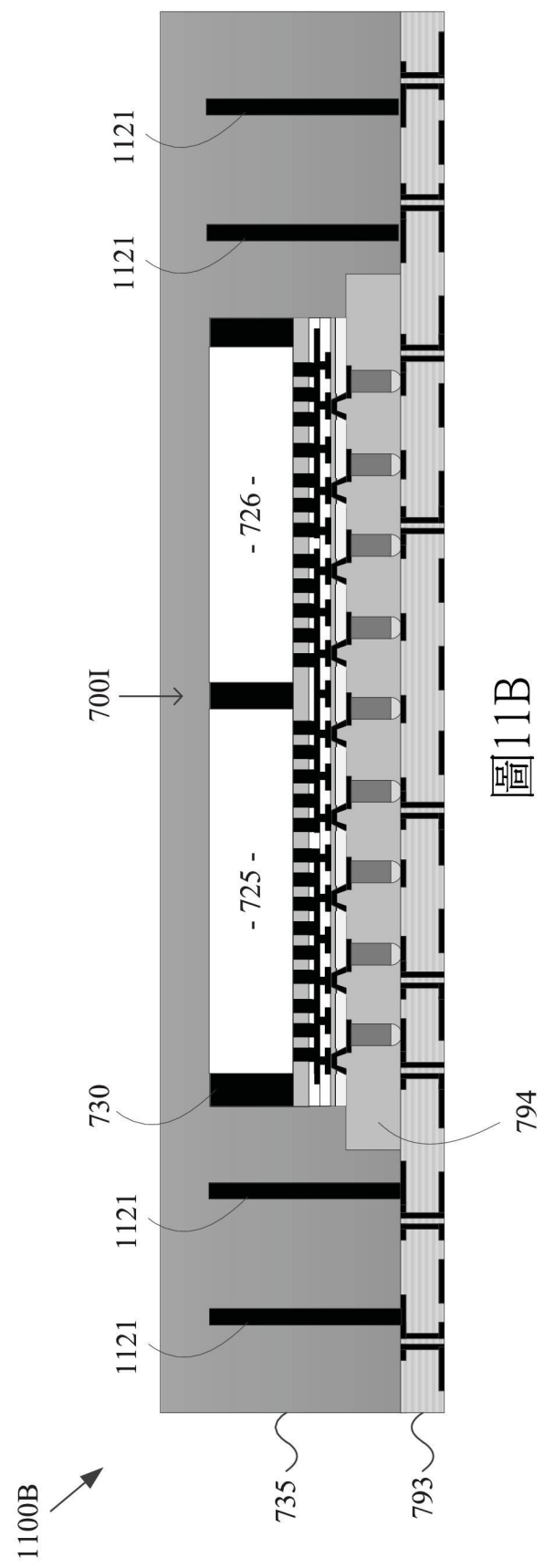


圖11B



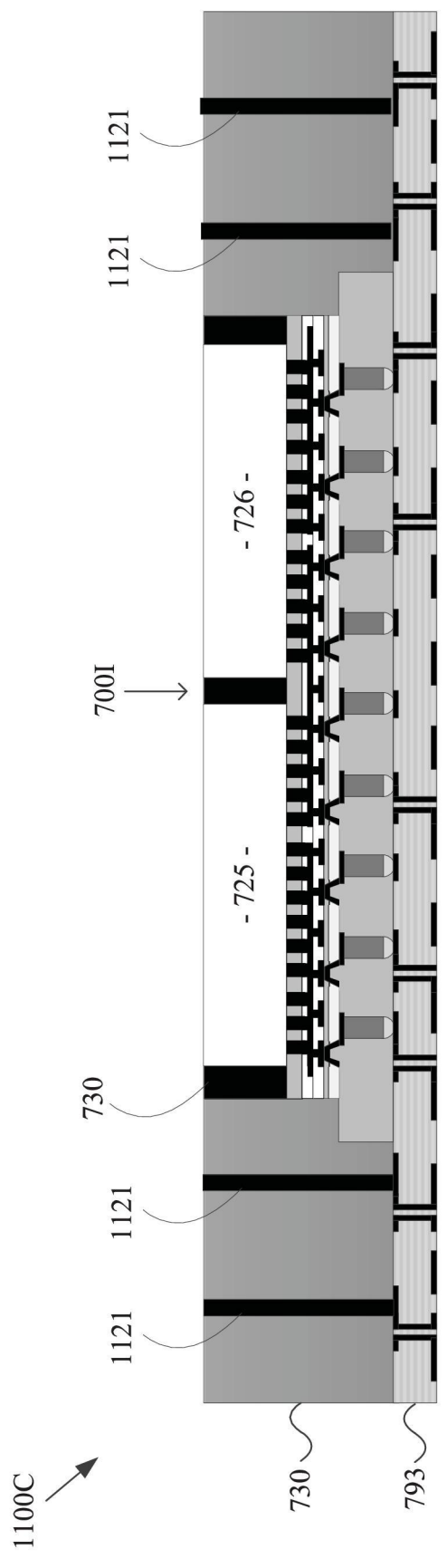


圖11C

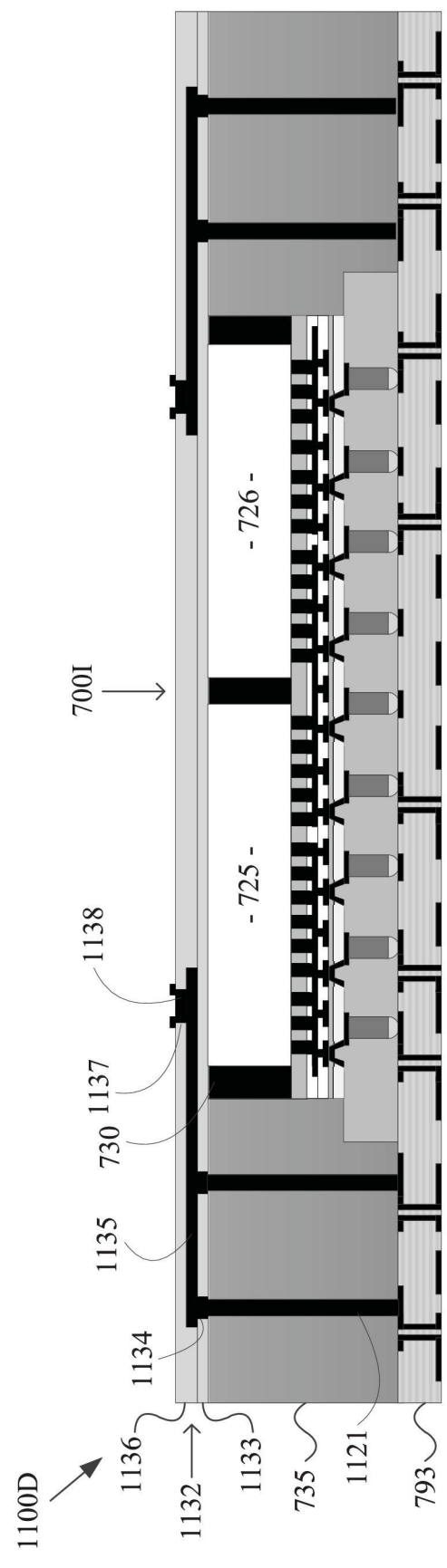


圖11D

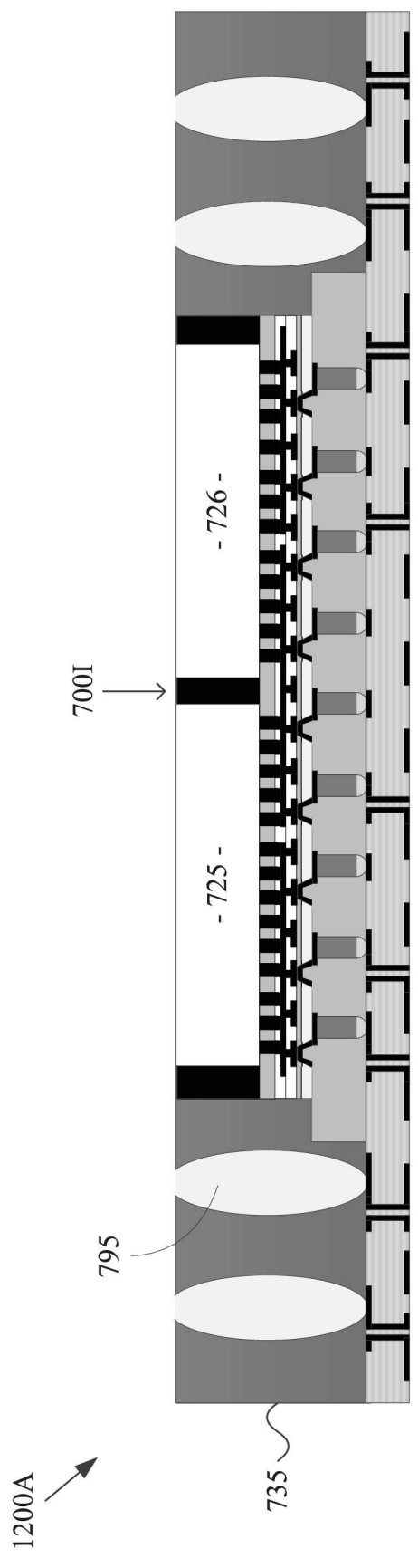


圖12A

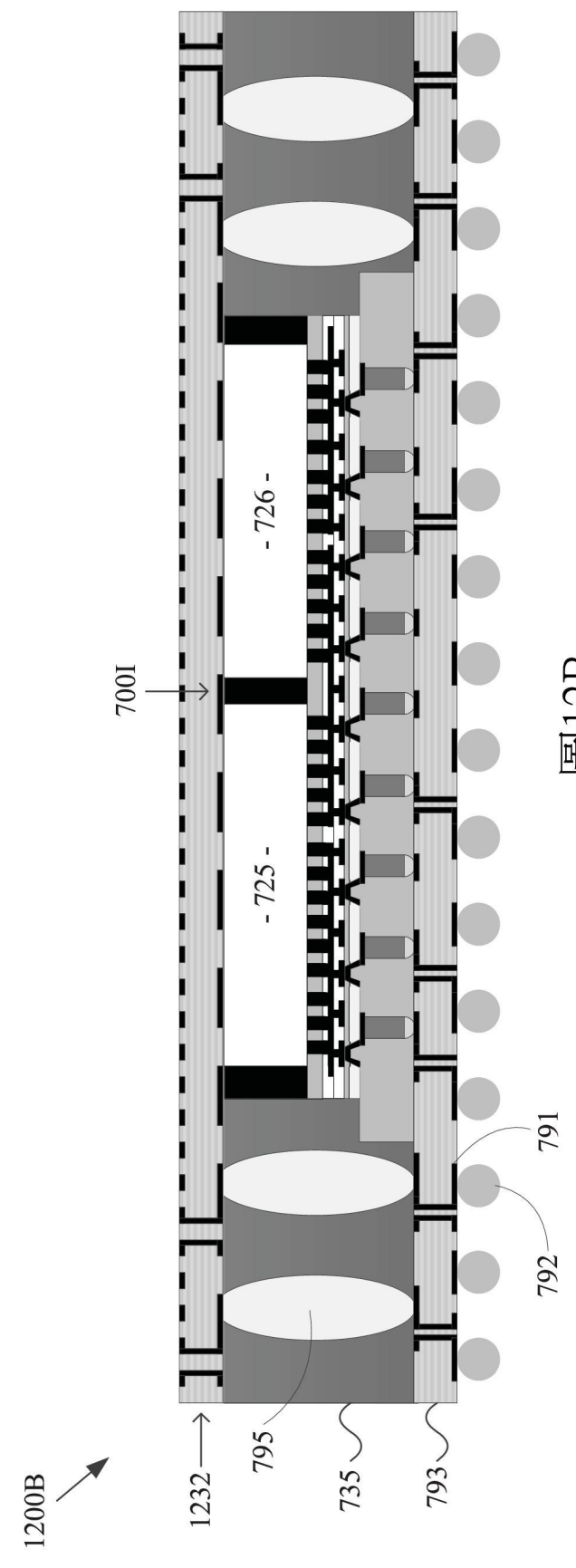


圖12B

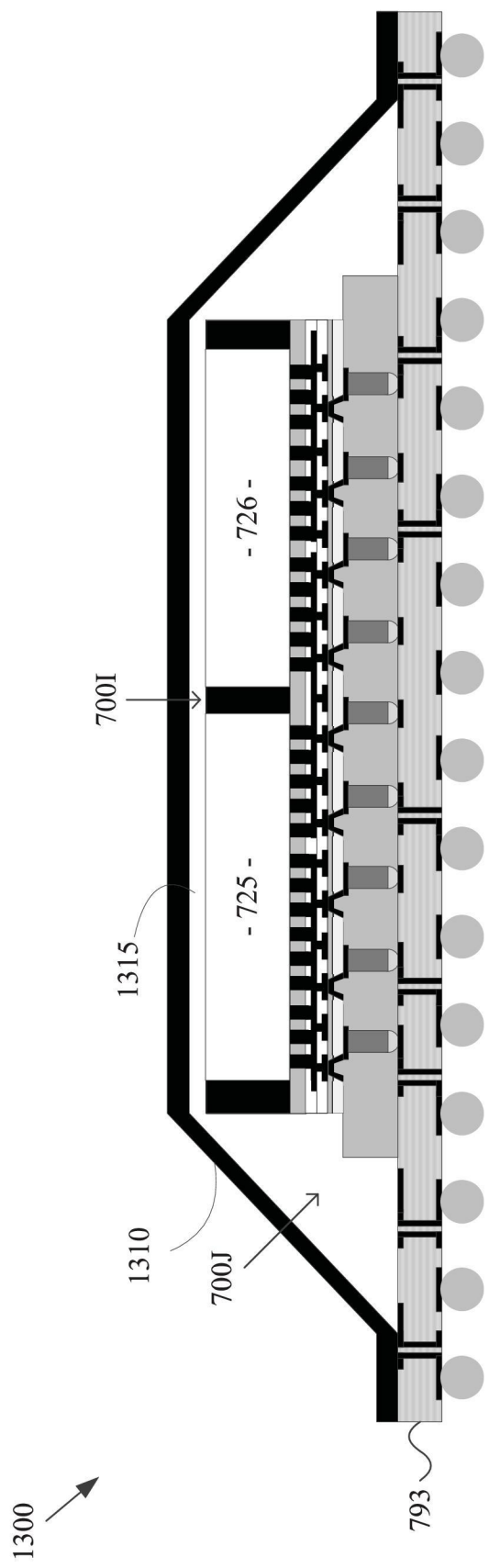


圖13

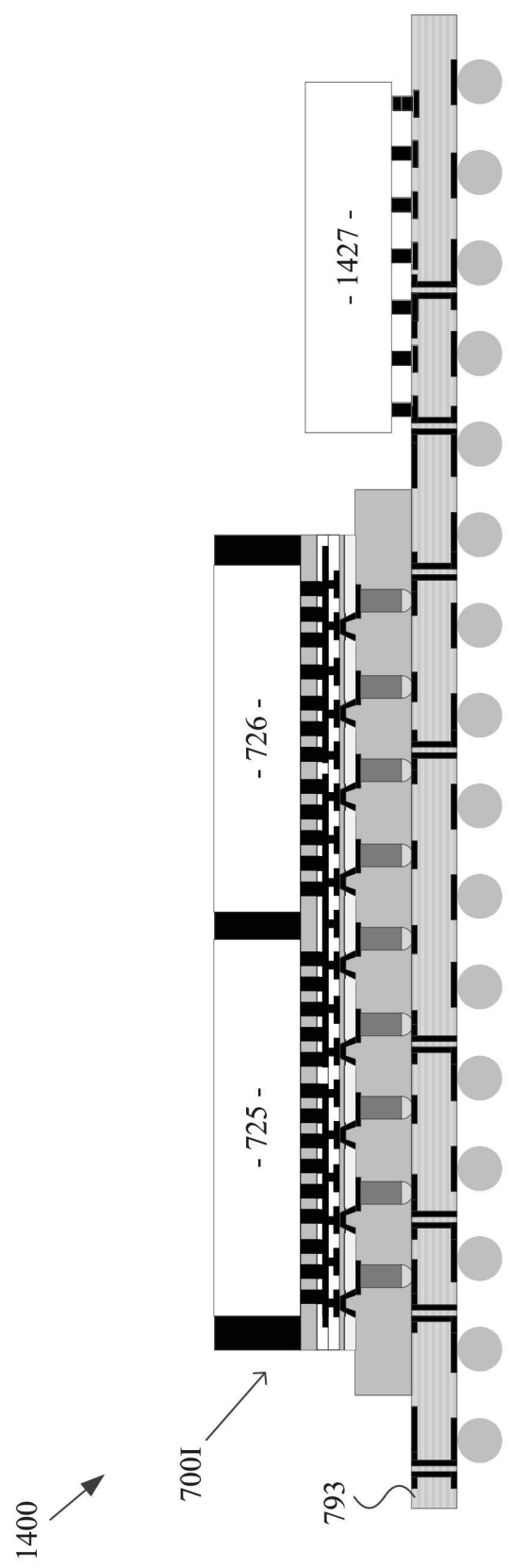


圖14

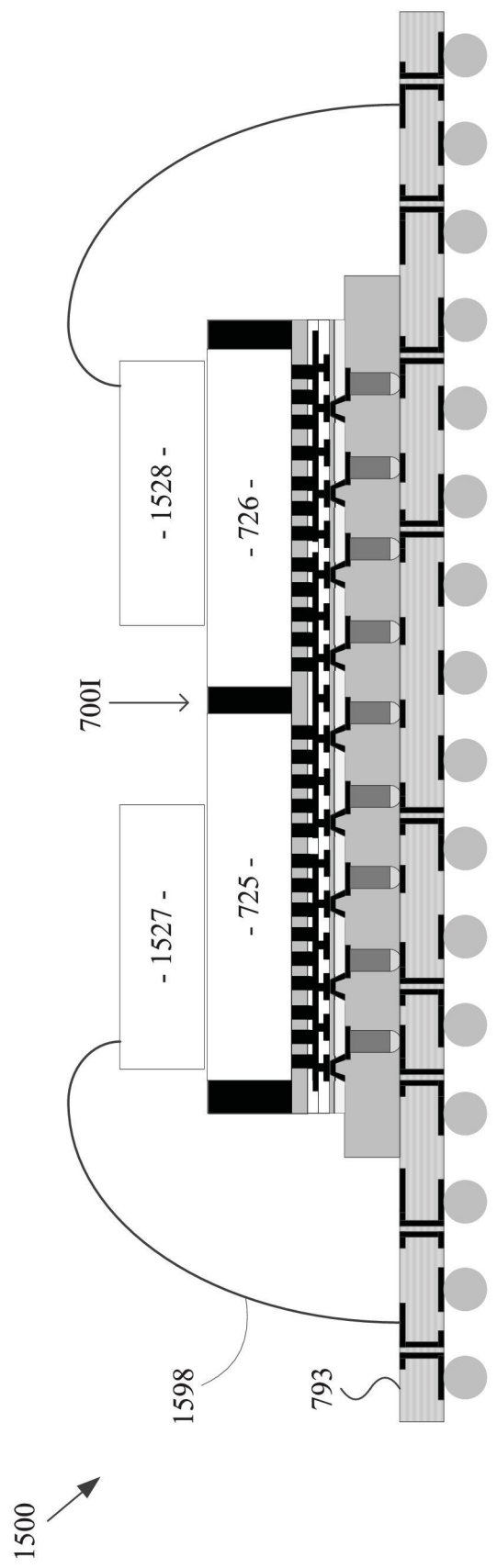


圖15

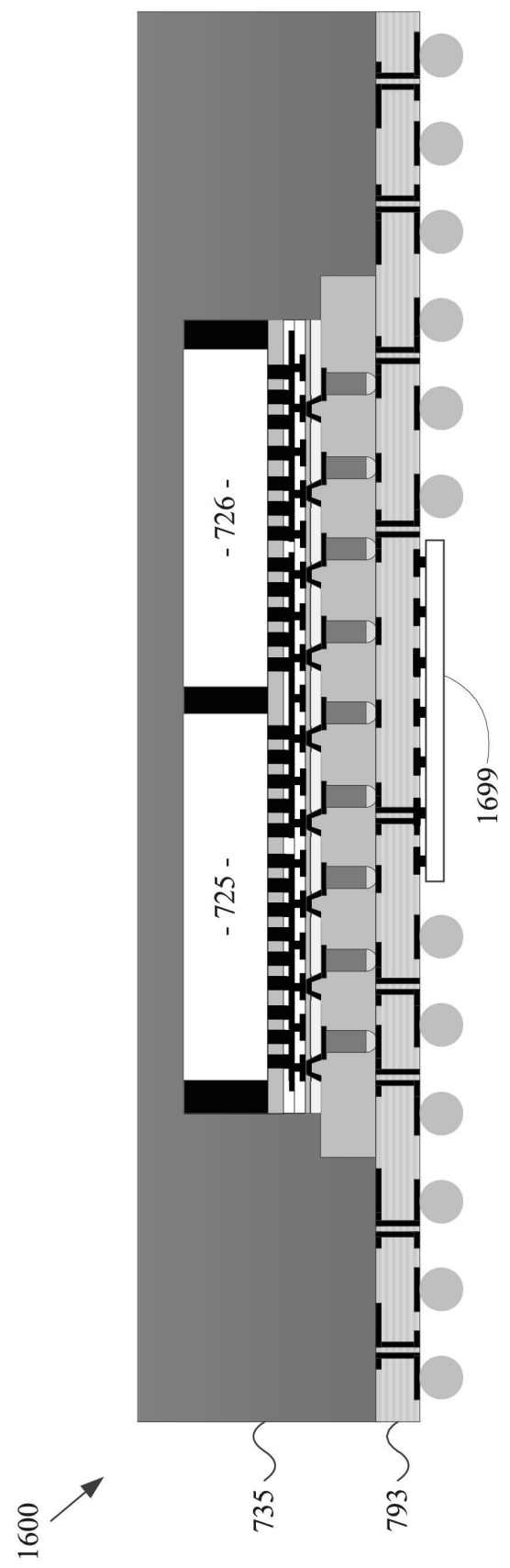


圖16