

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-135488

(P2005-135488A)

(43) 公開日 平成17年5月26日(2005.5.26)

(51) Int. Cl.⁷

G 1 1 C 29/00

G 1 1 C 11/22

F I

G 1 1 C 29/00 6 3 1 Q

G 1 1 C 11/22 5 0 1 P

G 1 1 C 11/22 5 0 1 Q

テーマコード(参考)

5 L 1 0 6

審査請求 有 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願2003-369288 (P2003-369288)

(22) 出願日 平成15年10月29日(2003.10.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100092196

弁理士 橋本 良郎

最終頁に続く

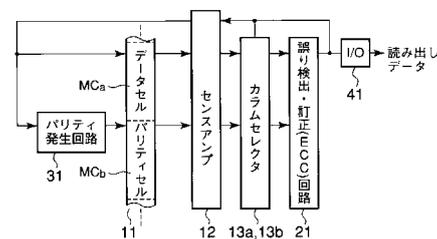
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】本発明は、強誘電体メモリにおいて、インプリント現象が生じているセルのデータを自動的に訂正して再書き込みすることにより、インプリント現象を中和できるようにすることを最も主要な特徴としている。

【解決手段】たとえば、メモリセルアレイ11のデータセルMCaに記憶されたセルデータ、および、パリティセルMCbに記憶されたパリティデータを、センスアンプ12によってページ単位で読み出す。その読み出した1ページ分のデータのうち、コラムセレクタ13a、13bによって任意のデータをワードごとに選択して、ECC回路21に出力する。そして、このECC回路21によって処理されたワードごとの訂正データは、I/O回路41を介して読み出されるとともに、センスアンプ12によって、所定のデータセルMCaに再書き込みされるように構成されている。

【選択図】 図2



【特許請求の範囲】

【請求項1】

データを記憶するための、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含むメモリセル部と、

前記メモリセル部に接続されたビット線と、

前記ビット線に接続されたセンスアンプと、

前記ビット線を介して、前記センスアンプにより前記複数のメモリセルから読み出されたセルデータに対し、パリティデータに応じて誤り検出および訂正処理を施す誤り検出・訂正回路と

を具備し、

前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、そのセルデータを読み出したメモリセルに再書き込みすることを特徴とする半導体記憶装置。

10

【請求項2】

データを記憶するための、セルトランジスタのゲート端子にワード線が接続され、かつ、前記セルトランジスタのソース・ドレイン端子の一方に強誘電体キャパシタの一端が接続されるとともに、前記セルトランジスタのソース・ドレイン端子の他方がビット線に接続され、前記強誘電体キャパシタの他端がプレート線に接続された複数のメモリセルがアレイ状に配置されているメモリセル部と、

前記ビット線に接続されたセンスアンプと、

前記ビット線を介して、前記センスアンプにより前記複数のメモリセルから読み出されたセルデータに対し、データ読み出しの単位であるワードごとに設けられるパリティデータに応じて誤り検出および訂正処理を施す誤り検出・訂正回路と、

前記ビット線を介して、前記センスアンプにより前記メモリセル部の所定のメモリセルから読み出され、前記誤り検出・訂正回路での誤り検出および訂正処理に用いたパリティデータを、訂正後のセルデータをもとに生成し直す生成回路と

を具備し、

前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、第1のセルデータを書き込んだまま放置され、セルのヒステリシス特性がシフトした状態で、前記第1のセルデータとは反対の分極を有する第2のセルデータの書き込みが行われたメモリセルに再書き込みするとともに、

前記訂正後のセルデータをもとに生成し直したパリティデータを、そのパリティデータを読み出した前記所定のメモリセルに再書き込みすることを特徴とする半導体記憶装置。

20

30

【請求項3】

データを記憶するための、セルトランジスタのソース・ドレイン端子間に強誘電体キャパシタが接続されるとともに、所定個ずつ直列に接続されて少なくとも1つのメモリセルブロックを構成し、前記少なくとも1つのメモリセルブロックの一端がブロック選択トランジスタを介してビット線に接続され、他端がプレート線に接続された複数のメモリセルがアレイ状に配置されているメモリセル部と、

前記ビット線に接続されたセンスアンプと、

前記ビット線を介して、前記センスアンプにより前記複数のメモリセルから読み出されたセルデータに対し、データ読み出しの単位であるワードごとに設けられるパリティデータに応じて誤り検出および訂正処理を施す誤り検出・訂正回路と、

前記ビット線を介して、前記センスアンプにより前記メモリセル部の所定のメモリセルから読み出され、前記誤り検出・訂正回路での誤り検出および訂正処理に用いたパリティデータを、訂正後のセルデータをもとに生成し直す生成回路と

を具備し、

前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、そのセルデータを読み出したメモリセルに再書き込みするとともに、

前記訂正後のセルデータをもとに生成し直したパリティデータを、そのパリティデータ

40

50

を読み出した前記所定のメモリセルに再書き込みすることを特徴とする半導体記憶装置。

【請求項 4】

前記誤り検出・訂正回路は、ページ単位で読み出される前記セルデータおよび前記パリティデータのうち、ワードごとに読み出される任意のセルデータに対して、前記誤り検出および訂正処理を施すことを特徴とする請求項 1, 2 または 3 に記載の半導体記憶装置。

【請求項 5】

データを記憶するための、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含むメモリセル部と、

前記メモリセル部に接続されたビット線と、

前記ビット線を介して、前記複数のメモリセルから読み出されるセルデータ、および、データ読み出しの単位であるページごとに設けられるパリティデータを、ページ単位で保持させるための複数のラッチ回路を有するセンスアンプと、

前記ビット線を介して、前記センスアンプにより前記複数のメモリセルからページ単位で読み出された前記セルデータおよび前記パリティデータのうち、前記セルデータに対し、前記パリティデータに応じた誤り検出および訂正処理を一度に施す誤り検出・訂正回路と、

前記ビット線を介して、前記センスアンプにより前記メモリセル部の所定のメモリセルから読み出され、前記誤り検出・訂正回路での誤り検出および訂正処理に用いたパリティデータを、訂正後のセルデータをもとに生成し直す生成回路と

を具備し、

前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、一括して前記複数のラッチ回路に書き戻した後、そのセルデータを読み出したメモリセルに再書き込みするとともに、

前記訂正後のセルデータをもとに生成し直したパリティデータを、そのパリティデータを読み出した前記所定のメモリセルに再書き込みすることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関するもので、特に、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性の強誘電体メモリ (FeRAM (Ferroelectric Random Access Memory)) に関するものである。

【背景技術】

【0002】

近年、半導体記憶装置の一つとして、強誘電体キャパシタを用いた強誘電体メモリが注目されている (たとえば、特許文献 1 参照) 。

【0003】

図 8 は、強誘電体メモリのセルの構成例を示すものである。この強誘電体メモリセルは、たとえば図 8 に示すように、強誘電体キャパシタ 101 と MOS (Metal Oxide Semiconductor) トランジスタ 102 とを直列に接続した構成となっている。つまり、上記 MOS トランジスタ 102 のゲートには、ワード線 WL が接続されている。上記 MOS トランジスタ 102 のドレインは、ビット線 BL に接続されている。上記 MOS トランジスタ 102 のソースは、上記強誘電体キャパシタ 101 の一方の電極に接続されている。上記強誘電体キャパシタ 101 の他方の電極は、プレート線 PL に接続されている。

【0004】

この強誘電体メモリセルの場合、たとえば図 9 に示すように、強誘電体のヒステリシス特性を利用してデータの記憶が行われる。つまり、強誘電体キャパシタ 101 の電圧を 0 V としたときの残留分極 (量) P が、たとえば、正の場合を “ 1 ” に、負の場合を “ 0 ” に対応させることで、データを記憶する。

10

20

30

40

50

【0005】

ここで、強誘電体メモリに対するデータの書き込みおよび読み出し動作について説明する。強誘電体メモリの場合、プレート線 PL にパルスを印加して書き込みおよび読み出し動作を行う。

【0006】

まず、書き込み動作時の動作原理について、ここでは、たとえば図 10 に示す 2T - 2C 構造のセルを用いて説明する。基本的には、図 8 に示した 1T - 1C 構造のセルの動作原理も同様に説明できる。また、図 11 は、書き込み動作時のタイミング (パルス) を示すものである。

【0007】

図 10 に示した 2T - 2C 構造のセルの場合、MOS トランジスタ 102a, 102b を介して、対になるビット線 BL a, BL b につながる強誘電体キャパシタ 101a, 101b に、それぞれ反対の分極 P を書き込むようになっている。たとえば、ビット線 BL a の電位をグランド (0V)、ビット線 BL b の電位を 5V にする。その際、ワード線 WL のレベルが 6V 以上 ($V_{cc} = 5V$, $V_{TH} = 1V$) になると、強誘電体キャパシタ 101a の上部電極の電位は 0V、強誘電体キャパシタ 101b の上部電極の電位は 5V になる。

【0008】

ワード線 WL が高電圧 (High) になった後、図 11 に示したようなパルスを、プレート線 PL に与える。たとえば、 T_1 のタイミングでは 0V を (図 12 (b) 参照)、 T_2 のタイミングでは 5V を (図 13 (b) 参照)、 T_3 のタイミングでは 0V を (図 14 (b) 参照)、それぞれ与える。なお、図中に示す矢印は分極 P の向きを示している。

【0009】

T_1 のタイミングにおいては、強誘電体キャパシタ 101a の分極 P は点 A (図 12 (a) 参照)、強誘電体キャパシタ 101b の分極 P は点 D (図 12 (c) 参照) となる。 T_2 のタイミングにおいては、強誘電体キャパシタ 101a の分極 P は点 A から点 B (図 13 (a) 参照) へ、強誘電体キャパシタ 101b の分極 P は点 D から点 E (図 13 (c) 参照) へと移動する。 T_3 のタイミングにおいては、強誘電体キャパシタ 101a の分極 P は点 B から点 C (図 14 (a) 参照) へ、強誘電体キャパシタ 101b の分極 P は点 E から点 D (図 14 (c) 参照) へと移動する。これにより、データの書き込み動作は終了する。この動作を、データ "0" の書き込みと定義した場合、データ "1" の書き込みでは、強誘電体キャパシタ 101a には点 D の分極 P が、強誘電体キャパシタ 101b には点 C の分極 P が書き込まれる。

【0010】

電源が落ちて、プレート線 PL やビット線 BL a, BL b による外部電界が 0 になっても、データ "0" の書き込み時には、強誘電体キャパシタ 101a に残留分極点 C の +Pr の電荷が、強誘電体キャパシタ 101b に残留分極点 E の -Pr の電荷が、それぞれ蓄積される。逆に、データ "1" の書き込み時には、強誘電体キャパシタ 101a に残留分極点 E の -Pr の電荷が、強誘電体キャパシタ 101b に残留分極点 C の +Pr の電荷が、それぞれ蓄積される。

【0011】

一方、強誘電体メモリからのデータの読み出しは、通常、破壊読み出しであり、読み出し動作の際にも再書き込みという操作が必要で、結局、読み出し動作は書き込み動作とほぼ同じ動作となる。

【0012】

図 15 は、上記した 2T - 2C 構造のセルを例に、データの読み出し動作を説明するために示すものである。また、図 16 は、読み出し動作時のタイミング (パルス) を示すものである。

【0013】

データを読み出す場合、たとえば図 15 に示すように、最初のプリチャージ・サイクル

10

20

30

40

50

において、左右のビット線 BLa , BLb の電位をグラウンドレベル ($0V$) にする。また、センスアンプ (図示していない) は、ビット線 BLa , BLb から切り離れた状態にする。この状態において、ワード線 WL の電位を $6V$ 以上にすると、強誘電体キャパシタ $101a$, $101b$ の上部電極の電位は、共に、 $0V$ になる。なお、図中に示す矢印は分極 P の向きを示している。

【0014】

読み出し動作時には、上記した書き込み動作時の場合と同様に、図16に示したようなパルスを、プレート線 PL に与える。たとえば、 T_1 のタイミングでは $0V$ を (図17 (b) 参照)、 T_2 のタイミングでは $5V$ を (図18 (b) 参照)、 T_3 のタイミングでは $0V$ を (図19 (b) 参照)、それぞれ与える。なお、図中に示す矢印は分極 P の向きを示している。

10

【0015】

強誘電体キャパシタ $101a$, $101b$ に対し、データ “ 0 ” の書き込みによって、たとえば図17 (a) , (c) に示すような分極 P がそれぞれ記憶されているとする。すなわち、 T_1 のタイミングにおいて、強誘電体キャパシタ $101a$ の分極 P は点 C に、強誘電体キャパシタ $101b$ の分極 P は点 E に、それぞれ記憶されているとする。この場合、たとえばデータ “ 0 ” を読み出す場合には、 T_2 のタイミングにおいて、プレート線 PL の電位が $0V$ から $5V$ に変化することにより、強誘電体キャパシタ $101a$ の分極 P は点 C から点 B (図18 (a) 参照) へ、強誘電体キャパシタ $101b$ の分極 P は点 E から点 B (図18 (c) 参照) へと移動する。その際、分極 P が反転した強誘電体キャパシタ $101b$ のデータは、一旦、破壊される。

20

【0016】

また、データ “ 1 ” の場合には、 T_2 のタイミングにおいて、強誘電体キャパシタ $101a$ の分極 P は点 E から点 B へ、強誘電体キャパシタ $101b$ の分極 P は点 C から点 B へと移動する。この際、分極 P が反転した強誘電体キャパシタ $101a$ のデータは、一旦、破壊される。

【0017】

分極 P が反転する側のビット線の電位は、反転しない側のビット線の電位よりもわずかに上昇する。そこで、その微小な電位差を検出することにより、データの “ 0 ” または “ 1 ” を読み出すことができる。たとえば、データ “ 0 ” の場合、ビット線 BLa の電位は $0V$ に、ビット線 BLb の電位は $5V$ になる。また、データ “ 1 ” の場合、ビット線 BLa の電位は $5V$ に、ビット線 BLb の電位は $0V$ になる。

30

【0018】

分極反転によって破壊されたデータは、プレート線 PL の電位が $5V$ から $0V$ に変化することにより、同一の読み出しサイクル内で、セルに再書き込みされる。すなわち、データ “ 0 ” の場合、 T_3 のタイミングにおいて、強誘電体キャパシタ $101a$ の分極 P は点 B から点 C (図19 (a) 参照) へ、強誘電体キャパシタ $101b$ の分極 P は点 C から点 D (図19 (c) 参照) へと移動する。また、データ “ 1 ” の場合は、 T_3 のタイミングにおいて、強誘電体キャパシタ $101a$ の分極 P は点 C から点 D へ、強誘電体キャパシタ $101b$ の分極 P は点 B から点 C へと移動する。これにより、データの読み出し動作は終了する。

40

【0019】

なお、 $1T - 1C$ 構造のセルを有する強誘電体メモリの場合、ビット線の微小な電位差を検出するための、つまり、データの “ 0 ” または “ 1 ” を検出するための基準電位を発生させるダミーセルが必要となる。

【0020】

図20は、強誘電体メモリでのデータの読み出し動作を説明するために示すものである。つまり、読み出し動作時にセンスアンプ 111 によって読み出されたデータは、上述したように、セル 112 へ再書き込みされる。

【0021】

50

ここで、強誘電体メモリには、インプリントと呼ばれる現象が生じる。これは、データを書き込んだままの状態を放置しておく、そのセルのヒステリシス特性が、電圧軸の正/負側にシフトする現象である。データの書き込み直後において、セルのヒステリシス特性は、電圧軸および分極軸の交点に対して左右および上下にほぼ対称（点对称）である。ところが、たとえば図21に示すように、データ“1”を書き込んだままの状態を放置されたセルのヒステリシス特性は、図に破線で示す位置から実線で示す位置へと、矢印方向（電圧軸負側）にシフトする。同様に、たとえば図22に示すように、データ“0”を書き込んだままの状態を放置されたセルのヒステリシス特性は、図に破線で示す位置から実線で示す位置へと、矢印方向（電圧軸正側）にシフトする。

【0022】

このような現象が生じた場合、たとえば図23および図24に示すように、放置データをそのまま読み出す際には残留分極量（信号量）に大きな変化がなく、問題はない。また、放置データと同一の分極Pを有して書き替えられたデータを読み出す場合にも、特に問題はない。しかしながら、放置データを反対の分極Pを有するデータによって書き替え、その書き替えたデータを読み出そうとすると、残留分極量がインプリント現象の生じていない正常時に比べて減少するため、正常な読み出しができなくなる可能性がある。つまり、たとえば図25に示すように、データ“1”を書き込んだままの状態を放置されたセルに、放置データ（データ“1”）と反対の分極Pを有するデータ“0”を書き込むと、ヒステリシス特性のシフトにより、データ“0”の残留分極量（黒丸）は本来（正常時）の残留分極量（白丸）よりも大きく減少する。そのため、データ“0”を正しく読み出せなくなる。同様に、たとえば図26に示すように、データ“0”を書き込んだままの状態を放置されたセルに、放置データ（データ“0”）と反対の分極Pを有するデータ“1”を書き込むと、ヒステリシス特性のシフトにより、データ“1”の残留分極量（黒丸）は本来の残留分極量（白丸）よりも大きく減少する。そのため、データ“1”を正しく読み出せなくなる。

【0023】

インプリント現象により生じるデータの読み出し不良は、一般的に単ビット性の不良となることが多い。特に、経時変化による単ビット性の不良を救済する方法としては、既に、誤り検出・訂正（ECC: Error Checking & Correction）回路を用いる方法が広く知られている。

【0024】

図27は、ECC回路を採用した、従来の強誘電体メモリの構成例を示すものである。一般的なハミング符号方式のECC回路113では、データの読み出し単位（ワード）ごとに、 $2^{p > k + p + 1}$ （k:データ長、p:パリティビット長）の関係を満たすようなビット長のパリティデータが設けられる。

【0025】

すなわち、センスアンプ111によって強誘電体メモリセル112より読み出されたセルデータおよびパリティデータは、カラムセレクタ114を介してECC回路113に入力される。単ビットの誤りであれば、このECC回路113によって自動的にセルデータが訂正された後、入出力（I/O）回路115より出力される。また、上記センスアンプ111によって読み出されたセルデータおよびパリティデータは、それぞれ、データセル112aおよびパリティセル112bへ再書き込みされる。

【0026】

このようなECC回路113を採用した強誘電体メモリにおいて、インプリント現象が生じたとする。たとえば図28(a)に示すように、データ“1”の放置により、セル112のヒステリシス特性が左方向（図示矢印方向）にシフトしているとする。そして、この状態で、データセル112aにデータ“0”を書き込み、それを読み出すとする。この場合、データ“0”の残留分極量の減少により、センスアンプ111は誤ってデータ“1”を出力する。すると、読み出されたセルデータはECC回路113の働きによって訂正され、正しいデータ“0”となって出力される。

10

20

30

40

50

【0027】

しかしながら、データセル112aに再書き込みされるセルデータはデータ“1”のみである。すなわち、データセル112aへの再書き込みは、訂正前の、センスアンプ111の出力によって行われる。そのため、たとえば図28(b)に示すように、データセル112aに再書き込みされるセルデータは、結局、放置データと同じデータ“1”となる。このような状態が続くことにより、インプリント現象はさらに進行してしまう。

【0028】

なお、強誘電体メモリの場合、読み出し動作時にデータの再書き込みという操作が必要のため、データの読み出しサイクルが長くなる。その対策として、以下のような方法がとられている。すなわち、従来の強誘電体メモリでは、複数のワードを含む1ページ分のデータをセンスアンプ111で読み出し、その1ページ分のデータを内部のラッチ回路で保持する(図29(a)参照)。その後、カラムセクタ114によって、ワードごとに任意のデータをラッチ回路から読み出して、ECC回路113に出力する(図29(b)参照)。また、1ページ分のデータの読み出しが終わった後に、それぞれのデータをページ単位で各セル112へ再書き込みする(図29(c)参照)。このように、データの読み出しサイクルについては、上記の方法(いわゆる、ページ読み出し機能)により短縮することが可能とされている。

10

【特許文献1】特開2002-175697

【発明の開示】

【発明が解決しようとする課題】

20

【0029】

上記したように、従来においては、インプリント現象が生じているメモリセルに放置データと反対の分極を有するセルデータを書き込み、それを読み出そうとする場合、読み出したセルデータは訂正できるものの、メモリセルへの再書き込みは、訂正前のセンスアンプの出力によって行われるため、インプリント現象がさらに進行するという不具合があった。

【0030】

本発明は、上記の課題を解決するためになされたものであって、その目的とするところは、インプリント現象が生じているメモリセルのセルデータを正しく読み出すことができるのみでなく、インプリント現象の進行をも抑制することが可能な半導体記憶装置を提供

30

【課題を解決するための手段】

【0031】

本願発明の一態様によれば、データを記憶するための、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含むメモリセル部と、前記メモリセル部に接続されたビット線と、前記ビット線に接続されたセンスアンプと、前記ビット線を介して、前記センスアンプにより前記複数のメモリセルから読み出されたセルデータに対し、パリティデータに応じて誤り検出および訂正処理を施す誤り検出・訂正回路とを具備し、前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、そのセルデータを読み出したメモリセルに再書き込みすることを特徴とする半導体記憶装置が提供される。

40

【0032】

また、本願発明の一態様によれば、データを記憶するための、セルトランジスタのゲート端子にワード線が接続され、かつ、前記セルトランジスタのソース・ドレイン端子の一方に強誘電体キャパシタの一端が接続されるとともに、前記セルトランジスタのソース・ドレイン端子の他方がビット線に接続され、前記強誘電体キャパシタの他端がプレート線に接続された複数のメモリセルがアレイ状に配置されているメモリセル部と、前記ビット線に接続されたセンスアンプと、前記ビット線を介して、前記センスアンプにより前記複数のメモリセルから読み出されたセルデータに対し、データ読み出しの一単位であるワードごとに設けられるパリティデータに応じて誤り検出および訂正処理を施す誤り検出・訂

50

正回路と、前記ビット線を介して、前記センスアンプにより前記メモリセル部の所定のメモリセルから読み出され、前記誤り検出・訂正回路での誤り検出および訂正処理に用いたパリティデータを、訂正後のセルデータをもとに生成し直す生成回路とを具備し、前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、第1のセルデータを書き込んだまま放置され、セルのヒステリシス特性がシフトした状態で、前記第1のセルデータとは反対の分極を有する第2のセルデータの書き込みが行われたメモリセルに再書き込みするとともに、前記訂正後のセルデータをもとに生成し直したパリティデータを、そのパリティデータを読み出した前記所定のメモリセルに再書き込みすることを特徴とする半導体記憶装置が提供される。

【0033】

また、本願発明の一態様によれば、データを記憶するための、セルトランジスタのソース・ドレイン端子間に強誘電体キャパシタが接続されるとともに、所定個ずつ直列に接続されて少なくとも1つのメモリセルブロックを構成し、前記少なくとも1つのメモリセルブロックの一端がブロック選択トランジスタを介してビット線に接続され、他端がプレート線に接続された複数のメモリセルがアレイ状に配置されているメモリセル部と、前記ビット線に接続されたセンスアンプと、前記ビット線を介して、前記センスアンプにより前記複数のメモリセルから読み出されたセルデータに対し、データ読み出しの一単位であるワードごとに設けられるパリティデータに応じて誤り検出および訂正処理を施す誤り検出・訂正回路と、前記ビット線を介して、前記センスアンプにより前記メモリセル部の所定のメモリセルから読み出され、前記誤り検出・訂正回路での誤り検出および訂正処理に用いたパリティデータを、訂正後のセルデータをもとに生成し直す生成回路とを具備し、前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、そのセルデータを読み出したメモリセルに再書き込みするとともに、前記訂正後のセルデータをもとに生成し直したパリティデータを、そのパリティデータを読み出した前記所定のメモリセルに再書き込みすることを特徴とする半導体記憶装置が提供される。

【0034】

さらに、本願発明の一態様によれば、データを記憶するための、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含むメモリセル部と、前記メモリセル部に接続されたビット線と、前記ビット線を介して、前記複数のメモリセルから読み出されるセルデータ、および、データ読み出しの一単位であるページごとに設けられるパリティデータを、ページ単位で保持させるための複数のラッチ回路を有するセンスアンプと、前記ビット線を介して、前記センスアンプにより前記複数のメモリセルからページ単位で読み出された前記セルデータおよび前記パリティデータのうち、前記セルデータに対し、前記パリティデータに応じた誤り検出および訂正処理を一度に施す誤り検出・訂正回路と、前記ビット線を介して、前記センスアンプにより前記メモリセル部の所定のメモリセルから読み出され、前記誤り検出・訂正回路での誤り検出および訂正処理に用いたパリティデータを、訂正後のセルデータをもとに生成し直す生成回路とを具備し、前記セルデータの読み出し動作時に、前記誤り検出・訂正回路で処理された訂正後のセルデータを、一括して前記複数のラッチ回路に書き戻した後、そのセルデータを読み出したメモリセルに再書き込みするとともに、前記訂正後のセルデータをもとに生成し直したパリティデータを、そのパリティデータを読み出した前記所定のメモリセルに再書き込みすることを特徴とする半導体記憶装置が提供される。

【0035】

上記した構成とした場合、インプリント現象が生じているメモリセルのセルデータを自動的に訂正して再書き込みできるようになる。これにより、インプリント現象が生じているメモリセルに、逆方向のインプリント現象を強制的に生じさせることが可能となる結果、インプリント現象によりシフトするヒステリシス特性を中和することが可能となるものである。

【発明の効果】**【0036】**

10

20

30

40

50

この発明によれば、インプリント現象が生じているメモリセルに訂正後のセルデータを再書き込みすることにより、インプリント現象の中和を図ることが可能となる。このため、インプリント現象が生じているメモリセルのセルデータを正しく読み出すことができるのみでなく、インプリント現象の進行をも抑制することが可能な半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0037】

以下、本発明の実施の形態について図面を参照して説明する。

【0038】

[第1の実施形態]

図1は、この発明の第1の実施形態にしたがった、強誘電体メモリ(FERAM)の構成例を示すものである。ここでは、メモリセルアレイ(または、カラムブロック)が、セルトランジスタ(T)と強誘電体キャパシタ(C)とが直列に接続された複数のメモリセル(セルユニット)を有して構成される場合を例に説明する。

【0039】

すなわち、この強誘電体メモリは、たとえば、複数のメモリセルアレイ(メモリセル部)11、一般的なハミング符号方式の誤り検出・訂正(ECC)回路21、パリティ発生回路(生成回路)31、および、入出力(I/O)回路41を有して構成されている。この強誘電体メモリにおいて、各メモリセルアレイ11は、複数のメモリセルMCと、センスアンプ12と、カラム選択トランジスタ(カラムセクタ)13a, 13bとを有して

10

20

【0040】

上記センスアンプ12には、相補の信号線対であるビット線BLおよび/BLが接続されている。上記ビット線BLは、上記カラム選択トランジスタ13aを介して、データ線DQに接続されている。また、上記ビット線/BLは、上記カラム選択トランジスタ13bを介して、データ線/DQに接続されている。上記カラム選択トランジスタ13a, 13bの各ゲートには、カラム選択信号線CSL(0, 1, ..., j)のいずれか1つが共通に接続されている。上記データ線DQ, /DQには、上記メモリセルアレイ11の他、DQコントローラ51を介して、上記ECC回路21、上記パリティ発生回路31および上記I/O回路41が接続されている。

30

【0041】

上記複数のメモリセルMCは、それぞれ、1つのセルトランジスタTと、それに直列に接続された1つの強誘電体キャパシタCとによって構成されている。各メモリセルMCにおいて、強誘電体キャパシタCの一方の端子はプレート線PL0, PL1, ..., PLnのいずれかに接続され、他方の端子はセルトランジスタTをそれぞれ介して、上記ビット線BLまたは/BLに接続されている。セルトランジスタTの各ゲートには、ワード線WL0, WL1, ..., WLnが接続されている。

【0042】

なお、本実施形態の場合、上記複数のメモリセルMCのうち、いくつかのメモリセルMCはセルデータを記憶するためのデータセルMCaとなっている。また、メモリセルMCのいくつかは、たとえば、読み出し単位(ワード)ごとに付加される、 $2^{p > k + p + 1}$ (k:データ長、p:パリティビット長)の関係を満たすようなビット長のパリティデータを記憶するための、パリティセルMCbとなっている。また、上記センスアンプ12は、セルデータおよびパリティデータを、所定数のワードからなるページ単位で保持する複数のラッチ回路(図示していない)を備えて構成されている。

40

【0043】

図2は、上記した構成の強誘電体メモリの、データの読み出し動作について説明するために示すものである。すなわち、この強誘電体メモリは、読み出し動作時に、ECC回路21により訂正されたセルデータを、データセルMCaに再書き込みするように構成されている。また、その訂正されたセルデータをもとに、改めてパリティ発生回路31によっ

50

て発生されるパリティデータを、パリティセルMCbに再書き込みするようになっている。こうすることによって、インプリント現象が生じているメモリセルから、残留分極量の減少により誤って読み出されたデータを自動的に正しいデータに訂正できるとともに、インプリント現象によりシフトされるヒステリシス特性を中和させることが可能となる。

【0044】

たとえば、インプリント現象が生じているセルMCaに書き込まれたデータ“0”が、誤ってデータ“1”として読み出されたとしても(図3(a)参照)、そのデータセルMCaへの再書き込みは、ECC回路21によって訂正された正常なデータ“0”によって行われることになる(図3(b)参照)。つまり、放置データ(データ“1”)とは反対の分極Pを有するデータ“0”によって、データセルMCaへの再書き込みが行われることになる。したがって、このデータ“0”を書き込んだままの状態セルMCaが放置され続けば、一旦はインプリント現象(放置データ“1”)によって左方向にシフトしたヒステリシス特性が、たとえば図3(c)に示すように、今度は逆の右方向へのヒステリシス特性のシフト(放置データ“0”によるインプリント現象)によって中和される。このように、本実施形態によれば、ヒステリシス特性の逆方向へのシフトによるインプリント現象の中和によって、インプリント現象の進行を抑制することが可能となる。

10

【0045】

次に、上記した構成の強誘電体メモリにおいて、データの読み出し動作にかかる方法について、さらに説明する。なお、ここでは上記のページ読み出し機能により、読み出しサイクルの短縮を可能にした場合を例に説明する。

20

【0046】

すなわち、この強誘電体メモリでは、たとえば図4(a)に示すように、所定数のワードを含む1ページ分のセルデータおよびワードごとに付加されたパリティデータを、所定のデータセルMCaおよびパリティセルMCbからセンスアンプ12で読み出し、その1ページ分のセルデータおよびパリティデータを内部のラッチ回路で保持する。その後、たとえば図4(b)に示すように、カラムセクタ13a, 13bによって、ワードごとに任意のセルデータおよびパリティデータをラッチ回路から読み出して、ECC回路21に出力する。ECC回路21では、各パリティデータに応じてワードごとにセルデータの誤りを訂正し、I/O回路41に出力する。そして、このときに訂正されたセルデータを、ワードごとにセンスアンプ12内のラッチ回路に書き戻す。また、訂正されたセルデータをもとに、パリティ発生回路31により改めてパリティデータを発生し直して、所定のパリティセルMCbに再書き込みする。

30

【0047】

このような動作を繰り返し、1ページ内の任意のセルデータに対するワードごとの訂正処理がすべて終了したとする。すると、たとえば図4(c)に示すように、センスアンプ12によって、ラッチ回路にそれぞれ書き戻された訂正データを含む1ページ分のセルデータが、ページ単位で所定のデータセルMCaに再書き込みされる。このような構成とすることにより、読み出しサイクルの短縮を可能にしつつ、アクセスされたワードについては、インプリント現象によってシフトしたヒステリシス特性を中和させることが可能となるものである。

40

【0048】

[第2の実施形態]

図5は、この発明の第2の実施形態にしたがった強誘電体メモリ(FeRAM)の、読み出し動作について説明するために示すものである。なお、ここではI/O回路41の個数およびデータ線DQ, /DQの本数(バス幅)を、データをページ読み出しする際のページ長と同一にするようにした場合を例に説明する。また、本実施例の場合、パリティデータがページ単位で付加されるようになっている。

【0049】

すなわち、この強誘電体メモリは、データの読み出し動作時に、ページ単位で読み出される1ページ分のデータを、ECC回路21により一度に訂正した後、I/O回路41に

50

出力するように構成されている。また、ECC回路21によって訂正されたセルデータをデータセルMCaに再書き込みするとともに、その訂正されたセルデータをもとに、改めてパリティ発生回路31によって発生されるパリティデータを、パリティセルMCbに再書き込みするようになっている。

【0050】

こうすることによって、上述した第1の実施形態の場合と同様に、インプリント現象が生じているメモリセルから、残留分極量の減少により誤って読み出されたデータを自動的に正しいデータに訂正できるとともに、インプリント現象によりシフトされるヒステリシス特性を中和させることが可能となる。また、本実施形態によれば、第1の実施形態の場合のようなワードごとの読み出しサイクルにおいて、セルデータの訂正処理やパリティデータの発生を必要としない分、より高速化（読み出しサイクルの短縮）が可能である。また、1ページ分のデータを一度に訂正処理するため、1ページ内で最もインプリント現象が発生しやすいセルのデータをも確実に訂正することができる。これにより、第1の実施形態の場合のような、1ページ内のデータのうち、アクセスされなかったワードについては、ECC回路21による訂正が行われず、たとえインプリント現象によってヒステリシス特性がシフトされているとしても、それを中和することができないといった不具合を解決し得る。

10

【0051】

次に、上記した構成の強誘電体メモリにおいて、データの読み出し動作にかかる方法について、さらに説明する。すなわち、この強誘電体メモリでは、たとえば図6(a)に示すように、所定数のワードを含む1ページ分のセルデータおよびページごとに付加されたパリティデータを、所定のデータセルMCaおよびパリティセルMCbからセンスアンプ12で読み出し、その1ページ分のセルデータおよびパリティデータを内部のラッチ回路で保持する。その後、たとえば図6(b)に示すように、1ページ分のセルデータおよびパリティデータをラッチ回路から一度に読み出して、ECC回路21に出力する。ECC回路21では、そのパリティデータに応じて1ページ分のセルデータの誤りを一度に訂正し、I/O回路41に出力する。そして、このときに訂正された1ページ分のセルデータを、センスアンプ12内のラッチ回路に書き戻す。また、訂正された1ページ分のセルデータをもとに、パリティ発生回路31により改めてパリティデータを発生させ、その発生し直されたパリティデータをパリティセルMCbに再書き込みする。

20

30

【0052】

こうして、ラッチ回路にそれぞれ書き戻された1ページ分の訂正データは、たとえば図6(c)に示すように、センスアンプ12によって、ページ単位で所定のデータセルMCaに再書き込みされる。このような構成とすることにより、読み出しサイクルの短縮を可能にしつつ、すべてのワードについて、インプリント現象によってシフトしたヒステリシス特性を中和させることが可能となるものである。しかも、訂正データをもとに、パリティ発生回路31により発生し直されたパリティデータによって、パリティセルMCbを書き替えるようにしている。これにより、ECC回路21において、常に、発生し直されたパリティデータを用いた適切な誤り検出・訂正処理が可能となる。

40

【0053】

なお、本実施形態においては、たとえば、1ページ分のI/O出力の中から各ワードを選択するセレクタを設けることにより、ワードごとに必要なセルデータだけを選択的に読み出すことが可能である。

【0054】

また、上述した第1、第2の実施形態においては、セルトランジスタTと強誘電体キャパシタCとが直列に接続された複数のメモリセルMCを備える強誘電体メモリに適用した場合について説明した。これに限らず、たとえば図7に示すように、セルトランジスタTと強誘電体キャパシタCとが並列に接続された複数のメモリセル（セルユニット）MCを備える、TC並列ユニット直列接続型の強誘電体メモリにも同様に適用できる。

【0055】

50

すなわち、このTC並列ユニット直列接続型強誘電体メモリは、たとえば図7に示すように、複数のメモリセルアレイ（メモリセル部）11'、一般的なハミング符号方式の誤り検出・訂正（ECC）回路21、パリティ発生回路（生成回路）31、および、入出力（I/O）回路41を有して構成されている。この強誘電体メモリにおいて、各メモリセルアレイ11'は、複数のメモリセルMCと、複数のブロック選択トランジスタBS0、BS1、～と、センスアンプ12と、カラム選択トランジスタ（カラムセレクタ）13a、13bとを有している。

【0056】

上記センスアンプ12には、相補の信号線対であるビット線BLおよび/BLが接続されている。上記ビット線BLは、上記カラム選択トランジスタ13aを介して、データ線DQに接続されている。また、上記ビット線/BLは、上記カラム選択トランジスタ13bを介して、データ線/DQに接続されている。上記カラム選択トランジスタ13a、13bの各ゲートには、カラム選択信号線CSL（0, 1, ..., j）のいずれか1つが共通に接続されている。上記データ線DQ、/DQには、上記メモリセルアレイ11'の他、DQコントローラ51を介して、上記ECC回路21、上記パリティ発生回路31および上記I/O回路41が接続されている。

【0057】

上記複数のメモリセルMCは、それぞれ、1つのセルトランジスタTと、そのソース・ドレイン間に並列に接続された1つの強誘電体キャパシタCとによって構成されている。セルトランジスタTの各ゲートには、ワード線WL0, WL1, ..., WLMが接続されている。上記メモリセルMCは所定個づつ直列に接続されて、複数のセルブロックCBを構成している。各セルブロックCBにおいて、一端はプレート線PL0, PL1, ...のいずれかに接続されている。各セルブロックCBの他端は、上記ブロック選択トランジスタBS0, BS1, ...のいずれか1つを介して、上記ビット線BLまたは/BLに接続されている。上記ブロック選択トランジスタBS0, BS1, ...の各ゲートには、ブロック選択信号線BSL0, BSL1, ...のいずれかが接続されている。

【0058】

なお、本例の強誘電体メモリの場合も、上記複数のメモリセルMCのうち、いくつかのメモリセルMCはセルデータを記憶するためのデータセルMCaとなっている。また、メモリセルMCのいくつかは、読み出し単位（ワード）ごとまたはページごとに付加される、 $2^{p > k + p + 1}$ （k：データ長、p：パリティビット長）の関係を満たすようなビット長のパリティデータを記憶するための、パリティセルMCbとなっている。

【0059】

このような構成によっても、上述した第1、第2の実施形態の場合と同様に、読み出しサイクルを犠牲にすることなく、インプリント現象が生じているセルに対して書き込まれたデータを正しく読み出すことができるとともに、インプリント現象によりシフトしたヒステリシス特性の中和を図ることが可能となる。したがって、インプリント現象が生じているセルのデータを正しく読み出すことができるのみでなく、インプリント現象の進行をも抑制することが可能となるものである。

【0060】

また、ECC回路は各メモリセルアレイに共通に設けられる場合に限らず、たとえば、セルアレイごとに設けることも可能である。

【0061】

その他、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る

10

20

30

40

50

。

【図面の簡単な説明】

【0062】

【図1】本発明の第1の実施形態にしたがった、強誘電体メモリの一例を示す構成図。

【図2】図1に示した強誘電体メモリの、データの読み出し動作を説明するために示すブロック図。

【図3】図1に示した強誘電体メモリの、データの読み出し動作を説明するために示す特性図。

【図4】図1に示した強誘電体メモリの、データの読み出し動作を説明するために示す図

10

【図5】本発明の第2の実施形態にしたがった強誘電体メモリの、データの読み出し動作を説明するために示すブロック図。

【図6】図5に示した強誘電体メモリの、データの読み出し動作を説明するために示す図

【図7】強誘電体メモリの他の一例を示す構成図。

【図8】従来技術とその問題点を説明するために、強誘電体メモリのセルの一例を示す構成図。

【図9】強誘電体のヒステリシス特性を示す特性図。

【図10】2T-2C構造のセルを例に、データの書き込み動作を説明するために示す図

20

【図11】図10に示したセルを例に、データの書き込み動作時のタイミング（パルス）を示す図。

【図12】図10に示したセルを例に、データの書き込み動作を説明するために示す図。

【図13】図10に示したセルを例に、データの書き込み動作を説明するために示す図。

【図14】図10に示したセルを例に、データの書き込み動作を説明するために示す図。

【図15】2T-2C構造のセルを例に、データの読み出し動作を説明するために示す図

【図16】図15に示したセルを例に、データの読み出し動作時のタイミング（パルス）を示す図。

【図17】図15に示したセルを例に、データの読み出し動作を説明するために示す図。

30

【図18】図15に示したセルを例に、データの読み出し動作を説明するために示す図。

【図19】図15に示したセルを例に、データの読み出し動作を説明するために示す図。

【図20】従来の強誘電体メモリの、データの読み出し動作を説明するために示すブロック図。

【図21】従来の、データ“1”を書き込んだままの状態で放置されたセルのヒステリシス特性（インプリント現象）を示す図。

【図22】従来の、データ“0”を書き込んだままの状態で放置されたセルのヒステリシス特性（インプリント現象）を示す図。

【図23】従来の、データ“1”を書き込んだままの状態で放置されたセルの信号量の変化について説明するために示す特性図。

40

【図24】従来の、データ“0”を書き込んだままの状態で放置されたセルの信号量の変化について説明するために示す特性図。

【図25】従来の、データ“1”を書き込んだままの状態で放置されたセルにデータ“0”を書き込んだ場合の、信号量の変化について説明するために示す特性図。

【図26】従来の、データ“0”を書き込んだままの状態で放置されたセルにデータ“1”を書き込んだ場合の、信号量の変化について説明するために示す特性図。

【図27】従来の、ECC回路を採用した強誘電体メモリの、データの読み出し動作を説明するために示すブロック図。

【図28】従来の、ECC回路を採用した強誘電体メモリの、データの読み出し動作を説明するために示す特性図。

50

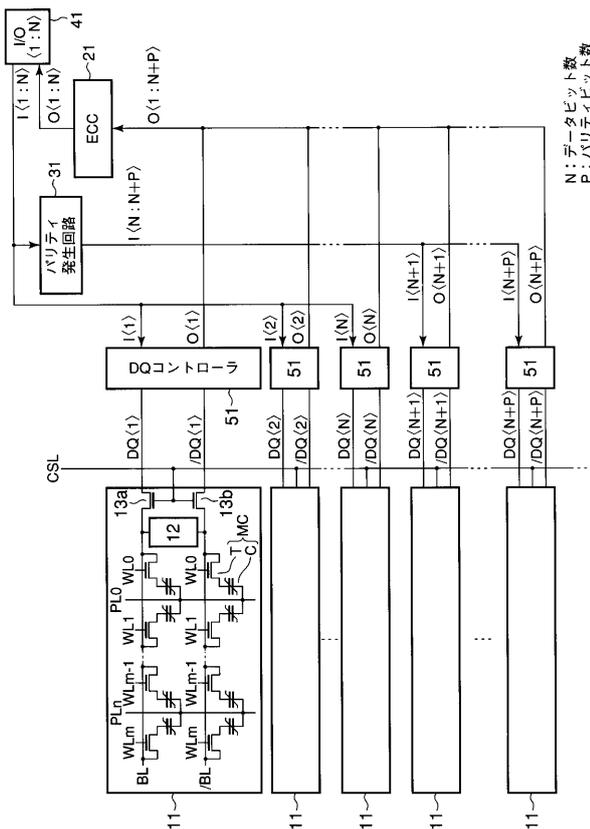
【図29】従来の、ECC回路を採用した強誘電体メモリの、データのページ読み出し動作を説明するために示す図。

【符号の説明】

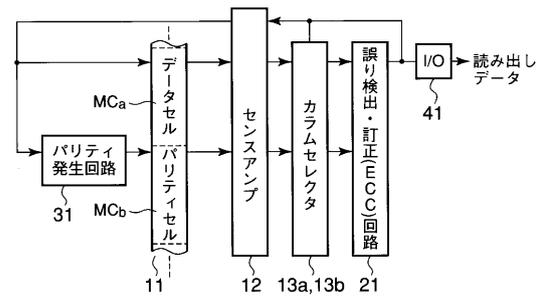
【0063】

11, 11' ...メモリセルアレイ、12 ...センスアンプ、13a, 13b ...カラム選択トランジスタ、21 ...誤り検出・訂正(ECC)回路、31 ...パリティ発生回路、41 ...入出力(I/O)回路、51 ...DQコントローラ、T ...セル(MOS)トランジスタ、C ...強誘電体キャパシタ、MC ...メモリセル、MCa ...データセル、MCb ...パリティセル、CB ...セルブロック、P ...分極。

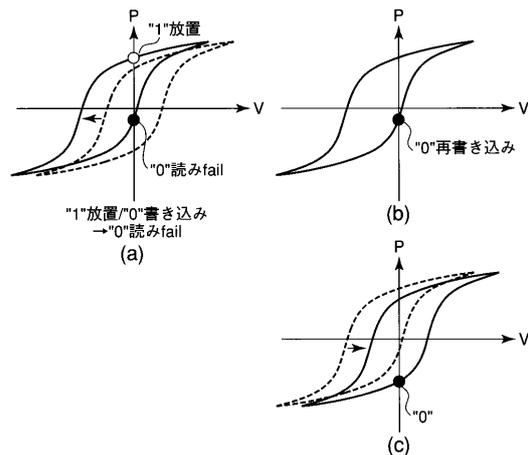
【図1】



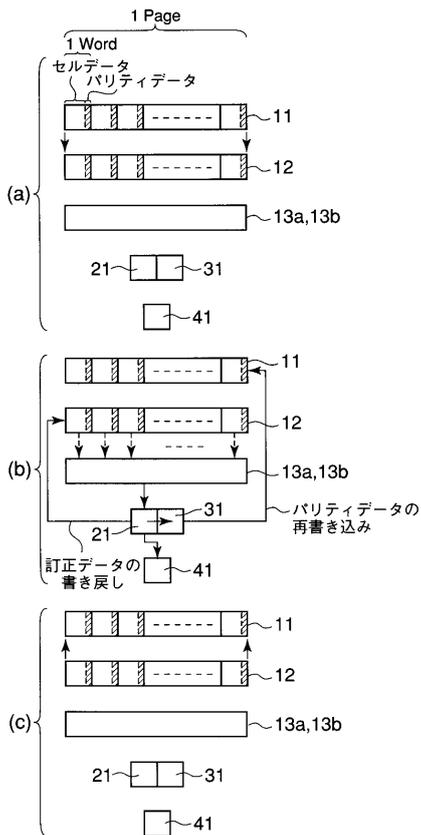
【図2】



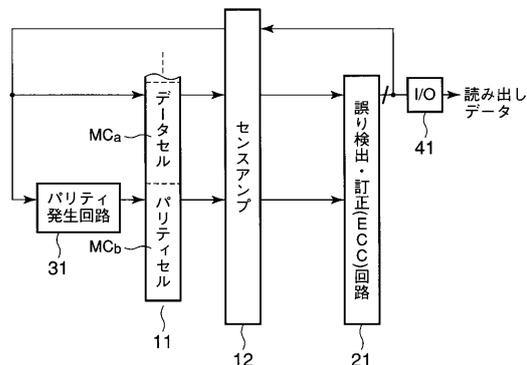
【図3】



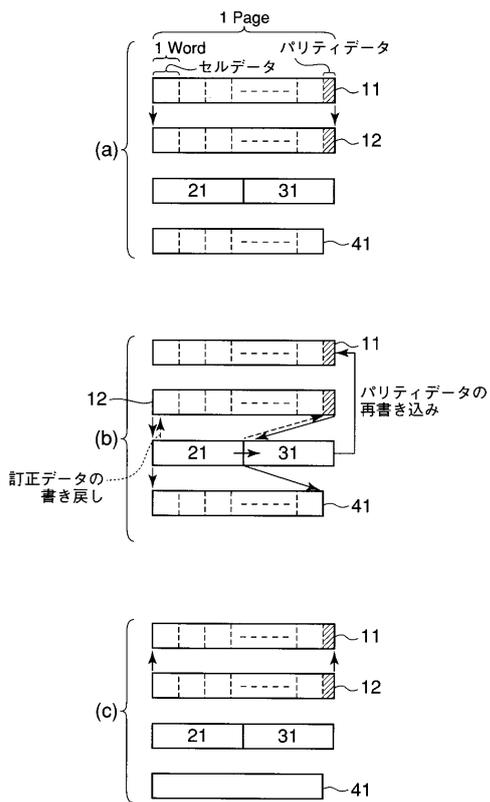
【 図 4 】



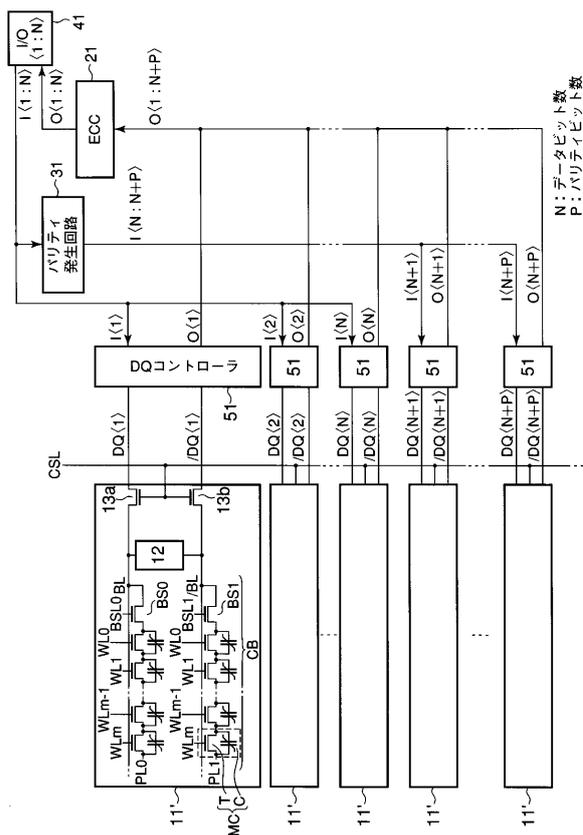
【 図 5 】



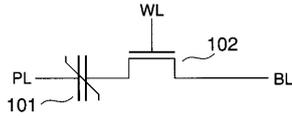
【 図 6 】



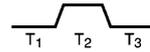
【 図 7 】



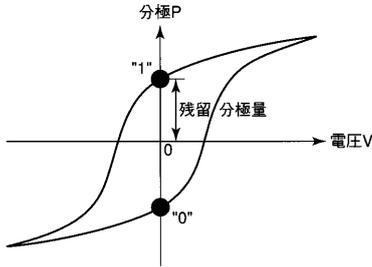
【 図 8 】



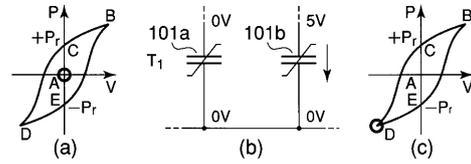
【 図 1 1 】



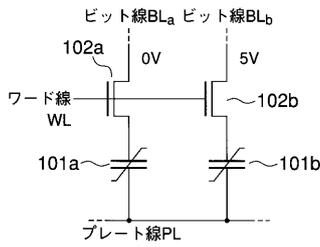
【 図 9 】



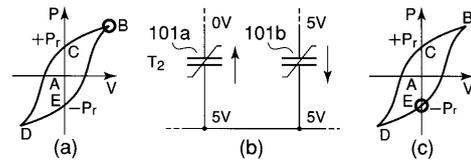
【 図 1 2 】



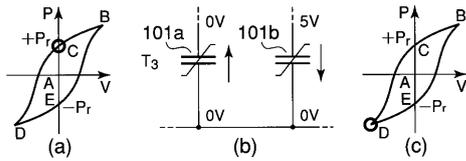
【 図 1 0 】



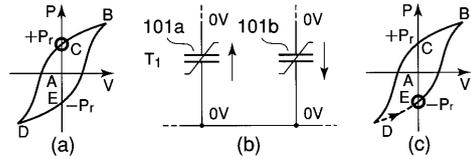
【 図 1 3 】



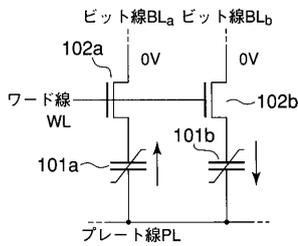
【 図 1 4 】



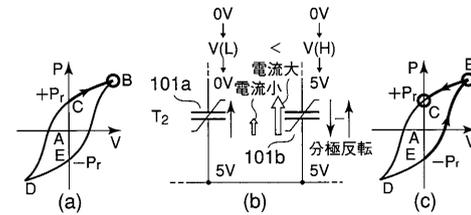
【 図 1 7 】



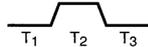
【 図 1 5 】



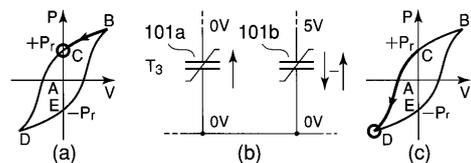
【 図 1 8 】



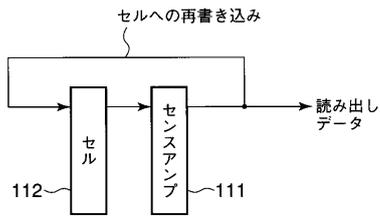
【 図 1 6 】



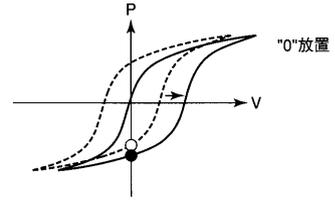
【 図 1 9 】



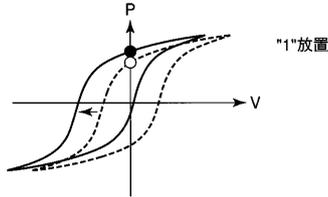
【図 2 0】



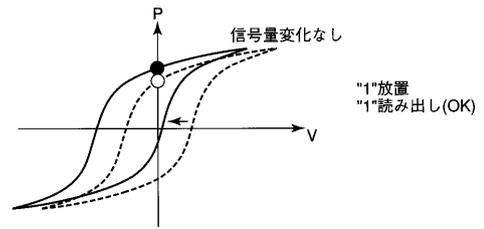
【図 2 2】



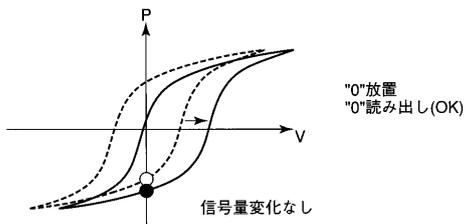
【図 2 1】



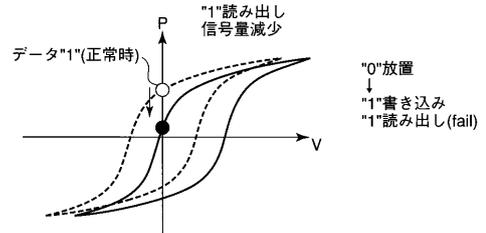
【図 2 3】



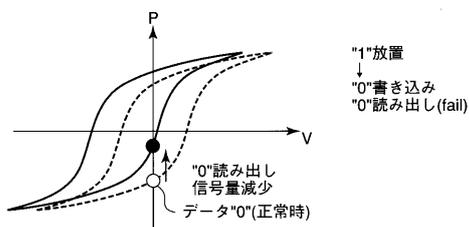
【図 2 4】



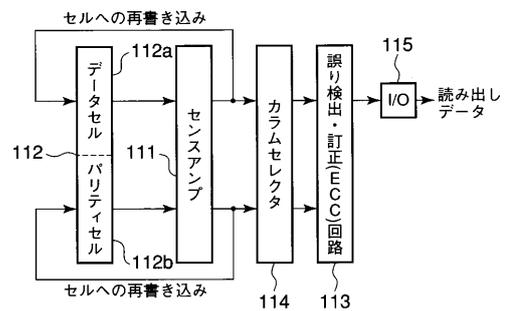
【図 2 6】



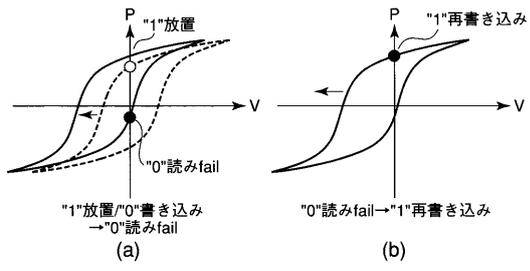
【図 2 5】



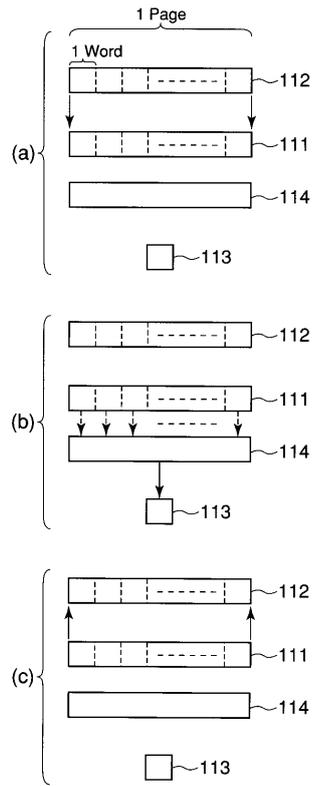
【図 2 7】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(72)発明者 野田 潤一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5L106 BB12 EE02