

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3543336号

(P3543336)

(45) 発行日 平成16年7月14日(2004.7.14)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int. Cl.<sup>7</sup>

F I

H03K 17/76

H03K 17/76

H03K 19/0175

H03M 5/02

H03M 5/02

H03K 19/00 101Q

請求項の数 22 (全 22 頁)

(21) 出願番号	特願平5-179207	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成5年7月20日(1993.7.20)	(74) 復代理人	100102587 弁理士 渡邊 昌幸
(65) 公開番号	特開平7-74606	(74) 代理人	100077274 弁理士 磯村 雅俊
(43) 公開日	平成7年3月17日(1995.3.17)	(72) 発明者	河原 尊之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
審査請求日	平成11年11月29日(1999.11.29)	(72) 発明者	衛藤 潤 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の配線方式

(57) 【特許請求の範囲】

【請求項1】

半導体装置間の伝送媒体上に、終端電圧を有する終端抵抗を接続し、信号の反射を防止する半導体装置の配線方式において、

上記半導体装置から出力される信号レベルの変化時に、上記終端抵抗を上記伝送媒体に接続して、上記伝送媒体を上記終端電圧に終端させ、その後、上記終端抵抗と上記伝送媒体との接続を遮断する終端抵抗接続手段を設け、

上記終端抵抗は、

上記半導体装置から出力される信号のローレベル電圧値の終端電圧を有する第1の終端抵抗と、

上記半導体装置から出力される信号のハイレベル電圧値の終端電圧を有する第2の終端抵抗とからなり、

上記終端抵抗接続手段は、

上記半導体装置の出力信号と上記第1の終端抵抗の終端電圧との比較により、上記半導体装置の出力信号のローレベルからハイレベルの変化を検知して、上記第1の終端抵抗を上記伝送媒体に接続する第1の終端抵抗接続手段と、

上記半導体装置の出力信号と上記第2の終端抵抗の終端電圧との比較により、上記半導体装置の出力信号のハイレベルからローレベルの変化を検知して、上記第2の終端抵抗を上記伝送媒体に接続する第2の終端抵抗接続手段と

を具備することを特徴とする半導体装置の配線方式。

10

20

**【請求項 2】**

請求項 1 に記載の半導体装置の配線方式において、上記終端抵抗接続手段は、上記半導体装置から出力される信号レベルの変化時に、上記終端抵抗の抵抗値を、上記終端電圧による電流を通さない高抵抗値から、上記伝送媒体の特性インピーダンスと同じ抵抗値に変化させることを特徴とする半導体装置の配線方式。

**【請求項 3】**

請求項 1 もしくは請求項 2 のいずれかに記載の半導体装置の配線方式において、上記半導体装置内に、伝送の対象となる信号を、上記終端抵抗に電流が流れるオン状態を低減するように符号化する符号化手段と、上記伝送媒体を介して受信した他の半導体装置で符号化された信号を復号化する復号化手段を設け、  
上記符号化手段で符号化した信号レベルの変化時に、上記終端抵抗接続手段による上記終端抵抗の接続制御を行うことを特徴とする半導体装置の配線方式。

10

**【請求項 4】**

請求項 3 に記載の半導体装置の配線方式において、  
上記符号化手段は、連続する信号を圧縮し、上記復号化手段は、該圧縮された信号を伸長することを特徴とする半導体装置の配線方式。

**【請求項 5】**

半導体装置間の伝送媒体上に、信号の反射を防止するための終端電圧を有する終端抵抗を接続してなり、上記半導体装置は、出力する信号レベルに対応して上記終端電圧による上記終端抵抗への電流の流れをオンオフ制御し、該終端抵抗に流れる電流値と終端抵抗値との積からなる電圧変化を、上記半導体装置の信号として上記伝送媒体を介して伝送する半導体装置の配線方式において、

20

上記半導体装置内に、伝送の対象となる信号を、連続する信号を圧縮することで上記終端抵抗に電流を流すオン状態を低減するように符号化する符号化手段と、上記伝送媒体を介して受信した他の半導体装置で符号化された信号を伸長して復号化する復号化手段とを設け、上記終端抵抗に流れる電流値と終端抵抗値との積からなる電圧を、上記符号化された信号レベルに対応して変化させることを特徴とする半導体装置の配線方式。

**【請求項 6】**

請求項 1 から請求項 5 のいずれかに記載の半導体装置の配線方式において、  
上記伝送媒体の特性インピーダンスを測定する測定手段と、該測定手段で測定した上記伝送媒体の特性インピーダンスとのマッチングを取るのに最適な抵抗値の抵抗を、予め用意された抵抗群から選択して、上記伝送媒体に接続する抵抗接続手段とを設けることを特徴とする半導体装置の配線方式。

30

**【請求項 7】**

請求項 1 に記載の半導体装置の配線方式において、  
上記第 1 の終端抵抗接続手段は、  
ソースが上記第 1 の終端抵抗に接続されドレインが上記伝送媒体に接続された n M O S トランジスタと該 n M O S トランジスタのソースとゲート間に接続された第 1 の抵抗および上記 n M O S トランジスタのドレインとゲート間に接続された第 1 のコンデンサからなり、

40

上記第 2 の終端抵抗接続手段は、  
ソースが上記第 2 の終端抵抗に接続されドレインが上記伝送媒体に接続された p M O S トランジスタと該 p M O S トランジスタのソースとゲート間に接続された第 2 の抵抗および上記 p M O S トランジスタのドレインとゲート間に接続された第 2 のコンデンサからなることを特徴とする半導体装置の配線方式。

**【請求項 8】**

請求項 1 に記載の半導体装置の配線方式において、  
上記第 1 の終端抵抗接続手段は、  
エミッタが上記第 1 の終端抵抗に接続されコレクタが上記伝送媒体に接続された n p n トランジスタと該 n p n トランジスタのベースとエミッタ間に接続された第 1 の抵抗および

50

上記npnトランジスタのベースとコレクタ間に接続された第1のコンデンサからなり、上記第2の終端抵抗接続手段は、エミッタが上記第2の終端抵抗に接続されコレクタが上記伝送媒体に接続されたpnpトランジスタと該pnpトランジスタのベースとエミッタ間に接続された第2の抵抗および上記pnpトランジスタのベースとコレクタ間に接続された第2のコンデンサからなることを特徴とする半導体装置の配線方式。

【請求項9】

請求項1から請求項8のいずれかに記載の半導体装置の配線方式であって、上記伝送媒体でMPUとDRAM間を接続し、該MPUとDRAM間で送受信される信号に対して上記信号レベルの変化時における上記終端抵抗と上記伝送媒体との接続制御を行うことを特徴とする半導体装置の配線方式。 10

【請求項10】

第1動作電位点と第2動作電位点との間にpMOSトランジスタと、抵抗と、nMOSトランジスタとが直列に接続され、上記pMOSトランジスタのドレインと上記nMOSトランジスタのドレインとの間に伝送媒体の一端との接続点を有する終端回路を具備し、上記伝送媒体の他端の電位が第1電位から第2電位に変化するのに応じて上記pMOSトランジスタのゲートは上記第2電位から第3電位を経て上記第2電位をとり、該第3電位時に上記pMOSトランジスタは抵抗と伝送媒体とを接続し、上記伝送媒体の他端の電位が上記第2電位から上記第1電位に変化するのに応じて上記nMOSトランジスタのゲートは上記第1電位から第4電位を経て上記第1電位をとり、該第4電位時に上記nMOSトランジスタは抵抗と伝送媒体とを接続し、上記伝送媒体の他端の電位が変化するとき、上記伝送媒体の特性インピーダンスと上記終端回路の伝送媒体から見た入力インピーダンスの整合が取れるように終端回路が制御されることを特徴とする半導体装置。 20

【請求項11】

伝送媒体と、上記伝送媒体の一端と第1動作電位点との間に直列に接続された、第1の終端抵抗とpMOSトランジスタと、上記伝送媒体の一端と第2動作電位点との間に直列に接続された、第2の終端抵抗とnMOSトランジスタと、上記伝送媒体の一端と上記pMOSトランジスタのゲートとの間に接続された第1コンデンサと、上記伝送媒体の一端と上記nMOSトランジスタのゲートとの間に接続された第2コンデンサと、上記第1動作電位点と上記pMOSトランジスタのゲートとの間に接続された抵抗と、上記第2動作電位点と上記nMOSトランジスタのゲートとの間に接続された抵抗とを有し、上記伝送媒体の電位が第1動作電位から第2動作電位に変化するのに応じて上記pMOSトランジスタにより上記第1コンデンサで定められる時間だけ上記第1の終端抵抗を上記伝送媒体に接続し、上記伝送媒体の電位が第2動作電位から第1動作電位に変化するのに応じて上記nMOSトランジスタにより上記第2コンデンサで定められる時間だけ上記第2の終端抵抗を上記伝送媒体に接続することを特徴とする半導体装置。 30 40

【請求項12】

上記伝送媒体の他端の電位が変化したときに上記伝送媒体のインピーダンスと伝送媒体の一端との整合がとられ、他端の電位が第1電位を維持しているときにおいて上記伝送媒体のインピーダンスと伝送媒体の一端との整合がとられていないことを特徴とする請求項11記載の半導体装置。

【請求項13】

伝送媒体と、  
上記伝送媒体の一端と第1動作電位点との間に直列に接続された、抵抗と第1MOSトランジスタと、  
上記伝送媒体の一端と第2動作電位点との間に直列に接続された、抵抗と第2MOSトランジスタと、  
上記伝送媒体の他端の電位の変化の微積分から生成される信号を上記第1MOSトランジスタのゲートに出力する第1回路と、  
上記伝送媒体の他端の電位の変化の微積分から生成される信号を上記第2MOSトランジスタのゲートに出力する第2回路と  
を有し、  
上記伝送媒体の電位が上記第1動作電位から上記第2動作電位に変化するのに応じて上記第1回路から出力される信号に基づき上記第1MOSトランジスタをオンオフ制御して抵抗を伝送媒体に接続し、  
上記伝送媒体の電位が上記第2動作電位から上記第1動作電位に変化するのに応じて上記第2回路から出力される信号に基づき上記第2MOSトランジスタをオンオフ制御して抵抗を伝送媒体に接続する  
ことを特徴とする半導体装置。

10

## 【請求項14】

上記伝送媒体の他端はDRAMチップに接続されることを特徴とする請求項9から12のいずれかに記載の半導体装置。

20

## 【請求項15】

メモリセルが搭載された第1チップと、メモリセルが搭載された第2チップと、上記第1チップと上記第2チップとが伝送媒体を介して接続された情報システムにおいて、  
上記第1チップは伝送媒体の一端側に接続され、  
上記第2チップは伝送媒体の他端側に接続され、  
上記伝送媒体の他端には終端回路が接続され、  
上記終端回路は、上記第1チップの出力が第1電位から第2電位に変化した時に所定時間だけ上記伝送媒体の他端を上記第2電位側の終端抵抗に接続して上記第1電位から上記第2電位に変化させ、  
上記第1チップの出力が上記第2電位から上記第1電位に変化した時に所定時間だけ上記伝送媒体の他端を上記第1電位側の終端抵抗に接続して上記第2電位から上記第1電位に変化させ、  
且つ上記終端回路は、第1トランジスタと、第2トランジスタと、第1抵抗と、第2抵抗、およびコンデンサを有し、  
第1動作電位点と上記伝送媒体の他端との間には上記第1トランジスタと上記第1抵抗とが直列に接続され、  
第2動作電位点と上記伝送媒体の他端との間には上記第2トランジスタと上記第2抵抗とが直列に接続され、  
上記コンデンサは上記第1チップの出力電位の変化を受け、上記第1トランジスタのゲートと上記第2トランジスタのゲートにそれぞれ伝達することを特徴とする半導体装置。

30

40

## 【請求項16】

上記第1トランジスタのゲートと、第2トランジスタのゲートは異なる電位を受けることを特徴とする請求項15記載の半導体装置。

## 【請求項17】

請求項15もしくは請求項16のいずれかに記載の半導体装置であって、  
上記第1チップおよび上記第2チップは、  
上記メモリセルのデータ入出力を制御する論理回路と、  
該論理回路で入出力制御するデータの上記伝送媒体との入出力を制御するデータ入出力回路とを有し、  
該データ入出力回路は、上記論理回路により上記メモリセルから読み出された信号を符号

50

化して上記伝送媒体に出力する手段を有することを特徴とする半導体装置。

【請求項 18】

信号の伝送媒体上に、終端電圧を有し信号の反射を防止する終端抵抗を接続した半導体装置であって、

上記終端抵抗として、信号のローレベル電圧値の終端電圧を有する第1の終端抵抗と、信号のハイレベル電圧値の終端電圧を有する第2の終端抵抗とを具備し、

上記伝送媒体上の信号と上記第1の終端抵抗の終端電圧との比較により、上記信号のローレベルからハイレベルの変化を検知し、検知した信号レベルの変化時に、上記第1の終端抵抗を上記伝送媒体に接続して上記伝送媒体を上記終端電圧に終端させ、その後、上記第1の終端抵抗と上記伝送媒体との接続を遮断する第1の終端抵抗接続手段と、

10

上記伝送媒体上の信号と上記第2の終端抵抗の終端電圧との比較により、上記信号のハイレベルからローレベルの変化を検知し、検知した信号レベルの変化時に、上記第2の終端抵抗を上記伝送媒体に接続して上記伝送媒体を上記終端電圧に終端させ、その後、上記第2の終端抵抗と上記伝送媒体との接続を遮断する第2の終端抵抗接続手段とを具備することを特徴とする半導体装置。

【請求項 19】

請求項 18 に記載の半導体装置であって、

上記第1の終端抵抗接続手段は、

ソースが上記第1の終端抵抗に接続されドレインが上記伝送媒体に接続された n M O S トランジスタと該 n M O S トランジスタのソースとゲート間に接続された第1の抵抗および上記 n M O S トランジスタのドレインとゲート間に接続された第1のコンデンサからなり、

20

上記第2の終端抵抗接続手段は、

ソースが上記第2の終端抵抗に接続されドレインが上記伝送媒体に接続された p M O S トランジスタと該 p M O S トランジスタのソースとゲート間に接続された第2の抵抗および上記 p M O S トランジスタのドレインとゲート間に接続された第2のコンデンサからなることを特徴とする半導体装置。

【請求項 20】

請求項 18 に記載の半導体装置であって、

上記第1の終端抵抗接続手段は、

エミッタが上記第1の終端抵抗に接続されコレクタが上記伝送媒体に接続された n p n トランジスタと該 n p n トランジスタのベースとエミッタ間に接続された第1の抵抗および上記 n p n トランジスタのベースとコレクタ間に接続された第1のコンデンサからなり、

30

上記第2の終端抵抗接続手段は、

エミッタが上記第2の終端抵抗に接続されコレクタが上記伝送媒体に接続された p n p トランジスタと該 p n p トランジスタのベースとエミッタ間に接続された第2の抵抗および上記 p n p トランジスタのベースとコレクタ間に接続された第2のコンデンサからなることを特徴とする半導体装置。

【請求項 21】

請求項 18 から請求項 20 のいずれかに記載の半導体装置であって、

40

メモリセルと、

該メモリセルのデータ入出力を制御する論理回路と、

該論理回路で入出力制御するデータの上記伝送媒体との入出力を制御するデータ入出力回路とを有し、

該データ入出力回路により上記伝送媒体に出力されるデータに対して上記信号レベルの変化時における上記終端抵抗と上記伝送媒体との接続制御を行うことを特徴とする半導体装置。

【請求項 22】

請求項 18 から請求項 21 のいずれかに記載の半導体装置であって、

上記伝送媒体を介して D R A M に接続されることを特徴とする半導体装置。

50

## 【発明の詳細な説明】

【0001】

## 【産業上の利用分野】

本発明は、半導体装置間で伝送される信号の反射を防止するために、伝送媒体（以下、伝送線と記載）に終端抵抗を設けた半導体装置の接続技術に係わり、特に、終端抵抗に流れる電流を効率良く制御して、信号の伝送時における消費電力を低下させるのに好適な半導体装置および半導体装置の配線方式に関するものである。

【0002】

## 【従来の技術】

近年、MPU（マイクロプロセッシングユニット）の性能向上に伴い、プロセッサの動作周波数が50MHz（メガヘルツ）を超えることが現実のものとなりつつある。このような高い周波数を扱うLSI（大規模集積回路）実装ボードにおいては、これまで広く使われてきたTTL（トランジスタトランジスタロジック）を用いた配線方式では、リングや反射等のために対応できない。

これらの高い周波数を扱うために、近年、DRAM（ダイナミックラム）を含むLSIシステムでは、終端抵抗を持ち、かつ、低振幅な配線方式の採用が本格化してきた。

【0003】

このような配線方式として、例えば、「1992年国際ソリッドステートサーキットコンファランス、ダイジェストオブテクニカルペーパー」の第58～59頁（1992, International Solid-State Circuit Conference, Digest of Technical Papers, pp. 58-59）で提案された技術がある。この配線方式をDRAMに適用した例を図15に示す。

尚、以下の説明では、図面において記号にオ-バ-ラインを付けて表したコンプリメンタリ信号は、記号の前に/を付けて表し、また、特に断らない限り、端子名を表す記号は、同時に配線名や信号名も兼ね、電源の場合はその電圧値も兼ねるものとする。

【0004】

図15は、従来の半導体装置の配線方式の一構成例を示すブロック図である。本例において、クロックCLKで制御されるDRAMチップ151の入出力信号は、伝送線153を介して他のDRAMチップ又はMPU152に伝えられる。伝送線153は、終端電源VTTに接続された終端抵抗RTにより両端が終端されている。DRAMチップ151は、図示していないメモリセルとこれを制御する論理回路（図中、K1と記載）154、および、入出力回路（図中、DDと記載）155で構成され、信号線I1で、メモリセルを制御する論理回路154と入出力回路155との信号の授受を行う。

入出力回路155は、出力nチャネルMOSトランジスタ（図中、M1と記載し、以下、nMOSトランジスタと記載）156とコンパレータ（図中、OPと記載）157、および、これらを制御する入出力制御回路（図中、D1と記載）158により構成されている。

伝送線153上の信号電圧は、終端抵抗RTを流れる電流ITTと終端抵抗RTの抵抗値との積で示され、電流ITTは、nMOSトランジスタ156のゲートN1の電圧により変化する。

次に、回路動作を図16を用いて示す。

【0005】

図16は、図15における半導体装置の配線方式の動作例を示すタイミングチャートである。

本図に示した出力データとは、メモリセルから読み出されて出力される信号の論理表現である。メモリセルを制御する図15の論理回路154では、この出力データに従い、クロックCLKに同期して信号線I1に信号を出力する。この信号は、出力データが「1」の時は高レベルであり、「0」の時は低レベルである。そして、このレベルは1サイクル中保持され、このような信号をノンリターンゼロ（NRZ）信号と言う。

10

20

30

40

50

## 【 0 0 0 6 】

この信号線 I 1 の信号に従い、図 1 5 の入出力制御回路 1 5 8 により、図 1 5 の n M O S トランジスタ 1 5 6 が駆動され、出力データが「 1 」の時は低レベル、「 0 」の時は高レベルの信号を、図 1 5 の n M O S トランジスタ 1 5 6 のゲート N 1 に出力する。このため、出力データが「 0 」の時は、図 1 5 において、n M O S トランジスタ 1 5 6 がオンし、終端電源 V T T からの電流が、終端抵抗 R T と n M O S トランジスタ 1 5 6 を介して流れる。このためノード O 1 の出力レベルは、この電流の増加量と図 1 5 の終端抵抗 R T の抵抗値との積で決まる値だけ低くなる。反対に、出力データが「 1 」の時は、図 1 5 の n M O S トランジスタ 1 5 6 がオフし、ノード O 1 の出力レベルは V T T レベルとなる。このようにして出力データに対応した信号がノード O 1 に出力される。

10

## 【 0 0 0 7 】

この方式によれば、低振幅な信号の反射などを抑えることができ、動作周波数 5 0 M H z 以上の L S I ボードの実現も可能となる。また、出力データが「 1 」のときには、図 1 5 の終端抵抗 R T には電流が流れないので、消費電流を軽減することができる。

しかしながら、この半導体装置の配線方式では、出力データ「 0 」が連続すると、図 1 5 において、終端電源 V T T から、終端抵抗 R T と n M O S トランジスタ 1 5 6 を介して電流が連続的に流れるので消費電流が増大する。特に、L S I の出力ピンは多数あるので、この電流量は非常に大きくなる。また、出力「 0 」レベルの低下をまねき、伝送線上の信号変化が大きくなり、高速伝送ができなくなる恐れもある。

## 【 0 0 0 8 】

20

## 【 発明が解決しようとする課題 】

解決しようとする問題点は、従来の技術では、終端電源に接続された終端抵抗による電流消費を十分には低減することができない点と出力信号のローレベルの低下をまねく恐れがある点である。

本発明の目的は、これら従来技術の課題を解決し、多数の出力ピンを有する半導体装置を接続してなるシステムの省電力化と信号伝送の高信頼化を可能とする半導体装置の配線方式を提供することである。

## 【 0 0 0 9 】

## 【 課題を解決するための手段 】

上記目的を達成するため、本発明の半導体装置の配線方式は、( 1 ) 半導体装置間の伝送線上に、終端電圧を有する終端抵抗を接続し、信号の反射を防止する半導体装置の配線方式において、半導体装置から出力される信号レベルの変化時に、信号の反射防止に必要な時間だけ終端抵抗を伝送線に接続して、伝送線を終端電圧に終端させる終端抵抗接続回路を設けることを特徴とする。

30

また、( 2 ) 上記( 1 )に記載の半導体装置の配線方式において、終端抵抗接続回路は、半導体装置のローレベル信号と同じ電圧値の終端電圧を有する第 1 の終端抵抗と、半導体装置のハイレベル信号と同じ電圧値の終端電圧を有する第 1 の終端抵抗と、半導体装置の出力信号と第 1 の終端抵抗の終端電圧との比較により、半導体装置の出力信号のローレベルからハイレベルの変化を検知して、信号の反射防止に必要な時間だけ、第 1 の終端抵抗を伝送線に接続する第 1 の終端抵抗接続回路と、半導体装置の出力信号と第 2 の終端抵抗の終端電圧との比較により、半導体装置の出力信号のハイレベルからローレベルの変化を検知して、信号の反射防止に必要な時間だけ、第 2 の終端抵抗を伝送線に接続する第 2 の終端抵抗接続回路とを具備することを特徴とする。

40

また、( 3 ) 上記( 1 )、もしくは、( 2 )のいずれかに記載の半導体装置の配線方式において、終端抵抗接続回路は、半導体装置から出力される信号レベルの変化時に、信号の反射防止に必要な時間だけ、終端抵抗の抵抗値を、終端電圧による電流を通さない高抵抗値から、伝送線の特性インピーダンスと同じ抵抗値に変化させることを特徴とする。

また、( 4 ) 半導体装置間の伝送媒体上に、信号の反射を防止するための終端電圧を有する終端抵抗を接続してなり、半導体装置は、出力する信号レベルに対応して終端電圧による終端抵抗への電流の流れを制御し、この終端抵抗に流れる電流値と終端抵抗値との積か

50

らなる電圧変化を、半導体装置の信号として伝送線を介して伝送する半導体装置の配線方式において、半導体装置内に、伝送の対象となる信号を、終端抵抗に流れる電流量を低減するように符号化する符号化回路と、伝送線を介して受信した他の半導体装置で符号化された信号を復号化する復号化回路とを設け、終端抵抗に流れる電流値と終端抵抗値との積からなる電圧を、圧縮された信号レベルに対応して変化させることを特徴とする。

また、(5)上記(1)から(3)のいずれかに記載の半導体装置の配線方式において、半導体装置内に、上記(4)に記載の符号化回路と復号化回路を設け、この符号化回路で符号化した信号レベルの変化時に、終端抵抗の接続制御を行なうことを特徴とする。

また、(6)上記(4)、もしくは、(5)のいずれかに記載の半導体装置の配線方式において、符号化回路は、連続する信号を圧縮し、復号化回路は、この圧縮された信号を伸

10

長することを特徴とする。  
また、(7)上記(1)から(6)のいずれかに記載の半導体装置の配線方式において、伝送線の特性インピーダンスを測定する測定部と、この測定部で測定した伝送線の特性インピーダンスとのマッチングを取るのに最適な抵抗値の抵抗を、予め用意された抵抗群から選択して、伝送線に接続する抵抗接続部とを設けることを特徴とする。

【0010】

【作用】

本発明においては、伝送線上の信号レベルが変化する時のみ、伝送線に終端抵抗を接続して反射を抑える。このことにより、信号の変化時以外は、終端抵抗には電流が流れないため、電流消費を低減することができる。

20

また、信号がNRZ信号でないように符号化することにより、同じ出力データが続いても出力信号を変化させて、電流が流れ続けることを回避し、電流消費を低減することができる。

また、半導体装置の使用状況に応じて、最適な値の終端抵抗を自動的に選択して接続する。このことにより、実際のLSIの大きな製造ばらつきや使用条件により必要以上の電流が流れることを回避することができる。

【0011】

【実施例】

以下、本発明の実施例を、図面により詳細に説明する。

図1は、本発明の半導体装置の配線方式の本発明に係わる構成の第1の実施例を示すブロック図である。

30

本例は、本発明の思想概念を示すものであり、本図において、1は終端抵抗と本発明に係わる終端抵抗接続回路を具備する終端回路(図中、RDと記載)、2、3はDRAMチップ、4は信号を伝送する伝送線、5は信号を入出力する入出力回路(図中、DDと記載)である。

本例において、終端回路1は、DRAMチップ2の入出力回路5からの出力O1が切り換わる時のみ、伝送線4の特性インピーダンスと同じ抵抗値となり、それ以外は、高抵抗となる。このことにより、終端回路1には、信号の遷移時のみ終端電源VTTから電流が流れ、その他の期間は電流が流れない。その結果、消費電力の低減ができる。

【0012】

40

DRAMチップ2の入出力回路5の信号レベルは、専用の電源(電圧VOH、VOL)VOH1、VOL1で決める。この電源VOH1、VOL1は、DRAMチップ2の外部から印加しても良いし、DRAMチップ2の内部で発生させても良い。

終端回路1は、DRAMチップ2の外に設けても、DRAMチップ2内に設けても良く、また、伝送線4の両端に設けても、一端だけでも良い。また、多少、終端回路1の特性は悪くなるが、分散して配置しても良い。この終端回路1の構成によって、伝送線4は、1対1の伝送となったり、いわゆるバス形式となったりする。

このように構成すれば、終端電源VTTから終端回路1に流れる電流は、ノードO1の出力レベルが変化する時のみとなるので低消費電流となる。

次の図2、3を用いて、本発明の半導体装置の配線方式の詳細な構成と動作の説明を行な

50

う。

【0013】

図2は、本発明の半導体装置の配線方式の本発明に係わる構成の第2の実施例を示すブロック図である。

本図において、11、12が終端回路(図中、RDと記載)であり、終端回路11は、抵抗RT11、R11と、nMOSトランジスタMT11、および、コンデンサC11とからなる。また、終端回路12は、抵抗RT12、R12とpMOSトランジスタMT12、および、コンデンサC12とからなる。

尚、終端回路11において、抵抗RT11とnMOSトランジスタMT11により本発明の第1の終端抵抗が構成され、抵抗R11とnMOSトランジスタMT11およびコンデンサC11とにより、本発明の第1の終端抵抗接続回路が構成されている。また、終端回路12において、抵抗RT12とpMOSトランジスタMT12により本発明の第2の終端抵抗が構成され、抵抗R12とpMOSトランジスタMT12およびコンデンサC12とにより、本発明の第2の終端抵抗接続回路が構成されている。

10

【0014】

終端回路11の終端電圧はVOLであり、終端回路12の終端電圧はVOHである。尚、抵抗RT11、RT12の抵抗値は、nMOSトランジスタMT11、pMOSトランジスタMT12がオンした時の抵抗と合わせて伝送線4の特性インピーダンスと同じ値になるように決める。また、伝送線4にはDRAMチップ1やMPUチップが必要に応じて接続される。

20

本例で示すように、通常の終端用の抵抗RT11、RT12に、MOSトランジスタとコンデンサおよび抵抗を加えた構成で、DRAMチップ2からの信号レベルの変化に対応した終端抵抗の接続制御を行なうことができる。

【0015】

以下、図3を用いて、終端回路11、12の動作例を説明する。

図3は、図2における半導体装置の配線方式の本発明に係わる動作例を示すタイミングチャートである。

まず、図2のDRAMチップ2のノードO1の出力レベルは、低レベル(VOL)とする。この時、図2の終端回路11においては、nMOSトランジスタMT11のゲートノードNR11の電圧がVOL、かつ、抵抗RT11と接続しているソースの電圧もVOLであるため、nMOSトランジスタMT11はオフしている。このため、大きな電流(IT1)は流れない。また、図2の終端回路12においても、pMOSトランジスタMT12のゲートノードNR12の電圧は高レベル(VOH)で、抵抗RT12と接続しているソースの電圧もVOHであるため、pMOSトランジスタMT12はオフしており、大きな電流(IT2)は流れない。

30

【0016】

次に、図2のDRAMチップ2のノードO1の出力レベルが、VOL(低レベル)からVOH(高レベル)に切り換わると、図2の終端回路11において、nMOSトランジスタMT11のゲートノードNR11は、コンデンサC11による容量結合で高レベルとなる。このレベルが「VOL+VTH」を越えると、図2のnMOSトランジスタMT11がオンする。ここでVTHは、図2のnMOSトランジスタMT11のしきい値電圧である。これにより、図2における終端電源VOLと伝送線4の間には、nMOSトランジスタMT11のオン抵抗と抵抗RT11の直列抵抗が現われる。すなわち、図2の伝送線4は、この直列抵抗で終端されることになる。ノードO1の出力レベルがVOLからVOHに変化してしまうと、ゲートノードNR11の電荷は、図2の終端抵抗R11によってVOLに向けて一定の時定数で放電される。この放電中、ゲートノードNR11の電位が「VOL+VTH」よりも高い期間だけ、図2の終端電源VOLの電流IT1が流れる。

40

【0017】

一方、図2の終端回路12においても、ノードO1の出力レベルが、VOL(低レベル)からVOH(高レベル)に切り換わると、pMOSトランジスタMT12のゲートノード

50

NR12は、コンデンサC12による容量結合でVOHよりも上昇する。しかし、ソースの電圧がVOHであるため、pMOSトランジスタMT12はオフしたままである。ここで、ノードO1の出力レベルが、VOH（低レベル）からVOL（高レベル）に切り換わると、図2の終端回路12においては、pMOSトランジスタMT12のゲートNR12はコンデンサC12による容量結合で低レベルとなる。このレベルが「VOH - VTH」を越えると、図2のpMOSトランジスタMT12がオンする。ここで、VTHは図2のpMOSトランジスタMT12のしきい値電圧の絶対値である。これにより、図2における終端電源VOHと伝送線4の間には、pMOSトランジスタMT12のオン抵抗と抵抗RT12の直列抵抗が現われる。すなわち、図2の伝送線4は、この直列抵抗で終端されることになる。ノードO1の出力レベルがVOHからVOLに変化してしまうと、ゲートノードNR12の電荷は、図2の終端抵抗R12によってVOHに向けて一定の時定数で放電される。この放電中、ゲートノードNR12の電位が「VOH - VTH」よりも低い期間だけ、図2の終端抵抗R12に電流（ITT）が流れる。

10

#### 【0018】

一方、図2の終端回路11では、nMOSトランジスタMT11のゲートNR11は、コンデンサC11による容量結合でVOLよりも下降してしまう。しかし、ソースの電圧がVOLであるため、図2のnMOSトランジスタMT11はオフしたままである。このように、終端電源からは、ノードO1の信号レベルが切り換わる時のみしか電流が流れないので消費電流を小さくできる。また、流れる電流量を大幅に低減でき、安定した終端電位を供給することができる。

20

尚、本例では、図2の終端回路11の終端電圧をVOLとし、ノードO1の出力信号の低レベル（VOL）と一致させているが、ノードO1の出力信号の低レベル（VOL）よりも、図2のnMOSトランジスタMT11がオンしすぎない程度に高くしても構わない。例えば、「VOL + VTH」よりもわずかに低いレベルとしてもよい。また、図2の終端回路12も同様であり、終端電圧をノードO1の出力信号の高レベル（VOH）よりも、図2のpMOSトランジスタMT12がオンしすぎない程度に低くしても構わない。

#### 【0019】

図4は、本発明の半導体装置の配線方式の本発明に係わる構成の第3の実施例を示すブロック図である。

本図において、21、22は終端回路（図中、RDと記載）であり、終端回路21は、抵抗RT21、R21と、npnバイポーラトランジスタQ21と、コンデンサC21とからなる。同様に、終端回路22は、抵抗RT22、R22とpnpバイポーラトランジスタQ22、および、コンデンサC22とからなる。尚、抵抗RT21、RT22の抵抗値は、npnバイポーラトランジスタQ21、Q22がオンした時の抵抗と合わせて伝送線4の特性インピーダンスと同じ値になるように決める。また、伝送線4にはDRAMチップ2やMPUチップが必要に応じて接続される。終端回路21の終端電圧はVOLであり、終端回路22の終端電圧はVOHである。

30

本例で示すように、通常の終端用の抵抗RT21、RT22に、バイポーラトランジスタとコンデンサ、および、抵抗を加えた構成で、DRAMチップ2からの信号レベルの変化に対応した終端抵抗の接続制御を行なうことができる。

40

#### 【0020】

以下、図5を用いて、終端回路21、22の動作例を説明する。

図5は、図4における半導体装置の配線方式の本発明に係わる動作例を示すタイミングチャートである。

まず、図4のDRAMチップ2のノードO1の信号レベルは、低レベル（VOL）とする。この時、図4の終端回路21においては、npnバイポーラトランジスタQ21のベースノードNR21の電圧はVOLとなっており、抵抗RT21と接続しているエミッタの電圧もVOLであるため、npnバイポーラトランジスタQ21はオフしている。このため、大きな電流（ITT1）は流れない。また、図4の終端回路22においては、pnpバイポーラトランジスタQ22のベースノードNR22の電圧は高レベル（VOH）とな

50

っており、抵抗 $R_{T22}$ と接続しているエミッタの電圧も $V_{OH}$ であるため、 $pnp$ バイポーラトランジスタ $Q_{22}$ はオフしている。このため、ここでも大きな電流( $I_{TT2}$ )は流れない。

#### 【0021】

次に、図4のDRAMチップ2のノードO1の信号レベルが、 $V_{OL}$ (低レベル)から $V_{OH}$ (高レベル)に切り換わると、図4の終端回路21において、 $npn$ バイポーラトランジスタ $Q_{21}$ のベースノード $NR_{21}$ は、コンデンサ $C_{21}$ による容量結合で高レベルとなる。このレベルが「 $V_{OL} + V_{BE}$ 」を越えると、図4の $npn$ バイポーラトランジスタ $Q_{21}$ がオンする。ここで $V_{BE}$ は、図4の $npn$ バイポーラトランジスタ $Q_{21}$ のベース・エミッタ間オン電圧である。これにより、図4における終端電源 $V_{OL}$ と伝送線4の間には、 $npn$ バイポーラトランジスタ $Q_{21}$ のオン抵抗と抵抗 $R_{T21}$ の直列抵抗が現われる。すなわち、図4の伝送線4は、この直列抵抗で終端されることになる。

10

ノードO1の信号レベルが変化してしまうと、ベースノード $NR_{21}$ の電荷は、図4の抵抗 $R_{21}$ によって、 $V_{OL}$ に向けて一定の時定数で放電される。この放電中、ベースノード $NR_{21}$ の電位が「 $V_{OL} + V_{BE}$ 」よりも高い期間だけ、図4の終端電源 $V_{OL}$ から電流( $I_{TT1}$ )が流れる。

#### 【0022】

一方、図4の終端回路22においても、ノードO1の信号レベルが、 $V_{OL}$ (低レベル)から $V_{OH}$ (高レベル)に切り換わると、 $pnp$ バイポーラトランジスタ $Q_{22}$ のベースノード $NR_{22}$ は、コンデンサ $C_{22}$ による容量結合で $V_{OH}$ よりも上昇する。しかし、エミッタの電圧が $V_{OH}$ であるため、 $pnp$ バイポーラトランジスタ $Q_{22}$ はオフしたままである。

20

ここで、ノードO1の信号レベルが $V_{OH}$ (高レベル)から $V_{OL}$ (低レベル)に切り換わると、図4の終端回路22においては、 $pnp$ バイポーラトランジスタ $Q_{22}$ のベースノード $NR_{22}$ は、コンデンサ $C_{22}$ による容量結合で低レベルとなる。このレベルが「 $V_{OH} - V_{BE}$ 」を越えると、図4の $pnp$ バイポーラトランジスタ $Q_{22}$ がオンする。ここで、 $V_{BE}$ は図4の $pnp$ バイポーラトランジスタ $Q_{22}$ のベース・エミッタ間オン電圧である。

#### 【0023】

これにより、図4における終端電源 $V_{OH}$ と伝送線4の間には、 $pnp$ バイポーラトランジスタ $Q_{22}$ のオン抵抗と抵抗 $R_{T22}$ の直列抵抗が現われる。すなわち、図4の伝送線4は、この直列抵抗で終端されることになる。ノードO1の信号レベルが変化してしまうと、ベースノード $NR_{22}$ の電荷は、図4の抵抗 $R_{22}$ によって $V_{OH}$ に向けて一定の時定数で放電される。この放電中、ベースノード $NR_{22}$ の電位が「 $V_{OH} - V_{BE}$ 」よりも低い期間だけ、終端電源から電流( $I_{TT1}$ )が流れる。

30

一方、図4の終端回路11においては、 $npn$ バイポーラトランジスタ $Q_{21}$ のベースノード $NR_{21}$ は、コンデンサ $C_{21}$ による容量結合で $V_{OL}$ よりも下降してしまう。しかし、エミッタの電圧が $V_{OL}$ であるため、図4の $npn$ バイポーラトランジスタ $Q_{21}$ はオフしたままである。

#### 【0024】

このように、終端電源からは、ノードO1の信号レベルが切り換わる時のみしか電流が流れないので消費電流を小さくすることができる。また、流れる電流量を大幅に低減でき、終端電位を安定に供給することができる。

40

尚、本例では、図4の終端回路21の終端電圧を $V_{OL}$ とし、ノードO1の信号の低レベル( $V_{OL}$ )と一致させているが、ノードO1の信号の低レベル( $V_{OL}$ )よりも、図4の $npn$ バイポーラトランジスタ $Q_{21}$ がオンしすぎない程度に高くしても構わない。例えば、「 $V_{OL} + V_{BE}$ 」よりもわずかに低いレベルとしておいてもよい。また、図4の終端回路22も同様であり、終端電圧をノードO1の信号の高レベル( $V_{OH}$ )よりも、図4の $pnp$ バイポーラトランジスタ $Q_{22}$ がオンしすぎない程度に低くしても構わない。ただし、両者共にバイポーラトランジスタの飽和に注意して決める。

50

## 【 0 0 2 5 】

次に、本発明に係わる他の実施例の説明を行なう。

図 6 は、本発明の半導体装置の配線方式の本発明に係わる構成の第 3 の実施例を示すブロック図である。

従来の半導体装置の配線方式における問題点の 1 つとして、D R A M チップが同一のデータを連続して出力した場合、その期間中、終端電源から電流が流れ続け、消費電力を増大させるといった問題があった。本第 3 の実施例では、D R A M チップからの出力データを符号化することにより、必ず、リターンゼロ ( R Z ) 信号として出力し、終端電源から連続的に電流を流さない符号化回路と復号化回路を具備した D R A M チップ 3 0 を設けた構成となっている。

10

D R A M チップ 3 0 は、図示していないメモリセルとそれを制御する論理回路 ( 図中、K 1 と記載 ) 3 1 と、データの入出力回路 ( 図中、D D と記載 ) 3 2 からなり、この入出力回路 3 2 は、出力トランジスタ ( 図中、M 1 と記載 ) 3 3 とコンパレータ ( 図中、O P と記載 ) 3 4、および、本発明に係わる符号化回路 ( 図中、G 1 と記載 ) 3 5 と復号化回路 ( 図中、H 1 と記載 ) 3 6 を具備した入出力制御回路 ( 図中、D 1 と記載 ) 3 7 とにより構成されている。尚、伝送線 4 を介して D R A M チップ 3 0 と接続される D R A M チップ 3 0 a も同様な構成である。

## 【 0 0 2 6 】

メモリセルから読み出された信号は、信号線 S 1 を通して、符号化回路 3 5 に入力される。符号化回路 3 5 では、後述の図 7、8 で詳細を説明するように、この信号を R Z 信号として符号化し、出力トランジスタ 3 3 に送る。これにより出力トランジスタ 3 3 を駆動し、伝送線 4 にデータを出力する。出力トランジスタ 3 3 のゲートノード N 1 は、毎クロックサイクルに R Z 信号が加わるので、終端電源 V T T から連続的に電流が流れることは無い。

20

復号化回路 3 6 は、後述の図 9、1 0 で詳細を説明するように、他の D R A M チップ 3 0 a で符号化された入力信号を取り込み、ノンリターンゼロ ( N R Z ) 信号に変換する。この信号は、信号線 Y 1 を介して論理回路 3 1 に入力される。

## 【 0 0 2 7 】

本実施例では、符号化回路 3 5 と復号化回路 3 6 を設けることにより、同じ信号が連続しても、大きな直流電流が流れることは無い。

30

尚、本例では、符号化回路 3 5 や復号化回路 3 6 を独立した回路ブロックとし、従来の回路構成に付加させる構成としたが、より効果的にするために、読み出し回路や入力回路等と融合した構成としてもよい。

また、本実施例は図面で示した入出力の回路形式に特定するものではない。さらに、この符号化は、従来の D R A M チップにおいて、非選択時に出力をハイインピーダンスにすることとは異なり、データを出力している時に、N R Z 信号ではない符号化した信号を出力するものである。

## 【 0 0 2 8 】

図 7 は、図 6 における D R A M チップの符号化回路部分の詳細な構成の具体例を示すブロック図である。

40

本例の D R A M チップ 3 0 は、メモリセルアレー ( 図中、M A と記載 ) 7 0 と、符号化回路 ( 図中、G 1 と記載 ) 3 5 とを具備し、符号化回路 3 5 は、イクスクルーシブ O R 回路 ( 図中、X O R と記載 ) 7 1 と、D 形フリップフロップ回路 ( 図中、D F と記載 ) 7 2 と、インバータ ( 図中、I N と記載 ) 7 3 からなり、メモリセルアレー 7 0 は、ワード線 W、データ線対 D、/ D、その交点の図中の円で示したメモリセルからなる。また、図中の Y S は、メモリセルアレー 7 0 と読み出し回路 ( 図中、R A と記載 ) 7 4 を接続する n M O S トランジスタの制御信号である。また、図中の C L K は、D R A M チップ 3 0 の 1 サイクルに等しい周波数のクロックであり、2 C L K は、このクロック C L K の 2 倍の周波数のクロックである。

読み出し回路 7 4 によって、メモリセル信号が読み出され、ノード S 1 に出力される。符

50

号化回路35では、2つのクロック(CLK、2CLK)を用いて、信号線S1に出力されたメモリセル信号を符号化し、出力トランジスタM1を駆動する。符号化回路35で符号化された信号は、出力データ「1」を、高レベルから低レベルの変化で表し、「0」を低レベルから高レベルへの変化で表す。

このような構成のDRAMチップ30の動作を、次の図8を用いて説明する。

#### 【0029】

図8は、図7におけるDRAMチップの本発明に係わる符号化動作の一具体例を示すタイミングチャートである。

ノードS1には、クロックCLKに同期して、「101000」の順にNRZ信号が現われるとする。まず、ノードS1上の信号とクロックCLKとでイクスクルーシブOR論理をとる。図7におけるイクスクルーシブOR回路71の出力のノードNE1には、両者の論理が一致したときに、高レベルが現われる。このノードNE1上の信号は、クロック2CLKが入力されている図7のD型フリップフロップ72に入力され、半周期遅れてデータ線(/Q)から出力する。この出力信号を、図7のインバータ73を介して、図7の出力トランジスタ33のゲートN1に入力する。これによって、ノードO1に所望の信号を発生する。すなわち、図7のノードO1では、出力データ(S1)が「1」の場合は、高レベルから低レベルへ変化する信号を、また、「0」の場合は、低レベルから高レベルへ変化する信号を得ることができる。

#### 【0030】

従って、同じデータが連続するときには、クロックCLKと同じ周波数で位相がデータによって異なる信号となり、1サイクル毎にデータが異なる場合には、クロックCLKの半分の周波数の信号となる。このことにより、図7の終端抵抗RTを流れる電流ITTは、同じ信号が連続する場合にも、従来例のように直流電流が連続して流れることはなく、消費電力を小さくすることができる。

このように、本実施例では、簡単な回路を従来の構成に付加するだけで、符号化した信号を得ることができる。尚、出力トランジスタが、pMOSトランジスタであったり、nMOSトランジスタとpMOSトランジスタのプッシュプルであったり、あるいは、ECLインタフェースの場合も、本実施例は容易に拡張できる。

#### 【0031】

図9は、図6におけるDRAMチップの復号化回路部分の詳細な構成の具体例を示すブロック図である。

本例のDRAMチップ30aは、メモリセルを含む論理回路(図中、K1と記載)31と、コンパレータ(図中、OPと記載)34と、本発明に係わる復号化回路(図中、H1と記載)36とを具備し、この復号化回路36は、NAND回路91と、D形フリップフロップ回路(図中、DFと記載)92と、インバータ(図中、INと記載)93からなり、コンパレータ34には、参照電圧Vrefも入力する。クロックCLKは、このDRAMチップ30aの1サイクルに等しい周波数のクロックであり、クロック2CLKは、このクロックCLKの2倍の周波数のクロックである。ノードO2上の符号化された信号は、コンパレータ34と信号線X1を通過してDRAMチップ30a内部用の入力信号となる。復号化回路36では、2つのクロック(CLK、2CLK)を用いて、信号線X1に出力された符号化された信号を、NRZ信号に変換して、信号線Y1に出力する。このような構成のDRAMチップ30aの動作を、次の図10を用いて説明する。

#### 【0032】

図10は、図9におけるDRAMチップの本発明に係わる復号化動作の一具体例を示すタイミングチャートである。

本例において、クロック2CLKはクロックCLKの2倍の周波数である。図9のコンパレータ34には、ノードO2上の符号化された信号が入力される。このノードO2の信号が、図9のコンパレータ34で参照電圧Vrefと比較され、信号線X1上に、本図に示すような信号が現われる。一方、図9のインバータ回路93とNAND回路91には、それぞれ、クロックCLKとクロック2CLKが入力され、その結果、NAND回路91の

10

20

30

40

50

ノードNH1には、本図に示すような信号が現われる。すなわち、ノードNH1には、クロックCLKと同じ周波数で、高レベルが1/4周期で、遅延が1/4周期のパルスが作られる。これは、図9のD型フリップフロップ36のクロックとして入力される。そして、図9のコンパレータ34から信号線X1に出力された信号は、図9のD型フリップフロップ92のデータとして入力される。

#### 【0033】

図9のD型フリップフロップ92は、クロック信号が高レベルの時にデータを取り込み、クロックが低レベルの間、出力を保持する。本例では、クロック信号は1/4周期だけ遅れているので、図9のD型フリップフロップ92に入力されるデータの1周期の前半の状態を取り込み、それを次のサイクルまで保持する。従って、高レベルから低レベルに変化するよう符号化されたデータは、高レベル信号に、また、低レベルから高レベルに変化するよう符号化されたデータは、低レベル信号に復調される。

10

このようにして、符号化された信号はNRZ信号に復調される。なお、回路構成によっては、NRZ信号に変換する必要がない場合や、論理構成上、変換機能が他の動作と兼ねられるような場合もある。

#### 【0034】

次に、他の符号信号に符号化する場合の例を説明する。

図11は、図6におけるDRAMチップの本発明に係わる符号化動作の他の具体例を示すタイミングチャートである。

本例は、図6に示す半導体装置の配線方式で用いる符号信号の例を示すものであり、出力データが「10100011」の順に出力されると仮定する。

20

従来のNRZ信号では、「0」が連続する時に、直流成分が生じてしまう。これに対して、変換例1~4に示す例では、直流成分が存在しない。

#### 【0035】

すなわち、変換例1では、連続したデータの関係に注目し、「11」の信号の場合は位相を変えないで、クロックCLKと同じ周波数の信号とし、また、「10」および「01」の場合は、位相を信号の切り換わりで反転させて、クロックCLKと同じ周波数の信号とし、さらに、「00」の信号の場合は、位相を変えないで、クロックCLKとの半分の周波数の信号とする。

また、変換例2では、「1」にはクロックCLKと同じ周波数の信号を割り当て、「0」にはクロックCLKの半分の周波数の信号を割り当てる。これは、アナログ信号の周波数変調(FM変調)に対応する。

30

変換例3と変換例4では、「0」が連続する時に、NRZ信号と同じように、直流成分が存在するかのように見えるが、本例では、信号の変化分だけを取り扱う方式である。すなわち、変換例3では、NRZ信号の微分信号となっており、変換例4では、「1」のみを取り出して図のような信号とする。

#### 【0036】

尚、図6~図11で説明した方式に、図1~図5で示した出力の変化時に終端抵抗が見える方式を適用することができる。しかも、この時、図1~図5で示した出力信号の高レベルと低レベルを決める電源であるVOL、VOHは必要とせず、構成がより簡単となり、さらに効果的である。

40

次に、従来の半導体装置の配線方式の他の問題点、すなわち、終端抵抗の値がLSIの製造条件や、LSIの使用条件によって異なり、これによって、消費電流が増大してしまうという問題点を解決する実施例の説明を、次の図12、13を用いて行なう。

#### 【0037】

図12は、本発明の半導体装置の配線方式の本発明に係わる構成の第4の実施例を示すブロック図である。

本図は、図6におけるDRAMチップ30に、伝送線の特性インピーダンスを測定する本発明に係わる測定部としての設定部(図中、SG1と記載)123と、最適なインピーダンスマッチングが取れる抵抗値の抵抗を選択する本発明の抵抗接続部としての選択回路(

50

図中、S S 1と記載) 1 2 1およびレジスタ(図中、R G 1と記載) 1 2 2とを設けたD R A Mチップ4 0の構成を示すものである。

本図において、R 1 ~ R nは抵抗のセットであり、それぞれ、出力ノードO 1と終端電源V T TにスイッチS W 1 ~ S W nを介して接続されている。本例では、オンさせるスイッチS W 1 ~ S W nを選択することにより、出力ノードO 1と終端電源V T T間の抵抗値を変えることができる。本例では、レジスタ1 2 2に、どのスイッチS W 1 ~ S W nをオンさせるかを記憶させておき、この記憶内容に基づき、選択回路1 2 1が、スイッチS W 1 ~ S W nを選択する。レジスタ1 2 2は外部から書き換え可能であり、設定部1 2 3により書き換える。

#### 【0038】

本実施例においては、終端抵抗値を、次のようにして決める。

例えば、一定時間ごとにテストパルスをノードO 1に印加して、あるいは、D R A Mチップ4 0自身から発生し、ノードO 1のリングング量をオペアンプ等で検知し、設定部1 2 3により、これを最小にするようにスイッチS W 1 ~ S W nをオンさせる。

このことにより、L S Iの製造条件や、次の図1 3で示すようにL S Iの使用条件に適した終端抵抗値を設定することができ、過度な電流が流れることを回避でき、電流の消費を低減させることができる。

尚、設定部1 2 3、レジスタ1 2 2、選択回路1 2 1や抵抗R 1 ~ R n、および、スイッチS W 1 ~ S W nは、全てをD R A Mチップ4 0上に設けても、また、全てを別チップとしても、あるいは、部分的に分けても良い。

#### 【0039】

図1 3は、本発明の半導体装置の配線方式の本発明に係わる構成の第5の実施例を示すブロック図である。

本図は、図1 2におけるD R A Mチップ4 0の終端抵抗値を、その使用条件で変更する例を示すものであり、伝送線4の両端にD R A Mチップ4 0を置く場合(M 1、M n)は、スイッチS Wをオンして、終端抵抗値を伝送線4の特性インピーダンスと一致させ、途中に置く場合(M 2 ~ M n - 1)は、スイッチS Wをオフして、終端抵抗を切り離しておく。

このようにして、L S Iの使用条件に適した終端抵抗値を設定することができる。

#### 【0040】

図1 4は、本発明の半導体装置の配線方式を用いたシステムの構成例を示すブロック図である。

本図において、矢印は信号の流れを表わし、1 4 1は本発明を用いたD R A Mチップ等のメモリ装置(図中、Mと記載)、1 4 2はシステム全体を制御する処理装置(図中、M P Uと記載)、1 4 3はリフレッシュアドレス発生装置(図中、R A Gと記載)、1 4 4は本発明を用いたメモリ装置1 4 1部分の制御信号発生装置(図中、T Cと記載)、1 4 5は処理装置1 4 2から送られてくるアドレス信号と、リフレッシュアドレス発生装置1 4 3から送られてくるリフレッシュアドレス信号とを切り換えるセレクト装置(図中、S L C Tと記載)であり、また、1 4 6はシステム内の他の装置(図中、P F Yと記載)であり、例えば、外部記憶装置や表示装置、あるいは、数値演算装置等であり、無線回線を含む通信回線を通して他の情報処理装置と接続される場合もある。

#### 【0041】

また、D A T Aは処理装置1 4 2とメモリ装置1 4 1との間でやりとりされるデータを表わし、A i cは処理装置1 4 2で発生するアドレス信号を、A i rはリフレッシュアドレス発生装置1 4 3で発生するリフレッシュアドレス信号を示し、A iはセレクト装置1 4 5で選択され、メモリ装置1 4 1に送られるアドレス信号を示す。また、S Tは処理装置1 4 2からリフレッシュアドレス発生装置1 4 3に送られるステータス信号、B Sは制御信号発生装置1 4 4から処理装置1 4 2へのビジイ信号である。さらに、S Eは制御信号発生装置1 4 4から送られるセレクト装置1 4 5の起動をかける信号であり、/ R A Sおよび/ C A Sはメモリ装置1 4 1の起動をかける信号である。

10

20

30

40

50

## 【0042】

また、SGは処理装置142とシステム内の他の装置との信号のやりとりをまとめて表わした信号群である。これらの信号は1対1で伝送される場合もあるし、バス形式で伝送される場合もある。

メモリ装置141としては、DRAMの他に、SRAM(Static RAM、スタティックラム)やEEPROM(イーイーピーロム)等も考えられる。この時はもちろんそれに応じた起動信号や制御信号が存在する。

## 【0043】

このようなシステムにおいて、例えば、処理装置142とメモリ装置141との間でやりとりされるデータバス上に、信号の変化時のみに終端抵抗が見える図1～図5に示した終端回路を設けたり、あるいは、処理装置142とメモリ装置141上に、図6～図11に示した符号化回路と復号化回路を設け、データのやりとりをしたり、図12、13に示したように、終端抵抗を最適な値に選ぶ機能を有したりすることができる。これによって、本実施例で示した半導体装置の配線方式によれば、50MHz以上の動作周波数で信号をやりとりしても、ノイズや反射を抑えて、かつ、低消費電流であるシステムを構成することができる。

10

## 【0044】

以上、図1～図14を用いて説明したように、本実施例の半導体装置の配線方式では、信号が変化する時のみ終端抵抗と接続して反射を抑えることにより、信号が変化する時のみしか電流が流れないため低消費電流となる。また、信号がNRZ信号で無いようにすることにより、同じ出力データが続いても、出力信号は変化するため、電流が流れ続けることはなく、低消費電流となる。さらに、LSIの使用条件等に合わせて、終端に最適な値の終端抵抗を選択することにより、実際のLSIの大きな製造ばらつきや使用条件によって必要以上の電流が流れることによる消費電流の増大を回避することができる。尚、各図の説明においても説明したように、本発明は、図1～図14を用いて説明した実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、本実施例では、半導体装置としてDRAMチップを用いた例で説明したが、MPUなどに対しても同様に適用できる。また、符号化回路および復号化回路による信号の符号化と復号化に関するも、伝送の対象となる信号で連続する信号を符号化回路において圧縮し、このように圧縮された信号を復号化回路において伸長することでも良い。

20

30

## 【0045】

## 【発明の効果】

本発明によれば、終端抵抗による終端電源の消費電流の増大と出力レベルの低下を回避できるので、多数の出力ピンを有するLSIを接続するシステムの省電力化と高信頼化が可能である。

## 【図面の簡単な説明】

【図1】本発明の半導体装置の配線方式の本発明に係わる構成の第1の実施例を示すブロック図である。

【図2】本発明の半導体装置の配線方式の本発明に係わる構成の第2の実施例を示すブロック図である。

40

【図3】図2における半導体装置の配線方式の本発明に係わる動作例を示すタイミングチャートである。

【図4】本発明の半導体装置の配線方式の本発明に係わる構成の第3の実施例を示すブロック図である。

【図5】図4における半導体装置の配線方式の本発明に係わる動作例を示すタイミングチャートである。

【図6】本発明の半導体装置の配線方式の本発明に係わる構成の第3の実施例を示すブロック図である。

【図7】図6におけるDRAMチップの符号化回路部分の詳細な構成の具体例を示すブロック図である。

50

【図 8】図 7 における D R A M チップの本発明に係わる符号化動作の一具体例を示すタイミングチャートである。

【図 9】図 6 における D R A M チップの復号化回路部分の詳細な構成の具体例を示すブロック図である。

【図 10】図 9 における D R A M チップの本発明に係わる復号化動作の一具体例を示すタイミングチャートである。

【図 11】図 6 における D R A M チップの本発明に係わる符号化動作の他の具体例を示すタイミングチャートである。

【図 12】本発明の半導体装置の配線方式の本発明に係わる構成の第 4 の実施例を示すブロック図である。

10

【図 13】本発明の半導体装置の配線方式の本発明に係わる構成の第 5 の実施例を示すブロック図である。

【図 14】本発明の半導体装置の配線方式を用いたシステムの構成例を示すブロック図である。

【図 15】従来の半導体装置の配線方式の一構成例を示すブロック図である。

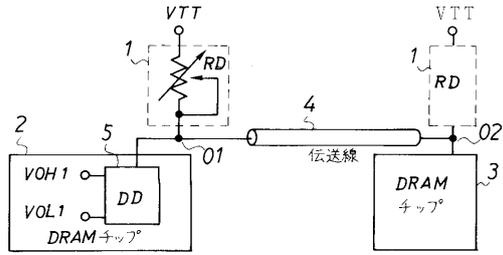
【図 16】図 15 における半導体装置の配線方式の動作例を示すタイミングチャートである。

#### 【符号の説明】

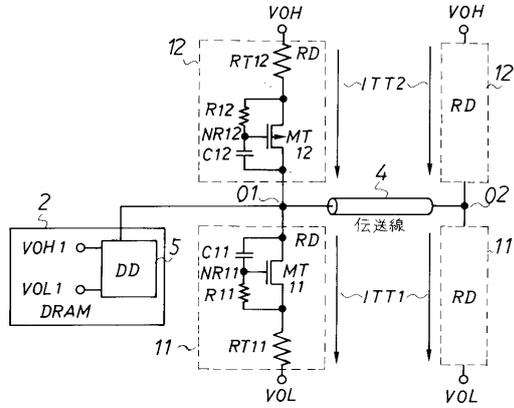
- 1 終端回路
- 2、3 D R A M チップ 20
- 4 伝送線
- 5 入出力回路
- 11、12 終端回路
- 30、30a D R A M チップ
- 31 論理回路
- 32 入出力回路
- 33 出力トランジスタ
- 34 コンパレータ
- 35 符号化回路
- 36 復号化回路 30
- 37 入出力制御回路
- 40 D R A M チップ
- 70 メモリセルアレー
- 71 イクスクルーシブ O R 回路
- 72 D 形フリップフロップ回路
- 73 インバータ
- 74 読み出し回路
- 91 N A N D 回路
- 92 D 形フリップフロップ回路
- 93 インバータ 40
- 121 選択回路
- 122 レジスタ
- 123 設定部
- 141 メモリ装置
- 142 処理装置
- 143 リフレッシュアドレス発生装置
- 144 制御信号発生装置
- 145 セレクト装置
- 146 他の装置
- 151 D R A M チップ 50

152	DRAMチップ又はMPU	
153	伝送線	
154	論理回路	
155	入出力回路	
156	nMOSトランジスタ	
157	コンパレータ	
158	入出力制御回路	
Ai	アドレス信号	
Aic	アドレス信号	
Air	リフレッシュアドレス信号	10
BS	ビジイ信号	
C11、C12、C21、C22	コンデンサ	
CLK、2CLK	クロック	
/CAS、/RAS、SE	起動をかける信号	
DATA	データ	
I1	信号線	
ITT、ITT1、ITT2	電流	
MT11	nMOSトランジスタ	
MT12	pMOSトランジスタ	
N1	ゲート	20
NE1、NH1	ノード	
NR11、NR12	ゲートノード	
NR21、NR22	ベースノード	
O1、O2	ノード	
Q21	npnバイポーラトランジスタ	
Q22	pnpバイポーラトランジスタ	
/Q	データ線	
R1~Rn	抵抗	
R11、R12、RT11、RT12	抵抗	
R21、R22、RT21、RT22	抵抗	30
S1	信号線	
SG	信号群	
ST	ステイタス信号	
SW、SW1~SWn	スイッチ	
VOH、VOL、VTT	終端電源	
VOH1、VOL1	電源	
Vref	参照電圧	
X1、Y1	信号線	

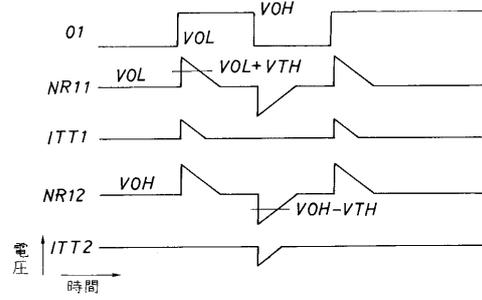
【図1】



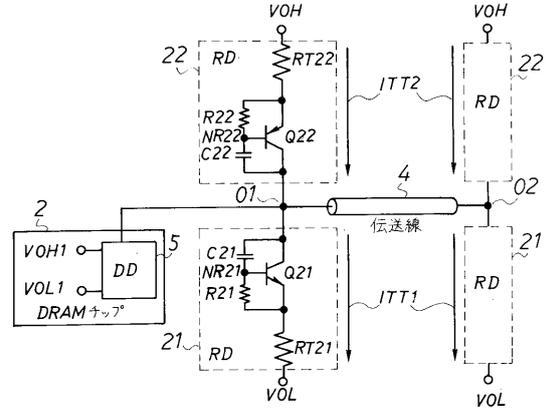
【図2】



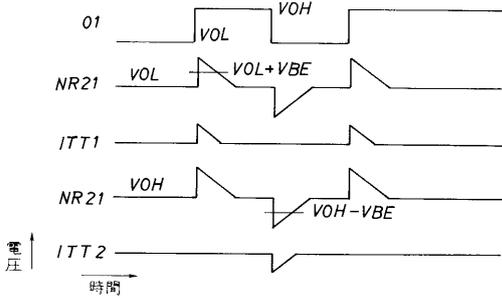
【図3】



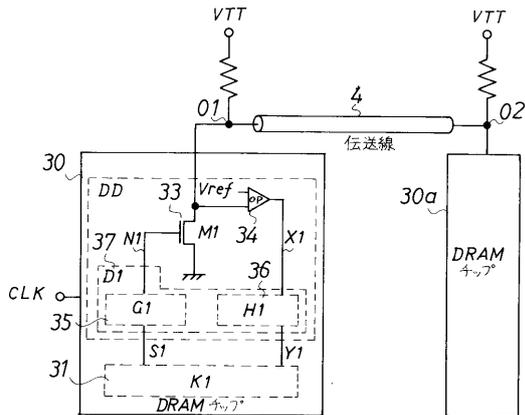
【図4】



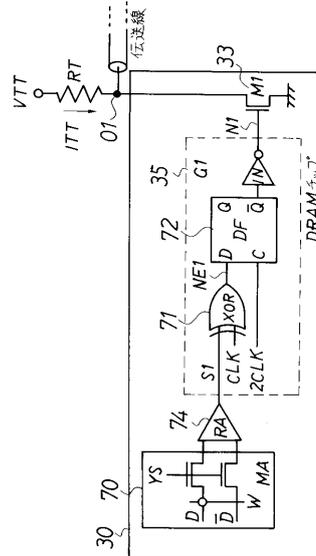
【図5】



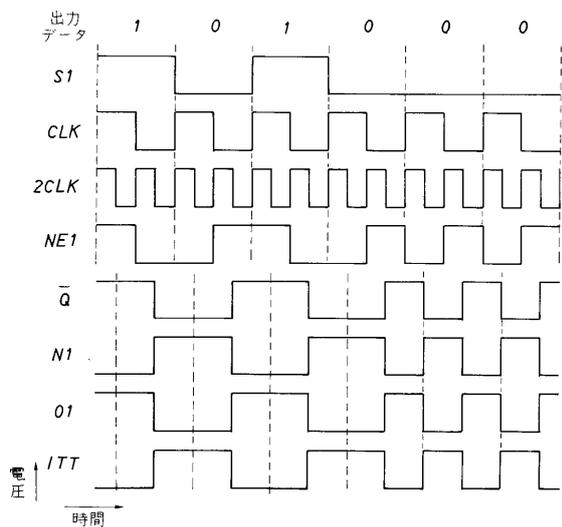
【図6】



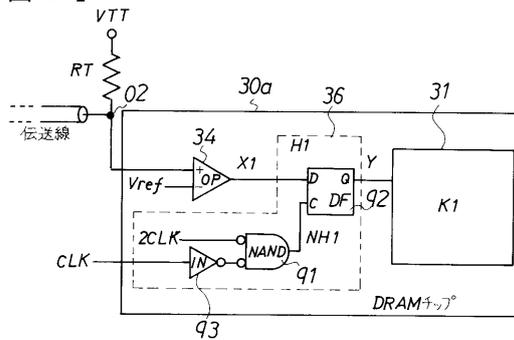
【図7】



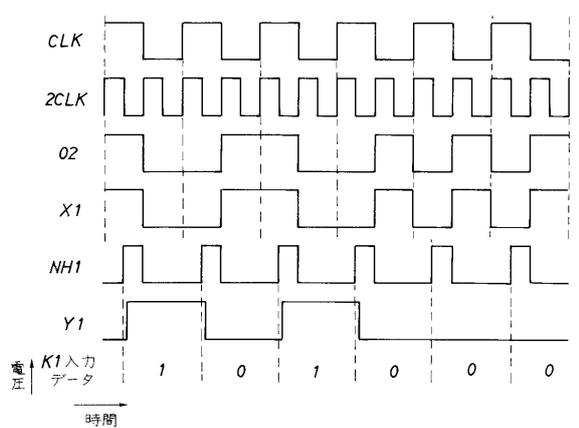
【図8】



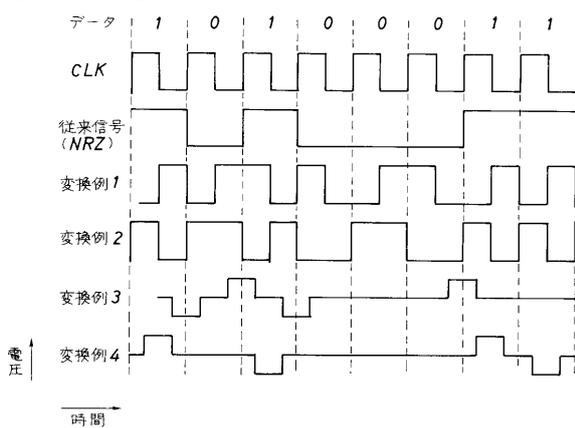
【図9】



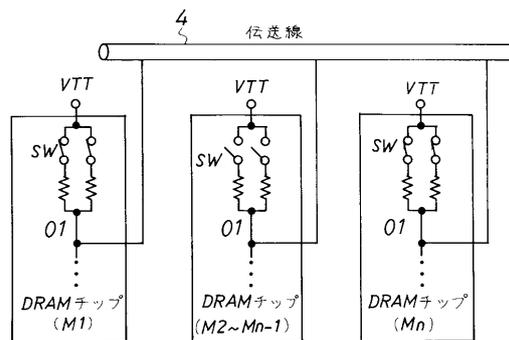
【図10】



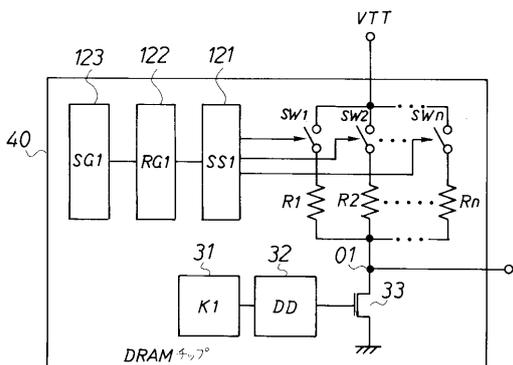
【図11】



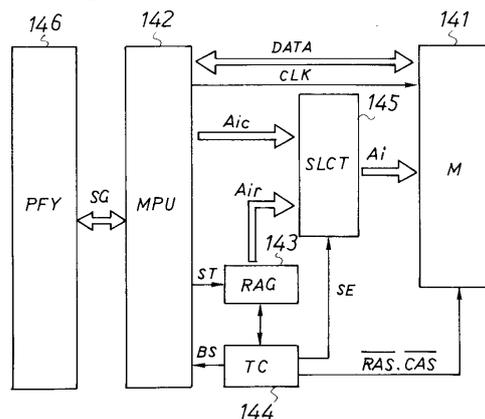
【図13】



【図12】



【図14】





---

フロントページの続き

(72)発明者 中込 儀延

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 青木 正和

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

審査官 江嶋 清仁

(56)参考文献 実開昭63-192744(JP,U)

特開平02-196528(JP,A)

特開平03-021140(JP,A)

特開平03-116214(JP,A)

特開平03-021140(JP,A)

特開平04-294635(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H03K 17/76

H03K 19/0175

H03M 5/02