

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3608199号
(P3608199)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月22日(2004.10.22)

(51) Int. Cl.⁷

H03K 19/0175
G06F 3/00

F I

H03K 19/00 I O I K
G06F 3/00 J
H03K 19/00 I O I F

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2001-332014 (P2001-332014)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成13年10月30日 (2001.10.30)	(74) 代理人	100083231 弁理士 紋田 誠
(65) 公開番号	特開2003-133944 (P2003-133944A)	(74) 代理人	100112287 弁理士 逸見 輝雄
(43) 公開日	平成15年5月9日 (2003.5.9)	(72) 発明者	藤川 昭夫 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
審査請求日	平成14年8月21日 (2002.8.21)	審査官	彦田 克文

最終頁に続く

(54) 【発明の名称】 IC間のインターフェースシステム、及びIC

(57) 【特許請求の範囲】

【請求項1】

第1電位系の電位と第2電位系の電位間の第1電源電圧が両端間に印加され、制御信号に応じてオン/オフ制御されるプッシュプル形式の出力回路と、その出力信号を出力する出力端子を有する第1ICと、

第1電位系の電位と第2電位系の電位間の第1電源電圧を有し、入力信号が入力される入力端子と、この入力端子と前記第1電位系の電位との間に、プルアップ可能な極性に直列に接続されたダイオードとプルアップ抵抗と、前記第1電源電圧よりも高い第2電源電圧を動作電源電圧とする内部回路と、前記第1電源電圧を取り込むための電源端子と、前記入力端子の入力信号が入力され、前記内部回路を駆動するための出力信号を発生するバッファ回路とを有する第2ICからなり、

前記出力端子と前記入力端子とが接続されることを特徴とする、IC間のインターフェースシステム。

【請求項2】

第1電位系の電位と第2電位系の電位間の第1電源電圧が両端間に印加され、制御信号に応じてオン/オフ制御されるプッシュプル形式の出力回路と、その出力信号を出力する出力端子を有する第1ICと、

第1電位系の電位と第2電位系の電位間の第1電源電圧を有し、入力信号が入力される入力端子と、この入力端子と前記第1電位系の電位との間に、プルアップ可能な極性に直列に接続されたダイオードとプルアップ抵抗と、前記第1電源電圧よりも高い第2電源電圧

10

20

を動作電源電圧とする内部回路と、前記第 1 電源電圧を前記第 2 電源電圧から形成する電圧調整回路と、前記入力端子の入力信号が入力され、前記内部回路を駆動するための出力信号を発生するバッファ回路とを有する第 2 IC からなり、
前記出力端子と前記入力端子とが接続されることを特徴とする、IC 間のインターフェースシステム。

【請求項 3】

前記第 2 IC は、前記入力端子と、前記第 2 電位系の電位との間に、前記入力端子へ印加される前記第 2 電位系の電位よりも低い異常電圧を吸収するための保護用ダイオードを設けることを特徴とする、請求項 1 または 2 に記載の IC 間のインターフェースシステム。

【請求項 4】

第 1 電位系の電位と第 2 電位系の電位間の第 1 電源電圧を有し、入力信号が入力される入力端子と、この入力端子と前記第 1 電位系の電位との間に、プルアップ可能な極性に直列に接続されたダイオードとプルアップ抵抗と、前記第 1 電源電圧よりも高い第 2 電源電圧を動作電源電圧とする内部回路と、前記第 1 電源電圧を取り込むための電源端子と、前記入力端子の入力信号が入力され、前記内部回路を駆動するための出力信号を発生するバッファ回路とを有することを特徴とする IC。

【請求項 5】

第 1 電位系の電位と第 2 電位系の電位間の第 1 電源電圧が両端間に印加され、制御信号に応じてオン/オフ制御されるプッシュプル形式の出力回路と、その出力信号を出力する出力端子を有する第 1 IC と、

第 1 電位系の電位と第 2 電位系の電位間の第 1 電源電圧を有し、入力信号が入力される入力端子と、この入力端子と前記第 1 電位系の電位との間に、プルアップ可能な極性に直列に接続されたダイオードとプルアップ抵抗と、前記第 1 電源電圧よりも高い第 2 電源電圧を動作電源電圧とする内部回路と、前記第 1 電源電圧を前記第 2 電源電圧から形成する電圧調整回路と、前記入力端子の入力信号が入力され、前記内部回路を駆動するための出力信号を発生するバッファ回路とを有することを特徴とする IC。

【請求項 6】

前記入力端子と、前記第 2 電位系の電位との間に、前記入力端子へ印加される前記第 2 電位系の電位よりも低い異常電圧を吸収するための保護用ダイオードを設けることを特徴とする、請求項 4 または 5 に記載の IC。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、FD（フロッピーディスク）、HD（ハードディスク）等の磁気記録駆動装置のディスクコントローラ用 IC とディスクドライバ用 IC 間のインターフェースシステム、及びそのための IC に関する。

【0002】

【従来の技術】

従来から、FD、HD 等の磁気記録駆動装置のディスクコントローラ用 IC とディスクドライバ用 IC 間の標準的なインターフェース（以下、I/F）は、図 4 に示されるように構成されていた。

【0003】

図 4 において、ディスクコントローラ用 IC 31 の電源電圧は、第 3 電位系 E3（= 5V）の電位と第 2 電位系（グランド電位系）Egnd の電位間の第 2 電源電圧 V2（5V）が用いられている。そして、出力トランジスタとして N 型の MOSFET Q1 が、I/F 出力端子 P1 とグランド電位 Egnd 間に接続され、オープンドレイン形式とされている。なお、33 は、IC 31 に内蔵されている他の回路であり、この図では第 2 電源電圧 V2（5V）で駆動されるように示されているが、他の電圧（例えば 3V）でもよい。

【0004】

ディスクドライバ用 IC 32 の電源電圧は、第 3 電位系 E3（= 5V）の電位と第 2 電位

10

20

30

40

50

系（グランド電位系）E g n dの電位間の第2電源電圧V 2（5 v）が用いられている。第2電源電圧V 2の5 vは、I C 3 2の内部回路電圧がより低い電圧例えば3 vである場合でも、標準I / F電圧として使用されている。

【0005】

以下、ディスクコントローラ用I C 3 1やディスクドライバ用I C 3 2の電源電圧として、3 v系を、第1電位系E 1（= 3 v）の電位とグランド電位系E g n dの電位間の第1電源電圧V 1（= 3 v）とし、5 v系を、第3電位系E 3（= 5 v）の電位とグランド電位系E g n dの電位間の第2電源電圧V 2（= 5 v）とする。

【0006】

図4で、5 vの第3電源電位E 3がプルアップ抵抗R 1を介してI / F入力端子P 2に接続され、又、バッファB 1の入力に接続される。このバッファB 1は、入力用バッファであり、その動作電源はバッファB 1の出力を受ける回路の動作電源電圧が第1電源電圧V 1（3 v）であるか第2電源電圧V 2（5 v）であるかによって、第1電源電位E 1或いは第3電源電位E 3とグランド電位V g n dとにより与えられる。なお、図では、第2電源電圧V 2が与えられるものとして記載している。ダイオードD 1、D 2は、過電圧保護用ダイオードであり、I / F入力端子P 2に印加される静電気などによる正負の異常電圧を第3電源電位E 3やグランド電位E g n dに吸収する。なお、R 2及びR 3は、回路素子の保護抵抗であり、抵抗R 2の抵抗値はプルアップ抵抗R 1の抵抗値に比べて無視できる程度に小さく、また抵抗R 2はバッファB 1の入力に直列に入っているから入力電圧に影響しない。

【0007】

この構成で、I / F出力端子P 1とI / F入力端子P 2が接続され、N型M O S F E T Q 1が制御信号S I Gに応じてオン又はオフされる。N型M O S F E T Q 1がオンされるとバッファB 1の入力は低電位になり、また逆に、N型M O S F E T Q 1がオフされると第3電源電位E 3にプルアップされバッファB 1の入力は高電位になる。このようにして、ディスクコントローラ側の電源電圧が5 vまたは3 vのいずれであっても、ディスクドライバ側とのI / Fにおける電圧レベルが変換され、バッファB 1の出力によりディスクドライバ側の内部回路が駆動される。なお、バッファB 1の動作にヒステリシス特性を有している場合も多い。

【0008】

しかし、最近、ディスクコントローラ側の出力回路に、1 / 2インチ高さのF D D（フロッピーディスク駆動装置）の標準的なI / F形式であるプッシュプル出力形式も用いられる場合が生じ、ディスクドライバ用I Cとしては図5のようにプッシュプル出力のI / F形式と接続される場合が出てきている。このプッシュプル出力形式を用いるようなディスクコントローラの電圧は、3 v系での仕様のものが多い。図5は、ディスクコントローラ側の出力形式がC M O S形式の3 v系の場合における、ディスクコントローラ側とディスクドライバ側間のI / F構成を示す図である。

【0009】

この図5において、ディスクコントローラ用I C 4 1には、3 v系の第1電源電圧V 1が用いられる。第1電源電位E 1とグランド電位E g n d間にP型M O S F E T Q 2とN型M O S F E T Q 1の直列回路からなるC M O S形式の出力回路が設けられている。ディスクドライバ用I C 4 2は従来のI Cをそのまま用いることが多く、図4のI C 3 2と同じである。

【0010】

制御信号S I Gに応じてM O S F E T Q 1, Q 2がオン / オフされる。N型M O S F E T Q 1がオン、P型M O S F E T Q 2がオフの状態では、図4の場合と同様であり、格別の問題はない。しかし、N型M O S F E T Q 1がオフ、P型M O S F E T Q 2がオンの場合には、I / F出力端子P 1の電位、したがってバッファB 1の入力電位は第1電源電位E 1で約3 vとなる。

【0011】

10

20

30

40

50

この場合、ディスクドライバ側の第3電源電位E3からプルアップ抵抗R1等を通してディスクコントローラ側の第1電源電位E1に電流が流れ込むから、プルアップ抵抗R1に余分な電力消費が発生することになる。また、P型MOSFETQ2がオンの状態で、IC42の電源をオフした場合には、プルアップ抵抗R1またはダイオードD1を介して、IC41からIC42に電源電圧が供給されてしまうという問題があった。

【0012】

そこで、本発明は、ディスクコントローラ側の出力回路が、低電位のプッシュプル形式の出力回路構成である場合にも不要な流入電流をなくし、かつオープンドレイン形式の出力回路構成の場合にも兼用することができる磁気記録駆動装置におけるディスクコントローラ用ICとディスクドライバ用IC間のインターフェースシステム及びそのためのディスクドライバ用ICを提供することを目的とする。

10

【0013】

【課題を解決するための手段】

請求項1記載のIC間のインターフェースシステムは、第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1が両端間に印加され、制御信号SIGに応じてオン/オフ制御されるプッシュプル形式の出力回路と、その出力信号を出力する出力端子P1を有する第1IC11と、

第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1を有し、入力信号が入力される入力端子P2と、この入力端子P2と前記第1電位系の電位E1との間に、プルアップ可能な極性に直列に接続されたダイオードD3とプルアップ抵抗R1と、前記第1電源電圧V1よりも高い第2電源電圧V2を動作電源電圧とする内部回路14と、前記第1電源電圧V1を取り込むための電源端子P3と、前記入力端子P2の入力信号が入力され、前記内部回路14を駆動するための出力信号を発生するバッファ回路B1とを有する第2IC12からなり、

20

前記出力端子P1と前記入力端子P2とが接続されることを特徴とする。

【0014】

この請求項1記載のIC間のインターフェースシステムによれば、第1IC(例、ディスクコントローラ)の出力回路が、プッシュプル形式の場合でも、第2IC(例、ディスクドライバ)の電位系を第1ICの電位系と等しくしているから、従来のように、プルアップ抵抗(プルダウン抵抗を含む。以下、同じ)を通して第1IC側に余分な電流が流れることはなくなる。したがって、プルアップ抵抗は、余分な電流が流れないから、その熱容量や面積を小さくできる。また、第1ICへの流入電流がなくなり、安定した動作が期待できる。

30

【0015】

また、入力端子方向に導通可能な極性に直列に接続したダイオードとプルアップ抵抗とを設けているから、第2ICの電源がオフされたり、その電位が低下しても第1ICからの逆電流は流れない。また、内部回路14は、第2IC本来の高い第2電源電圧V2を動作電源電圧として動作できる。また、第1電源電圧V1を取り込むための電源端子P3を備えるから、内部回路14を駆動するための出力信号を発生するバッファ回路B1を、低い第1電源電圧V1で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅Wとチャンネル長Lの比W/Lを大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中間電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

40

【0016】

請求項2記載のIC間のインターフェースシステムは、第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1が両端間に印加され、制御信号SIGに応じてオン/オフ制御されるプッシュプル形式の出力回路と、その出力信号を出力する出力端子P1を有する第1IC21と、

第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1を有し、入力信号が入力される入力端子P2と、この入力端子P2と前記第1電位系の電位E1との間に

50

、プルアップ可能な極性に直列に接続されたダイオードD3とプルアップ抵抗R1と、前記第1電源電圧V1よりも高い第2電源電圧V2を動作電源電圧とする内部回路25と、前記第1電源電圧V1を前記第2電源電圧V2から形成する電圧調整回路REGと、前記入力端子P2の入力信号が入力され、前記内部回路25を駆動するための出力信号を発生するバッファ回路B1とを有する第2IC22からなり、前記出力端子P1と前記入力端子P2とが接続されることを特徴とする。

【0017】

この請求項2のIC間のインターフェースシステムによれば、請求項1におけると同様に逆電流は流れない。また、内部回路14は、第2IC本来の高い第2電源電圧V2を動作電源電圧として動作できる。また、第1電源電圧V1を電圧調整回路REGで第2電源電圧V2から形成するから、内部回路14を駆動するための出力信号を発生するバッファ回路B1を、低い第1電源電圧V1で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅Wとチャンネル長Lの比W/Lを大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中間電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

10

【0018】

請求項3記載のIC間のインターフェースシステムは、請求項1または2に記載のIC間のインターフェースシステムにおいて、前記第2ICは、前記入力端子P2と、前記第2電位系の電位Egndとの間に、前記入力端子P2へ印加される前記第2電位系の電位Egndよりも低い異常電圧を吸収するための保護用ダイオードD2を設けることを特徴とする。

20

【0019】

この請求項3のIC間のインターフェースシステムによれば、過電圧保護用ダイオードD2により、I/F入力端子P2に印加される静電気などによる負の異常電圧をグランド電位Egndに吸収することができる。

【0020】

請求項4記載のICは、第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1を有し、入力信号が入力される入力端子P2と、この入力端子P2と前記第1電位系の電位E1との間に、プルアップ可能な極性に直列に接続されたダイオードD3とプルアップ抵抗R1と、前記第1電源電圧V1よりも高い第2電源電圧V2を動作電源電圧とする内部回路14と、前記第1電源電圧V1を取り込むための電源端子P3と、前記入力端子P2の入力信号が入力され、前記内部回路14を駆動するための出力信号を発生するバッファ回路B1とを有することを特徴とする。

30

【0021】

この請求項4記載のICによれば、入力端子と第1電源電位系の電位との間に、入力端子方向に順方向接続されたダイオードとプルアップ抵抗とを有しているから、このICとインターフェースされる他のIC(例、ディスクコントローラ用IC)の出力回路が、プッシュプル形式の場合でも、オープンドレイン形式の場合でも、制御信号に応じて所望の動作が行われる。したがって、他のICの出力回路構成が異なっても、兼用することができる。また、第1電源電圧V1を取り込むための電源端子P3を備えるから、内部回路14を駆動するための出力信号を発生するバッファ回路B1を、低い第1電源電圧V1で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅Wとチャンネル長Lの比W/Lを大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中間電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

40

【0022】

請求項5記載のICは、第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1が両端間に印加され、制御信号SIGに応じてオン/オフ制御されるプッシュプル形式の出力回路と、その出力信号を出力する出力端子P1を有する第1IC21と、第1電位系の電位E1と第2電位系の電位Egnd間の第1電源電圧V1を有し、入力信

50

号が入力される入力端子 P 2 と、この入力端子 P 2 と前記第 1 電位系の電位 E 1 との間に、プルアップ可能な極性に直列に接続されたダイオード D 3 とプルアップ抵抗 R 1 と、前記第 1 電源電圧 V 1 よりも高い第 2 電源電圧 V 2 を動作電源電圧とする内部回路 2 5 と、前記第 1 電源電圧 V 1 を前記第 2 電源電圧 V 2 から形成する電圧調整回路 R E G と、前記入力端子 P 2 の入力信号が入力され、前記内部回路 2 5 を駆動するための出力信号を発生するバッファ回路 B 1 とを有することを特徴とする。

【 0 0 2 3 】

この請求項 5 記載の I C によれば、請求項 1 におけると同様に他の I C の出力回路構成が異なっても、兼用することができる。また、内部回路 2 5 は、第 2 I C 本来の高い第 2 電源電圧 V 2 を動作電源電圧として動作できる。また、第 1 電源電圧 V 1 を電圧調整回路 R E G で第 2 電源電圧 V 2 から形成するから、内部回路 2 5 を駆動するための出力信号を発生するバッファ回路 B 1 を、低い第 1 電源電圧 V 1 で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅 W とチャンネル長 L の比 W / L を大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中点電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

10

【 0 0 2 4 】

請求項 6 記載の I C は、請求項 4 または 5 に記載の I C において、前記入力端子 P 2 と、前記第 2 電位系の電位 E g n d との間に、前記入力端子 P 2 へ印加される前記第 2 電位系の電位 E g n d よりも低い異常電圧を吸収するための保護用ダイオード D 2 を設けることを特徴とする。

20

【 0 0 2 5 】

この請求項 6 記載の I C によれば、過電圧保護用ダイオード D 2 により、I / F 入力端子 P 2 に印加される静電気などによる負の異常電圧をグランド電位 E g n d に吸収することができる。

【 0 0 2 6 】

【 発明の実施の形態 】

以下、図面を参照して本発明の磁気記録駆動装置のディスクコントローラ用 I C とディスクドライバ用 I C 間のインターフェースシステム、及びそのための I C の実施の形態について説明する。

30

【 0 0 2 7 】

図 1 は本発明の磁気記録駆動装置のディスクコントローラ用 I C とディスクドライバ用 I C 間のインターフェースシステムと、そのシステムに用いられるディスクコントローラ用 I C 1 1 とディスクドライバ用 I C 1 2 を示す図である。

【 0 0 2 8 】

図 1 において、ディスクコントローラ用 I C 1 1 は、図 5 で説明した I C 4 1 と同じであり、3 v 系の第 1 電源電圧 V 1 が用いられる。そして、第 1 電源電位 E 1 とグランド電位 E g n d 間に P 型 M O S F E T Q 2 と N 型 M O S F E T Q 1 の直列回路からなる C M O S 形式のプッシュプル型出力回路が設けられている。なお、1 3 は、I C 1 1 に内蔵されている他の回路であり、この図では第 1 電源電圧 V 1 (3 v) で駆動されるように示されているが、他の電圧でもよい。

40

【 0 0 2 9 】

一方、ディスクドライバ用 I C 1 2 の入力回路には、ディスクコントローラ用 I C 1 1 と同じ 3 v 系の第 1 電源電圧 V 1 が用いられる。そして、第 1 電源電位 E 1 と I / F 入力端子 P 2 との間に、ダイオード D 3 が I / F 入力端子 P 2 の方向に電流が流れ得る方向 (即ち、順方向) に、ポリシリコン等で構成されたプルアップ抵抗 R 1 と直列に設けられている。ダイオード D 2 は、過電圧保護用ダイオードであり、I / F 入力端子 P 2 に印加される静電気などによる負の異常電圧をグランド電位 E g n d に吸収する。R 2 及び R 3 は、図 4 で説明したと同様である。

【 0 0 3 0 】

50

また、ヒステリシス特性を有するバッファB1の動作電源電圧は、バッファB1の出力を受ける内部回路の動作電源電圧が第1電源電圧V1である場合には、第1電源電位E1とグランド電位Egndにより与えられ、その閾値はほぼ第1電源電位E1とグランド電位Egndの中間電位に設定されている。したがって、このバッファB1が通常のように、CMOS形式で構成されるときには、P型MOSFETとN型MOSFETは、従来のように入力スレッシュホールド電圧Vthを極端に低く設定しなければならない場合に比べて、その面積比をアンバランスにする必要がなく、最小サイズのMOSFETを用いることができるから、ICの内部レイアウトの省スペース化が図れる。なお、バッファB1の出力を受ける内部回路の動作電源電圧が第2電源電圧V2である場合には、バッファB1の動作電源電圧は第3電源電位E3とグランド電位Egndにより与えられるようにすればよい。

10

【0031】

なお、14は、IC12に内蔵されている他の回路であり、この図では第2電源電圧V2(5v)で駆動されるように示されているが、他の電圧、例えば第1電源電圧V1(3v)でもよい。回路14の動作電圧が第2電源電圧V2(5v)の場合には、IC12に第1電源電圧V1(3v)を外部から取り込むための電源端子P3を設けることになる。

【0032】

次に、このインターフェースシステムにおいて、ディスクコントローラ用IC11のI/F出力端子P1とディスクドライバ用IC12のI/F入力端子P2とを接続した場合について説明する。

20

【0033】

制御信号SIGがHレベルで、N型MOSFETQ1がオンすると、N型MOSFETQ1のオン抵抗はプルアップ抵抗R1や保護抵抗R2に比べて十分に小さいので、I/F入力端子P2には低レベルの信号が入力され、バッファB1の入力スレッシュホールド電圧を十分に下回るので、バッファB1からは低レベルの出力が内部回路に供給される。

【0034】

制御信号SIGがLレベルで、P型MOSFETQ2がオンすると、I/F入力端子P2には高レベル(V1=3v)が入力される。このとき、バッファB1の駆動電源電圧は第1電源電圧V1でありその入力スレッシュホールド電圧Vthは十分に低いので、バッファB1の閾値を十分に上回り、バッファB1からは高レベル出力が内部回路に供給される。

30

【0035】

この実施の形態では、ディスクコントローラ用IC11の第1電源電圧V1に合わせて、ディスクドライバ用IC12の入力回路の電源電圧を等しくしているから、従来のように、プルアップ抵抗R1を通してディスクドライバ側からディスクコントローラ側に余分な電流が流れることはなくなる。したがって、プルアップ抵抗R1は、その熱容量や面積を小さくできる。また、I/F入力端子P2の方向に導通可能な極性に直列に接続したダイオードD3とプルアップ抵抗R1とを設けているから、例えディスクドライバ側の電位が低下してもディスクコントローラ側からの逆電流は流れない。

【0036】

ダイオードD2は、過電圧保護用ダイオードであり、I/F入力端子P2に印加される静電気などによる負の異常電圧をグランド電位Egndに吸収する。また、正の異常電圧を吸収するための専用のダイオードは設けられていないが、逆流防止用ダイオードD3のアバランシェ作用により、正の異常電圧はダイオードD3を介して第1電源電位E1に吸収される。

40

【0037】

さらに、図1におけるディスクドライバ用IC12は、ディスクコントローラ用IC11がプッシュプル型出力回路を有するものの外、図2に示されるようなオープンドレイン型の出力回路を有するIC11Aである場合にもそのまま適用することができる。この図2の構成は図4のIC31と同様のものである。

【0038】

50

図2のI/F出力端子P1とI/F入力端子P2とが接続され、制御信号SIGに応じてN型MOSFETQ1がオンされると、I/F入力端子P2の電位、即ちバッファB1の入力電位は低電位になる。逆に、N型MOSFETQ1がオフされるとバッファB1の入力電位は、ダイオードD3及びプルアップ抵抗R1により第1電源電位E1 - Vfにプルアップされるので、バッファB1の入力電位は高レベルと判定される。なお、Vfは、ダイオードD3の順方向降下電圧である。したがって、バッファB1は入力電位に応じて出力を発生し、ディスクドライバ用IC12の内部回路が駆動される。

【0039】

なお、ディスクコントローラ用IC11Aは、1端が第1電源電位E1に接続されたP型MOSFETによるオープンドレイン形式の出力形式の場合には、ディスクドライバ用IC12においてプルダウンできるように、ダイオードD2、D3及び抵抗R1を逆の配置構成とすればよい。

10

【0040】

このように、IC12は、ディスクコントローラ用IC11, 11Aの出力回路が、プッシュプル形式の出力回路であっても、またオープンドレイン形式であっても、兼用して、ディスクコントローラ側とディスクドライバ側とのI/Fを取ることができる。

【0041】

図3は、図1のインターフェースシステムと、そのシステムに用いられるディスクコントローラ用IC11とディスクドライバ用IC12において、ディスクドライバ用IC12に電圧調整回路REGを設けたものである。なお、24は、IC11に内蔵されている第1電源電圧V1(3V)で駆動される他の回路であり、また、25は、第2電源電圧V2(5V)で駆動される他の回路である。

20

この電圧調整回路REG、他の回路24, 25以外の点は、図1と同様である。

【0042】

この電圧調整回路REGは、第1電源電圧V1(3V)を、第2電源電圧V2(5V)から電圧調整して得るものである。この電圧調整回路REGにより、第2電源電圧V2が変動したとしても、第1電源電圧V1を安定させることができる。これにより、バッファB1の入力特性を向上させることができる。

【0043】

以上の実施の形態では、出力回路としてMOSFETを用いることとして説明しているが、バイポーラトランジスタを使用することもできる。この場合、例えば、NPN型バイポーラトランジスタを用いれば、オープンコレクタ出力となる。また、バッファB1は、ヒステリシス特性を有するものについて示しているが、その他の特性のものでも構わない。

30

【0044】

また、以上の説明では、ディスクコントローラ用ICからの制御信号に応じてディスクドライバ用ICを制御するととして説明したが、その逆に、ディスクドライバ用ICからの制御信号に応じてディスクコントローラ用ICを制御する場合にも、同様に適用することができる。

【0045】

【発明の効果】

40

請求項1記載のIC間のインターフェースシステムによれば、第1IC(例、ディスクコントローラ)の出力回路が、プッシュプル形式の場合でも、第2IC(例、ディスクドライバ)の電位系を第1ICの電位系と等しくしているから、従来のように、プルアップ抵抗(プルダウン抵抗を含む。以下、同じ)を通して第1IC側に余分な電流が流れることはなくなる。したがって、プルアップ抵抗は、余分な電流が流れないから、その熱容量や面積を小さくできる。また、第1ICへの流入電流がなくなり、安定した動作が期待できる。

【0046】

また、入力端子方向に導通可能な極性に直列に接続したダイオードとプルアップ抵抗とを設けているから、第2ICの電源がオフされたり、その電位が低下しても第1ICからの

50

逆電流は流れない。また、内部回路 1 4 は、第 2 IC 本来の高い第 2 電源電圧 V 2 を動作電源電圧として動作できる。また、第 1 電源電圧 V 1 を取り込むための電源端子 P 3 を備えるから、内部回路 1 4 を駆動するための出力信号を発生するバッファ回路 B 1 を、低い第 1 電源電圧 V 1 で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅 W とチャンネル長 L の比 W / L を大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中点電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

【 0 0 4 7 】

請求項 2 の IC 間のインターフェースシステムによれば、請求項 1 におけると同様に逆電流は流れない。また、内部回路 1 4 は、第 2 IC 本来の高い第 2 電源電圧 V 2 を動作電源電圧として動作できる。また、第 1 電源電圧 V 1 を電圧調整回路 R E G で第 2 電源電圧 V 2 から形成するから、内部回路 1 4 を駆動するための出力信号を発生するバッファ回路 B 1 を、低い第 1 電源電圧 V 1 で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅 W とチャンネル長 L の比 W / L を大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中点電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

10

【 0 0 4 8 】

請求項 3 の IC 間のインターフェースシステムによれば、過電圧保護用ダイオード D 2 により、I / F 入力端子 P 2 に印加される静電気などによる負の異常電圧をグラウンド電位 E g n d に吸収することができる。

20

【 0 0 4 9 】

請求項 4 記載の IC によれば、入力端子と第 1 電源電位系の電位との間に、入力端子方向に順方向接続されたダイオードとプルアップ抵抗とを有しているから、この IC とインターフェースされる他の IC (例、ディスクコントローラ用 IC) の出力回路が、プッシュプル形式の場合でも、オープンドレイン形式の場合でも、制御信号に応じて所望の動作が行われる。したがって、他の IC の出力回路構成が異なっても、兼用することができる。また、第 1 電源電圧 V 1 を取り込むための電源端子 P 3 を備えるから、内部回路 1 4 を駆動するための出力信号を発生するバッファ回路 B 1 を、低い第 1 電源電圧 V 1 で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅 W とチャンネル長 L の比 W / L を大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中点電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

30

【 0 0 5 0 】

請求項 5 記載の IC によれば、請求項 1 におけると同様に他の IC の出力回路構成が異なっても、兼用することができる。また、内部回路 2 5 は、第 2 IC 本来の高い第 2 電源電圧 V 2 を動作電源電圧として動作できる。また、第 1 電源電圧 V 1 を電圧調整回路 R E G で第 2 電源電圧 V 2 から形成するから、内部回路 2 5 を駆動するための出力信号を発生するバッファ回路 B 1 を、低い第 1 電源電圧 V 1 で駆動することができる。したがって、バッファの駆動電源が、インターフェースの電源電圧と同じであるから、チャンネル幅 W とチャンネル長 L の比 W / L を大幅に変更しなくてもバッファの入力スレッシュホールド電圧をほぼ中点電位に設定できる。したがって、バッファの構成を簡単にでき、省スペース化することができる。

40

【 0 0 5 1 】

請求項 6 記載の IC によれば、過電圧保護用ダイオード D 2 により、I / F 入力端子 P 2 に印加される静電気などによる負の異常電圧をグラウンド電位 E g n d に吸収することができる。

【 図面の簡単な説明 】

【 図 1 】本発明の実施の形態に係るインターフェースシステムと、そのシステムに用いられる IC を示す図。

【 図 2 】本発明のインターフェースシステムに用いられる IC を示す図。

50

【図3】本発明の他の実施の形態に係るインターフェースシステムと、そのシステムに用いられるICを示す図。

【図4】従来のインターフェースシステムと、そのシステムに用いられるICを示す図。

【図5】従来の他のインターフェースシステムと、そのシステムに用いられるICを示す図。

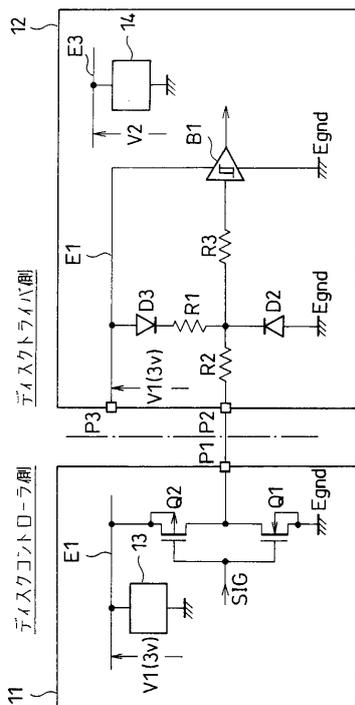
【符号の説明】

- 1 1、1 1 A、2 1、3 1、4 1 ディスクコントローラ用IC
- 1 2、2 2、3 2、4 2 ディスクドライバ用IC
- 1 3、1 3 A、1 4、2 3、2 4、2 5、3 3、4 3 他の回路
- P 1 I / F 出力端子
- P 2 I / F 入力端子
- P 3 電源入力端子
- V 1 第1電源電圧(3v)
- V 2 第2電源電圧(5v)
- E 1 第1電源電位
- E g n d 第2電源電位(グランド電位)
- E 3 第3電源電位
- R 1 プルアップ抵抗
- R 2、R 3 保護抵抗
- D 1、D 2、D 3 ダイオード
- B 1 バッファ
- Q 1 N型MOSFET
- Q 2 P型MOSFET

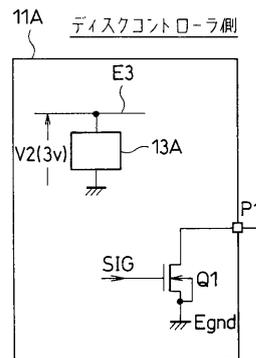
10

20

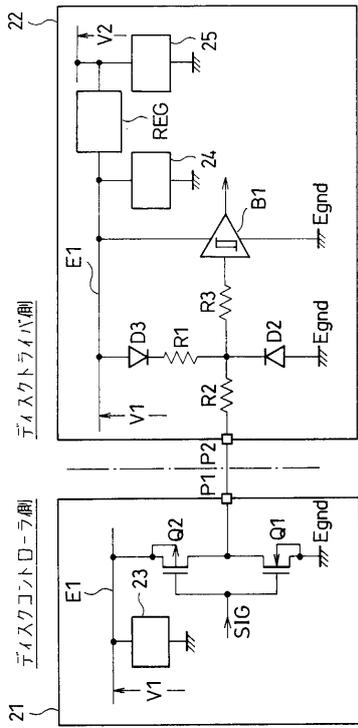
【図1】



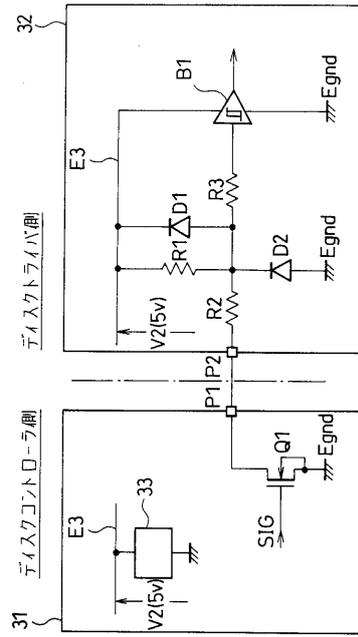
【図2】



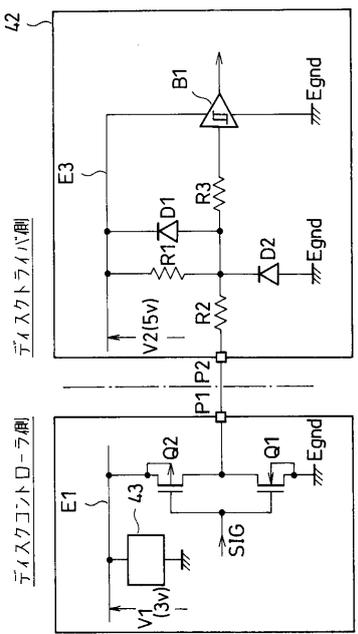
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 特開平09 - 116418 (JP, A)
特開平07 - 046104 (JP, A)
特開平05 - 259879 (JP, A)
特開平01 - 215118 (JP, A)
特開昭58 - 097723 (JP, A)
特開昭59 - 079662 (JP, A)
特開2000 - 216833 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 19/0175

G06F 3/00