

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5991184号  
(P5991184)

(45) 発行日 平成28年9月14日(2016.9.14)

(24) 登録日 平成28年8月26日(2016.8.26)

(51) Int.Cl. F I  
**G06F 17/50 (2006.01)** G O 6 F 17/50 6 6 2 G  
 G O 6 F 17/50 6 5 2 A

請求項の数 8 (全 28 頁)

<p>(21) 出願番号 特願2012-276296 (P2012-276296)                  (22) 出願日 平成24年12月18日 (2012.12.18)                  (65) 公開番号 特開2014-120082 (P2014-120082A)                  (43) 公開日 平成26年6月30日 (2014.6.30)                  審査請求日 平成27年8月4日 (2015.8.4)</p>	<p>(73) 特許権者 000005223                  富士通株式会社                  神奈川県川崎市中原区上小田中4丁目1番1号                  (74) 代理人 100104190                  弁理士 酒井 昭徳                  (72) 発明者 ▲劉▼ 宇                  神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内                  審査官 合田 幸裕</p>
--	--

最終頁に続く

(54) 【発明の名称】 設計支援方法、設計支援装置、および設計支援プログラム

(57) 【特許請求の範囲】

【請求項1】

コンピュータが、

レイアウト前の設計対象回路内の各々の素子の特性を表す第1パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第1関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第2パラメータ群の各々の値を記憶する記憶部を参照して、前記第2パラメータ群のうちの前記第1パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第1性能値を算出し、

前記記憶部に記憶されている前記第2パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第2性能値を取得し、

算出した前記第1性能値と取得した前記第2性能値と前記記憶部に記憶されている前記第2パラメータ群の各々の値とに基づいて、前記第2パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第2関数モデルを作成する、

処理を実行することを特徴とする設計支援方法。

【請求項2】

前記コンピュータが、

作成した前記第2関数モデルと前記第1関数モデルとに基づいて、前記第2パラメータ群を用いて前記レイアウト後の設計対象回路の性能値を表す第3関数モデルを作成する処

10

20

理を実行することを特徴とする請求項 1 に記載の設計支援方法。

【請求項 3】

前記レイアウト後の設計対象回路は、プロセスの設計規則を満たした回路であることを特徴とする請求項 1 または 2 に記載の設計支援方法。

【請求項 4】

前記レイアウト後の設計対象回路は、前記レイアウト後の設計対象回路内の各々の素子のうちの前記レイアウト前の設計対象回路内の各々の素子に対応する素子の接続関係が前記レイアウト前の設計対象回路の各々の素子の接続関係と一致する回路であることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の設計支援方法。

【請求項 5】

前記記憶部は、前記第 2 パラメータ群の各々の値を含む組を複数通り記憶しており、前記算出する処理は、

前記組に含まれる第 2 パラメータ群の各々の値のうちの前記第 1 パラメータ群の各々に対応するパラメータの値を前記第 1 関数モデルに入力することにより、前記レイアウト前の設計対象回路の第 1 性能値を前記組に対応して算出し、

前記取得する処理は、

前記記憶部に記憶されている前記組に含まれる第 2 パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第 2 性能値を前記組に対応して取得し、

前記第 2 関数モデルを作成する処理は、

算出した前記組に対応する前記第 1 性能値と取得した前記組に対応する前記第 2 性能値と前記組に含まれる前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 関数モデルを作成する請求項 1 ~ 4 のいずれか一つに記載の設計支援方法。

【請求項 6】

前記コンピュータが、

前記記憶部に記憶されている複数の組のうちの第 1 組に対応する第 1 性能値と前記第 1 組に対応する第 2 性能値と前記第 1 組に含まれる前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 パラメータ群から選ばれた一部のパラメータの組合せに対応して、前記一部のパラメータを用いて前記第 2 関数モデルの候補を作成する、処理を実行し、

前記第 2 関数モデルを作成する処理は、

前記組合せに対応して作成した前記第 2 関数モデルの候補から、前記複数の組の前記第 1 組とは異なる第 2 組に対応する第 1 性能値と前記第 2 組に対応する第 2 性能値と前記第 2 組に含まれる前記第 2 パラメータ群の各々の値とに基づいて前記第 2 関数モデルを選択することを特徴とする請求項 5 に記載の設計支援方法。

【請求項 7】

レイアウト前の設計対象回路内の各々の素子の特性を表す第 1 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第 1 関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第 2 パラメータ群の各々の値を記憶する記憶部を参照して、前記第 2 パラメータ群のうちの前記第 1 パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第 1 性能値を算出する算出部と、

前記記憶部に記憶されている前記第 2 パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第 2 性能値を取得する取得部と、

前記算出部によって算出された前記第 1 性能値と前記取得部によって取得された前記第 2 性能値と前記記憶部に記憶されている前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第 2 関数モデルを作成する作成部と、

を有することを特徴とする設計支援装置。

【請求項 8】

10

20

30

40

50

コンピュータに、

レイアウト前の設計対象回路内の各々の素子の特性を表す第1パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第1関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第2パラメータ群の各々の値を記憶する記憶部を参照して、前記第2パラメータ群のうちの前記第1パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第1性能値を算出し、

前記記憶部に記憶されている前記第2パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第2性能値を取得し、

算出した前記第1性能値と取得した前記第2性能値と前記記憶部に記憶されている前記第2パラメータ群の各々の値とに基づいて、前記第2パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第2関数モデルを作成する、

処理を実行させることを特徴とする設計支援プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、設計支援方法、設計支援装置、および設計支援プログラムに関する。

【背景技術】

【0002】

従来、回路の性能のばらつきを解析するために、回路に含まれる素子の特性を表すパラメータを用いて回路の性能値を表す関数モデルを作成する技術がある。たとえば、回路に含まれる素子の特性を表すパラメータ群のうち、回路の性能に影響を与えるパラメータの割合が極一部である場合、各パラメータの係数を求める際に用いるサンプリングデータを減らして、関数モデルを作成する技術がある。

【0003】

関連する先行技術として、たとえば、回路シミュレータによって生成された波形と入力データを解析して回路パラメータ更新情報を生成し、回路パラメータ更新情報に基づきネットリストデータを更新し、回路シミュレータを再帰的に動作させるものがある。また、1個の回路特性ごとに回路特性が最も悪くなると推定される回路の特性の値の組合せを選択し、選択する処理で求められた回路特性ごとの値の組合せをそれぞれ条件として各回路特性が目標仕様を満たすように回路の特性の値を求める技術がある。(たとえば、下記特許文献1、2、下記非特許文献1、2を参照。)

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-122589号公報

【特許文献2】特開2004-145410号公報

【非特許文献】

【0005】

【非特許文献1】Xin Li、「Finding Deterministic Solution from Underdetermined Equation: Large-Scale Performance Modeling by Least Angle Regression」、Design Automation Conference、2009、p.364-369

【非特許文献2】Xin Li、他1名、「Statistical Regression for Efficient High-Dimensional Modeling of Analog and Mixed-Signal Performance Variations」、Design Automation Conference、2008、p.38-43

10

20

30

40

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

しかしながら、従来技術によれば、回路に含まれる素子の特性を表すパラメータ群のうち、回路の性能に影響を与えるパラメータの数が多いほど、回路の性能値を表す関数モデルの精度が劣化する恐れがある。劣化を抑えるためにはサンプリングデータを多く用意することになり、関数モデルの作成にかかる時間がかかる。

## 【0007】

1つの側面では、本発明は、高精度な関数モデルの作成にかかる作成時間を短縮化することができる設計支援方法、設計支援装置、および設計支援プログラムを提供することを目的とする。

10

## 【課題を解決するための手段】

## 【0008】

本発明の一側面によれば、レイアウト前の設計対象回路内の各々の素子の特性を表す第1パラメータ群を用いてレイアウト前の設計対象回路の性能値を表す第1関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第2パラメータ群の各々の値を記憶する記憶部を参照して、第2パラメータ群のうちの第1パラメータ群の各々に対応するパラメータの値を入力することにより、レイアウト前の設計対象回路の第1性能値を算出し、記憶部に記憶されている第2パラメータ群の各々の値を用いてレイアウト後の設計対象回路の動作を模擬して得られるレイアウト後の設計対象回路の第2性能値を取得し、算出した第1性能値と取得した第2性能値と記憶部に記憶されている第2パラメータ群の各々の値とに基づいて、第2パラメータ群を用いてレイアウト前の設計対象回路の性能値とレイアウト後の設計対象回路の性能値との差分を表す第2関数モデルを作成する設計支援方法、設計支援装置、および設計支援プログラムが提案される。

20

## 【発明の効果】

## 【0009】

本発明の一態様によれば、高精度な関数モデルの作成にかかる作成時間を短縮化することができるという効果を奏する。

## 【図面の簡単な説明】

## 【0010】

30

【図1】図1は、本実施の形態にかかる設計支援装置の動作例を示す説明図である。

【図2】図2は、設計支援装置のハードウェア構成の一例を示すブロック図である。

【図3】図3は、設計支援装置の機能構成例を示すブロック図である。

【図4】図4は、プレレイアウト回路のばらつきモデルの一例を示す説明図である。

【図5】図5は、ポストレイアウト回路のサンプリングデータの一例を示す説明図である。

【図6】図6は、プレレイアウト回路のモデルの引数とポストレイアウト回路とのばらつきパラメータの対応付けの一例を示す説明図である。

【図7】図7は、対応付けの結果の一例を示す説明図である。

【図8】図8は、性能の差分データの作成例を示す説明図(その1)である。

40

【図9】図9は、性能の差分データの作成例を示す説明図(その2)である。

【図10】図10は、差分モデルの作成例を示す説明図(その1)である。

【図11】図11は、差分モデルの作成例を示す説明図(その2)である。

【図12】図12は、ポストレイアウト回路のばらつきモデルの作成例を示す説明図である。

【図13】図13は、ポストレイアウト回路作成処理手順の一例を示すフローチャートである。

【図14】図14は、Sparseデータ処理手順の一例を示すフローチャートである。

【図15】図15は、ポストレイアウト回路のばらつきモデルの生成にかかる時間を比較した一例を示す説明図である。

50

## 【発明を実施するための形態】

## 【0011】

以下に添付図面を参照して、開示の設計支援方法、設計支援装置、および設計支援プログラムの実施の形態を詳細に説明する。

## 【0012】

図1は、本実施の形態にかかる設計支援装置の動作例を示す説明図である。設計支援装置100は、回路設計を支援するコンピュータである。ここで、設計対象回路がアナログ回路である場合の設計処理手順について説明する。設計処理の1番目の処理は、回路トポロジを決定するとともに、素子の特性を表すパラメータを決定する処理である。回路トポロジとは、素子のつながり合わせ方を示す。以下、素子のつながり合わせ方を示す情報を、回路情報とする。素子の特性を表すパラメータは、抵抗値や容量値といった各素子の特性を表す値である。以下、素子の特性を表すパラメータを、「ばらつきパラメータ」と称する。2番目の処理は、1番目の処理にて決定した回路設計を検証し、仕様を満たすか否かを判断する処理である。

10

## 【0013】

3番目の処理は、2番目の処理にて、仕様を満たすと判断された場合、レイアウト処理を行う処理である。レイアウト処理を行うことにより、回路情報にレイアウト寄生素子が含まれる。レイアウト寄生素子は、たとえば、レイアウト配線容量や配線抵抗等である。以下、レイアウト処理を行う前の設計対象回路を、「プレレイアウト回路」と呼称し、レイアウト処理を行った後の設計対象回路を「ポストレイアウト回路」と呼称する。

20

## 【0014】

4番目の処理は、レイアウト後の回路情報に対して、物理検証を行う処理である。物理検証として、たとえば、DRC (Design Rule Check)、LVS (Layout Versus Schematic) 等がある。

## 【0015】

5番目の処理は、物理検証を行った回路情報について、回路の性能値がばらつきの仕様を満たすか否かを判断する処理である。5番目の処理にて、回路の性能値がばらつきの仕様を満たすと判断された回路情報について、製造工程により回路情報に従った回路が製造される。また、ばらつきの仕様を満たすか否かを判断する理由として、プロセスが微細化すると性能がばらつき、ばらつきが大きくなると性能が仕様範囲外となる回路が多くなるので、歩留まりが低下してしまうためである。性能とは、たとえば、発振周波数、遅延量といったものである。たとえば、シミュレーションで得られる回路の発振周波数の値は1つであるが、実際に製造された回路の発振周波数は、回路ごとに異なる値となり、ばらついた値となる。そこで、5番目の処理を実行することにより、性能値が仕様範囲外となってしまうことを抑えることができる。

30

## 【0016】

性能のばらつきを解析するために、ポストレイアウト回路のばらつきモデルを作成して、性能のばらつきの出所を解明することが行われる。性能のばらつきの出所を解明することにより、歩留まりの改善を図ることができる。ばらつきモデル  $f()$  は、関数で表されるモデルであり、たとえば、下記(1)式で表すことができる。

40

## 【0017】

$$p = f(x_1, x_2, \dots, x_n) \dots (1)$$

## 【0018】

ばらつきモデル  $f()$  の具体例としては、たとえば、下記(2)式となる。

## 【0019】

$$p = a_1 * x_1 + a_2 * x_2 + \dots + a_n * x_n \dots (2)$$

## 【0020】

(2)式は、ばらつきモデル  $f()$  が線形モデルである場合を示す。ばらつきモデル  $f()$  は、非線形モデルでもよい。たとえば、ばらつきモデル  $f()$  は、予め用意された非線形モデルを当てはめてもよい。(1)式、(2)式において、 $p$  は、ポストレイアウト

50

回路の性能値を示す。  $x_1, x_2, \dots, x_n$  は、ポストレイアウト回路の各々の素子の特性を表すばらつきパラメータ群を示す。  $a_1, a_2, \dots, a_n$  は、ポストレイアウト回路を SPICE (Simulation Program with Integrated Circuit Emphasis) 等により動作を模擬して得られたサンプリングデータを用いてフィッティングすることにより得られる係数である。動作の模擬は、SPICE 等によるシミュレーションを行うことである。以下、動作の模擬を、「シミュレーション」と呼ぶ。また、“ ” は、下記(3)式を行う演算子とする。

【0021】

$$x = x - (x \text{ の平均値}) \dots (3)$$

【0022】

(3)式により、たとえば、  $p$  は、  $p - (p \text{ の平均値})$  となる。以下、平均値からの差分値を、「偏差」と呼称する。

【0023】

ばらつきモデルを作成するために、サンプリングデータを得ることになるが、ポストレイアウト回路内の素子の数は膨大であるため、1回のシミュレーション時間が長くなる。また、ポストレイアウト回路内の素子が膨大になると、ばらつきパラメータの数も膨大となり、シミュレーションの回数が増えるため、ポストレイアウト回路のばらつきモデルを作成する時間が長くなる。

【0024】

ばらつきモデルの作成方法として、たとえば、以下の2つの方法がある。1つ目の方法は RSM (Response Surface Methodology) であり、2つ目の方法は、Sparsity 特性を利用した方法である。RSM は、ポストレイアウト回路のばらつきパラメータの数と同数以上のばらつきパラメータ群に設定するサンプリングデータを用意しておくことになる。

【0025】

Sparsity 特性を利用した方法とは、ポストレイアウト回路のばらつきパラメータ群のうち性能に影響を与えるばらつきパラメータがばらつきパラメータ全体の極一部であるという Sparsity 特性を利用した方法である。Sparsity 特性の度合いは、サンプリングデータと性能に影響を与えるばらつきパラメータの比によって表すことができる。Sparsity 特性を利用した方法として、たとえば、LAR (Least Angle Regression)、STAR (STATistic Regression) などがある。LAR の詳細については、下記参考文献1に記載されている。(参考文献1: Bradley Efron、他3名、「Least Angle Regression」、[online]、2012年10月18日検索、インターネット <URL: [http://www.stanford.edu/~hastie/Papers/LARS/LeastAngle\\_2002.pdf](http://www.stanford.edu/~hastie/Papers/LARS/LeastAngle_2002.pdf)>)

【0026】

性能に影響を与えるばらつきパラメータは、発振周波数、遅延量といった性能の種別によって異なるものとなる。サンプリングデータが性能に影響を与えるばらつきパラメータに対して多いほど、Sparsity 特性が増加する。Sparsity 特性を利用した方法は、Sparsity 特性の値が小さい場合、ばらつきモデルの誤差が大きくなり、精度の悪いばらつきモデルが作成されてしまうことになる。精度を良くするためにはサンプリングデータを多く用意することになり、ばらつきモデルの作成にかかる時間がかかる。

【0027】

そこで、本実施の形態にかかる設計支援装置100は、レイアウト前後の回路の性能の差とポストレイアウト回路のばらつきパラメータの値とから、性能の差分を表す差分モデルを作成する。差分モデルの差分に影響を与えるばらつきパラメータの数は、プレレイアウト回路の性能に影響を与えるパラメータを考慮しなくてよいため、ポストレイアウト回路のばらつきモデルの性能に影響を与えるばらつきパラメータの数よりも少ない。また、

10

20

30

40

50

プレレイアウト回路の素子数は、ポストレイアウト回路の素子数より少ないため、プレレイアウト回路の高精度の関数モデルの作成にかかる時間は短い。以上を踏まえ、設計支援装置100は、Sparsity特性を利用して作成した高精度な差分モデルと、高精度なプレレイアウト回路の関数モデルとから、高精度なポストレイアウト回路の関数モデルを高速に作成する。

【0028】

以下の説明では、ポストレイアウト回路のばらつきモデルのばらつきパラメータの個数を  $n$  とする。また、プレレイアウト回路のばらつきモデルのばらつきパラメータの個数を  $m$  とする。 $n$  は、 $m$  よりも大きい値となる。さらに、ポストレイアウト回路のばらつきモデルの各々のばらつきパラメータの値を一まとめの組にした際の組の個数を、 $cnt$  とする。

10

【0029】

図1において、設計支援装置100は、プレレイアウト回路101の回路情報を取得する。プレレイアウト回路101は、トランジスタ  $M1\_pre$  を含む。また、プレレイアウト回路101の各々の素子の特性を表す第1ばらつきパラメータ群は、 $x_1, \dots, x_m$  という  $m$  個のパラメータを有する。また、設計支援装置100は、プレレイアウト回路101に対してレイアウト処理を行い、ポストレイアウト回路102の回路情報を取得する。ポストレイアウト回路102は、トランジスタ  $M1\_post$  と、レイアウト処理によって発生したレイアウト寄生素子として、 $C1\_post \sim C6\_post$  と、 $R1\_post$  と、 $R2\_post$  とを含む。また、ポストレイアウト回路102の各々の素子の特性を表す第2ばらつきパラメータ群は、 $x_1, \dots, x_m, \dots, x_n$  という  $n$  個のパラメータを有する。

20

【0030】

次に、設計支援装置100は、第1ばらつきパラメータ群のサンプリングデータを用意して、シミュレーションを行うことによりプレレイアウト回路101の性能値を取得する。続けて、設計支援装置100は、サンプリングデータと性能値とを用いてフィッティングすることにより、第1ばらつきパラメータ群を用いてプレレイアウト回路の性能値を表す第1関数モデルとして、ばらつきモデル  $f\_pre()$  を作成する。ばらつきモデル  $f\_pre()$  は、たとえば、下記(4)式となる。

【0031】

$$p\_pre = f\_pre(x_1, \dots, x_m) \dots (4)$$

30

【0032】

ただし、 $p\_pre$  は、プレレイアウト回路101の性能値の偏差を示す。次に、設計支援装置100は、第2ばらつきパラメータ群の各々の値を用意して、シミュレーションを行うことによりポストレイアウト回路102の性能値を取得する。具体的に用意される第2ばらつきパラメータ群の各々の値は、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}, \dots, x_{1\_cnt}, \dots, x_{m\_cnt}, \dots, x_{n\_cnt}$  となる。第2ばらつきパラメータ群の各々の値は、設計支援装置100の記憶部110に記憶される。

【0033】

続けて、設計支援装置100は、記憶部110に記憶されている第2ばらつきパラメータ群のうちの第1ばらつきパラメータ群の各々に対応するパラメータの値を入力することにより、プレレイアウト回路101の第1性能値を算出する。ここで、第2ばらつきパラメータ群のうちの第1ばらつきパラメータ群の各々に対応するパラメータは、プレレイアウト回路101に存在する素子のパラメータとなる。具体的に、設計支援装置100は、 $x_{1\_1}, \dots, x_{m\_1}$  を  $f\_pre()$  に代入し、第1性能値として  $p\_pre\_1$  を算出し、 $\dots$ 、 $x_{1\_cnt}, \dots, x_{m\_cnt}$  を  $f\_pre()$  に代入し、第1性能値として  $p\_pre\_cnt$  を算出する。

40

【0034】

また、設計支援装置100は、記憶部110に記憶されている第2ばらつきパラメータ群の各々の値を用いてポストレイアウト回路102をシミュレーションして得られるボス

50

トレイアウト回路 102 の第 2 性能値を取得する。たとえば、設計支援装置 100 は、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}$  を用いてポストレイアウト回路 102 をシミュレーションして得られるポストレイアウト回路 102 の第 2 性能値として、 $p_{post\_1}$  を取得する。同様な処理を続けて、設計支援装置 100 は、 $x_{1\_cnt}, \dots, x_{m\_cnt}, \dots, x_{n\_cnt}$  を用いてポストレイアウト回路 102 をシミュレーションして得られるポストレイアウト回路 102 の第 2 性能値として、 $p_{post\_cnt}$  を取得する。

【0035】

次に、設計支援装置 100 は、第 1 性能値と第 2 性能値と第 2 ばらつきパラメータ群の各々の値とに基づいて、第 2 関数モデルとして、差分モデル  $f\_diff()$  を作成する。差分モデル  $f\_diff()$  は、第 2 ばらつきパラメータ群を用いてプレレイアウト回路 101 とポストレイアウト回路 102 の性能値の差分を表す関数モデルである。

10

【0036】

具体的に、設計支援装置 100 は、第 1 性能値と第 2 性能値との差分を算出する。図 1 の例では、設計支援装置 100 は、 $p_{post\_1} - p_{pre\_1} = p\_1$  を算出し、 $\dots$ 、 $p_{post\_cnt} - p_{pre\_cnt} = p\_cnt$  を算出する。続けて、設計支援装置 100 は、 $p\_1, \dots, p\_cnt$  と、第 2 ばらつきパラメータ群の各々の値とを用いてフィッティングすることにより、差分モデル  $f\_diff()$  を算出する。差分モデル  $f\_diff()$  は、たとえば、下記 (5) 式となる。

【0037】

$$p = f\_diff(x_1, \dots, x_m, \dots, x_n) \dots (5)$$

20

【0038】

ただし、 $p$  は、プレレイアウト回路 101 と、ポストレイアウト回路 102 の性能値の偏差を示す。続けて、設計支援装置 100 は、差分モデル  $f\_diff()$  と、ばらつきモデル  $f\_pre()$  とに基づいて、第 3 関数モデルとして、ポストレイアウト回路 102 のばらつきモデル  $f\_post()$  を作成する。たとえば、 $f\_post()$  は、下記 (6) 式となる。

【0039】

$$p_{post} = f_{post}(x_1, \dots, x_m, \dots, x_n) \dots (6)$$

【0040】

ばらつきモデル  $f\_post()$  は、第 2 ばらつきパラメータ群を用いてポストレイアウト回路 102 の性能値を表す関数モデルである。以上の処理を実行することにより、設計支援装置 100 は、ポストレイアウト回路 102 のばらつきモデル  $f\_post()$  を作成することができる。

30

【0041】

ここで、 $f\_diff()$  の性能に影響を与えるばらつきパラメータの数は、 $f\_post()$  の性能に影響を与えるばらつきパラメータの数から、 $f\_pre()$  の性能に影響を与えるばらつきパラメータの数を引いた数となる。したがって、 $f\_diff()$  の性能に影響を与えるばらつきパラメータの数は、 $f\_post()$  の性能に影響を与えるばらつきパラメータより少なくなる。これにより、設計支援装置 100 は、 $f\_diff()$  を作成する場合、サンプリングデータを少なくしても、高精度のモデルを作成することができる。以下、図 2 ~ 図 15 を用いて、設計支援装置 100 の詳細について説明する。

40

【0042】

(設計支援装置 100 のハードウェア)

図 2 は、設計支援装置のハードウェア構成の一例を示すブロック図である。図 2 において、設計支援装置 100 は、CPU 201 と、Read Only Memory (ROM) 202 と、Random Access Memory (RAM) 203 と、を含む。また、設計支援装置 100 は、ディスクドライブ 204 と、ディスク 205 と、通信インターフェース 206 と、を含む。また、設計支援装置 100 は、ディスプレイ 207 と

50



、キーボード 208 と、マウス 209 とを含む。また、CPU 201 ~ マウス 209 はバス 210 によってそれぞれ接続されている。

【0043】

CPU 201 は、設計支援装置 100 の全体の制御を司る演算処理装置である。ROM 202 は、ブートプログラムなどのプログラムを記憶する不揮発性メモリである。RAM 203 は、CPU 201 のワークエリアとして使用される揮発性メモリである。

【0044】

ディスクドライブ 204 は、CPU 201 の制御に従ってディスク 205 に対するデータのリードおよびライトを制御する制御装置である。ディスクドライブ 204 には、たとえば、磁気ディスクドライブ、光ディスクドライブ、ソリッドステートドライブなどを採用することができる。ディスク 205 は、ディスクドライブ 204 の制御で書き込まれたデータを記憶する不揮発性メモリである。たとえばディスクドライブ 204 が磁気ディスクドライブである場合、ディスク 205 には、磁気ディスクを採用することができる。また、ディスクドライブ 204 が光ディスクドライブである場合、ディスク 205 には、光ディスクを採用することができる。また、ディスクドライブ 204 がソリッドステートドライブである場合、ディスク 205 には、半導体素子メモリを採用することができる。

10

【0045】

通信インターフェース 206 は、ネットワーク 211 と内部のインターフェースを司り、外部装置からのデータの入出力を制御する制御装置である。具体的に、通信インターフェース 206 は、通信回線を通じてネットワーク 211 となる Local Area Network (LAN)、Wide Area Network (WAN)、インターネットなどに接続され、ネットワーク 211 を介して他の装置に接続される。通信インターフェース 206 には、たとえば、モデムや LAN アダプタなどを採用することができる。

20

【0046】

ディスプレイ 207 は、カーソル、アイコンあるいはツールボックスをはじめ、文書、画像、機能情報などのデータを表示する装置である。ディスプレイ 207 には、たとえば、Cathode Ray Tube (CRT)、Thin Film Transistor (TFT) 液晶ディスプレイ、プラズマディスプレイなどを採用することができる。

【0047】

キーボード 208 は、文字、数字、各種指示などの入力のためのキーを有し、データの入力を行う装置である。また、キーボード 208 は、タッチパネル式の入力パッドやテンキーなどであってもよい。マウス 209 は、カーソルの移動や範囲選択、あるいはウィンドウの移動やサイズの変更などを行う装置である。マウス 209 は、ポインティングデバイスとして同様に機能を有するものであれば、トラックボールやジョイスティックなどであってもよい。

30

【0048】

(設計支援装置 100 の機能構成)

次に、設計支援装置 100 の機能構成について説明する。図 3 は、設計支援装置の機能構成例を示すブロック図である。設計支援装置 100 は、算出部 301 と、取得部 302 と、第 3 作成部 303 と、第 1 作成部 304 と、第 2 作成部 305 と、を含む。制御部となる算出部 301 ~ 第 2 作成部 305 は、記憶装置に記憶されたプログラムを CPU 201 が実行することにより、算出部 301 ~ 第 2 作成部 305 の機能を実現する。記憶装置とは、具体的には、たとえば、図 2 に示した ROM 202、RAM 203、ディスク 205 などである。または、通信インターフェース 206 を経由して他の CPU が実行することにより、算出部 301 ~ 第 2 作成部 305 の機能を実現してもよい。

40

【0049】

また、設計支援装置 100 は、記憶部 110 にアクセス可能である。記憶部 110 は、RAM 203、ディスク 205 といった記憶装置に格納されている。記憶部 110 は、ポストレイアウト回路 102 内の各々の素子の特性を表す第 2 ばらつきパラメータ群の各々

50

の値を記憶する。たとえば、記憶部 110 は、第 2 ばらつきパラメータ群として  $x_1, \dots, x_m, \dots, x_n$  の値となる、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}$  を記憶する。また、記憶部 110 は、第 2 ばらつきパラメータ群の各々の値を含む組を複数通り記憶してもよい。たとえば、記憶部 110 は、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}$  の組と、 $x_{1\_2}, \dots, x_{m\_2}, \dots, x_{n\_2}$  の組と、 $\dots, x_{1\_cnt}, \dots, x_{m\_cnt}, \dots, x_{n\_cnt}$  の組というように、 $cnt$  個通り記憶してもよい。

【0050】

また、ポストレイアウト回路 102 は、プロセスの設計規則を満たした回路であってもよい。DRC を満たすことにより、ポストレイアウト回路 102 がプロセスの設計規則を満たすことになる。また、ポストレイアウト回路 102 は、ポストレイアウト回路 102 内の各々の素子のうちのプレレイアウト回路 101 内の各々の素子に対応する素子の接続関係がプレレイアウト回路 101 の各々の素子の接続関係と一致する回路であってもよい。LVS を満たすことにより、接続関係が一致することになる。

10

【0051】

算出部 301 は、第 1 関数モデルに、記憶部 110 を参照して、第 2 ばらつきパラメータ群のうちの第 1 ばらつきパラメータ群の各々に対応するパラメータの値を入力することにより、プレレイアウト回路 101 の第 1 性能値を算出する。第 1 関数モデルは、第 1 パラメータ群を用いてプレレイアウト回路 101 の性能値を表す関数モデルである。第 1 関数モデルが表す性能値は、性能値そのものでもよいし、性能値の平均値からの差分でもよい。

20

【0052】

対応するパラメータを特定する例として、算出部 301 は、たとえば、第 2 ばらつきパラメータ群のパラメータの名称や識別情報の一部が、第 1 ばらつきパラメータ群のあるパラメータと一致する場合、あるパラメータを対応するパラメータとして特定する。

【0053】

図 1 の例を用いると、算出部 301 は、 $x_1, \dots, x_m, \dots, x_n$  のうちの第 1 ばらつきパラメータ群の各々に対応するパラメータ  $x_1, \dots, x_m$  の値  $x_{1\_1}, \dots, x_{m\_1}$  を第 1 関数モデルに入力することにより、第 1 性能値  $p\_pre\_1$  を算出する。

【0054】

また、算出部 301 は、組に含まれる第 2 ばらつきパラメータ群の各々の値のうちの第 1 ばらつきパラメータ群の各々に対応するパラメータの値を第 1 関数モデルに入力することにより、プレレイアウト回路 101 の第 1 性能値を組に対応して算出してもよい。たとえば、算出部 301 は、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}$  の組のうち、 $x_{1\_1}, \dots, x_{m\_1}$  を第 1 関数モデルに入力して第 1 性能値  $p\_pre\_1$  を算出する。さらに、算出部 301 は、 $x_{1\_cnt}, \dots, x_{m\_cnt}, \dots, x_{n\_cnt}$  の組のうち、 $x_{1\_cnt}, \dots, x_{m\_cnt}$  を第 1 関数モデルに入力して第 1 性能値  $p\_pre\_cnt$  を算出する。なお、算出された第 1 性能値は、RAM 203、ディスク 205 などの記憶装置に格納される。

30

【0055】

取得部 302 は、記憶部 110 に記憶されている第 2 ばらつきパラメータ群の各々の値を用いてポストレイアウト回路 102 をシミュレーションして得られるポストレイアウト回路 102 の第 2 性能値を取得する。図 1 の例を用いると、取得部 302 は、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}$  を用いてシミュレーションして得られる第 2 性能値  $p\_post\_1$  を取得する。シミュレーションを行う装置は、設計支援装置 100 でもよいし、他の装置が行ってもよい。

40

【0056】

また、取得部 302 は、記憶部 110 に記憶されている組に含まれる第 2 ばらつきパラメータ群の各々の値を用いてポストレイアウト回路 102 の動作を模擬して得られるポストレイアウト回路 102 の第 2 性能値を組に対応して取得してもよい。図 1 の例を用いる

50

と、取得部 302 は、 $x_{1\_1}, \dots, x_{m\_1}, \dots, x_{n\_1}$  を用いてシミュレーションして得られる第 2 性能値  $p\_post\_1$  を取得する。さらに、取得部 302 は、 $x_{1\_cnt}, \dots, x_{m\_cnt}, \dots, x_{n\_cnt}$  を用いてシミュレーションして得られる第 2 性能値  $p\_post\_cnt$  を取得する。なお、取得された第 2 性能値は、RAM 203、ディスク 205 などの記憶装置に格納される。

【0057】

第 3 作成部 303 は、次に示す情報に基づいて、第 2 ばらつきパラメータ群から選ばれた一部のパラメータの組合せに対応して、一部のパラメータを用いて第 2 関数モデルの候補を作成する。次に示す情報とは、記憶部 110 に記憶されている複数の組のうちの第 1 組に対応する第 1 性能値と第 1 組に対応する第 2 性能値と第 1 組に含まれる第 2 ばらつきパラメータ群の各々の値となる。第 2 関数モデルは、第 2 ばらつきパラメータ群を用いてプレレイアウト回路 101 とポストレイアウト回路 102 の性能値の差分を表す関数モデルである。第 2 関数モデルが表す性能値は、性能値そのものでもよいし、性能値の平均値からの差分でもよい。

10

【0058】

たとえば、第 3 作成部 303 は、 $x_1, \dots, x_m, \dots, x_n$  のうちの一部のパラメータとして、LAR に従い、最も相関が高い  $x_1$  を用いて第 2 関数モデルの候補の 1 つ目を作成する。次に、第 3 作成部 303 は、LAR に従い、最も相関が高い  $x_1$  と次に相関の高い  $x_2$  を用いて第 2 関数モデルの候補の 2 つ目を作成する。このように、第 3 作成部 303 は、相関の高いパラメータの順にパラメータを選択して、選択したパラメータを用いて第 2 関数モデルの候補を複数作成する。なお、作成された第 2 関数モデルの候補は、RAM 203、ディスク 205 などの記憶装置に格納される。

20

【0059】

第 1 作成部 304 は、算出部 301 によって算出された第 1 性能値と取得部 302 によって取得された第 2 性能値と記憶部 110 に記憶されている第 2 ばらつきパラメータ群の各々の値とに基づいて、第 2 関数モデルを作成する。第 1 作成部 304 は、たとえば、LAR、STAR といった方法を用いて、第 2 関数モデルを作成する。たとえば、第 1 作成部 304 は、LAR によって複数作成された第 2 関数モデルの候補から、AIC (Akaike's Information Criterion) による指標に従って、第 2 関数モデルを選択する。

30

【0060】

また、第 1 作成部 304 は、算出部 301 によって算出された組に対応する第 1 性能値と取得部 302 によって取得された組に対応する第 2 性能値と組に含まれる第 2 ばらつきパラメータ群の各々の値とに基づいて、第 2 関数モデルを作成してもよい。具体的に、第 1 作成部 304 は、 $p\_post\_1$  と、 $p\_pre\_1$  と、 $x_{1\_1}, \dots, x_{n\_1}$  と、に基づいて、第 2 関数モデルを作成する。

【0061】

また、第 1 作成部 304 は、組合せに対応して第 3 作成部 303 によって作成された第 2 関数モデルの候補から、第 2 組に対応する第 1 性能値および第 2 性能値と第 2 組に含まれる第 2 ばらつきパラメータ群の各々の値とに基づいて第 2 関数モデルを選択してもよい。第 2 組は、複数の組の第 1 組とは異なる組となる。より詳細には、第 3 作成部 303 が、クロスバリデーションを適用して、フィッティングに用いる第 1 組に対応する第 1 性能値および第 2 性能値と第 1 組に含まれる第 2 ばらつきパラメータ群の各々の値とに基づいて、関数モデルの係数をフィッティングする。そして、第 1 作成部 304 は、フィッティングに用いなかった第 2 組に対応する第 1 性能値および第 2 性能値と第 2 組に含まれる第 2 ばらつきパラメータ群の各々の値とを用いて、第 2 関数モデルの候補を評価する。評価後、第 1 作成部 304 は、たとえば、評価の値が最大となった第 2 関数モデルの候補を第 2 関数モデルとする。

40

【0062】

たとえば、第 3 作成部 303 によって、2 つの第 2 関数モデルの候補が作成されており

50

、1つ目の第2関数モデルの候補は、 $x_1$ を用いる関数モデルであり、2つ目の第2関数モデルの候補は、 $x_1$ と $x_2$ を用いる関数モデルであるとする。このとき、第1作成部304は、1つ目の第2関数モデルの候補に、第2組に含まれる第2ばらつきパラメータ群の各々の値を代入し、代入して得られた値と、第2組に対応する第1性能値および第2性能値との差分との残差を取得する。同様に、第1作成部304は、2つ目の第2関数モデルの候補に、第2組に含まれる第2ばらつきパラメータ群の各々の値を代入し、代入して得られた値と、第2組に対応する第1性能値および第2性能値との差分との残差を取得する。第3作成部303は、取得した2つの残差のうち、絶対値の小さい方の残差に対応する第2関数モデルの候補を、第2関数モデルとする。なお、作成された第2関数モデルは、RAM203、ディスク205などの記憶装置に格納される。

10

## 【0063】

第2作成部305は、第1作成部304によって作成された第2関数モデルと第1関数モデルとに基づいて、第2ばらつきパラメータ群を用いてポストレイアウト回路102の性能値を表す第3関数モデルを作成する。第3関数モデルが表す性能値は、性能値そのものでもよいし、性能値の平均値からの差分でもよい。

## 【0064】

たとえば、第2作成部305は、第2関数モデルと第1関数モデルを加算して、第3関数モデルを作成する。たとえば、第1関数モデルと第2関数モデルが線形モデルであれば、第2作成部305は、第2ばらつきパラメータ群のあるばらつきパラメータの係数と、対応する第1ばらつきパラメータ群のばらつきパラメータの係数とを加算して、第3関数モデルを作成する。加算する際に、第2作成部305は、一方の係数のオーダーが大きく異なるならば、小さいオーダーとなる係数を加えなくともよい。なお、作成された第3関数モデルは、RAM203、ディスク205などの記憶装置に格納される。また、作成された第3関数モデルは、通信インターフェース206を通じて、設計支援装置100とは別の装置に送信されてもよい。

20

## 【0065】

次に、設計支援装置100が記憶するプレレイアウト回路のばらつきモデルの一例を、図4を用いて説明し、ポストレイアウト回路のサンプリングデータの一例を、図5を用いて説明する。サンプリングデータは、設計対象回路のばらつきパラメータの値と、ばらつきパラメータを用いてシミュレーションして得られる設計対象回路の性能値と、を含むものとする。

30

## 【0066】

図4は、プレレイアウト回路のばらつきモデルの一例を示す説明図である。図4の(A)にて示す、プレレイアウト回路のばらつきモデルは、下記(7)式となる。

## 【0067】

性能値 =  $f_{pre}(\text{ばらつきパラメータ1}, \text{ばらつきパラメータ2}, \dots, \text{ばらつきパラメータm}) \dots$  (7)

## 【0068】

プレレイアウト回路のばらつきモデルは、プレレイアウト回路をシミュレーションして得られたサンプリングデータを用いてフィッティングすることにより得られる。プレレイアウト回路は、ポストレイアウト回路に比べてばらつきパラメータの数が少ない。したがって、ポストレイアウト回路に比べると、プレレイアウト回路の方がシミュレーションデータの数を多くすることが容易であり、結果、精度の高いプレレイアウト回路のばらつきモデルを作成することができる。

40

## 【0069】

図4の(B)は、トランジスタM1<sub>pre</sub>と、トランジスタM2<sub>pre</sub>が含まれるプレレイアウト回路401について、遅延量に関するプレレイアウト回路401のばらつきモデルを示す。図4の(B)にて示すプレレイアウト回路401のばらつきモデル $f_{pre}()$ は、下記(8)式となる。

## 【0070】

50

$delay\_pre = f\_pre(M1\_pre\_vth, M1\_pre\_L, M2\_pre\_vth, M2\_pre\_L, \dots) \dots (8)$

【0071】

ただし、 $delay\_pre$ は、プレイアウト回路401の遅延量の偏差を示す。 $M1\_pre\_vth$ は、トランジスタ $M1\_pre$ の閾値電圧の偏差を示す。 $M1\_pre\_L$ は、トランジスタ $M1\_pre$ のチャンネル長の偏差を示す。 $M2\_pre\_vth$ は、トランジスタ $M2\_pre$ の閾値電圧の偏差を示す。 $M2\_pre\_L$ は、トランジスタ $M2\_pre$ のチャンネル長の偏差を示す。また、 $f\_pre()$ が線形モデルの場合、(8)式は、下記(9)式のように表すことができる。

【0072】

$delay\_pre = a1 * M1\_pre\_vth + a2 * M1\_pre\_L + a3 * M2\_pre\_vth + a4 * M2\_pre\_L + \dots \dots (9)$

【0073】

ただし、 $a1 \sim a4$ は、プレイアウト回路401のシミュレーションデータを用いてフィッティングして得られた係数である。

【0074】

図5は、ポストレイアウト回路のサンプリングデータの一例を示す説明図である。図5の(A)にて示すポストレイアウト回路のサンプリングデータ群501は、ポストレイアウト回路のばらつきパラメータの偏差と、ポストレイアウト回路の性能値の偏差とを含む。1つのサンプリングデータには、ポストレイアウト回路のばらつきパラメータの値がn個あり、性能値が1つある。

【0075】

図5の(A)と図5の(B)での説明において登場するばらつきパラメータおよび性能値は、全てポストレイアウト回路のばらつきパラメータおよび性能値である。そこで、図5の(A)と図5の(B)の説明では、説明の簡略化のため、「ポストレイアウト回路のばらつきパラメータ」を、単に、「ばらつきパラメータ」と呼称し、「ポストレイアウト回路の性能値」を、単に、「性能値」と呼称する。

【0076】

ポストレイアウト回路のサンプリングデータは、ばらつきパラメータの偏差と性能値の偏差とを1レコードとして記憶している。図5の(A)に示すポストレイアウト回路のサンプリングデータ群501は、レコード501-1～レコード501-cnt分有する。たとえば、レコード501-1には、1つ目の性能値の偏差と、1つ目のばらつきパラメータ1の偏差と、1つ目のばらつきパラメータ2の偏差と、...、1つ目のばらつきパラメータnの偏差とが格納されている。

【0077】

また、図5の(B)は、ポストレイアウト回路510のサンプリングデータの具体例を示す。図5の(B)で示すポストレイアウト回路510のサンプリングデータ群502が、レコード502-1、レコード502-2、...、レコード502-cnt分あるとする。また、図5の(B)で示すポストレイアウト回路510には、トランジスタ $M1\_post$ と、トランジスタ $M2\_post$ と、抵抗器 $R1\_post$ 、コンデンサ $C1\_post$ が含まれるとする。ポストレイアウト回路510のばらつきパラメータは、各トランジスタのばらつきパラメータが、各トランジスタの閾値電圧を示す $vth$ と、各トランジスタのチャンネル長を示す $L$ を含む。さらに、図5の(B)では、性能値は、遅延量であるとする。

【0078】

上述した前提において、ポストレイアウト回路510のサンプリングデータ群502は、 $delay\_post$ 、 $M1\_post\_vth \sim M2\_post\_L$ 、...、 $R1\_post$ 、 $C1\_post$ ...、というフィールドを有する。 $delay\_post$ フィールドには、遅延量の偏差が格納される。 $M1\_post\_vth$ フィールドには、トランジスタ $M1\_post$ の閾値電圧の偏差が格納される。 $M1\_post$

10

20

30

40

50

Lフィールドには、トランジスタM1\_\_postのチャンネル長の偏差が格納される。M2\_\_post\_\_vthフィールドには、トランジスタM2\_\_postの閾値電圧の偏差が格納される。M2\_\_post\_\_Lフィールドには、トランジスタM2\_\_postのチャンネル長の偏差が格納される。R1\_\_postフィールドには、抵抗器R1の抵抗値の偏差が格納される。C1\_\_postフィールドには、コンデンサC1の容量の偏差が格納される。

【0079】

たとえば、レコード502-1には、1つ目のサンプリングデータとして、d\_\_post\_\_1と、M1\_\_post\_\_vth\_\_1と、M1\_\_post\_\_L\_\_1と、M2\_\_post\_\_vth\_\_1と、M2\_\_post\_\_L\_\_1とが格納されている。さらに、レコード502-1には、R1\_\_post\_\_1と、C1\_\_post\_\_1と、が格納されている。

10

【0080】

(Sparseデータ処理)

次に、図6～図12を用いて、Sparseデータ処理の動作手順について説明する。Sparseデータ処理は、差分モデルのSparsity特性が増加すると予測される方法を用いて、ポストレイアウト回路のばらつきモデルを作成する処理である。図6～図12では、プレレイアウト回路401のばらつきモデルと、ポストレイアウト回路510のサンプリングデータとを用いて、Sparseデータ処理の説明を行う。また、Sparsity特性が増加すると予測される根拠については、図11にて後述する。

20

【0081】

図6では、Sparseデータ処理に含まれる、プレレイアウト回路のモデルの引数とポストレイアウト回路とのばらつきパラメータの対応付けの例について説明する。図7では、対応付けの結果の一例について説明する。図8と図9では、Sparseデータ処理に含まれる処理である、対応付けの結果を用いて性能の差分データを作成する例について説明する。図10と図11では、Sparseデータ処理に含まれる処理である、性能の差分データを用いて差分モデルを作成する例について説明する。図12では、Sparseデータ処理に含まれる処理である、差分モデルを用いてポストレイアウト回路のばらつきモデルを作成する例について説明する。

【0082】

図6は、プレレイアウト回路のモデルの引数とポストレイアウト回路とのばらつきパラメータの対応付けの一例を示す説明図である。設計支援装置100は、レイアウト抽出ツールを実行することにより、プレレイアウト回路のモデルの各引数の名称と、ポストレイアウト回路とのばらつきパラメータの各データの名称とを用いて対応付ける。

30

【0083】

たとえば、図6の例では、設計支援装置100は、名称に“M1”と“vth”が共通しているM1\_\_pre\_\_vthとM1\_\_post\_\_vthとを対応付ける。同様に、設計支援装置100は、名称に“M1”と“L”が共通しているM1\_\_pre\_\_LとM1\_\_post\_\_Lとを対応付ける。さらに、設計支援装置100は、名称に“M2”と“vth”が共通しているM2\_\_pre\_\_vthとM2\_\_post\_\_vthとを対応付け、名称に“M2”と“L”が共通しているM2\_\_pre\_\_LとM2\_\_post\_\_Lとを対応付ける。図7に、対応付けの結果の一例を示す。

40

【0084】

図7は、対応付けの結果の一例を示す説明図である。設計支援装置100は、ポストレイアウト回路510のサンプリングデータに対応付けの結果を反映したvar\_\_post\_\_map701として保持する。var\_\_post\_\_map701は、縦がcnt個であり、横がn+1個のデータを有する行列となる。var\_\_post\_\_map701は、レコード701-1～レコード701-cntを有する。

【0085】

また、図7では、対応付けの結果を、var\_\_post\_\_map701のセル内にハッ

50

子を掛けることにより表現している。具体的に、対応付けられたセルは、`M1__post__vth`、`M1__post__L`、`M2__post__vth`、`M2__post__L`の4つのフィールドに属するセルである。

【0086】

なお、`var__post__map701`を作成する装置は、設計支援装置100でもよいし、別の装置でもよい。別の装置が`var__post__map701`を作成した場合、設計支援装置100は、作成された`var__post__map701`を別の装置から取得して、図8、図9にて説明する差分データを作成する。

【0087】

図8は、性能の差分データの作成例を示す説明図(その1)である。設計支援装置100は、`var__post__map701`と、プレレイアウト回路401のばらつきモデルと、ポストレイアウト回路510のサンプリングデータを用いて、性能の差分データを作成する。

【0088】

はじめに、設計支援装置100は、`var__post__map701`を参照して、ポストレイアウト回路510のサンプリングデータのうち対応付けられたばらつきパラメータの偏差を、プレレイアウト回路401のばらつきモデルの対応する引数として代入する。代入した結果、設計支援装置100は、プレレイアウト回路401のばらつきモデルを実行して、遅延量の偏差を作成する。

【0089】

図8の例では、設計支援装置100は、レコード701-1~レコード701-cntの各値を、プレレイアウト回路401のばらつきモデルの引数として代入し、プレレイアウト回路401のばらつきモデルから得られた遅延量の偏差を算出する。具体的に、設計支援装置100は、レコード701-1の`M1__post__vth__1`をプレレイアウト回路401のばらつきモデルの第1引数として代入し、`M1__post__L__1`をプレレイアウト回路401のばらつきモデルの第2引数として代入する。同様に、設計支援装置100は、`M2__post__vth__1`をプレレイアウト回路401のばらつきモデルの第3引数として代入し、`M2__post__L__1`をプレレイアウト回路401のばらつきモデルの第4引数として代入する。第1引数~第4引数を代入した結果、設計支援装置100は、レコード701-1の各データをプレレイアウト回路401のばらつき

【0090】

同様に、設計支援装置100は、レコード701-2の各データ、...、レコード701-cntの各データをプレレイアウト回路401のばらつきモデルに代入した結果得られた遅延量の偏差`d__pre__2`、...、`d__pre__cnt`を算出する。後続の処理については、図9を用いて説明する。

【0091】

図9は、性能の差分データの作成例を示す説明図(その2)である。設計支援装置100は、ポストレイアウト回路510の遅延量の偏差を示す`delay__post`と、プレレイアウト回路401の遅延量の偏差を示す`delay__pre`との差分を、差分データ`d`として算出する。

【0092】

具体的に、設計支援装置100は、`d__post__1 - d__pre__1`から差分データとして`d__1`を算出する。同様に、設計支援装置100は、`d__post__2 - d__pre__2`を算出して、差分データとして`d__2`を算出し、...、`d__post__cnt - d__pre__cnt`を算出して、`d__cnt`を算出する。次に、図10と図11にて、差分データを用いて差分モデルを作成する例について説明する。

【0093】

図10は、差分モデルの作成例を示す説明図(その1)である。設計支援装置100は、差分データと、ポストレイアウト回路510のばらつきパラメータの偏差とに基づいて

10

20

30

40

50

、差分データを求める差分モデルを作成する。

【0094】

具体的に、設計支援装置100は、差分データ  $d\_1 \sim d\_cnt$  と、  $M1\_post\_vth\_1 \sim C1\_post\_cnt \dots$  を用いてフィッティングすることにより、差分モデル  $f\_diff()$  を作成する。差分モデル  $f\_diff()$  は、たとえば、下記(10)式となる。

【0095】

$$d = f\_diff(M1\_post\_vth, M1\_pre\_L, M2\_post\_vth, M2\_post\_L, \dots, R1\_post, C1\_post, \dots) \dots \quad (10)$$

10

【0096】

差分モデル  $f\_diff()$  の具体例としては、たとえば、下記(11)式となる。

【0097】

$$d = ad1 * M1\_post\_vth + ad2 * M1\_post\_L + ad3 * M2\_post\_vth + ad4 * M2\_post\_L + \dots + ad5 * R1\_post + ad6 * C1\_post + \dots \dots (11)$$

【0098】

(11)式は、差分モデル  $f\_diff()$  が線形モデルである場合を示す。差分モデル  $f\_diff()$  は、非線形モデルでもよい。(10)式、(11)式において、 $d$  は、ポストレイアウト回路の遅延量を示す。 $ad1, ad2, \dots, ad6, \dots$  は、差分データ  $d\_1 \sim d\_cnt$  と、ポストレイアウト回路510のばらつきパラメータの偏差  $M1\_post\_vth\_1 \sim C1\_post\_cnt \dots$  を用いてフィッティングすることにより得られる係数である。図11に、LARを用いて差分モデルを作成する例について説明する。

20

【0099】

図11は、差分モデルの作成例を示す説明図(その2)である。図11では、LARに従って、複数の差分モデルの候補を作成し、複数の差分モデルの候補から、クロスバリデーションを用いて、差分モデルを選択する方法について説明する。

【0100】

初めに、設計支援装置100は、ポストレイアウト回路510のサンプリングデータ群502を、フィッティング用に用いるデータと、評価に用いるデータとに分割する。図11の例では、 $x$  を、 $cnt$  より小さい整数として、設計支援装置100は、 $d\_1 \sim d\_x$  と、レコード502-1~レコード502-xを、フィッティング用に用いるデータに設定し、残余のデータを評価に用いるデータに設定する。

30

【0101】

設計支援装置100は、フィッティング用に用いるデータを用いて、複数の差分モデルの候補を作成する。非特許文献1に記載したように、LARは、関連の高いパラメータを順に選択して、関数モデルを複数作成する。

【0102】

たとえば、非特許文献1の(14)式では、 $f(Y) = -0.43 * y_1 - 1.66 * y_2 + 0.12 * y_3 + 0.28 * y_4 - 1.14 * y_5$  を得たとする。また、 $y_1 = -0.43$  とし、 $y_2 = -1.66$  とし、 $y_3 = 0.12$  とし、 $y_4 = 0.28$  とし、 $y_5 = 1.14$  とする。このとき、LARを実行する装置は、係数の絶対値が大きい  $y_2$ 、 $y_5$ 、 $y_1$ 、 $y_4$ 、 $y_3$  の順に、差分に影響を与えるパラメータの係数として選択し、関数モデルを複数作成する。

40

【0103】

上述したLARを適用して、設計支援装置100は、枠1101内に示す $m$ 個の差分モデルの候補を作成する。たとえば、設計支援装置100は、ばらつきパラメータが  $M1\_post\_vth$  1つである  $f\_diff\_1()$ 、 $M1\_post\_vth$  と  $M2\_post\_vth$  2つである  $f\_diff\_2()$ 、 $\dots$ 、というように $m$ 個の差分モ

50



デルの候補を作成する。

【0104】

次に、設計支援装置100は、枠1102にて示すように、m個の差分モデルの候補を評価して、差分モデルの候補から差分モデルを選択する。具体的に、図11では、 $d\_cnt$ と、レコード502 - cntを用いて、m個の差分モデルの候補を評価する。たとえば、設計支援装置100は、 $f\_diff\_1()$ に  $M1\_post\_vth\_cnt$ を代入した $f\_diff\_1(M1\_post\_vth\_cnt)$ と、 $d\_cnt$ との残差を取得する。設計支援装置100は、 $f\_diff\_2() \sim f\_diff\_m()$ にも、 $d\_cnt$ と、レコード502 - cntの各値を代入し、残差の絶対値が最も小さい差分モデルの候補を差分モデルとして選択する。なお、残差の絶対値ではなく、残差の二乗で比較してもよい。

10

【0105】

差分モデル $f\_diff()$ のSparsity特性が、ポストレイアウト回路のばらつきモデル $f\_post()$ のSparsity特性より良くなる理由について説明する。まず、ポストレイアウト回路のばらつきを解析する工程は、DRC、LVSが満たした後行うので、ポストレイアウト回路の性能とプレレイアウト回路の性能とがほぼ同一となる。ここで、ポストレイアウト回路のパラメータの数はプレレイアウト回路のパラメータの数と比較して膨大になるが、レイアウト処理によって増えたパラメータのうち、ポストレイアウト回路の性能に影響を与えるパラメータは、僅かとなる可能性が高い。

20

【0106】

したがって、図10で作成した差分モデルのパラメータのうち性能に影響を与えるパラメータの数は、ポストレイアウト回路のばらつきモデルのパラメータのうち性能に影響を与えるパラメータの数より、少なくなる可能性が高い。性能に影響を与えるパラメータの数が少なくなることにより、差分モデルはSparsity特性が良くなるため、設計支援装置100は、少ないサンプリングデータでも精度の良いばらつき解析モデルを作成することができる。

【0107】

図12は、ポストレイアウト回路のばらつきモデルの作成例を示す説明図である。設計支援装置100は、プレレイアウト回路401のばらつきモデル $f\_pre()$ と差分モデル $f\_diff()$ とに基づいて、ポストレイアウト回路510のばらつきモデル $f\_post()$ を作成する。

30

【0108】

たとえば、設計支援装置100は、 $f\_post()$ を、下記(12)式を用いて算出する。

【0109】

$$f\_post() = f\_pre() + f\_diff() \dots (12)$$

【0110】

プレレイアウト回路401のばらつきモデル $f\_pre()$ と差分モデル $f\_diff()$ が線形モデルである場合、設計支援装置100は、 $f\_post()$ を、たとえば、下記(13)式を用いて算出する。

40

【0111】

$$f\_post() = (a1 + ad1) * M1\_post\_vth + (a2 + ad2) * M1\_post\_L + (a3 + ad3) * M2\_post\_vth + (a4 + ad4) * M2\_post\_L + \dots + ad5 * R1\_post + ad6 * C1\_post + \dots \dots (13)$$

【0112】

次に、図13と図14を用いてポストレイアウト回路作成処理について説明する。

【0113】

図13は、ポストレイアウト回路作成処理手順の一例を示すフローチャートである。ポストレイアウト回路作成処理は、ポストレイアウト回路510の回路情報とポストレイア

50

ウト回路510のばらつきモデルを作成する処理である。設計支援装置100は、プレレイアウト回路401の回路情報を取得する(ステップS1301)。次に、設計支援装置100は、プレレイアウト回路401に対してレイアウト処理を実行する(ステップS1302)。続けて、設計支援装置100は、Sparseデータ処理を実行する(ステップS1303)。Sparseデータ処理の詳細は、図14にて後述する。

#### 【0114】

次に、設計支援装置100は、ポストレイアウト回路510の回路情報とポストレイアウト回路510のばらつきモデルを出力する(ステップS1304)。ステップS1304の処理実行後、設計支援装置100は、ポストレイアウト回路作成処理を終了する。ポストレイアウト回路作成処理を実行することにより、設計支援装置100は、ポストレイアウト回路510のばらつきモデルを作成することができる。

10

#### 【0115】

図14は、Sparseデータ処理手順の一例を示すフローチャートである。Sparseデータ処理は、差分モデルのSparsity特性が増加すると予測される方法を用いて、ポストレイアウト回路のばらつきモデルを作成する処理である。

#### 【0116】

設計支援装置100は、プレレイアウト回路401のばらつきモデルの引数とポストレイアウト回路510とのばらつきパラメータを対応付ける(ステップS1401)。次に、設計支援装置100は、対応付け結果と、プレレイアウト回路401のばらつきモデルと、ポストレイアウト回路510のばらつきパラメータの値とを用いて、プレレイアウト回路401の性能値を算出する(ステップS1402)。続けて、設計支援装置100は、ポストレイアウト回路510のばらつきパラメータの値を用いて、ポストレイアウト回路510をシミュレーションして得られるポストレイアウト回路510の性能値を取得する(ステップS1403)。なお、ステップS1403の処理は、ステップS1401の処理またはステップS1402の処理と並列に行われてもよい。

20

#### 【0117】

次に、設計支援装置100は、算出したプレレイアウト回路401の性能値と、取得したポストレイアウト回路510の性能値との差分を算出する(ステップS1404)。続けて、設計支援装置100は、第1組の算出した差分とポストレイアウト回路510のばらつきパラメータの値を用いて、差分モデルの候補を作成する(ステップS1405)。次に、設計支援装置100は、第2組の算出した差分とポストレイアウト回路510のばらつきパラメータの値を用いて、差分モデルの候補から、差分モデルを選択する(ステップS1406)。続けて、設計支援装置100は、プレレイアウト回路401のばらつきモデルと、差分モデルとに基づいて、ポストレイアウト回路510のばらつきモデルを作成する(ステップS1407)。

30

#### 【0118】

ステップS1407の処理実行後、設計支援装置100は、Sparseデータ処理を終了する。Sparseデータ処理を実行することにより、設計支援装置100は、差分モデルのSparsity特性が増加すると予測される方法を用いて、ポストレイアウト回路のばらつきモデルを作成することができる。

40

#### 【0119】

(ポストレイアウト回路のばらつきモデルの作成にかかる時間の比較)

次に、応答曲面法と、Sparsity特性を利用した方法と、図13、図14にて示した本実施の形態にかかる方法との3つの方法それぞれがポストレイアウト回路のばらつきモデルの作成にかかる時間について説明する。

#### 【0120】

図15は、ポストレイアウト回路のばらつきモデルの生成にかかる時間を比較した一例を示す説明図である。図15では、VCO(Voltage Controlled Oscillator)のばらつきモデルを作成する場合を例にしており、表1501に記載した条件で、VCOのポストレイアウト回路のばらつきモデルの生成にかかる時間を比

50

較する。表1501は、レコード1501-1、レコード1501-2を含む。また、ばらつきモデルを作成する際に行われる、フィッティングにかかる処理時間は無視できるものとする。さらに、Sparsity特性を利用してばらつきモデルを生成する場合、設計支援装置100は、性能に影響を与えるパラメータの数：サンプリングデータの数 = 1 : 3となるように、サンプリングデータを用意するものとする。

#### 【0121】

レコード1501-1は、VCOのプレイアウト回路の素子の数が90個であり、パラメータの数が500個であり、VCOのプレイアウト回路を1回シミュレーションする時間が5[分]であることを示す。さらに、レコード1501-1は、VCOのプレイアウト回路のばらつきパラメータのうち、性能に影響を与えないパラメータの割合が、80[%]であることを示す。したがって、VCOのプレイアウト回路のばらつきパラメータのうち、性能に影響を与えるパラメータの割合は、 $100 - 80 = 20$  [%]となる。

10

#### 【0122】

また、レコード1501-2は、VCOのポストレイアウト回路の素子の数が12000個であり、パラメータの数が20000個であり、VCOのポストレイアウト回路を1回シミュレーションする時間が1.5[時間]であることを示す。さらに、レコード1501-2は、VCOのポストレイアウト回路のばらつきパラメータのうち、性能に影響を与えないパラメータの割合が、95[%]であることを示す。したがって、VCOのポストレイアウト回路のばらつきパラメータのうち、性能に影響を与えるパラメータの割合が、 $100 - 95 = 5$  [%]であることを示す。

20

#### 【0123】

表1501に記載した条件で、RSMとポストレイアウト回路のばらつきモデルを直接LARにて求める方法と本実施の形態にかかる方法との3つの方法を用いた場合のVCOのポストレイアウト回路のばらつきモデルの作成にかかる時間を、表1502にて示す。表1502は、レコード1502-1～レコード1502-3を含む。なお、ポストレイアウト回路のばらつきモデルを直接LARにて求める方法について、図15では、説明の簡略化のため、単に、「LAR」と称する。

#### 【0124】

レコード1502-1が示すように、RSMを用いた場合のVCOのポストレイアウト回路のばらつきモデルの作成にかかる時間は、1250[日]となる。具体的に、RSMを実行する装置は、VCOのポストレイアウト回路のパラメータの数に相当する20000個のサンプリングデータを用意し、シミュレーションを20000回行うことになる。したがって、作成にかかる時間は、 $20000 * 1.5 = 30000$  [時間] = 1250[日]となる。

30

#### 【0125】

次に、レコード1502-2が示すように、LARを用いた場合のVCOのポストレイアウト回路のばらつきモデルの作成にかかる時間は、187.5[日]となる。具体的に、LARを実行する装置は、VCOのポストレイアウト回路のSparsity特性から導ける $20000 * 0.05 * 3 = 3000$ 個のサンプリングデータを用意し、シミュレーションを3000回行うことになる。したがって、作成にかかる時間は、 $3000 * 1.5 = 4500$  [時間] = 187.5[日]となる。

40

#### 【0126】

次に、レコード1502-3が示すように、本実施の形態にかかる方法を用いた場合のVCOのポストレイアウト回路のばらつきモデルの作成にかかる時間は、約38.5[日]である。作成にかかる時間の内訳について、表1503にて示す。表1503は、レコード1503-1、レコード1503-2を含む。本実施の形態にかかる方法を用いた場合のVCOのポストレイアウト回路のばらつきモデルの作成にかかる時間は、主に以下の2つの時間に大別される。1つ目が、レコード1503-1が示すVCOのプレイアウト回路のばらつきモデルの作成にかかる時間であり、2つ目が、レコード1503-2が

50

示す差分モデルの作成に用いるポストレイアウト回路のシミュレーション実行にかかる時間である。

【0127】

レコード1503-1が示すように、VCOのプレレイアウト回路のばらつきモデルの作成にかかる時間は、25[時間]となる。具体的に、設計支援装置100は、VCOのプレレイアウト回路のばらつきモデルを作成するために、 $500 * 0.20 * 3 = 300$ 個のサンプリングデータを用意し、シミュレーションを300回行うことになる。したがって、作成にかかる時間は、 $300 * 5 = 1500$ [分] = 25[時間]となる。

【0128】

また、レコード1503-2が示すように、差分モデルの作成に用いるポストレイアウト回路のシミュレーション実行にかかる時間は、900[時間]となる。具体的に、設計支援装置100は、差分モデルの作成に用いるポストレイアウト回路のサンプリングデータを用意するために、 $20000 * 0.01 * 3 = 600$ 個のサンプリングデータを用意し、シミュレーションを300回行うことになる。なお、レコード1503-2では、差分モデルのパラメータ群のうち性能に影響を与えないパラメータの割合を、99[%]としている。したがって、シミュレーション実行にかかる時間は、 $600 * 1.5 = 900$ [時間]となる。

【0129】

レコード1503-1とレコード1503-2により、本実施の形態にかかる方法を用いた場合のVCOのポストレイアウト回路のばらつきモデルの作成にかかる時間は、 $25 + 900 = 925$ [時間] = 約38.5[日]となる。このように、本実施の形態にかかる方法は、RSM、LARに比べて、作成される精度を維持しつつ、ばらつきモデルの作成にかかる処理負荷を減少することができる。

【0130】

以上説明したように、設計支援装置100によれば、レイアウト前後の回路の性能の差とポストレイアウト回路のばらつきパラメータの値とから、性能の差分を表す差分モデルを作成する。差分モデルの差分に影響を与えるばらつきパラメータの数は、ポストレイアウト回路のばらつきモデルの性能に影響を与えるばらつきパラメータの数よりも少ない。したがって、設計支援装置100は、ポストレイアウト回路のばらつきモデルを直接作成する方法よりも、少ないサンプリングデータで、高精度な差分モデルを作成することができる。用意するサンプリングデータの数が少なくなるため、設計支援装置100は、高精度な差分モデルを高速に作成することができる。

【0131】

また、設計支援装置100は、ポストレイアウト回路のサンプリングデータをプレレイアウト回路のばらつきモデルに代入して得た性能値と、前述で入力したサンプリングデータと同一のデータを差分モデルに代入して得た性能値と、を加算してもよい。加算結果が、ポストレイアウト回路の性能値となる。

【0132】

また、設計支援装置100によれば、差分モデルとプレレイアウト回路のばらつきモデルから、プレレイアウト回路のばらつきモデルを作成してもよい。これにより、設計支援装置100は、プレレイアウト回路のばらつきモデルから得た性能値と差分モデルから得た性能値を加算するより、少ない処理量でポストレイアウト回路の性能値を求めることができる。また、プレレイアウト回路のばらつきモデルのパラメータの次数と、差分モデルのばらつきパラメータの次数が一致していれば、設計支援装置100は、係数を加算しておき、ポストレイアウト回路の性能値を求めるときに、加算の分の処理量を減らすことができる。

【0133】

また、設計支援装置100によれば、DRCを満たした後のポストレイアウト回路にて、本実施の形態にかかるポストレイアウト回路のばらつきモデルの作成方法をおこなってもよい。DRCを満たすことにより、プレレイアウト回路の性能とポストレイアウト回路

10

20

30

40

50

の性能がより近いものとなるため、差分モデルのパラメータのうち、性能の差分に影響を与えるパラメータの数が減少することになる。したがって、設計支援装置 100 は、より少ないサンプリングデータで高精度なばらつきモデルを作成することができる。LVS を満たした後のポストレイアウト回路についても同様のことがいえる。

【0134】

また、設計支援装置 100 によれば、ポストレイアウトばらつきパラメータ群の各々の値を含む組を複数通り記憶して、組に対応したプレレイアウト回路の性能値およびポストレイアウト回路の性能値と、組に含まれる値を用いて、差分モデルを作成してもよい。組、すなわち、サンプリングデータを複数用いて差分モデルを作成することにより、差分モデルの精度を向上させることができる。

10

【0135】

また、設計支援装置 100 によれば、複数の組のうちの第 1 組を用いて差分モデルの候補を作成し、第 2 組を用いて差分モデルの候補を評価して、差分モデルの候補から差分モデルを選択してもよい。これにより、設計支援装置 100 は、差分モデルの作成時に、オーバーフィッティングを抑えることができる。

【0136】

なお、本実施の形態で説明した設計支援方法は、予め用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。本設計支援プログラムは、ハードディスク、フレキシブルディスク、CD-ROM、MO、DVD 等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。また本設計支援プログラムは、インターネット等のネットワークを介して配布してもよい。

20

【0137】

上述した実施の形態に関し、さらに以下の付記を開示する。

【0138】

(付記 1) コンピュータが、

レイアウト前の設計対象回路内の各々の素子の特性を表す第 1 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第 1 関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第 2 パラメータ群の各々の値を記憶する記憶部を参照して、前記第 2 パラメータ群のうちの前記第 1 パラメータ群の各々に対応するパラメータ

30

の値を入力することにより、前記レイアウト前の設計対象回路の第 1 性能値を算出し、前記記憶部に記憶されている前記第 2 パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第 2 性能値を取得し、

算出した前記第 1 性能値と取得した前記第 2 性能値と前記記憶部に記憶されている前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第 2 関数モデルを作成する、

処理を実行することを特徴とする設計支援方法。

【0139】

40

(付記 2) 前記コンピュータが、

作成した前記第 2 関数モデルと前記第 1 関数モデルとに基づいて、前記第 2 パラメータ群を用いて前記レイアウト後の設計対象回路の性能値を表す第 3 関数モデルを作成する処理を実行することを特徴とする付記 1 に記載の設計支援方法。

【0140】

(付記 3) 前記レイアウト後の設計対象回路は、プロセスの設計規則を満たした回路であることを特徴とする付記 1 または 2 に記載の設計支援方法。

【0141】

(付記 4) 前記レイアウト後の設計対象回路は、前記レイアウト後の設計対象回路内の各々の素子のうちの前記レイアウト前の設計対象回路内の各々の素子に対応する素子の接続

50

関係が前記レイアウト前の設計対象回路の各々の素子の接続関係と一致する回路であることを特徴とする付記 1 ~ 3 のいずれか一つに記載の設計支援方法。

【 0 1 4 2 】

(付記 5) 前記記憶部は、前記第 2 パラメータ群の各々の値を含む組を複数通り記憶しており、

前記算出する処理は、

前記組に含まれる第 2 パラメータ群の各々の値のうちの前記第 1 パラメータ群の各々に対応するパラメータの値を前記第 1 関数モデルに入力することにより、前記レイアウト前の設計対象回路の第 1 性能値を前記組に対応して算出し、

前記取得する処理は、

前記記憶部に記憶されている前記組に含まれる第 2 パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第 2 性能値を前記組に対応して取得し、

前記第 2 関数モデルを作成する処理は、

算出した前記組に対応する前記第 1 性能値と取得した前記組に対応する前記第 2 性能値と前記組に含まれる前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 関数モデルを作成する付記 1 ~ 4 のいずれか一つに記載の設計支援方法。

【 0 1 4 3 】

(付記 6) 前記コンピュータが、

前記記憶部に記憶されている複数の組のうちの第 1 組に対応する第 1 性能値と前記第 1 組に対応する第 2 性能値と前記第 1 組に含まれる前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 パラメータ群から選ばれた一部のパラメータの組合せに対応して、前記一部のパラメータを用いて前記第 2 関数モデルの候補を作成する、処理を実行し、

前記第 2 関数モデルを作成する処理は、

前記組合せに対応して作成した前記第 2 関数モデルの候補から、前記複数の組の前記第 1 組とは異なる第 2 組に対応する第 1 性能値と前記第 2 組に対応する第 2 性能値と前記第 2 組に含まれる前記第 2 パラメータ群の各々の値とに基づいて前記第 2 関数モデルを選択することを特徴とする付記 5 に記載の設計支援方法。

【 0 1 4 4 】

(付記 7) レイアウト前の設計対象回路内の各々の素子の特性を表す第 1 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第 1 関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第 2 パラメータ群の各々の値を記憶する記憶部を参照して、前記第 2 パラメータ群のうちの前記第 1 パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第 1 性能値を算出する算出部と、

前記記憶部に記憶されている前記第 2 パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第 2 性能値を取得する取得部と、

前記算出部によって算出された前記第 1 性能値と前記取得部によって取得された前記第 2 性能値と前記記憶部に記憶されている前記第 2 パラメータ群の各々の値とに基づいて、前記第 2 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第 2 関数モデルを作成する作成部と、

を有することを特徴とする設計支援装置。

【 0 1 4 5 】

(付記 8) レイアウト前の設計対象回路内の各々の素子の特性を表す第 1 パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第 1 関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第 2 パラメータ群の各々の値を記憶する記憶部を参照して、前記第 2 パラメータ群のうちの前記第 1 パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第 1 性能値を算出する算出部と、

10

20

30

40

50

前記記憶部に記憶されている前記第2パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第2性能値を取得する取得部と、

前記算出部によって算出された前記第1性能値と前記取得部によって取得された前記第2性能値と前記記憶部に記憶されている前記第2パラメータ群の各々の値とに基づいて、前記第2パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第2関数モデルを作成する作成部と、

を有するコンピュータを含むことを特徴とする設計支援装置。

#### 【0146】

(付記9) コンピュータに、

レイアウト前の設計対象回路内の各々の素子の特性を表す第1パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第1関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第2パラメータ群の各々の値を記憶する記憶部を参照して、前記第2パラメータ群のうちの前記第1パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第1性能値を算出し、

前記記憶部に記憶されている前記第2パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第2性能値を取得し、

算出した前記第1性能値と取得した前記第2性能値と前記記憶部に記憶されている前記第2パラメータ群の各々の値とに基づいて、前記第2パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第2関数モデルを作成する、

処理を実行させることを特徴とする設計支援プログラム。

#### 【0147】

(付記10) レイアウト前の設計対象回路内の各々の素子の特性を表す第1パラメータ群を用いて前記レイアウト前の設計対象回路の性能値を表す第1関数モデルに、レイアウト後の設計対象回路内の各々の素子の特性を表す第2パラメータ群の各々の値を記憶する記憶部を参照して、前記第2パラメータ群のうちの前記第1パラメータ群の各々に対応するパラメータの値を入力することにより、前記レイアウト前の設計対象回路の第1性能値を算出し、

前記記憶部に記憶されている前記第2パラメータ群の各々の値を用いて前記レイアウト後の設計対象回路の動作を模擬して得られる前記レイアウト後の設計対象回路の第2性能値を取得し、

算出した前記第1性能値と取得した前記第2性能値と前記記憶部に記憶されている前記第2パラメータ群の各々の値とに基づいて、前記第2パラメータ群を用いて前記レイアウト前の設計対象回路の性能値と前記レイアウト後の設計対象回路の性能値との差分を表す第2関数モデルを作成する、

処理をコンピュータに実行させる設計支援プログラムを記憶したことを特徴とする記録媒体。

#### 【符号の説明】

#### 【0148】

- 100 設計支援装置
- 101 プレレイアウト回路
- 102 ポストレイアウト回路
- 110 記憶部
- 301 算出部
- 302 取得部
- 303 第3作成部
- 304 第1作成部
- 305 第2作成部

10

20

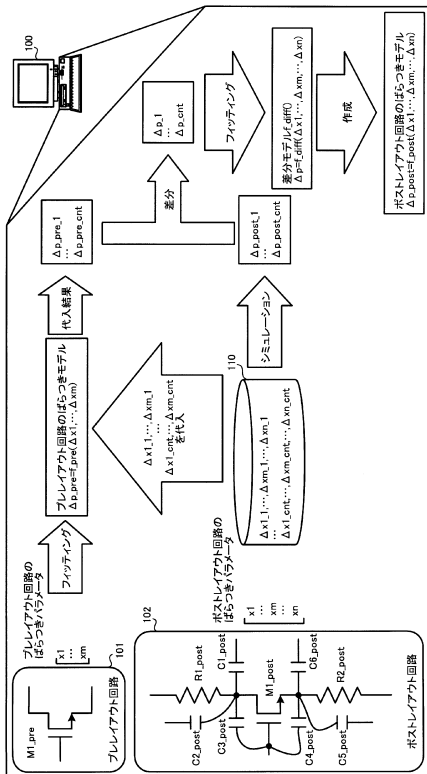
30

40

50

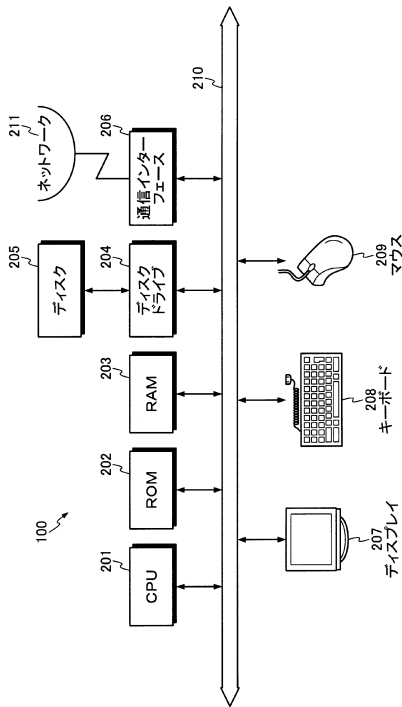
【図1】

本実施の形態にかかる設計支援装置の動作例を示す説明図



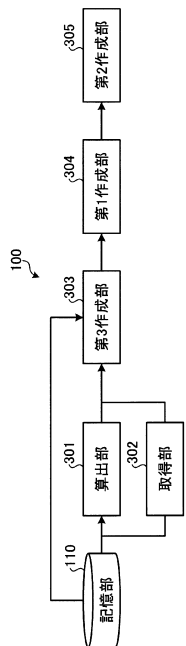
【図2】

設計支援装置のハードウェア構成の一例を示すブロック図



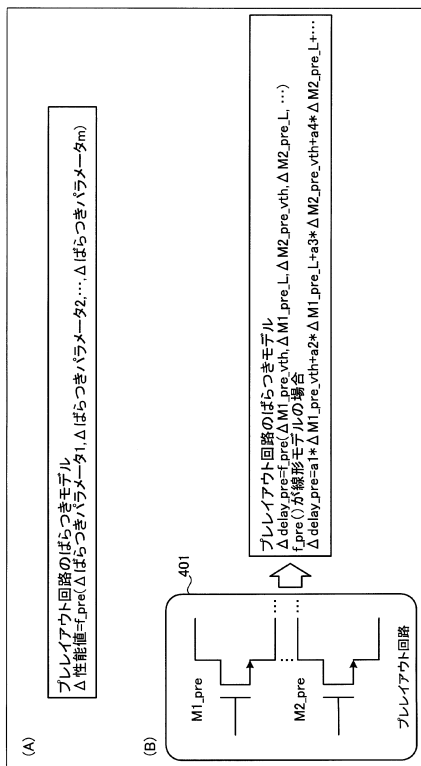
【図3】

設計支援装置の機能構成例を示すブロック図



【図4】

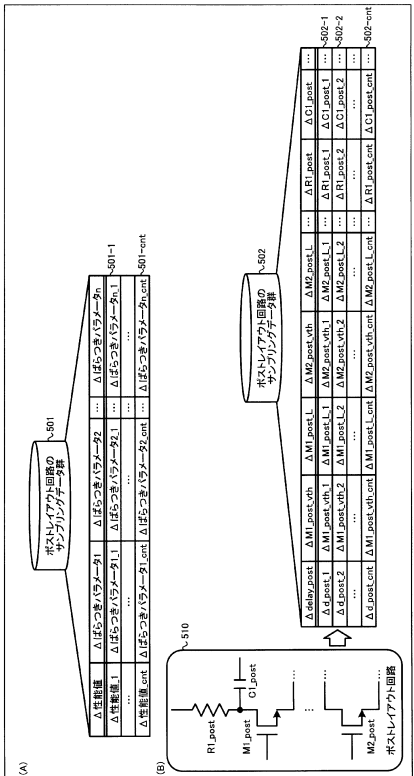
フレリアウト回路のばらつきモデルの一例を示す説明図





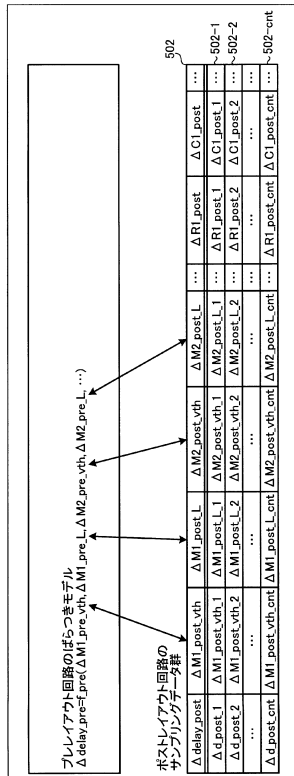
【図 5】

ポストレイト回路のサンプリングデータの一例を示す説明図



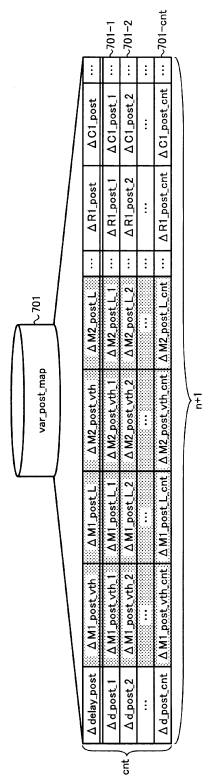
【図 6】

プレイト回路のモデルの引数とポストレイト回路とのばらつきパラメータの対応付けの一例を示す説明図



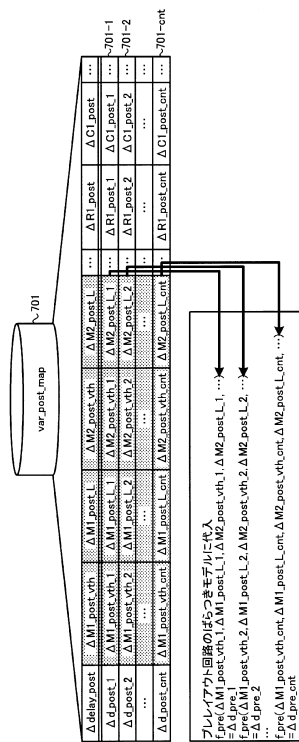
【図 7】

対応付けの結果の一例を示す説明図



【図 8】

性能の差分データの作成例を示す説明図 (その1)



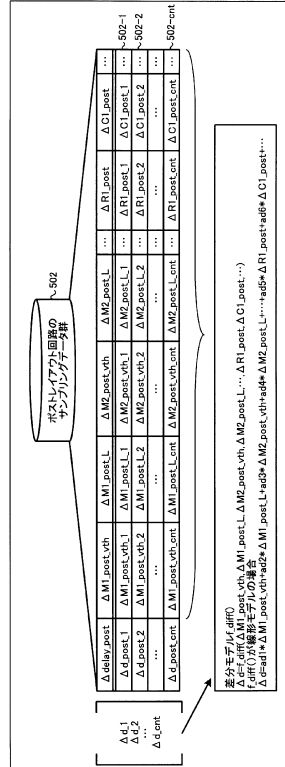
【図9】

性能の差分データの作成例を示す説明図(その2)

$$\begin{bmatrix} \Delta d_1 \\ \Delta d_2 \\ \dots \\ \Delta d_{cnt} \end{bmatrix} = \begin{bmatrix} \Delta d_{post_1} \\ \Delta d_{post_2} \\ \dots \\ \Delta d_{post_{cnt}} \end{bmatrix} - \begin{bmatrix} \Delta d_{pre_1} \\ \Delta d_{pre_2} \\ \dots \\ \Delta d_{pre_{cnt}} \end{bmatrix}$$

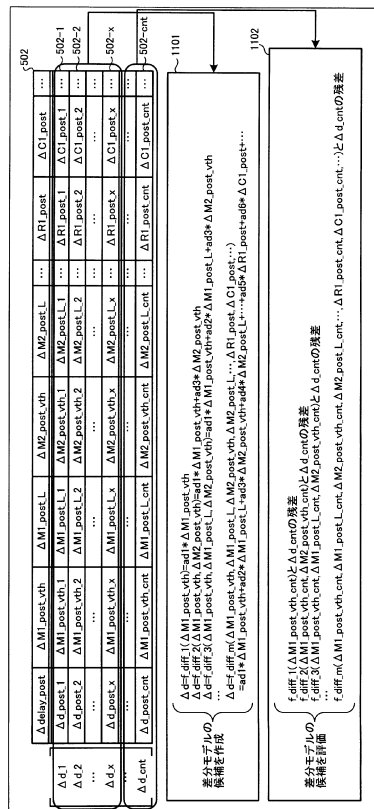
【図10】

差分モデルの作成例を示す説明図(その1)



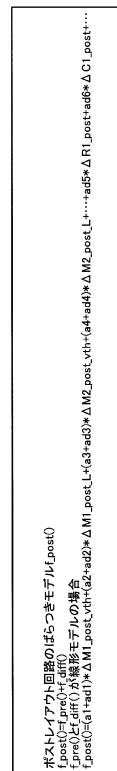
【図11】

差分モデルの作成例を示す説明図(その2)



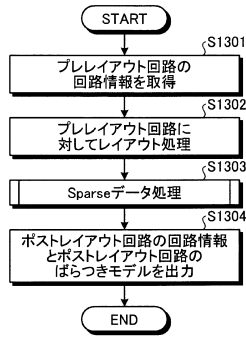
【図12】

ポストレイアウト回路のばらつきモデルの作成例を示す説明図



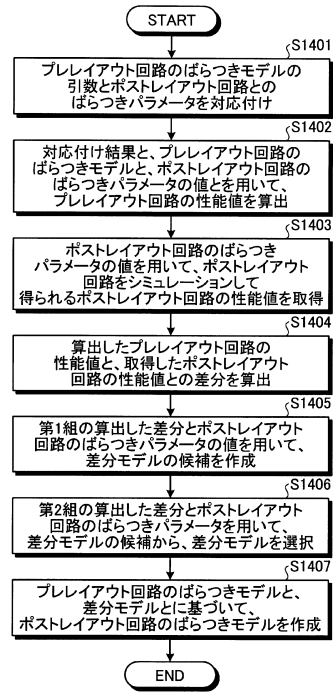
【 図 1 3 】

ポストレイアウト回路作成処理手順の一例を示すフローチャート



【 図 1 4 】

Sparseデータ処理手順の一例を示すフローチャート



【 図 1 5 】

ポストレイアウト回路のばらつきモデルの生成にかかる時間を比較した一例を示す説明図

		1501	
素子の数	パラメータの数	シミュレーション時間	性能に影響を与えないパラメータの割合
プレレイアウト回路	90	5[分]	80[%]
ポストレイアウト回路	12000	1.5[時間]	95[%]
		1503	
RSM	1250[日]	1502-1	1503-1
LAR	187.5[日]	1502-2	1503-2
本実施の形態	約38.5[日]	1502-3	

---

フロントページの続き

(56)参考文献 特開2008-276628(JP,A)  
特開2008-117210(JP,A)  
特開2004-145410(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50  
IEEE Xplore  
CiNii  
JSTPlus(JDreamIII)