

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月9日(09.03.2017)



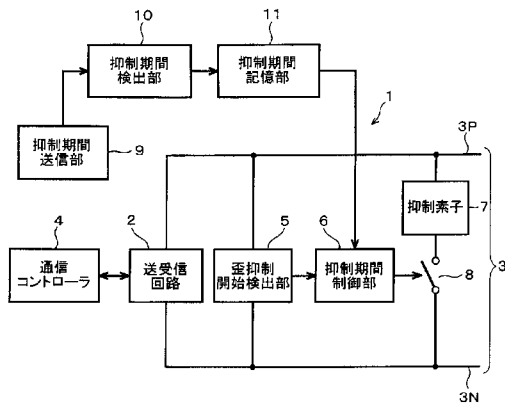
(10) 国際公開番号
WO 2017/038592 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) H03K 19/0175 (2006.01)
H03K 5/08 (2006.01)
- (21) 国際出願番号: PCT/JP2016/074725
- (22) 国際出願日: 2016年8月25日(25.08.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-171942 2015年9月1日(01.09.2015) JP
特願 2016-083699 2016年4月19日(19.04.2016) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP). 株式会社日本自動車部品総合研究所(NIPPON SOKEN, INC.) [JP/JP]; 〒4450012 愛知県西尾市下羽角町岩谷14番地 Aichi (JP).
- (72) 発明者: 森 寛之(MORI Hiroyuki); 〒4450012 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内 Aichi (JP). 本田 卓矢(HONDA Takuya); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 岸上 友久(KISHIGAMI Tomohisa); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 磯村 博文(ISOMURA Hirofumi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: RINGING SUPPRESSION CIRCUIT

(54) 発明の名称: リンギング抑制回路



- 2 Sending and receiving circuit
- 4 Communication controller
- 5 Distortion suppression start detection unit
- 6 Suppression period control unit
- 7 Suppression element
- 9 Suppression period sending unit
- 10 Suppression period detection unit
- 11 Suppression period storage unit

(57) Abstract: This ringing suppression circuit is connected to a transmission line (3) for transmitting a differential signal that changes into two value levels, high and low, by a pair of signal lines, and suppresses ringing which is produced along with the transmission of the signal. The ringing suppression circuit is provided with: a voltage driven-type single line-to-line switching element (15) connected between the pair of signal lines; a control unit (6) that, upon detecting that the level of the differential signal has changed, turns ON the line-to-line switching element and lowers the impedance between the signal lines; period detection units (10, 33, 43) that detect the length of a suppression period indicated by a setting signal that is inputted; and suppression period storage units (11, 54) that store the detected length of the suppression period. The pair of signal lines are provided with a high potential side signal line (3P) and a low potential side signal line (3N). The control unit turns ON the line-to-line switching element for the suppression period of the lengths which have been stored by the period storage units.

(57) 要約: リンギング抑制回路は、一対の信号線によりハイ、ローの2値レベルに変化する差動信号を送送する伝送線路(3)に接続され、前記信号の伝送に伴い発生するリンギングを抑制する。リンギング抑制回路は、前記一対の信号線間に接続される電圧駆動型で単一の線間スイッチング素子(15)と、前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部(6)と、入力される設定信号により示される抑制期間の長さを検出する期間検出部(10, 33, 43)と、前記検出された抑制期間の長さを

記憶する抑制期間記憶部(11, 54)とを備える。前記一対の信号線は、高電位側信号線(3P)と低電位側信号線(3N)を備え、前記制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、前記線間スイッチング素子をオンさせる。



WO 2017/038592 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： リンキング抑制回路

関連出願の相互参照

[0001] 本出願は、2015年9月1日に出願された日本特許出願番号2015-171942号と2016年4月19日に出願された日本特許出願番号2016-83699号に基づくもので、ここにそれらの記載内容を援用する。

技術分野

[0002] 本開示は、一对の高電位側信号線、低電位側信号線により差動信号を伝送する伝送線路に接続され、前記信号の伝送に伴い発生するリンキングを抑制する回路に関する。

背景技術

[0003] 伝送線路を介してデジタル信号を伝送する場合、受信側においては、信号レベルが変化するタイミングで信号エネルギーの一部が反射することで、オーバーシュートやアンダーシュートのような波形の歪み、すなわちリンキングが生じる問題がある。そして、従来、波形歪みを抑制する技術については様々な提案がされている。例えば特許文献1では、伝送路の電圧レベルがロー、ハイ間で遷移する際に、通信に影響しない一定期間のみインピーダンスを整合させてリンキングを抑制する技術が開示されている。

[0004] しかしながら、特許文献1では、インピーダンスを整合させる期間が固定されている。そのため、実際の通信速度が想定していたものよりも低速であった場合は、十分なリンキング抑制効果が得られない。また、実際の通信速度が想定していたものよりも高速であった場合は、通信信号を正常に受信できなくなってしまう。このような事態を回避するには、個別の通信速度に対応して製品を設計する必要がある、品番の増加やコストアップの要因となっていた。

先行技術文献

特許文献

[0005] 特許文献1：特許第5498527号公報

発明の概要

[0006] 本開示の目的は、異なる通信速度に対応して最適にリングングを抑制できるリングング抑制回路を提供することにある。

[0007] 本開示の一態様に係るリングング抑制回路は、一对の信号線によりハイ、ローの2値レベルに変化する差動信号を伝送する伝送線路に接続され、前記信号の伝送に伴い発生するリングングを抑制する。上記のリングング抑制回路は、一对の信号線間に接続される電圧駆動型で単一の線間スイッチング素子と、差動信号のレベルが変化したことを検出すると、線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部と、入力される設定信号により示される抑制期間の長さを検出する期間検出部と、検出された抑制期間の長さを記憶する抑制期間記憶部とを備える。一对の信号線は、高電位側信号線と低電位側信号線を備え、制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、線間スイッチング素子をオンさせる。

[0008] このように構成すれば、差動信号の通信速度に応じて抑制期間の長さを決定して、その長さに応じた設定信号を付与し、抑制期間の長さを抑制期間記憶部に記憶することで、制御部が線間スイッチング素子をオンさせる期間を可変設定できる。したがって、通信速度に応じて最適にリングングを抑制することが可能になる。

図面の簡単な説明

[0009] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。図面においては、

[図1]図1は、第1実施形態であり、リングング抑制回路の構成を示す機能ブロック図であり、

[図2]図2は、リングング抑制回路の一部を、具体的な回路で示す図であり、

[図3]図3は、抑制期間検出部及び抑制期間記憶部の構成をより具体的に示す図であり、

- [図4]図4は、動作タイミングチャートであり、
- [図5]図5は、抑制期間設定部の具体的な構成例を示す図（その1）であり、
- [図6]図6は、信号T1～Tnと各スイッチのオンオフ状態を示す図であり、
- [図7]図7は、抑制期間設定部の具体的な構成例を示す図（その2）であり、
- [図8]図8は、信号T1～Tn+1と各スイッチのオンオフ状態を示す図であり、
- [図9]図9は、第2実施形態であり、リングング抑制回路の構成を示す機能ブロック図であり、
- [図10]図10は、抑制期間検出部及び抑制期間記憶部の構成をより具体的に示す図であり、
- [図11]図11は、動作タイミングチャートであり、
- [図12]図12は、回路動作を示すフローチャートであり、
- [図13]図13は、第3実施形態であり、リングング抑制回路の構成を示す機能ブロック図であり、
- [図14]図14は、抑制期間検出部及び抑制期間記憶部の構成をより具体的に示す図であり、
- [図15]図15は、動作タイミングチャートであり、
- [図16]図16は、第4実施形態を示す動作タイミングチャートであり、
- [図17]図17は、第5実施形態であり、リングング抑制回路の構成を示す機能ブロック図であり、
- [図18]図18は、設定信号を付与する構成の変形例を示す図（その1）であり、
- [図19]図19は、設定信号を付与する構成の変形例を示す図（その2）であり、
- [図20]図20は、設定信号を付与する構成の変形例を示す図（その3）であり、
- [図21]図21は、第6実施形態であり、リングング抑制回路の構成を示す機能ブロック図であり、及び、

[図22]図 2 2 は、動作タイミングチャートである。

発明を実施するための形態

[0010] (第 1 実施形態)

以下、第 1 実施形態について説明する。図 1 に示すように、リングング抑制回路 1 は、送受信回路 2 と共に、高電位側信号線 3 P、低電位側信号線 3 N よりなる伝送線路 3 の間に並列に接続されている。尚、送受信回路 2 に替えて、送信回路又は受信回路でも良い。送受信回路 2 は、通信コントローラ 4 により制御され、伝送線路 3 を駆動して差動信号を送信し、また、伝送線路 3 を介して他の送信ノードより送信された差動信号を受信すると、受信データを通信コントローラ 4 に入力する。

[0011] 歪開始回路検出部 5 は、差動信号が伝送される際に伝送線路 3 の電圧が変化したことを検出し、抑制期間制御部 6 に歪、リングングの抑制動作を開始させるトリガ信号を与える。信号線 3 P、3 Nの間には、抑制素子 7 及びスイッチ回路 8 の直列回路が接続されている。抑制期間制御部 6 は、上記のトリガ信号が入力されると、設定された抑制期間だけスイッチ回路 8 をオンして伝送路 3 のインピーダンスを低下させる。

[0012] 本実施形態において、前記抑制期間の長さの設定を変更可能にする。そのため、抑制期間送信部 9 は、抑制期間の長さを抑制期間制御部 6 に設定する設定信号を送信する。設定信号は抑制期間検出部 10 により受信されて検出されると、抑制期間記憶部 11 に記憶される。そして、抑制期間制御部 6 は、抑制期間記憶部 11 に記憶された長さの抑制期間だけスイッチ回路 8 をオンする。

[0013] より具体的な構成を示す図 2 において、4 つの N チャネル MOS F E T 1 2 ~ 1 5 の電位基準側導通端子であるソースは、何れも低電位側信号線 3 N に接続されており、N チャネル MOS F E T 1 2 及び 1 4 の制御端子であるゲートは、高電位側信号線 3 P に接続されている。

[0014] 線間スイッチング素子である F E T 1 5 の非基準側導通端子であるドレインは高電位側信号線 3 P に接続されており、F E T 1 3 及び 1 4 のドレイン

はF E T 7のゲートに接続されていると共に抵抗素子16を介してハイレベル、すなわち電源レベル；Vcc)にプルアップされている。F E T 12のドレインは、抵抗素子17介してハイレベルにプルアップされていると共に、抑制期間設定部18を介してF E T 13のゲートに接続されている。以上において、F E T 15は図1に示す抑制素子7及びスイッチ回路8の直列回路に相当する。つまり、F E T 15のオン抵抗が抑制素子7に相当している。また、F E T 12は歪開始回路検出部5に相当し、その他は抑制期間制御部6に相当する。

[0015] 図3に示すように、抑制期間検出部10はコンパレータ21を備えている。コンパレータ21の非反転入力端子には、抑制期間送信部9からの送信信号が与えられる。電源とグランドとの間には抵抗素子22及び23の直列回路が接続されており、それらの共通接続点はコンパレータ21の反転入力端子に接続されている。

[0016] また、電源とグランドとの間には、電流源24、セクタ25及びコンデンサ26の直列回路が接続されている。電流源24及びセクタ25は充電部に相当する。電流源24の下端は、セクタ25のH側入力端子に接続されており、セクタ25の出力端子がコンデンサ26の上端に接続されている。セクタ25のL側入力端子はオープンである。セクタ25の入力選択はコンパレータ21の出力信号で制御される。すなわち、前記出力信号の二値レベル変化に応じて、H/L側入力端子が選択される。

[0017] 更に、抑制期間検出部10は、例えばn個のコンパレータ27__1~27__nを備えており、これらの非反転入力端子は共通に、セクタ25の出力端子に接続されている。各コンパレータ27__1~27__nに対応して、コンパレータ21と同様に抵抗素子28__1~n及び29__1~nの直列回路が設けられており、それぞれの共通接続点がコンパレータ27__1~27__nの反転入力端子に接続されている。各共通接続点の電位によりそれぞれ閾値1~nが付与される。閾値1が最低レベル、閾値nが最高レベルであり、それらの間は順次レベルが上昇するように設定されている。各コンパレータ

27__1～27__nの出力信号T1～Tnは、ラッチ回路で構成される抑制期間記憶部11を介して抑制期間制御部6に入力されている。

[0018] 図2に示す抑制期間設定部18は、図5又は図7に示すように、時定数を変更可能な積分回路、すなわち遅延回路で構成されている。図5に示す抑制期間設定部18Aは、抵抗素子R0～Rn、コンデンサC0～Cn、スイッチSWr1～SWrn及びSWc1～SWcnを有している。抵抗素子R0に対して、スイッチSWr1及び抵抗素子R1～SWrn及びRnからなる各直列回路が並列に接続されている。

[0019] 各抵抗素子R0～Rnの共通接続点は、コンデンサC0を介してグラウンドに接続されている。その他のコンデンサC1～Cnの下端は何れもグラウンドに接続され、コンデンサC0、C1の上端はスイッチSWc1を介して接続され、…コンデンサCn-1、Cnの上端はスイッチSWcnを介して接続されている。スイッチSWr1及びSWc1～SWrn及びSWcnのオンオフは、それぞれ抑制期間記憶部11より入力される信号T1～Tnにより制御される。

[0020] また、図7に示す抑制期間設定部18Bは、抑制期間設定部18Aに加えてスイッチSWr0及びSWc0を備えている。抵抗素子R0及びコンデンサC0、…、抵抗素子Rn及びコンデンサCnがそれぞれ積分回路を構成しており、共通の入力端子と抵抗素子R0、R1、…、Rnとの間にはそれぞれスイッチSWr0、…、SWrnが配置されており、コンデンサC0、…、Cnと共通の出力端子との間にはそれぞれスイッチSWc0、…、SWcnが配置されている。スイッチSWr0及びSWc0～SWrn及びSWcnのオンオフは、抑制期間設定部18Aと同様に抑制期間記憶部11より入力される信号により制御されるが、この場合は信号Tn+1まで必要となる。

[0021] 次に、本実施形態の作用について説明する。図4に示すように、抑制期間送信部9は、抑制期間の長さをハイレベル期間で示す抑制期間設定信号を送信する。すると、抑制期間検出部10のコンパレータ21は、抑制期間設定

信号がハイレベルを示す間に出力信号をハイレベルにする。コンパレータ 21 の出力信号がハイレベルを示す間、コンデンサ 26 は電流源 24 により充電されるので、その端子電圧は線形に上昇する。

[0022] コンデンサ 26 の端子電圧が上昇する期間の長さに応じて、コンパレータ 27 は、設定されている閾値が低い方から順次出力信号をハイレベルに変化させる。抑制期間記憶部 11 は例えばラッチ回路で構成され、各信号の立上りエッジをトリガとして出力信号 T1, … をハイレベルにする。

[0023] 図 5 に示す抑制期間設定部 18A の構成では、全てのスイッチがオフの場合は抵抗素子 R0 及びコンデンサ C0 のみで積分回路が構成され、時定数が最小になっている。その状態から出力信号 T1, …, Tn が順次ハイレベルに変化すると、スイッチ SWr1 及び SWc1, …, SWrn 及び SWcn が順次オンになり、時定数が漸増する（図 6 参照）。

[0024] また、図 7 に示す抑制期間設定部 18B の構成では、出力信号 T1, …, Tn+1 により、スイッチ SWr1 及び SWc1, …, SWrn 及び SWcn の何れか一組のだけが排他的にオンされる。これにより、積分回路 R0 及び C0 ~ Rn 及び Cn の何れか 1 つが接続される（図 8 参照）。この場合、積分回路 R0 及び C0 ~ Rn 及び Cn の時定数が、次第に大きくなるように設定されている。

[0025] そして、伝送線路 3 に接続されている通信ノードによって伝送線路 3 がドライブされて差動信号が送信された際に、差動信号レベルがハイの場合に FET12 及び 14 はオンしているので、FET13 はオフしている。したがって、FET15 はオフ状態となっている。この状態から、差動信号レベルがハイからローに変化すると FET4 及び 6 がターンオフする。すると、抑制期間設定部 18 において、抑制期間記憶部 11 に記憶された設定期間の長さに応じた遅延時間が経過した後に FET15 がターンオンする。すると、高電位側信号線 3P, 低電位側信号線 3N 間は FET15 のオン抵抗を介して接続されることになり、インピーダンスが低下する。これにより、差動信号レベルがハイからローに変化する立下り期間に発生する波形歪みのエネルギー

ギーが上記オン抵抗により消費され、リングングが抑制される。

[0026] 以上のように本実施形態によれば、抑制期間送信部 9 が抑制期間の長さを示す設定信号を送信すると、抑制期間検出部 10 が設定信号により示される抑制期間の長さを検出し、抑制期間記憶部 11 は検出された抑制期間の長さを記憶する。そして、抑制期間制御部 6 は、歪み抑制開始検出部 5 が差動信号のレベルが変化したことを検出すると、抑制期間記憶部 11 に記憶された長さの抑制期間だけ F E T 15 をオンさせる。

[0027] このように構成すれば、差動信号の通信速度に応じて抑制期間の長さを決定し、抑制期間送信部 9 が設定信号を送信することで、抑制期間制御部 6 が F E T 15 をオンさせる期間を可変設定できる。したがって、リングング抑制回路 1 は、適用される通信速度に応じてリングングを最適に抑制することが可能になる。

[0028] この場合、抑制期間送信部 9 は、抑制期間の長さに応じて設定信号が示すハイレベルの継続時間を変化させて送信し、抑制期間検出部 10 は前記継続時間の長さを検出するので、簡単な信号形式により抑制期間の長さを示すことができる。

[0029] また、抑制期間検出部 10 は、前記継続時間の長さに応じてコンデンサ 26 を充電し、コンデンサ 26 の端子電圧を、コンパレータ 27_1 ~ 27_n によりそれぞれ異なる閾値と比較し、コンパレータ 27_1 ~ 27_n の出力信号が変化する数に応じて継続時間の長さを検出するので、簡単なハードウェアにより継続時間の長さを検出できる。そして、抑制期間記憶部 11 は、コンパレータ 27_1 ~ 27_n の出力信号の変化状態を記憶するラッチ回路を備えるので、継続時間の長さで示された抑制期間の長さをラッチ回路で記憶することができる。

[0030] 加えて、抑制期間設定部 18 は、時定数を変更可能に構成される積分回路を備え、抑制期間記憶部 11 に記憶された抑制期間の長さに応じて時定数を変化させ、抑制期間制御部 6 は、前記時定数に応じて F E T 15 をオンさせる。したがって、抑制期間の長さを簡単な構成によって調整できる。

[0031] (第2実施形態)

以下、第1実施形態と同一部分には同一符号を付して説明を省略し、異なる部分について説明する。第2実施形態では、抑制期間の長さを示す設定信号の形式が第1実施形態とは異なっている。すなわち、図11に示すように、設定信号のレベルがハイ／ローに変化する回数により抑制期間の長さが示される。

[0032] 図9に示すように、第2実施形態のリング抑制回路31は、抑制期間送信部9及び抑制期間検出部10に替わる抑制期間送信部32及び抑制期間検出部33を備えている。抑制期間検出部33は、エッジカウント開始検出部34、エッジカウント停止検出部35及び立下りエッジカウント部36を有している。

[0033] 図10に示すように、エッジカウント開始検出部34はラッチ回路で構成されている。エッジカウント停止検出部35は、第1実施形態の充電部及びコンデンサ26と、1つのコンパレータ27とを備えている。但し、電流源24はセレクタ25のL側入力端子に接続されており、H側入力端子はグラウンドに接続されている。

[0034] これらに加えて、エッジカウント停止検出部35は、もう1つのセレクタ37を備えている。セレクタ37のH側入力端子は抑制期間送信部32の出力端子に接続され、L側入力端子は電源にプルアップされている。セレクタ37の入力選択はエッジカウント開始検出部34の出力信号によって行われ、セレクタ25の入力選択はセレクタ37の出力信号によって行われる。

[0035] 立下りエッジカウント部36はnビットカウンタで構成され、そのカウント値は、抑制期間記憶部11のラッチ回路によりラッチされる。前記カウンタは、コンパレータ27の出力信号がハイレベルになるとクリアされ、前記ラッチ回路は前記出力信号の立上りエッジで入力データをラッチする。

[0036] 次に、第2実施形態の作用について説明する。図11に示すように、初期状態では、抑制期間送信部32は出力信号のレベルをローに維持している（図12；S1）。エッジカウント開始検出部34の出力信号Aはローレベル

であるから、セクタ 37 の出力信号はハイレベルになり、セクタ 25 はコンデンサ 26 を放電させている。したがって、コンパレータ 27 の出力信号 B はローレベルになっている。この状態から、抑制期間送信部 32 は出力信号のレベルをハイ／ローの二値レベルで変化させる回数によって設定信号を送信する。

[0037] 最初に抑制期間送信部 32 の出力信号がハイレベルに変化すると、出力信号 A がハイレベルになり (S2, S3; YES)、以後この状態が固定される (S4)。すると、セクタ 37 は H 側入力端子を選択するので、コンデンサ 26 が充電される。ここで、抑制期間送信部 32 が設定信号としてハイレベルパルスを出したとする。この時、セクタ 25 は、設定信号がハイレベルを示す毎にコンデンサ 26 を放電させるので、設定信号のレベルが一定時間内で変化している間は、信号 B はローレベルのままである (S10~S12)。

[0038] 設定信号の立下りエッジにより、立下りエッジカウンタ部 36 のカウンタはカウント動作を行う (S5, S6)。図 11 では 3 ビット (Q1~Q3) のみを示す。そして、設定信号の送信が完了してローレベルが継続する状態になると (S7)、コンデンサ 26 の充電が継続されて端子電圧が上昇する。端子電圧がコンパレータ 27 の閾値電圧を超えると信号 B がハイレベルとなり (S12; YES)、抑制期間記憶部 11 のラッチ回路はカウント値「5」をラッチし (S8)、立下りエッジカウンタ部 36 のカウンタはクリアされる (S9)。

[0039] 以上のように第 2 実施形態によれば、抑制期間送信部 32 は、抑制期間の長さに応じて設定信号が 2 値レベル間で遷移するエッジの出力回数を変化させて送信し、抑制期間検出部 33 は、その出力回数を検出する。したがって、よりノイズ耐性を向上させた態様で設定信号を送信できる。この場合、抑制期間検出部 33 は、立下りエッジカウンタ部 36 により前記出力回数をカウントするので、設定信号で示される抑制期間の長さをカウント値により簡単に検出できる。

[0040] (第3実施形態)

第3実施形態では、抑制期間の長さを示す設定信号の形式が第1及び第2実施形態とは異なっており、図15に示すように、NRZ信号によるデジタルデータで抑制期間の長さが示される。図13に示すように、第3実施形態のリング抑制回路41は、抑制期間送信部9及び抑制期間検出部10に替わる抑制期間送信部42及び抑制期間検出部43を備えている。抑制期間検出部43は、設定信号検出開始部44、設定信号検出停止部45及びビット判定部46を有している。

[0041] 図14に示すように、設定信号検出開始部44は、第2実施形態のエッジカウント開始検出部34と同じくラッチ回路で構成されている。設定信号検出停止部45は、第2実施形態のエッジカウント停止検出部35に、ANDゲート47及びDフリップフロップ48を加えて構成されている。上記のラッチ回路の出力信号Aは、ANDゲート47を介した信号Dとしてセレクタ37に入力される。コンパレータ27の出力信号Bは、Dフリップフロップ48のクロック端子CKに与えられ、Dフリップフロップ48の出力端子Q(バー)は、信号CをANDゲート47の入力端子に与える。Dフリップフロップ48の入力端子Dは、電源にプルアップされている。

[0042] ビット判定部46は、コンパレータ49、Dフリップフロップ50を備えている。コンパレータ49の非反転入力端子は、ANDゲート55の出力端子に接続されている。ANDゲート55の入力端子は、それぞれ抑制期間送信部42の出力端子、ANDゲート47の出力端子に接続されている。反転入力端子には、電源電圧を抵抗素子51及び52により分圧した閾値が与えられている。コンパレータ49の出力端子は、Dフリップフロップ50の入力端子Dに接続されており、Dフリップフロップ50のクロック端子CKには、クロック発振回路53よりクロック信号が与えられている。また、第3実施形態の抑制期間記憶部54はメモリ等により構成され、Dフリップフロップ48の出力端子Qより出力される信号(データ)Eは、上記のメモリにより記憶される。

[0043] 次に、第3実施形態の作用について説明する。図16に示すように、初期状態では、抑制期間送信部42は出力信号のレベルをローに維持している。尚、Dフリップフロップ48の出力信号Cは、初期状態でハイレベルである。第2実施形態と同様、設定信号検出開始部44の出力信号Aはローレベルでセクタ37の出力信号はハイレベルになり、セクタ25はコンデンサ26を放電させている。したがって、コンパレータ27の出力信号Bはローレベルである。また、信号DがローレベルであるからANDゲート55の出力信号もローレベルとなり、信号Eもローレベルのままである。

[0044] この状態から、抑制期間送信部42が出力信号をハイレベルに変化させると、出力信号Aがハイレベルになり、以後この状態が固定される。すると、セクタ37がH側入力端子を選択してコンデンサ26が充電される。ここで、抑制期間送信部42が設定信号として、5ビットのデータ「10101」を送信したとする。この時、セクタ25は第2実施形態と同様に、設定信号がハイレベルを示す毎にコンデンサ26を放電させるので、設定信号のレベルが一定時間内で変化している間は、信号Bはローレベルのままである。尚、データ送信周期は、ビット判定部44におけるクロック信号周期の2分周に設定する。

[0045] また、信号Aがハイレベルになると信号Dもハイレベルになる。これにより、ANDゲート55を介してDフリップフロップ50の入力端子Dに設定信号が与えられる。すると、Dフリップフロップ50はデータ「10101」に応じたレベル変化によりトリガされる。したがって、信号Eもデータ「10101」をシリアルに示す信号となる。

[0046] そして、設定信号の送信が完了してローレベルが継続する状態になると、第2実施形態と同様にコンデンサ26の充電が継続されて端子電圧が上昇し、コンパレータ27の閾値電圧を超えると信号BがハイレベルとなりDフリップフロップ48がトリガされる。すると信号Cがローレベルになり、それに伴い信号Dもローレベルになる。

[0047] ここで、抑制期間記憶部54によるデータの記憶は、例えばシフトレジス

タ等により入力されるシリアルデータをクロック信号によりシフトすることで行うようにすれば良い。そして、抑制期間記憶部54に記憶されたデータを、デコーダを介してデコードすることで、第1実施形態と同様に時定数を調整すれば良い。

[0048] 以上のように第3実施形態によれば、抑制期間送信部42は、設定信号において抑制期間の長さを所定の形式であるNRZ信号によりデータ化して送信し、抑制期間検出部43はそのデータ値を検出するようにした。このように構成すれば、抑制期間をより長く設定する場合に応じて、設定信号の送信期間を長くする必要がなくなる。

[0049] (第4実施形態)

第4実施形態は、第3実施形態のリング抑制回路41を用いて、設定信号をPWM信号形式で送信する場合を示す。図16に示すように、例えばデューティ比75%をデータ「0」とし、デューティ比25%をデータ「1」とする。そして、PWM周期をクロック発振回路53のクロック信号周期に合わせ、当該クロック信号の立上りエッジがPWM周期の中心位相に一致するタイミングで設定信号を送信する。すると、信号Eは、デューティ比100%がデータ「0」、デューティ比0%がデータ「1」を示す信号となる。

[0050] 以上のように構成される第4実施形態によれば、設定信号をPWM信号形式で送信することができる。

[0051] (第5実施形態)

図17に示すように、第5実施形態のリング抑制回路61は、第1～第4実施形態における抑制期間送信部9等を備えておらず、抑制期間検出部62の入力端子には、電源とグランドとの間に接続される抵抗素子63及び64の共通接続点が接続されている。つまり第5実施形態では設定信号を、電源電圧を分圧した電圧レベルで付与する。そして、抑制期間検出部62は、第1実施形態の抑制期間検出部10よりコンパレータ21～コンデンサ26を削除した構成であり、コンパレータ27_1～27_nの非反転入力端

子には、抵抗素子63及び64の共通接続点が直接接続されている。すなわち第5実施形態では、設定信号により示される電圧レベルの高低に応じて抑制期間の長短を設定する。

[0052] 以上のように構成される第5実施形態によれば、第1～第4実施形態のように抑制期間送信部9等を備えずとも、電源電圧を分圧した電圧レベルによって設定信号を付与できる。

[0053] また、上記のように設定信号を電圧レベルで付与する構成としてはその他、抵抗素子63及び64に替えて、例えば図18に示すように、可変抵抗素子65及び66の直列回路を用いて電圧レベルを変更することもできる。尚、抵抗素子63及び64の何れか一方だけを可変抵抗素子に置き換えても良い。

[0054] 同様に、電圧レベルを変更可能な構成としては、例えば図19に示すように、抵抗素子63の下端にセクタ67を接続し、それぞれ抵抗値が異なるグラウンド側の抵抗素子64(1)～64(n)との接続を切替える構成を採用しても良い。

[0055] また、例えば図20に示すように、セクタ67をn個のNチャンネルMOSFET68(1)～68(n)に置き換えて、それらの1つ以上を選択的にオンすることで電圧レベルを変更することもできる。この場合、抵抗素子64(1)～64(n)の抵抗値は全て同じであっても良い。また、NチャンネルMOSFET68に替えて、NPNトランジスタやアナログスイッチ等を用いても良い。

[0056] (第6実施形態)

図21に示すように、第6実施形態では、設定信号がパルス信号としてリング抑制回路71の抑制期間検出部72に入力される。そして、抑制期間の長短は、上記信号のパルス幅で示される。抑制期間検出部72では、第1実施形態の抑制期間検出部10におけるコンパレータ21がセクタ73に置き換えられており、コンデンサ26の上端とコンパレータ27との間にもセクタ74が挿入されている。また、抑制期間検出部72は、エッジ検

出部 75、電源検出部 76 及び設定イネーブル信号生成部 77 を備えている。

[0057] 電源検出部 76 は、リングング抑制回路 71 に電源が投入されたことを検出すると ON トリガ信号を設定イネーブル信号生成部 77 に出力する。エッジ検出部 75 は例えばフリップフロップ等で構成され、入力されるパルス信号の立下りエッジを検出すると OFF トリガ信号を設定イネーブル信号生成部 77 に出力する。設定イネーブル信号生成部 77 は、ON トリガ信号が入力されると設定イネーブル信号をアクティブレベルのハイにし、OFF トリガ信号が入力されると設定イネーブル信号をローレベルにする。セクタ 73 及び 74 の切替制御は、設定イネーブル信号によって行われる。

[0058] 以上において、電源検出部 76 は電源供給検出部に相当し、設定イネーブル信号生成部 77 はイネーブル信号出力部に相当する。また、電流源 24 ~ コンデンサ 26 は電圧信号変換部に相当する。

[0059] 次に、第 6 実施形態の作用について説明する。初期状態で、セクタ 25 は R 側に、セクタ 73 及び 74 は OFF 側になっている。図 22 に示すように、リングング抑制回路 71 に電源が投入されると電源検出部 76 が ON トリガ信号を出力し、設定イネーブル信号生成部 77 は設定イネーブル信号をハイレベルにする。これにより、セクタ 73 及び 74 は何れも ON 側に切り替わる。

[0060] この状態で、セクタ 73 にパルス信号が入力されると、セクタ 25 は、前記信号がハイレベルを示すパルス幅相当の期間だけ D 側に切り替わり、コンデンサ 26 は電流源 24 により充電される。そして、パルス信号のレベルがハイからローに変化すると、その立下りエッジのタイミングでエッジ検出部 75 が OFF トリガ信号を出力する。これにより、設定イネーブル信号生成部 77 は、設定イネーブル信号をローレベルにする。すると、コンデンサ 26 の充電が停止されると共に、セクタ 73 及び 74 が何れも OFF 側に切り替わり、その時点のコンデンサ 26 の端子電圧がコンパレータ 27 に出力される。

- [0061] つまり、抑制期間検出部 7 2 では、設定イネーブル信号がアクティブレベルである期間において、入力されるパルス信号がハイレベルとなる期間、パルス幅に対応する期間でコンデンサ 2 6 が充電され、コンデンサ 2 6 の端子電圧に応じた長さの抑制期間が設定される。尚、図 2 2 では入力される設定信号を複数のパルス列で示しているが、設定信号としては単一のパルス信号で良い。また、設定信号は、例えば第 1 ~ 第 4 実施形態のような設定信号送信部が送信しても良い。
- [0062] 以上のように第 6 実施形態によれば、電源検出部 7 6 は、リング抑制回路 7 1 に電源が投入されたことを検出すると ON トリガ信号を出力し、エッジ検出部 7 5 は、抑制期間の長さをパルス幅で示す設定信号の立下りエッジを検出すると OFF トリガ信号を出力する。そして、設定イネーブル信号生成部 7 7 は、ON トリガ信号が入力されると設定イネーブル信号をハイレベルにし、OFF トリガ信号が入力されると同信号をローレベルにし、電流源 2 4 ~ コンデンサ 2 6 は、設定イネーブル信号がアクティブである期間に入力される設定信号を、そのパルス幅に応じたレベルの電圧信号に変換する。したがって、抑制期間の設定を短時間で行うことができる。
- [0063] 本開示は上記した、又は図面に記載した実施形態にのみ限定されるものではなく、以下のような変形又は拡張が可能である。
- [0064] 設定信号送信部により送信される設定信号は、その他、例えば抑制期間の長さを抵抗分圧による電圧レベルで示す形式などでも良い。
- [0065] 何れの構成要素もハードウェアのみならず、ソフトウェアで実現しても良い。
- [0066] 第 3 及び第 4 実施形態において、データ「1, 0」の定義は逆でも良い。また、第 4 実施形態におけるデータ値に対応するデューティ比は、適宜変更して定義すれば良い。
- [0067] 抑制期間設定部を、タイマを用いて構成しても良い。
- [0068] 第 6 実施形態における抑制期間検出部 7 2 の構成は一例であり、設定信号のパルス幅に応じたレベルの電圧信号に変換する構成であれば、どのような

ロジックであっても良い。

[0069] ここで、この出願に記載されるフローチャート、あるいは、フローチャートの処理は、複数のセクション（あるいはステップと言及される）から構成され、各セクションは、たとえば、S 1と表現される。さらに、各セクションは、複数のサブセクションに分割されることができる、一方、複数のセクションが合わさって一つのセクションにすることも可能である。さらに、このように構成される各セクションは、デバイス、モジュール、ミーンズとして言及されることができる。

請求の範囲

- [請求項1] 一対の信号線によりハイ、ローの2値レベルに変化する差動信号を伝送する伝送線路(3)に接続され、前記信号の伝送に伴い発生するリングングを抑制するリングング抑制回路において、
- 前記一対の信号線間に接続される電圧駆動型で単一の線間スイッチング素子(15)と、
- 前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子をオンさせて前記信号線間のインピーダンスを低下させる制御部(6)と、
- 入力される設定信号により示される抑制期間の長さを検出する期間検出部(10, 33, 43)と、
- 前記検出された抑制期間の長さを記憶する抑制期間記憶部(11, 54)とを備え、
- 前記一対の信号線は、高電位側信号線(3P)と低電位側信号線(3N)を備え、
- 前記制御部は、抑制期間記憶部に記憶された長さの抑制期間だけ、前記線間スイッチング素子をオンさせるリングング抑制回路。
- [請求項2] 前記設定信号は、前記抑制期間の長さを電圧レベルで示す請求項1記載のリングング抑制回路。
- [請求項3] 前記電圧レベルは、電源電圧を、複数の抵抗素子(63, 64, 65, 66)からなる分圧回路により分圧することで示される請求項2記載のリングング抑制回路。
- [請求項4] 前記複数の抵抗素子の1つ以上が、可変抵抗素子(65, 66)である請求項3記載のリングング抑制回路。
- [請求項5] 前記分圧回路にセレクタ(67)を備え、
- 前記セレクタにより抵抗素子の通電経路を切替えて、前記電圧レベルを変更する請求項3又は4記載のリングング抑制回路。
- [請求項6] 前記セレクタは、電圧駆動型の半導体スイッチング素子(68)で

構成される請求項 5 記載のリングング抑制回路。

[請求項7] 前記設定信号は、前記抑制期間の長さをパルス幅で示す請求項 1 記載のリングング抑制回路。

[請求項8] 前記期間検出部は、電源の供給が開始されたことを検出する電源供給検出部と、

前記設定信号のパルスの立下りエッジを検出するエッジ検出部と、

前記電源の供給開始が検出されたことをトリガとして設定イネーブル信号をアクティブにし、前記立下りエッジが検出されたことをトリガとして設定イネーブル信号をインアクティブにするイネーブル信号出力部と、

前記設定イネーブル信号がアクティブである期間の長さに応じた電圧レベルを生成する電圧信号変換部とを備える請求項 7 記載のリングング抑制回路。

[請求項9] 前記設定信号を前記期間検出部に送信する設定信号送信部（9）をさらに備え、

前記設定信号送信部は、前記抑制期間の長さに応じて、前記設定信号が示すハイ又はローレベルの何れかを継続する時間の長さを変化させて送信し、

前記期間検出部は、前記時間の長さを検出する請求項 1 記載のリングング抑制回路。

[請求項10] 前記期間検出部は、前記時間の長さに応じてコンデンサ（26）を充電する充電部（24, 25）と、

前記コンデンサの端子電圧を、それぞれ異なる閾値と比較する複数のコンパレータ（27）とをさらに備え、

前記複数のコンパレータの出力信号が変化する数に応じて、前記時間の長さを検出する請求項 9 記載のリングング抑制回路。

[請求項11] 前記抑制期間記憶部（11）は、前記複数のコンパレータの出力信号の変化状態を記憶するラッチ回路を備える請求項 10 記載のリング

ング抑制回路。

[請求項12] 前記設定信号送信部（32）は、前記抑制期間の長さに応じて、前記設定信号が2値レベル間で遷移するエッジの出力回数を変化させて送信し、

前記期間検出部（33）は、前記出力回数を検出する請求項1記載のリングング抑制回路。

[請求項13] 前記期間検出部は、前記設定信号が変化する回数をカウントするカウンタ（36）を備える請求項12記載のリングング抑制回路。

[請求項14] 前記抑制期間記憶部（11）は、前記コンパレータの出力信号が変化しない状態が所定期間継続すると、前記カウンタのカウント値をラッチするラッチ回路で構成される請求項13記載のリングング抑制回路。

[請求項15] 前記設定信号送信部（42）は、前記設定信号において、前記抑制期間の長さを所定の形式でデータ化して送信し、

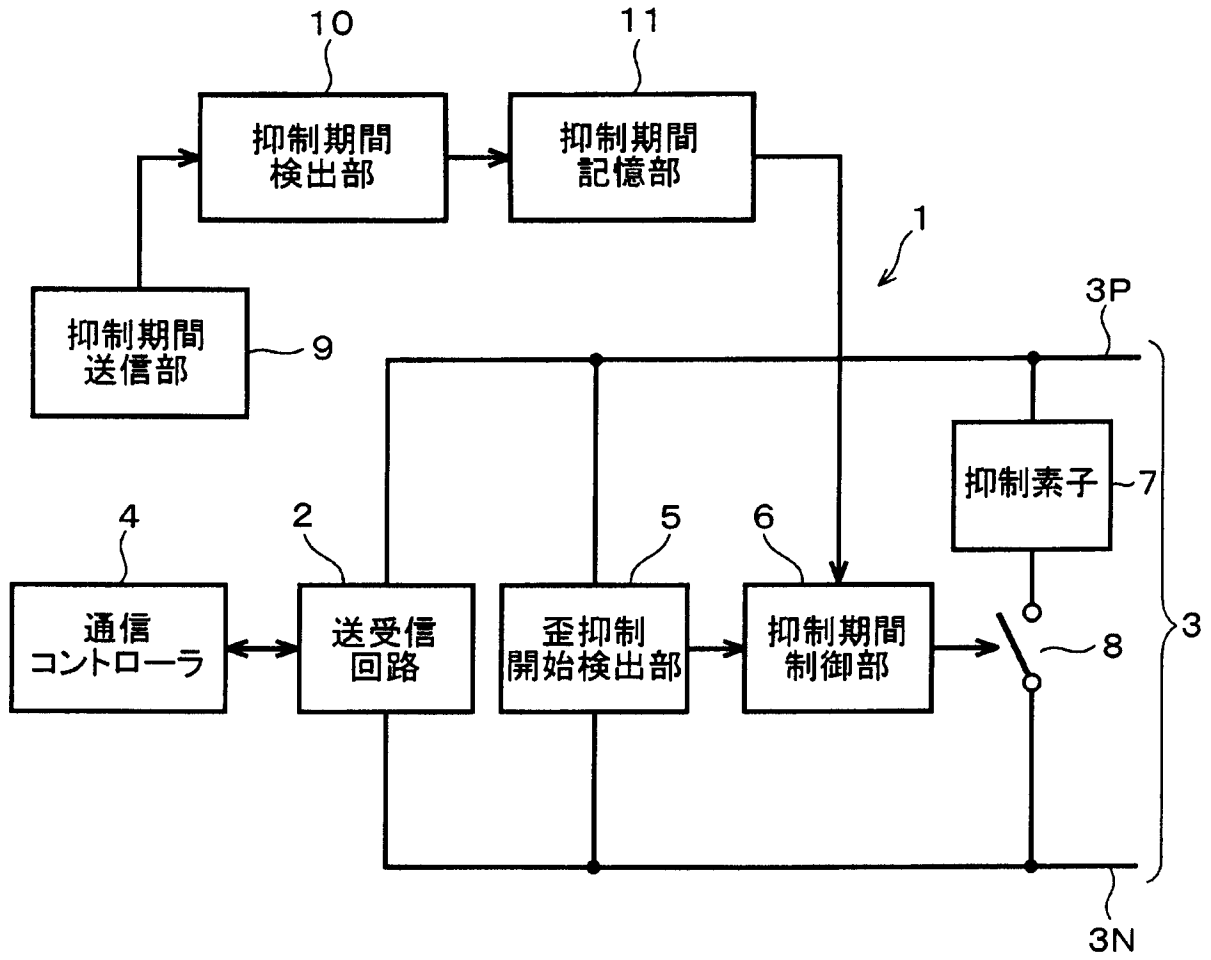
前記期間検出部（43）は、前記データ値を検出する請求項1記載のリングング抑制回路。

[請求項16] 前記データの形式は、NRZ（No Return to Zero）信号である請求項15記載のリングング抑制回路。

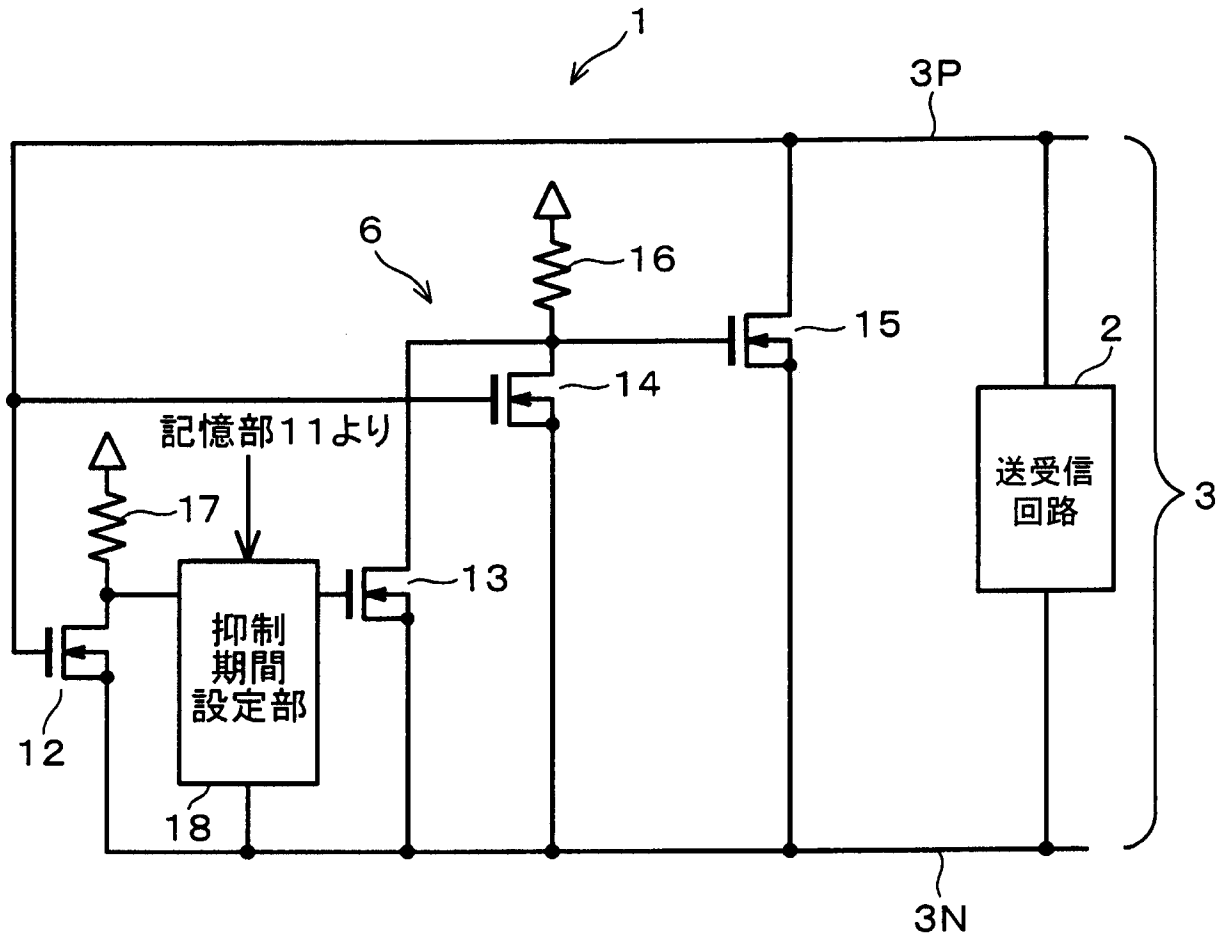
[請求項17] 前記データの形式は、PWM（Pulse Width Modulation）信号である請求項15記載のリングング抑制回路。

[請求項18] 前記制御部は、時定数を変更可能に構成される遅延回路（18）を備え、前記抑制期間記憶部に記憶された抑制期間の長さに応じて前記時定数を変化させ、前記時定数に応じて前記線間スイッチング素子をオンさせる請求項1から17の何れか一項に記載のリングング抑制回路。

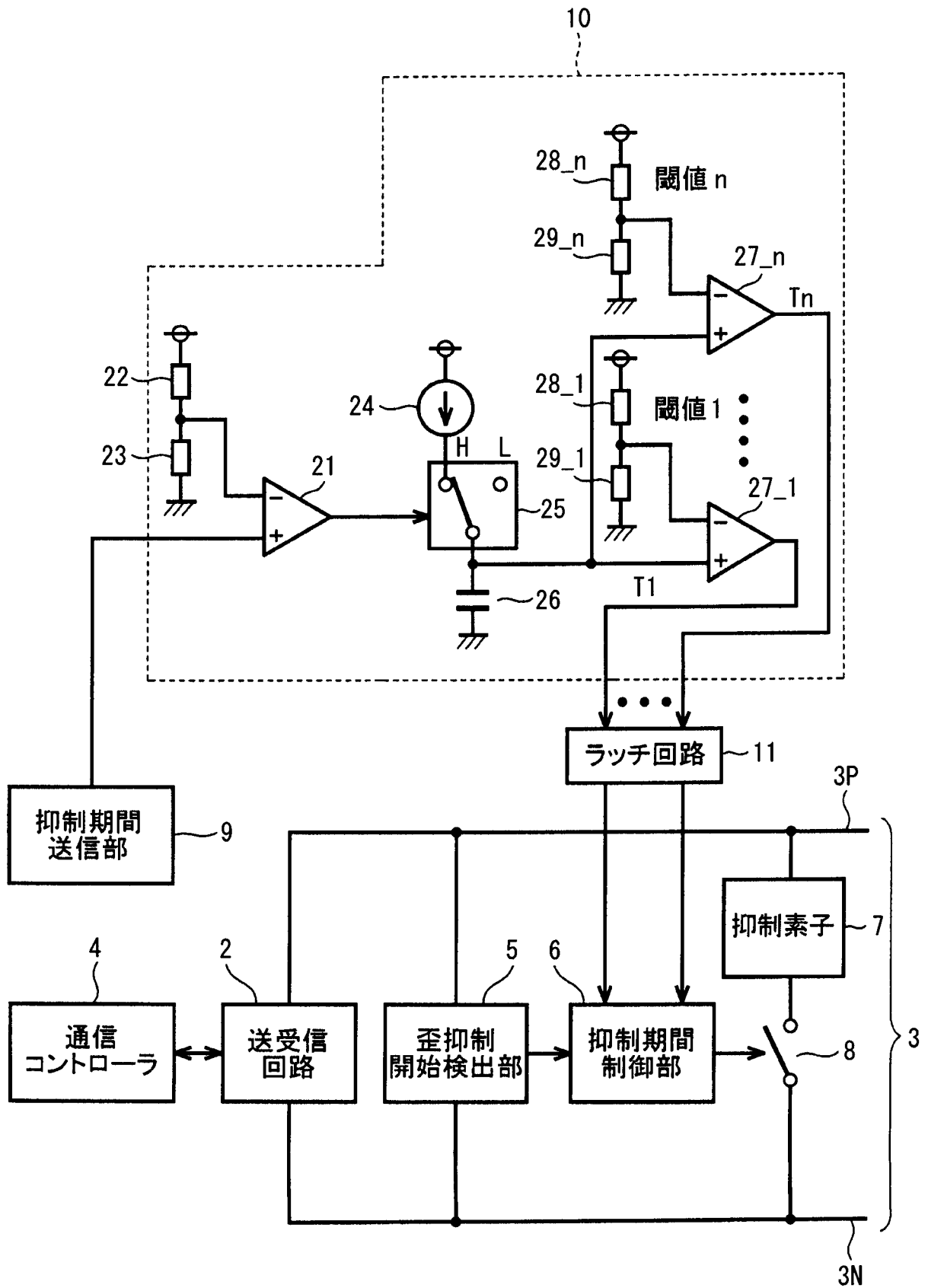
[図1]



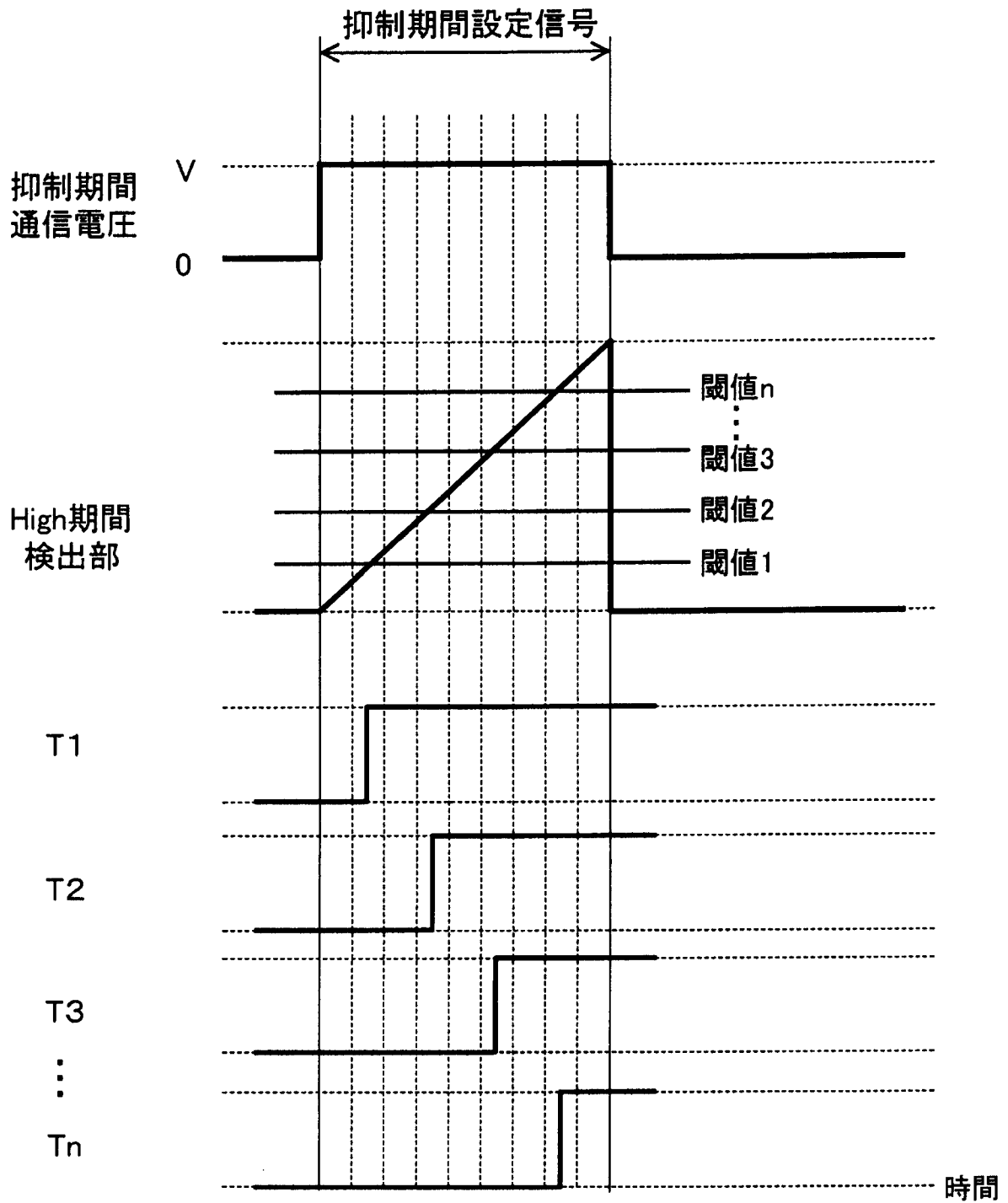
[図2]



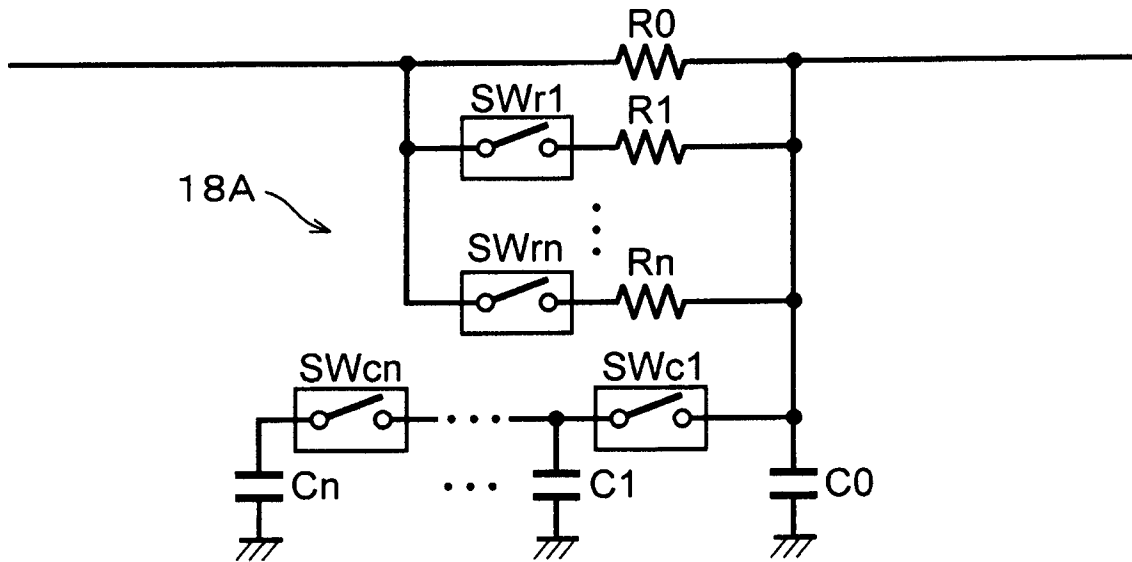
[図3]



[図4]



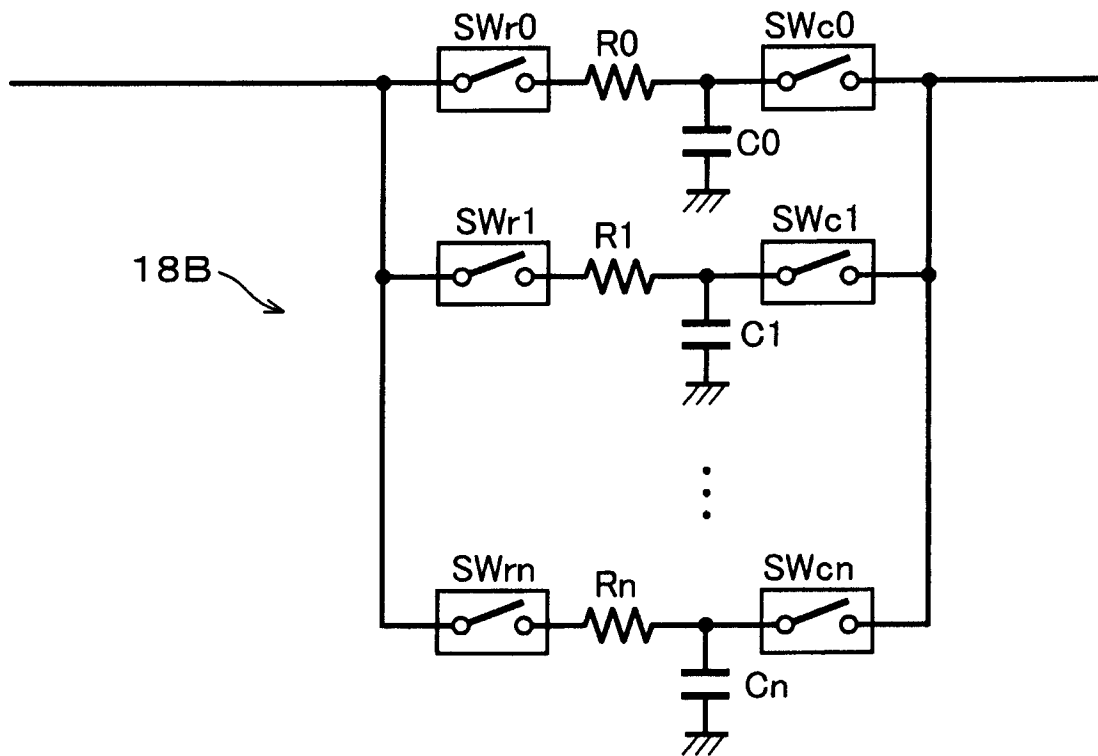
[図5]



[図6]

T_1, T_2, \dots, T_n	SW_{r1}	SW_{r2}	...	SW_{rn}	SW_{c1}	SW_{c2}	...	SW_{cn}
00...0	OFF	OFF	...	OFF	OFF	OFF	...	OFF
10...0	ON	OFF	...	OFF	ON	OFF	...	OFF
...								
11...1	ON	ON	...	ON	ON	ON	...	ON

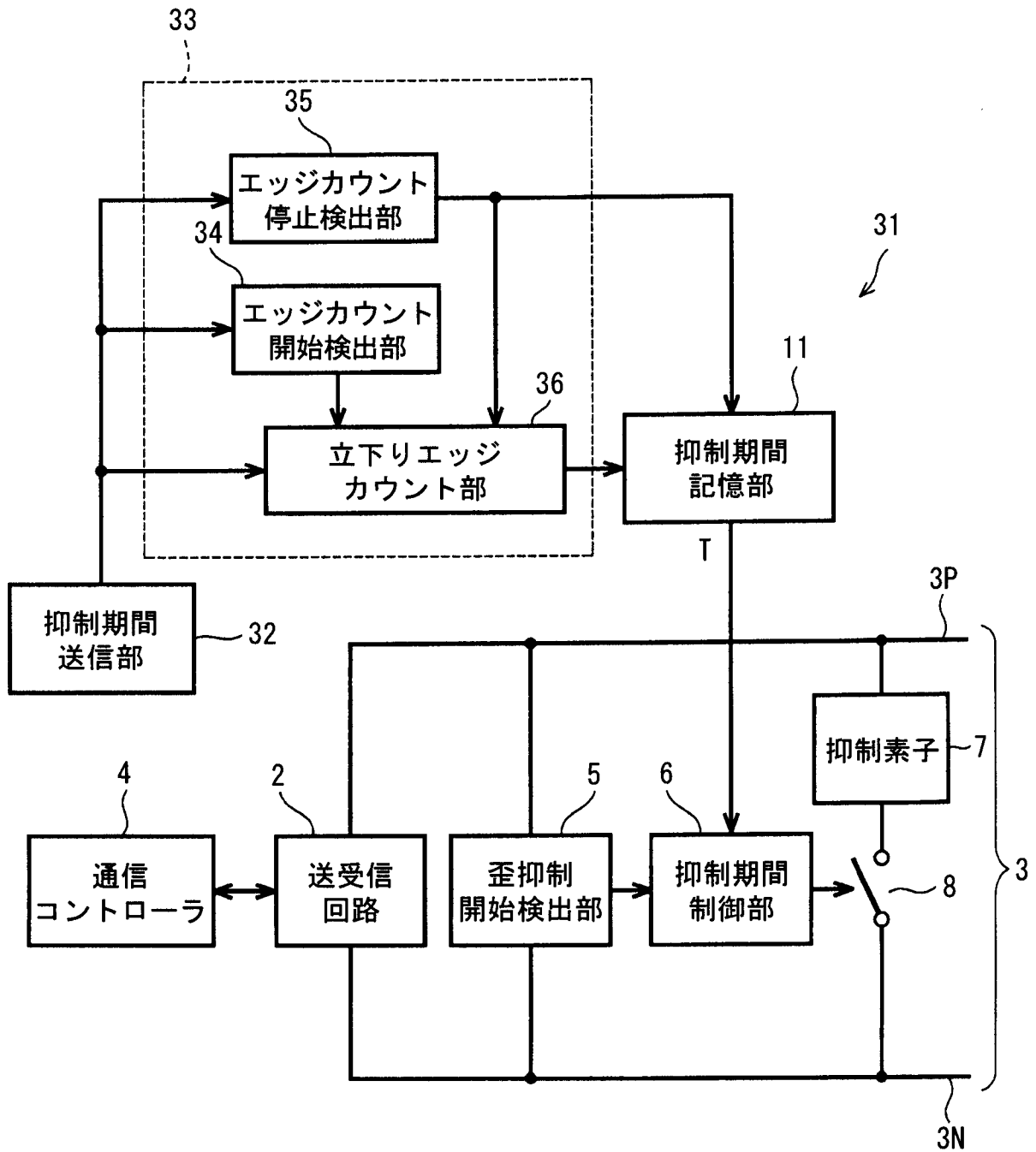
[図7]



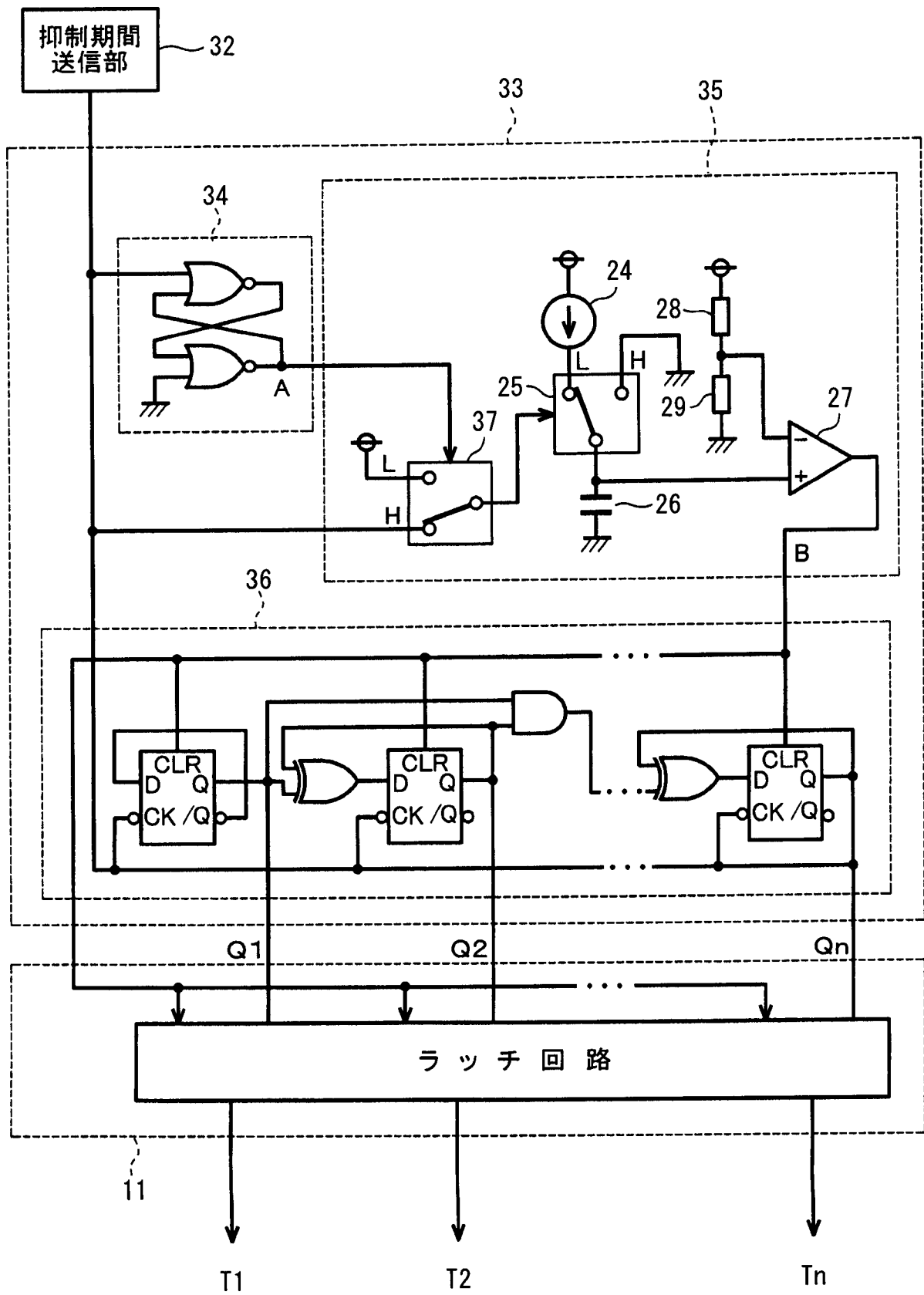
[図8]

T_1, T_2, \dots, T_{n+1}	SWr_0	SWr_1	...	SWr_n	SWc_0	SWc_1	...	SWc_n
00...0	ON	OFF	...	OFF	ON	OFF	...	OFF
10...0	OFF	ON	...	OFF	OFF	ON	...	OFF
...								
11...1	OFF	OFF	...	ON	OFF	OFF	...	ON

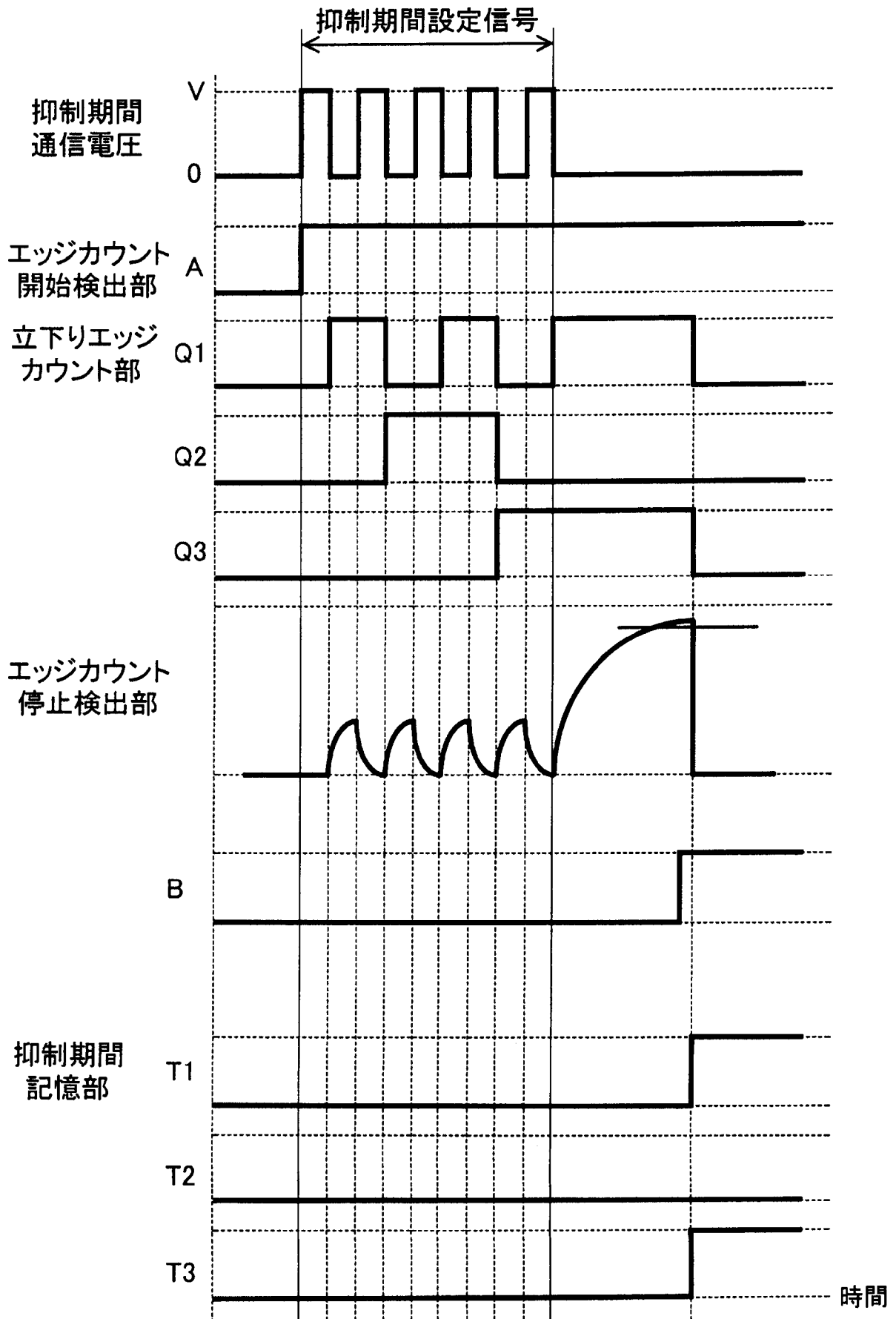
[図9]



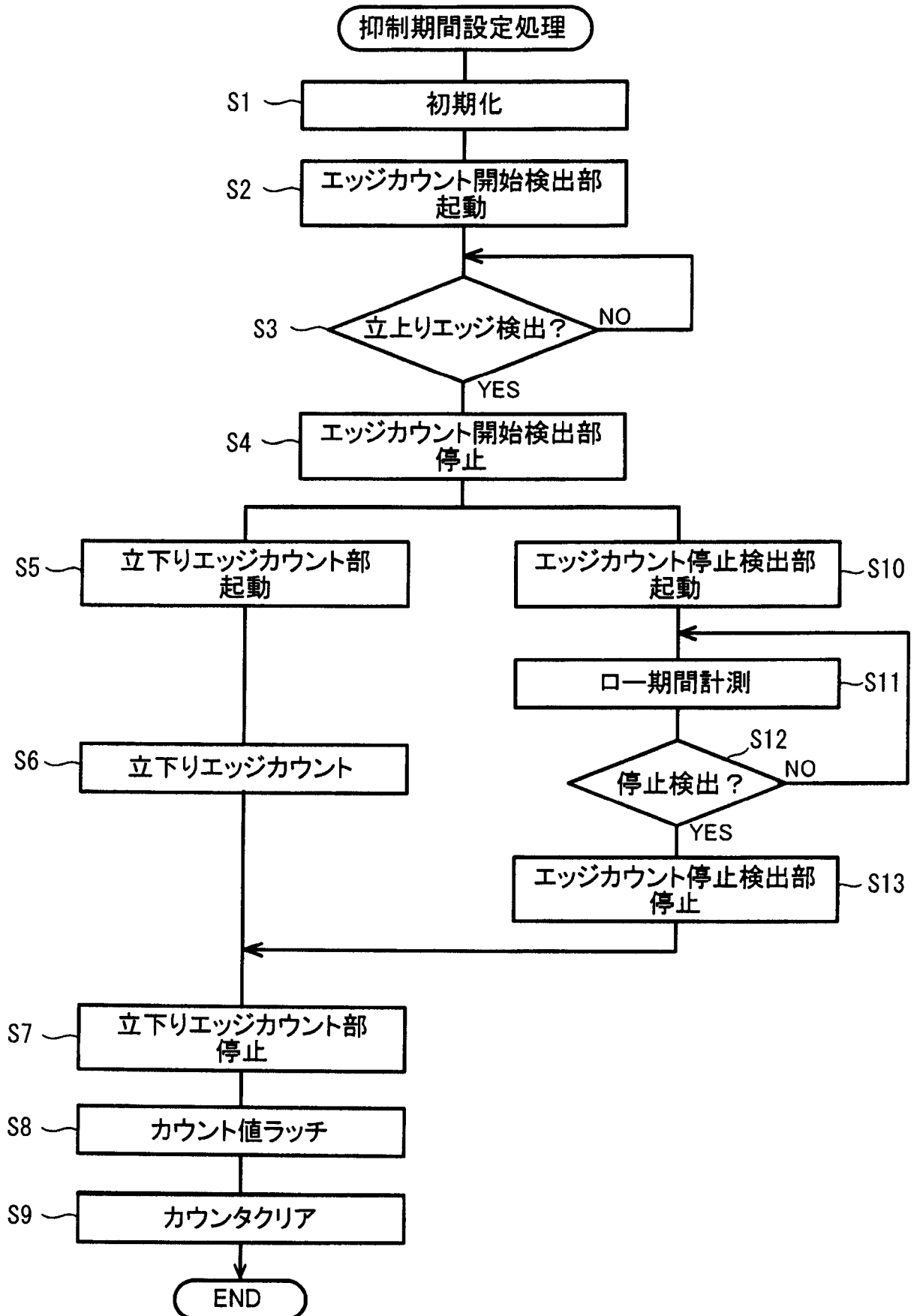
[図10]



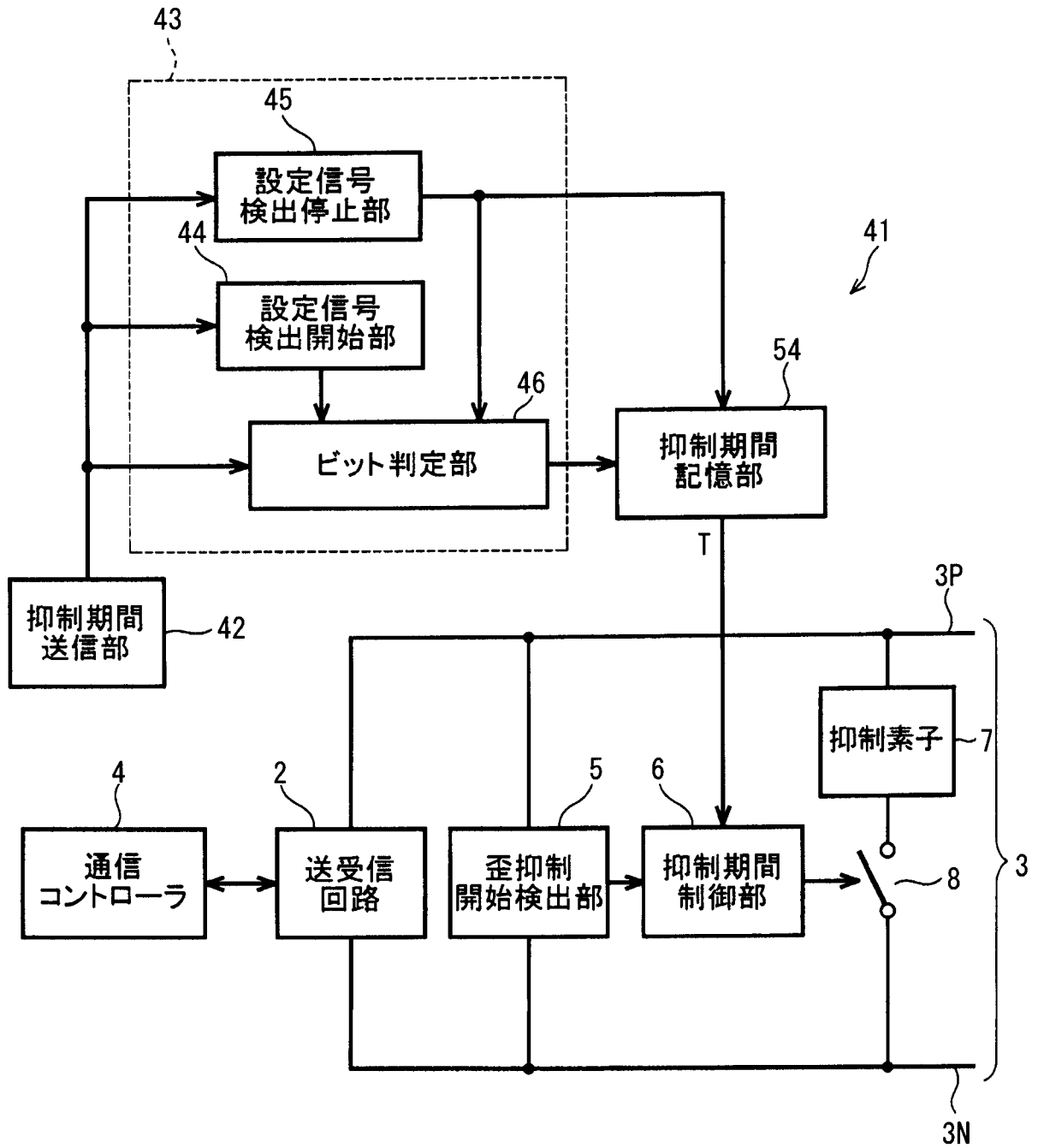
[図11]



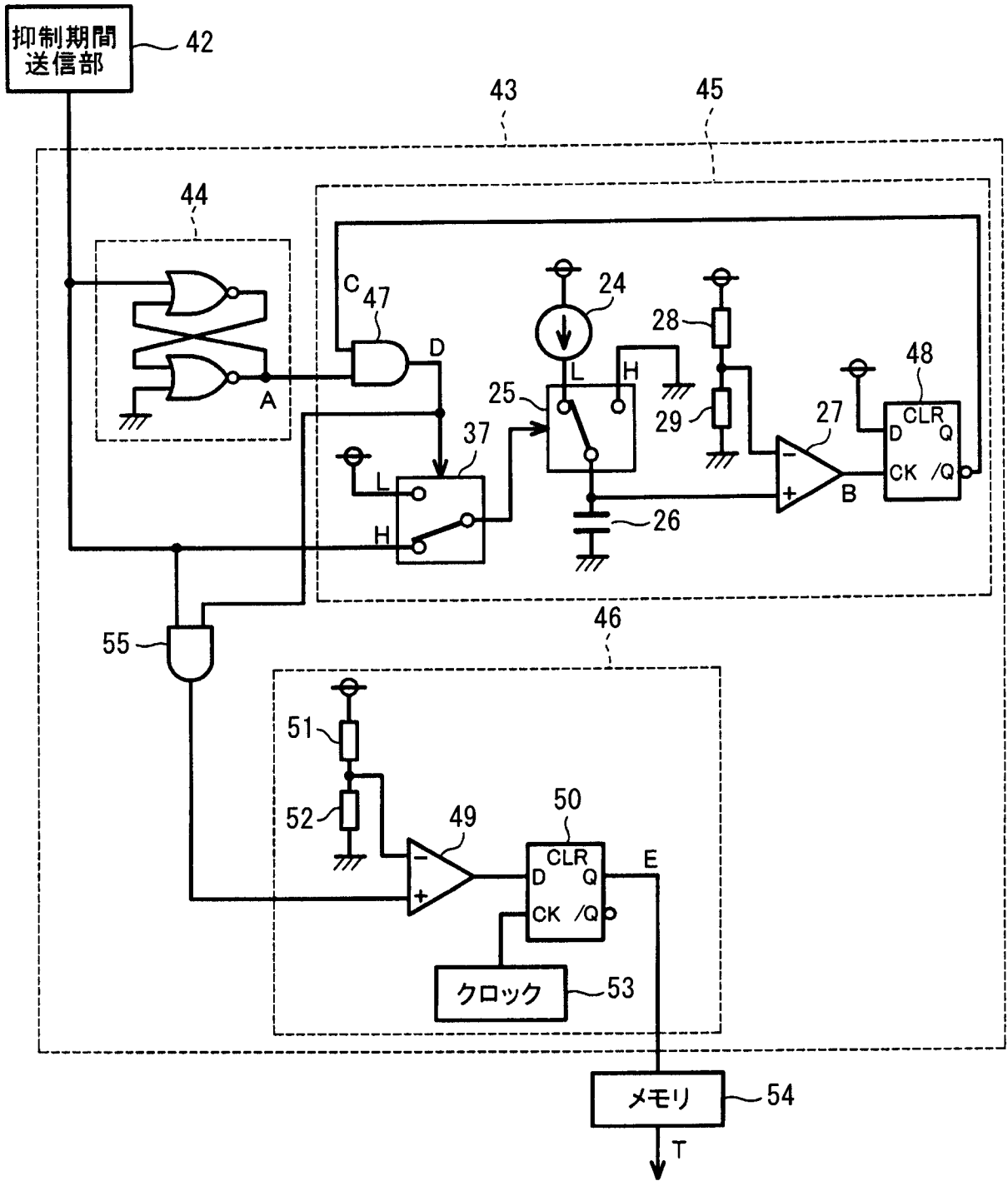
[図12]



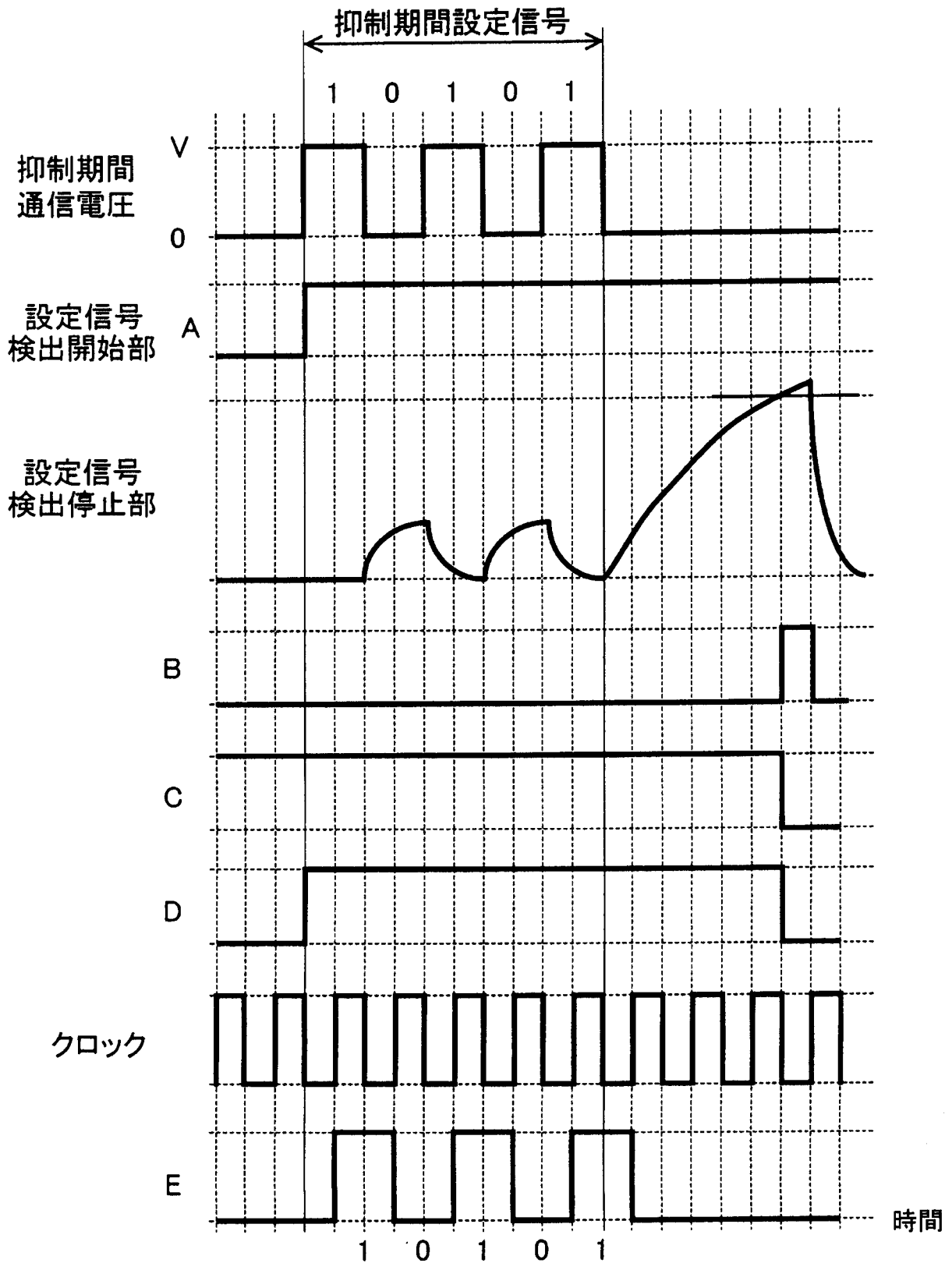
[図13]



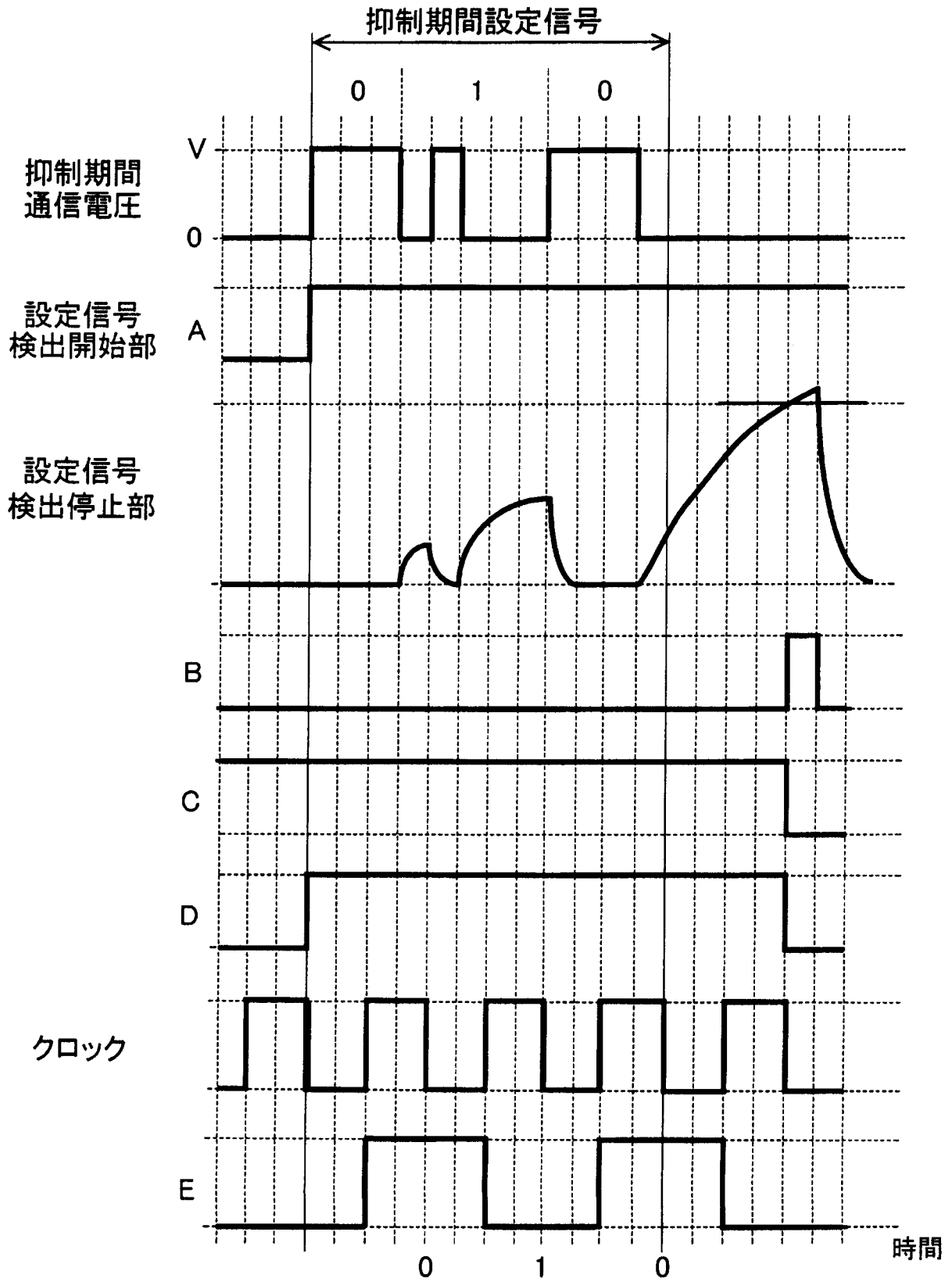
[図14]



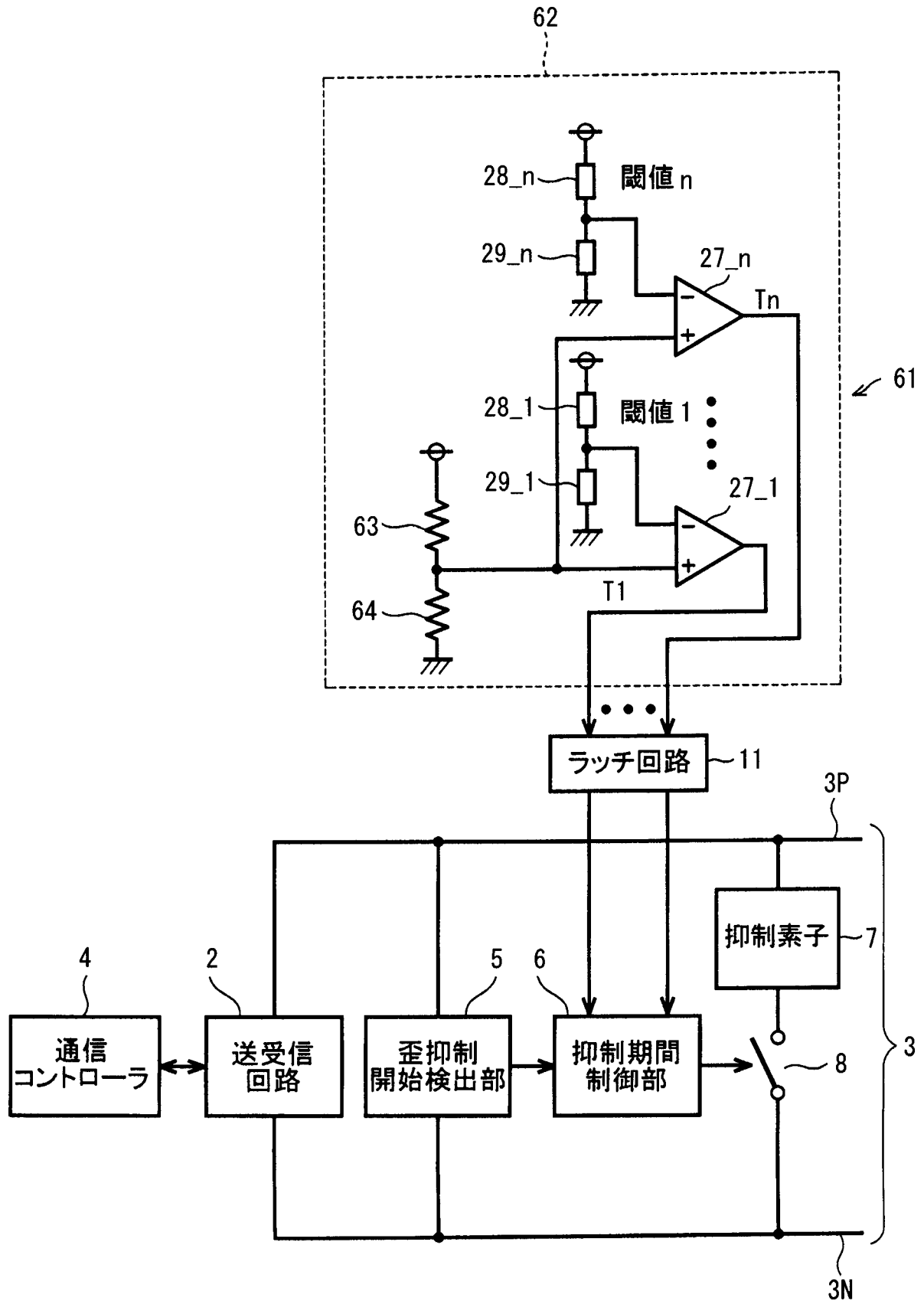
[図15]



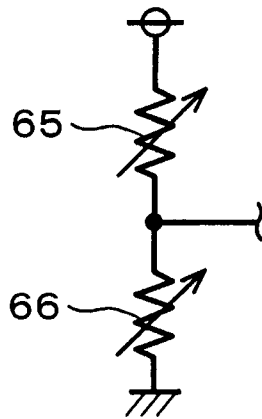
[図16]



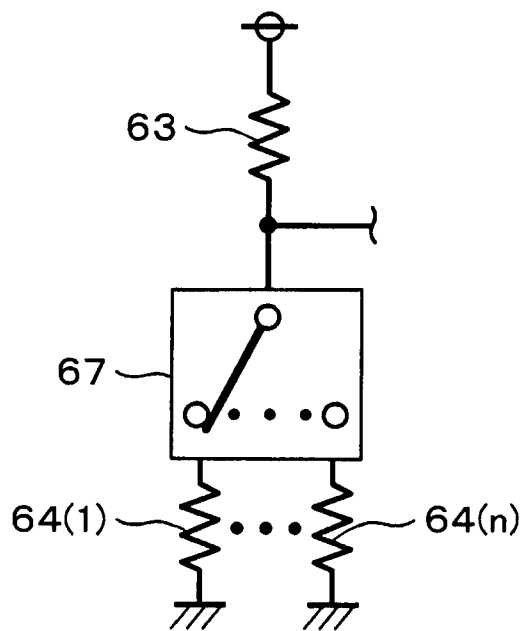
[図17]



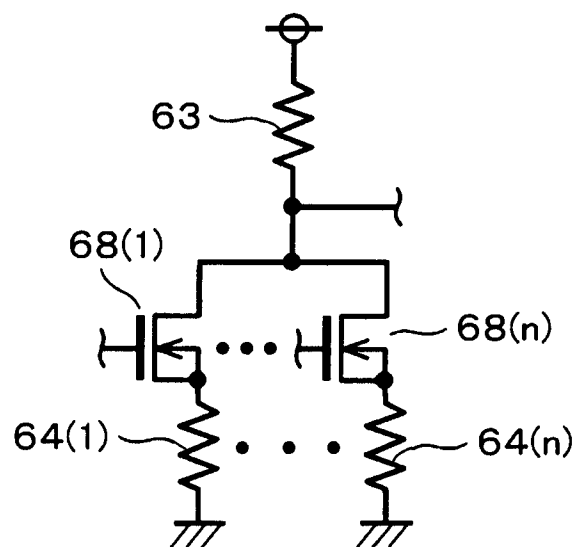
[圖18]



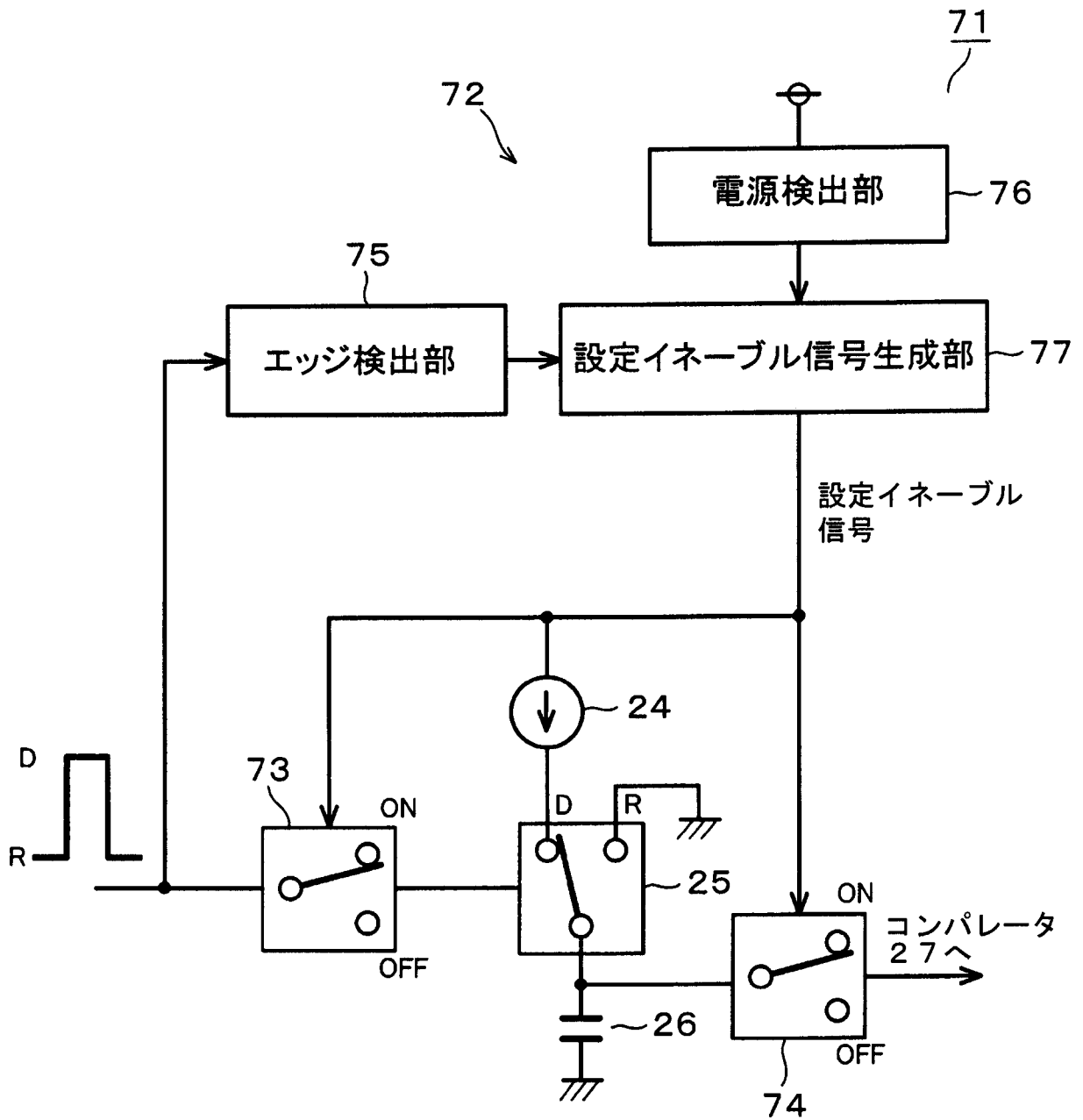
[圖19]



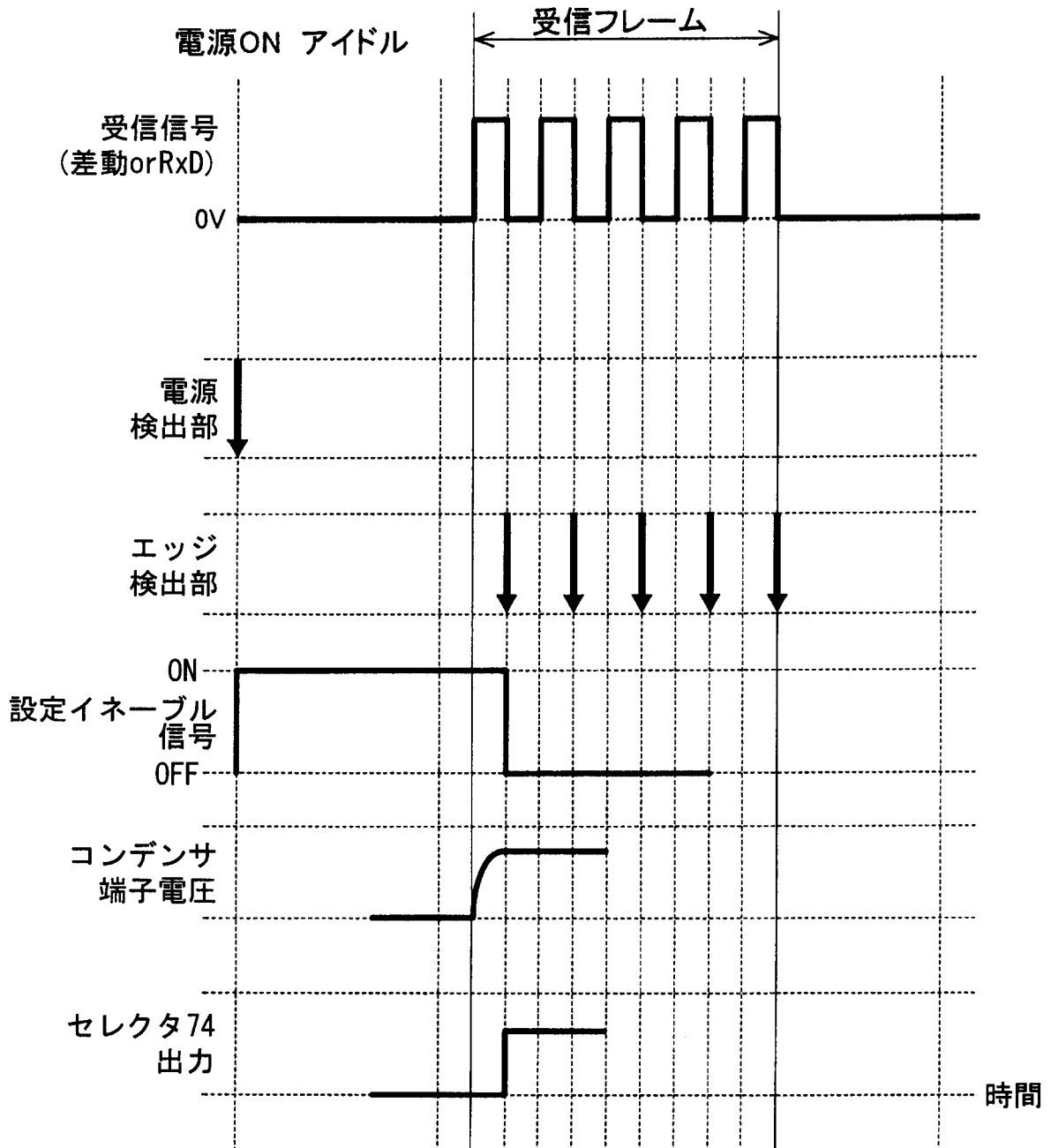
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/074725

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H04L25/02(2006.01)i, H03K5/08(2006.01)i, H03K19/0175(2006.01)i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>H04L25/02, H03K5/08, H03K19/0175</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016</i> <i>Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016</i></p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2012-244220 A (Nippon Soken, Inc.), 10 December 2012 (10.12.2012), paragraphs [0008], [0009], [0025] to [0034]; fig. 1, 2 & US 2012/0293230 A1 paragraphs [0045] to [0054]; fig. 1, 2 & DE 102012208124 A & CN 102790735 A</td> <td>1, 7, 9, 15-18 2-6, 8, 10-14</td> </tr> <tr> <td>Y A</td> <td>JP 2009-253498 A (Toyota Motor Corp.), 29 October 2009 (29.10.2009), paragraphs [0017], [0024] to [0027], [0042], [0043]; fig. 1 to 3 (Family: none)</td> <td>1, 7, 9, 15-18 2-6, 8, 10-14</td> </tr> <tr> <td>A</td> <td>JP 2011-244347 A (Nippon Soken, Inc.), 01 December 2011 (01.12.2011), & US 2011/0285424 A1</td> <td>1-18</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y A	JP 2012-244220 A (Nippon Soken, Inc.), 10 December 2012 (10.12.2012), paragraphs [0008], [0009], [0025] to [0034]; fig. 1, 2 & US 2012/0293230 A1 paragraphs [0045] to [0054]; fig. 1, 2 & DE 102012208124 A & CN 102790735 A	1, 7, 9, 15-18 2-6, 8, 10-14	Y A	JP 2009-253498 A (Toyota Motor Corp.), 29 October 2009 (29.10.2009), paragraphs [0017], [0024] to [0027], [0042], [0043]; fig. 1 to 3 (Family: none)	1, 7, 9, 15-18 2-6, 8, 10-14	A	JP 2011-244347 A (Nippon Soken, Inc.), 01 December 2011 (01.12.2011), & US 2011/0285424 A1	1-18
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y A	JP 2012-244220 A (Nippon Soken, Inc.), 10 December 2012 (10.12.2012), paragraphs [0008], [0009], [0025] to [0034]; fig. 1, 2 & US 2012/0293230 A1 paragraphs [0045] to [0054]; fig. 1, 2 & DE 102012208124 A & CN 102790735 A	1, 7, 9, 15-18 2-6, 8, 10-14												
Y A	JP 2009-253498 A (Toyota Motor Corp.), 29 October 2009 (29.10.2009), paragraphs [0017], [0024] to [0027], [0042], [0043]; fig. 1 to 3 (Family: none)	1, 7, 9, 15-18 2-6, 8, 10-14												
A	JP 2011-244347 A (Nippon Soken, Inc.), 01 December 2011 (01.12.2011), & US 2011/0285424 A1	1-18												
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table style="width:100%;"> <tr> <td style="width:50%;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 10 November 2016 (10.11.16)</p>		<p>Date of mailing of the international search report 22 November 2016 (22.11.16)</p>												
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>												

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H04L25/02(2006.01)i, H03K5/08(2006.01)i, H03K19/0175(2006.01)i										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H04L25/02, H03K5/08, H03K19/0175										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2016年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2016年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2016年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2016年	日本国実用新案登録公報	1996-2016年	日本国登録実用新案公報	1994-2016年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2016年									
日本国実用新案登録公報	1996-2016年									
日本国登録実用新案公報	1994-2016年									
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y A	JP 2012-244220 A (株式会社日本自動車部品総合研究所) 2012.12.10, 段落[0008], [0009], [0025]-[0034], 第1, 2 図 & US 2012/0293230 A1, 段落[0045]-[0054], 第1, 2 図 & DE 102012208124 A & CN 102790735 A	1, 7, 9, 15-18 2-6, 8, 10-14								
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 10.11.2016	国際調査報告の発送日 22.11.2016									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 阿部 弘 電話番号 03-3581-1101 内線 3556	5K 9382								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-253498 A (トヨタ自動車株式会社) 2009. 10. 29, 段落[0017], [0024]－[0027], [0042], [0043], 第1－3図 (ファミリーなし)	1, 7, 9, 15－18
A		2－6, 8, 10－14
A	JP 2011-244347 A (株式会社日本自動車部品総合研究所) 2011. 12. 01, & US 2011/0285424 A1	1－18