



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I696177 B

(45) 公告日：中華民國 109 (2020) 年 06 月 11 日

(21) 申請案號：108135613

(22) 申請日：中華民國 108 (2019) 年 10 月 02 日

(51) Int. Cl.：

*G11C11/409 (2006.01)**H01L21/8244(2006.01)*(71) 申請人：力晶積成電子製造股份有限公司 (中華民國) POWERCHIP SEMICONDUCTOR
MANUFACTURING CORPORATION (TW)

新竹市力行一路十八號

(72) 發明人：曾培修 TSENG, PEI-HSIU (TW)；魏易玄 WEI, I-SHUAN (TW)；林家佑 LIN, JIA-YOU (TW)；張守仁 CHANG, SHOU-ZEN (TW)；林琪偉 LIN, CHI-WEI (TW)；
林宏勳 LIN, HUNG-HSUN (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 200403871

TW 201334159A1

US 8368137B2

US 9123714B2

US 2006/0284246A1

審查人員：郭泰源

申請專利範圍項數：7 項 圖式數：4 共 16 頁

(54) 名稱

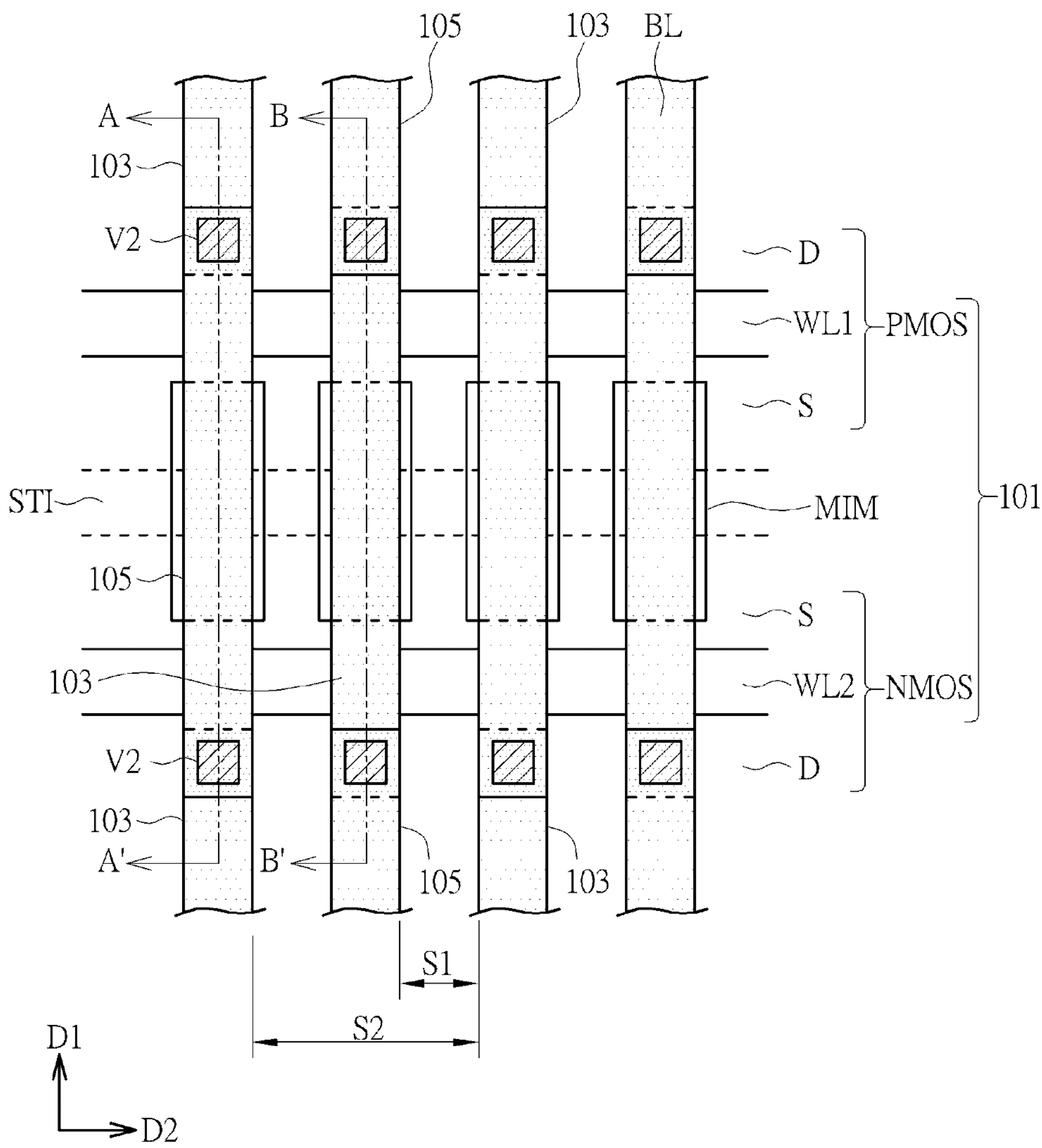
用於雙電晶體靜態隨機存取記憶體的位元線結構

(57) 摘要

一種用於雙電晶體靜態隨機存取記憶體的位元線結構，包含多條位元線沿著第一方向延伸越過下方多個雙電晶體靜態隨機存取記憶體，其中每條該位元線由多個沿著該第一方向延伸的第一部位與第二部位交互電連接而成，該些第一部位與該些第二部位分別位於一第一介電層與一第二介電層，且每條該位元線的該些第一部位對應相鄰位元線的該些第二部位。

A bit line structure for two-transistor static random access memory (2T SRAM), including multiple bit lines extending over multiple 2T SRAMs in a first direction, wherein each bit line consists of multiple first portions and second portions extending in the first direction and electrically connecting with each other in an alternating manner, and the first portions and the second portions are in a first dielectric layer and a second dielectric layer respectively, and the first portions of each bit line correspond to the second portions of adjacent bit lines.

指定代表圖：



符號簡單說明：

101:雙電晶體靜態隨機存取記憶體

103:第一部位

105:第二部位

107:蝕刻停止層

BL:位元線

D:汲極

D1:第一方向

D2:第二方向

MIM:金屬-絕緣體-金屬電容

NMOS:n型電晶體

PMOS:p型電晶體

S:源極

S1,S2:間距

STI:淺溝渠隔離結構

V2:導通結構

WL1,WL2:字元線

第1圖



I696177

【發明摘要】

申請日：108年10月2日

IPC分類號：G11C 11/409 (2006.01)
H01L 21/8244 (2006.01)

【中文發明名稱】用於雙電晶體靜態隨機存取記憶體的位元線結構

【英文發明名稱】Bit Line Structure for Two-Transistor Static Random Access Memory

【中文】

一種用於雙電晶體靜態隨機存取記憶體的位元線結構，包含多條位元線沿著第一方向延伸越過下方多個雙電晶體靜態隨機存取記憶體，其中每條該位元線由多個沿著該第一方向延伸的第一部位與第二部位交互電連接而成，該些第一部位與該些第二部位分別位於一第一介電層與一第二介電層，且每條該位元線的該些第一部位對應相鄰位元線的該些第二部位。

【英文】

A bit line structure for two-transistor static random access memory (2T SRAM), including multiple bit lines extending over multiple 2T SRAMs in a first direction, wherein each bit line consists of multiple first portions and second portions extending in the first direction and electrically connecting with each other in an alternating manner, and the first portions and the second portions are in a first dielectric layer and a second dielectric layer respectively, and the first portions of each bit line correspond to the second portions of adjacent bit lines.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

101 雙電晶體靜態隨機存取記憶體

103 第一部位

105 第二部位

107 蝕刻停止層

BL 位元線

D 汲極

D1 第一方向

D2 第二方向

MIM 金屬-絕緣體-金屬電容

NMOS n型電晶體

PMOS p型電晶體

S 源極

S1, S2 間距

STI 淺溝渠隔離結構

V2 導通結構

WL1, WL2 字元線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】用於雙電晶體靜態隨機存取記憶體之位元線結構

【英文發明名稱】Bit Line Structure for Two-Transistor Static Random Access Memory

【技術領域】

【0001】 本發明大體上與積體電路中的位元線結構有關，更具體言之，其係關於一種具有雙層且交互排列設計的位元線結構。

【先前技術】

【0002】 近年來手機與隨身碟等電子產品之發展對於高儲存密度的記憶體有越來越多的需求。這些習知的記憶體包含動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、以及非揮發性記憶體(NVM)等。非揮發性記憶體可包含唯讀記憶體(ROM)、電子抹除式可複寫唯讀記憶體(EEPROM)、以及快閃記憶體(FLASH)等。

【0003】 在傳統的電容器在位元線下(CUB)之記憶體架構中，位元線是以最小化的線與間距之設計規則被製作在電容單元上方的同一層金屬層（如第二金屬層M2）中。如此，每組位元線對(BL與BL-)以及相鄰的位元線之間會有耦合電容存在。位元線與位元線之間的耦合雜訊是SRAM記憶單元設計中最重要問題之一，儲存在電容單元中的訊號電荷必須要夠大才能夠讓訊號在極差的耦合環境下為感測放大器所感測到。如果能完全消除位元線雜訊，其所需儲存在電容單元中的電荷將可以大量的降低。

【0004】 現在業界有數種降低位元線耦合雜訊的做法，例如在位元線之間插入其他線路結構或是採用各種彎曲態樣的位元線設計，其原理都是要增加位元

線與位元線之間間距來降低其間的耦合雜訊。然而，這類做法都會顯著增加所需的儲存單元面積、電路複雜度、以及製造成本。故此，目前業界還需要開發出新的作法來改善位元線雜訊問題。

【發明內容】

【0005】 為了解決記憶體領域中位元線之間容易有耦合干擾的習知問題，本發明於此提出了一種特別的位元線結構，其具有雙層且交互排列之設計，可大幅增加位元線之間間距，特別適合用在雙電晶體靜態隨機存取記憶體。

【0006】 本發明的面向之一在於提出一種用於雙電晶體靜態隨機存取記憶體的位元線結構，其包含多條位元線平行排列且沿著第一方向延伸越過下方多個雙電晶體靜態隨機存取記憶體的金屬-絕緣體-金屬電容、n型電晶體以及p型電晶體，其中每條該位元線由多個沿著該第一方向延伸的第一部位與第二部位交互電連接而成，該些第一部位與該些第二部位分別位於一第一介電層與一第二介電層，且每條該位元線的該些第一部位分別對應相鄰位元線的該些第二部位。

【0007】 本發明的這類目的與其他目的在閱者讀過下文中以多種圖示與繪圖來描述的較佳實施例之細節說明後應可變得更加明瞭顯見。

【圖式簡單說明】

【0008】

本說明書含有附圖併於文中構成了本說明書之一部分，俾使閱者對本發明實施例有進一步的瞭解。該些圖示係描繪了本發明一些實施例並連同本文描述一起說明了其原理。在該些圖示中：

第1圖為根據本發明較佳實施例一示意性的位元線結構頂視圖；

第2圖為根據本發明較佳實施例以第1圖中截線A-A'所作的截面示意圖；

第 2 頁，共 8 頁(發明說明書)

第3圖為根據本發明較佳實施例以第1圖中截線B-B'所作的截面示意圖；以及第4圖為根據本發明較佳實施例一示意性的位元線結構立體圖。

須注意本說明書中的所有圖示皆為圖例性質，為了清楚與方便圖示說明之故，圖示中的各部件在尺寸與比例上可能會被誇大或縮小地呈現，一般而言，圖中相同的參考符號會用來標示修改後或不同實施例中對應或類似的元件特徵。

【實施方式】

【0009】 現在下文將詳細說明本發明的示例性實施例，其會參照附圖示出所描述之特徵以便閱者理解並實現技術效果。閱者將可理解文中之描述僅透過例示之方式來進行，而非意欲要限制本案。本案的各種實施例和實施例中彼此不衝突的各種特徵可以以各種方式來加以組合或重新設置。在不脫離本發明的精神與範疇的情況下，對本案的修改、等同物或改進對於本領域技術人員來說是可以理解的，並且旨在包含在本案的範圍內。

【0010】 閱者應能容易理解，本案中的「在…上」、「在…之上」和「在…上方」的含義應當以廣義的方式被解讀，以使得「在…上」不僅表示「直接在」某物「上」而且還包括在某物「上」且其間有居間特徵或層的含義，並且「在…之上」或「在…上方」不僅表示「在」某物「之上」或「上方」的含義，而且還可以包括其「在」某物「之上」或「上方」且其間沒有居間特徵或層（即，直接在某物上）的含義。

【0011】 此外，諸如「在…之下」、「在…下方」、「下部」、「在…之上」、「上部」等空間相關術語在本文中為了描述方便可以用於描述一個元件或特徵與另一個或多個元件或特徵的關係，如在附圖中示出的。

【0012】 如本文中使用的，術語「基底」是指向其上增加後續材料的材料。

可以對基底自身進行圖案化。增加在基底的頂部上的材料可以被圖案化或可以保持不被圖案化。此外，基底可以包括廣泛的半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由諸如玻璃、塑膠或藍寶石晶圓的非導電材料製成。

【0013】 如本文中使用的，術語「層」是指包括具有厚度的區域的材料部分。層可以在下方或上方結構的整體之上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，層可以是厚度小於連續結構的厚度的均質或非均質連續結構的區域。例如，層可以位於在連續結構的頂表面和底表面之間或在頂表面和底表面處的任何水平面對之間。層可以水準、豎直和/或沿傾斜表面延伸。基底可以是層，其中可以包括一個或多個層，和/或可以在其上、其上方和/或其下方具有一個或多個層。層可以包括多個層。例如，互連層可以包括一個或多個導體和接觸層（其中形成觸點、互連線和/或通孔）和一個或多個介電層。

【0014】 現在請同時參照第1圖與第2圖，其分別繪示出根據本發明較佳實施例中一示意性的位元線結構的頂視圖與截面圖。在說明發明特徵時可同時參照該兩圖來更清楚地了解本發明各部件在水平面與垂直面的位向上的設置與連結關係。須注意第2圖是以第1圖中的截線A-A'所作之截面圖，其相鄰的位元線結構會有不同的截面態樣，後續將在以第1圖中的截線B-B'所作的第3圖中說明。

【0015】 在本發明實施例中，位元線BL係採用電容器在位元線下(capacitor under bit line, CUB)之設計架構設置在雙電晶體靜態隨機存取記憶體(2T1SRAM)101的上方。多條位元線BL呈等間隔排列且沿著第一方向D1延伸越過下方多個雙電晶體靜態隨機存取記憶體101，其包含金屬-絕緣體-金屬電容MIM、n型電晶體NMOS以及p型電晶體PMOS等部件。本發明位元線BL的特點在於每條位元線BL都是由多個沿著第一方向D1延伸的第一部位103與第二部位105交互電連接而成，每個第一部位103的兩端都會分別與兩個第二部位105的一端電連接。

【0016】 更特別的是，在本發明中，位元線BL的第一部位103與第二部位105是分別位於一下層與一上層，而非如習知技術的位元線般整條都位於同一層。例如在第2圖所示的實施例中，位元線BL的第一部位103是第二金屬層(M2)的一部分，其形成在金屬間介電層IMD1之中，而位元線BL的第二部位105是第三金屬層(M3)的一部分，其形成在金屬間介電層IMD1上方的金屬間介電層IMD2之中。金屬間介電層IMD1與金屬間介電層IMD2之間有蝕刻停止層107存在。位元線BL的第一部位103與第二部位105之間會透過如導通結構(via)V2的互連結構來電連接。

【0017】 再者，如第1圖所示，每條位元線BL的第一部位103係對應到兩側相鄰的位元線BL的第二部位105，同樣地，每條位元線BL的第二部位105會對應到兩側相鄰的位元線BL的第一部位103。第4圖清楚地表示出本發明位元線結構這樣雙層且交互排列的設計。以此設計，水平面上相鄰的位元線BL之間的距離，即一條位元線BL的第一部位103與水平面上相鄰的另一條位元線BL的第一部位103之間的距離，會從原本間距S1變為間距S2。在實作中，間距S2可達原本間距S1的倍數成長，使得位元線與位元線之間的電容下降近一半，可大幅減少位元線雜訊的發生。上述本發明的做法有別於習知技術採用在位元線之間插入其他線路結構或是採用各種彎曲態樣的位元線線段設計的做法，其可在不增加原有單元佈局面積的前提下大幅提升相鄰位元線之間間距，達到減少位元線雜訊的功效。

【0018】 復參照第1圖與第2圖。在本發明中，位元線BL係對應到下方的雙電晶體靜態隨機存取記憶體101。在第2圖所示的實施例中，位元線BL的第二部位105會沿著第一方向D1延伸越過下方的一個雙電晶體靜態隨機存取記憶體101，包含其金屬-絕緣體-金屬電容MIM、n型電晶體NMOS以及p型電晶體PMOS等部位。雙電晶體靜態隨機存取記憶體101形成在一基底100上，其中基底100可預先

形成有一深n型井區以及上方所界定出的n型井區100a與p型井區100b。p型電晶體PMOS形成在基底100的n型井區100a上，n型電晶體NMOS形成在基底100的p型井區100b上，其間以一淺溝渠隔離結構STI相隔，淺溝渠隔離結構STI即位於位元線BL第二部位105的正中央下方，其沿著與第一方向D1垂直的第二方向D2延伸穿過多條位元線BL。雙電晶體靜態隨機存取記憶體101的金屬-絕緣體-金屬電容MIM設置在淺溝渠隔離結構STI上方，其下電極分別與兩側的n型電晶體NMOS以及p型電晶體PMOS的源極S連接。n型電晶體NMOS以及p型電晶體PMOS的閘極分別是控制雙電晶體靜態隨機存取記憶體101源極S與汲極D之間通道開關的字元線WL1與WL2，其沿著與第一方向D1垂直的第二方向D2延伸穿過多條位元線BL，且字元線WL1與WL2分別位於金屬-絕緣體-金屬電容MIM與兩個接觸結構CT之間。

【0019】 復參照第2圖，n型電晶體NMOS以及p型電晶體PMOS的汲極D經由接觸結構CT電連接到第一金屬層M1，復從該第一金屬層M1經由導通結構V1分別電連接到上方同一條位元線BL的相鄰兩個第一部位103。在本發明實施例中，接觸結構CT、導通結構V1、以及連接位元線BL第一部位103與第二部位105的導通結構V2可上下重疊。雙電晶體靜態隨機存取記憶體101的金屬-絕緣體-金屬電容MIM的上電極會與上方的第一金屬層M1連接，該第一金屬層M1沿著與第一方向D1垂直的第二方向D2延伸經過該些位元線BL的該些第二部位105下方並與該些第二部位105的中心線重疊。

【0020】 接下來請參照第3圖，其繪示出根據本發明較佳實施例中以第1圖中截線B-B'所作的截面示意圖。在本發明實施例中，由於每條位元線BL的第一部位103會對應到兩側相鄰的位元線BL的第二部位105，所以在第3圖的位元線中，有別於第2圖的位元線，改由位於金屬間介電層IMD1中的位元線BL第一部位103沿著第一方向D1延伸越過下方的雙電晶體靜態隨機存取記憶體101，因此n型電

晶體NMOS以及p型電晶體PMOS的汲極依序經由接觸結構CT、第一金屬層M1、以及導通結構V1分別電連接到上方同一條位元線BL的同一個第一部位103。此外，與雙電晶體靜態隨機存取記憶體101的金屬-絕緣體-金屬電容MIM的上電極連接的第一金屬層M1係沿著第二方向D2延伸經過該些位元線BL的該些第一部位103，並與該些第一部位103的中心線重疊，其他部位的設置則不變。

【0021】 須注意上文中所描述的位元線BL第一部位103、第二部位105、以及雙電晶體靜態隨機存取記憶體101之設置態樣僅作為本發明的一較佳實施例提出來，在實作中可能會出現多種不同的設計變化。例如位元線BL的第一部位103與第二部位105也可以不是位在第二金屬層M2與第三金屬層M3，位元線BL的每個第一部位103或每個第二部位105也可能延伸越過超過一個雙電晶體靜態隨機存取記憶體101的範圍，位元線BL的第一部位103與第二部位105的重疊部分可能並非位在接觸結構CT的正上方。或者，每個雙電晶體靜態隨機存取記憶體101可能對應到不只一條位元線BL等。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0022】

100	基底
100a	n型井區
100b	p型井區
101	雙電晶體靜態隨機存取記憶體
103	第一部位
105	第二部位

107	蝕刻停止層
BL	位元線
CT	接觸結構
D	汲極
D1	第一方向
D2	第二方向
IMD1, IMD2	金屬間介電層
MIM	金屬-絕緣體-金屬電容
M1	第一金屬層
M2	第二金屬層
M3	第三金屬層
NMOS	n型電晶體
PMOS	p型電晶體
S	源極
S1, S2	間距
STI	淺溝渠隔離結構
V1, V2	導通結構
WL1, WL2	字元線

【發明申請專利範圍】

【第1項】 一種用於雙電晶體靜態隨機存取記憶體之位元線結構，包含多條位元線平行排列且沿著第一方向延伸越過下方多個雙電晶體靜態隨機存取記憶體的金屬-絕緣體-金屬電容、n型電晶體以及p型電晶體；

其中每條該位元線由多個沿著該第一方向延伸的第一部位與第二部位交互電連接而成，該些第一部位與該些第二部位分別位於一第一介電層與一第二介電層，該第二介電層係位於該第一介電層上，且每條該位元線的該些第一部位分別對應相鄰位元線的該些第二部位，且其中該雙電晶體靜態隨機存取記憶體的該n型電晶體的汲極與該p型電晶體的汲極分別經由一接觸結構電連接該位元線，並且該n型電晶體的源極與該p型電晶體的源極電連接該金屬-絕緣體-金屬電容的下電極。

【第2項】 根據申請專利範圍第1項所述之用於雙電晶體靜態隨機存取記憶體的位元線結構，其中該位元線的該些第一部位與該些第二部位經由位於該第二介電層的一導通結構電連接。

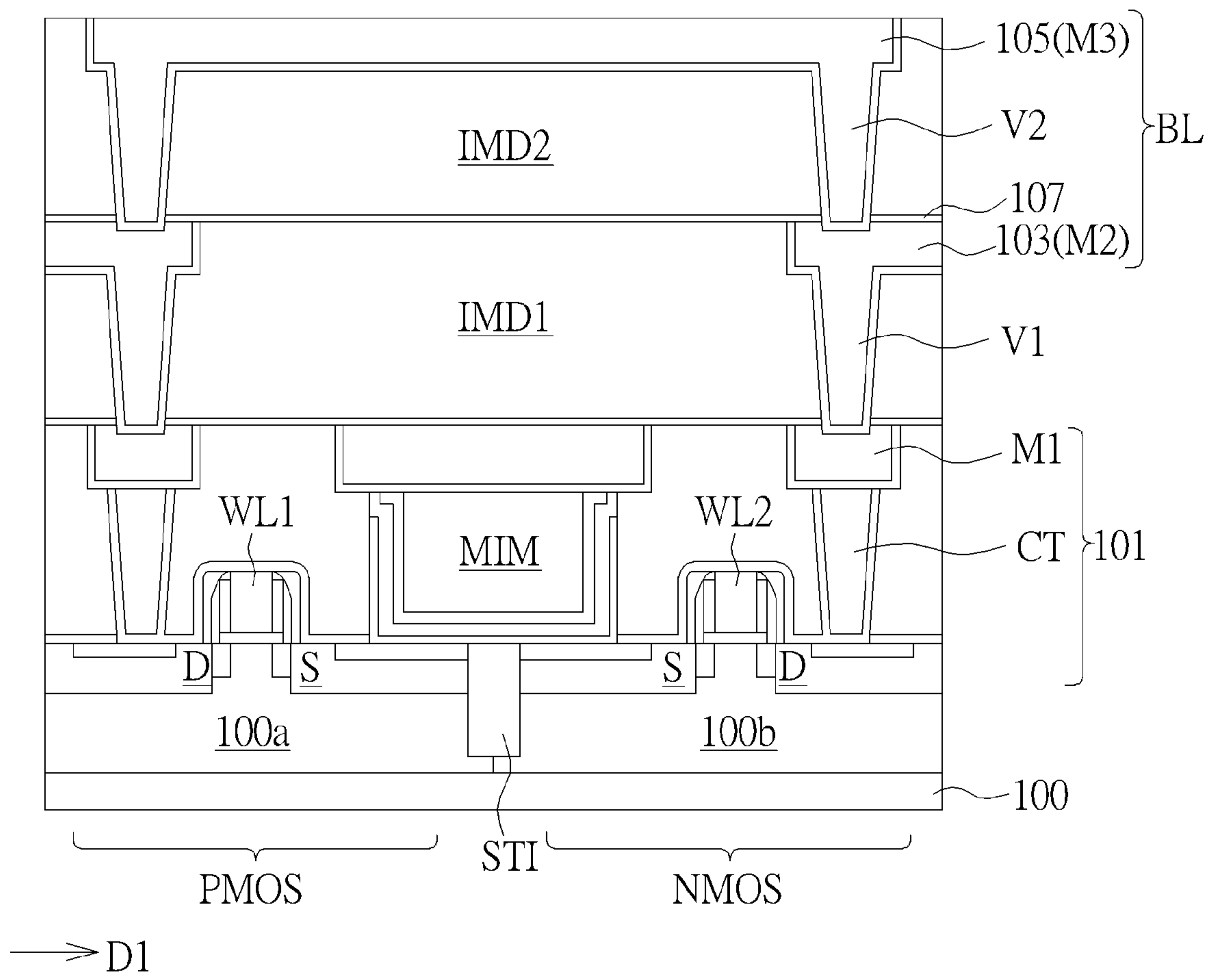
【第3項】 根據申請專利範圍第1項所述之用於雙電晶體靜態隨機存取記憶體的位元線結構，其中該第一部位為第二金屬層，該第二部位為第三金屬層，該金屬-絕緣體-金屬電容的上電極連接到第一金屬層。

【第4項】 根據申請專利範圍第3項所述之用於雙電晶體靜態隨機存取記憶體的位元線結構，其中該些雙電晶體靜態隨機存取記憶體的該上電極所連接的該第一金屬層沿著與該第一方向垂直的第二方向延伸經過該些位元線的該些第一部位或第二部位下方並與該些第一部位或第二部位的中心線重疊。

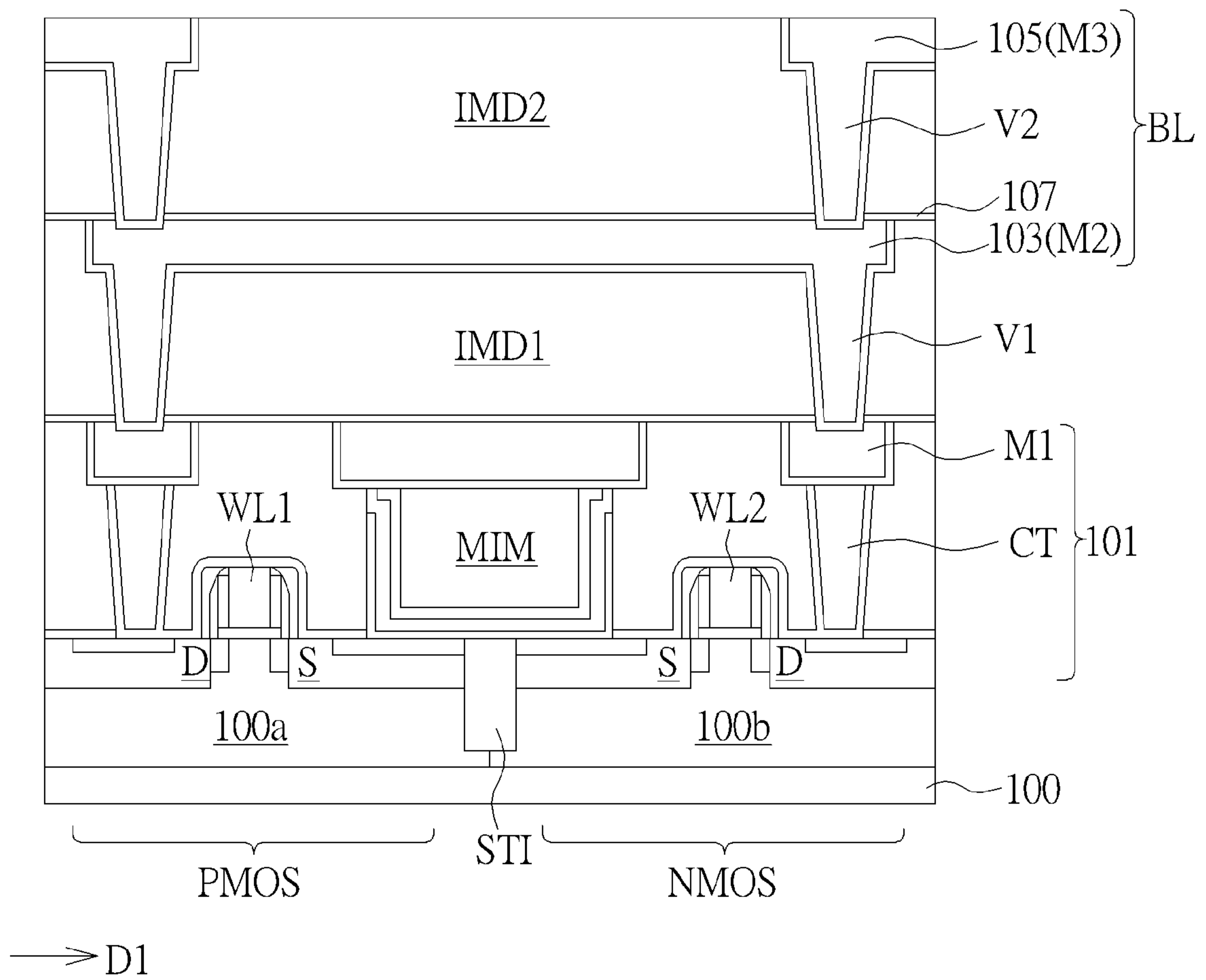
【第5項】 根據申請專利範圍第1項所述之用於雙電晶體靜態隨機存取記憶體的位元線結構，其中該n型電晶體的閘極與該p型電晶體的閘極分別是第一字元線與第二字元線且沿著與該第一方向垂直的第二方向分別延伸經過該雙電晶體靜態隨機存取記憶體的該金屬-絕緣體-金屬電容與該接觸結構之間。

【第6項】 根據申請專利範圍第1項所述之用於雙電晶體靜態隨機存取記憶體的位元線結構，其中該雙電晶體靜態隨機存取記憶體的該n型電晶體的汲極與該p型電晶體的汲極分別經由該接觸結構電連接該位元線的相鄰兩個第一部位。

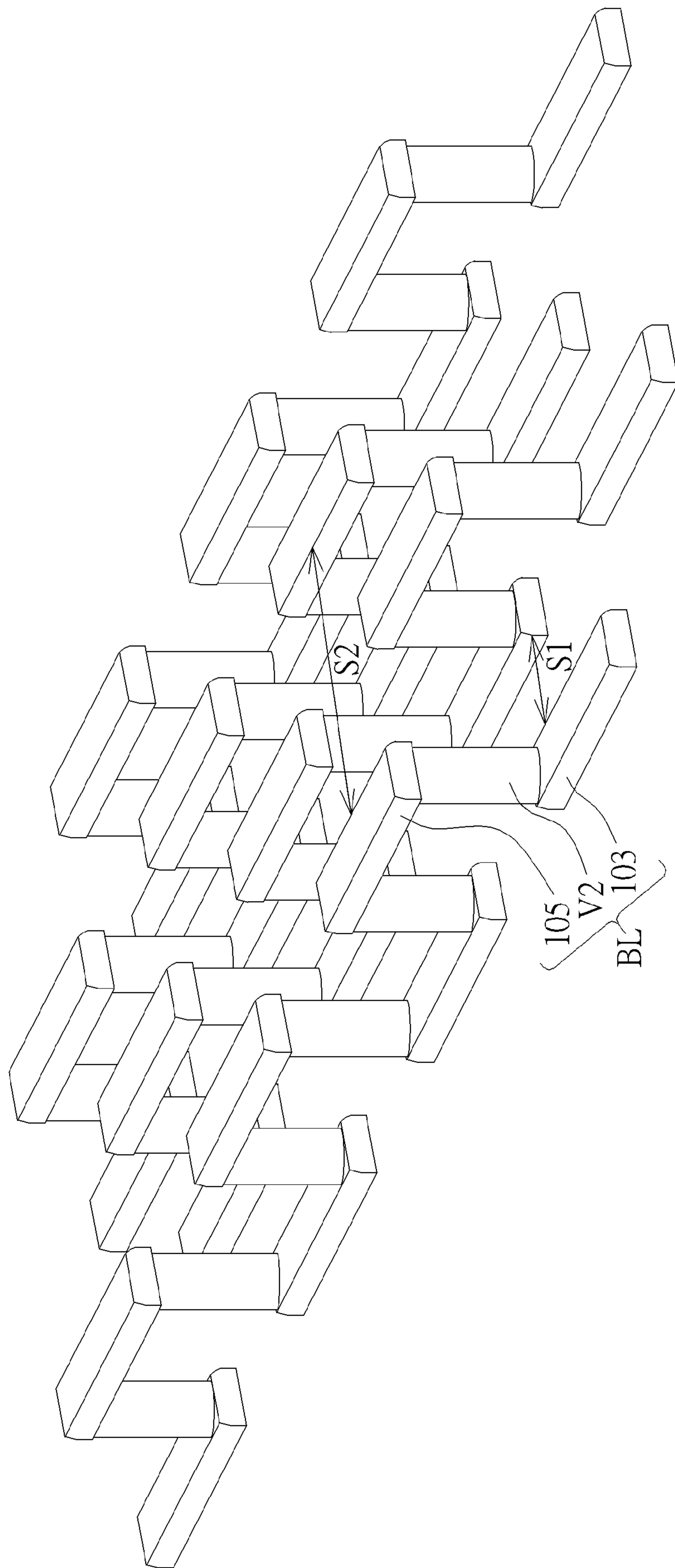
【第7項】 根據申請專利範圍第1項所述之用於雙電晶體靜態隨機存取記憶體的位元線結構，其中該雙電晶體靜態隨機存取記憶體的該n型電晶體的汲極與該p型電晶體的汲極分別經由該接觸結構電連接該位元線的同一個第一部位。



第2圖



第3圖



第4圖