

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4929594号  
(P4929594)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月24日(2012.2.24)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 N
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 8 G
	HO 1 L 29/78	6 5 8 E
	HO 1 L 29/06	3 0 1 D

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2004-378227 (P2004-378227)	(73) 特許権者	000005234
(22) 出願日	平成16年12月27日(2004.12.27)		富士電機株式会社
(65) 公開番号	特開2006-186108 (P2006-186108A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成18年7月13日(2006.7.13)	(74) 代理人	100104190
審査請求日	平成19年12月13日(2007.12.13)		弁理士 酒井 昭徳
		(72) 発明者	脇本 節子
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		(72) 発明者	岩本 進
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内
		審査官	安田 雅彦

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の低抵抗層上に、第1導電型半導体層と第2導電型半導体層とを交互に繰り返し接合した並列pn層が設けられ、かつ該並列pn層が、オン状態のときに電流が流れる活性領域、および該活性領域の周囲の非活性領域の両方に配置された半導体装置であって、

非活性領域の少なくとも一部の第2導電型半導体層の深さが、活性領域の第2導電型半導体層の深さよりも深く、

前記非活性領域に配置された、前記活性領域の第2導電型半導体層よりも深い第2導電型半導体層の幅は、前記活性領域の第2導電型半導体層の幅よりも広く、

前記非活性領域に配置された、前記活性領域の第2導電型半導体層よりも深い第2導電型半導体層に挟まれた第1導電型半導体層の幅は、前記活性領域の第1導電型半導体層の幅に等しいかまたはそれよりも狭く、

前記活性領域の第2導電型半導体層の幅は、前記活性領域の第1導電型半導体層の幅に等しいことを特徴とする半導体装置。

【請求項2】

前記活性領域の第2導電型半導体層は前記低抵抗層から離れており、かつ前記非活性領域の少なくとも一部の第2導電型半導体層は前記低抵抗層に接していることを特徴とする請求項1に記載の半導体装置。

【請求項3】

第1導電型の低抵抗層上に、第1導電型半導体層と第2導電型半導体層とを交互に繰り返し接合した並列pn層が設けられ、かつ該並列pn層が、オン状態のときに電流が流れる活性領域、および該活性領域の周囲の非活性領域の両方に配置された半導体装置の製造方法であって、

前記低抵抗層上に、前記第1導電型半導体層を形成する工程と、

前記第1導電型半導体層上に、前記活性領域を選択的に露出する第1開口部と、前記第1開口部の開口幅よりも広い開口幅で前記非活性領域を選択的に露出する第2開口部とを有するエッチングマスクを形成する工程と、

前記エッチングマスクをマスクとしてエッチングを行い、前記第1導電型半導体層の、前記第1開口部に対応する領域に第1トレンチを形成するとともに、前記第2開口部に対応する領域に前記第1トレンチの深さよりも深い第2トレンチを形成する工程と、

前記第1トレンチおよび前記第2トレンチの内部に、エピタキシャル成長によって第2導電型半導体層を成長させる工程と、

を含むことを特徴とする半導体装置の製造方法。

#### 【請求項4】

前記エッチングマスクは、

前記第1開口部よりも開口幅が広い隣り合う前記第2開口部に挟まれ前記第1導電型半導体層を覆う部分の幅が、隣り合う前記第1開口部に挟まれ前記第1導電型半導体層を覆う部分の幅に等しいかまたはそれよりも狭く、

前記第1開口部の開口幅が、隣り合う前記第1開口部に挟まれ前記第1導電型半導体層を覆う部分の幅に等しいことを特徴とする請求項3に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

この発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲート型バイポーラトランジスタ）またはバイポーラトランジスタなどに適用可能で高耐圧化と大電流容量化が両立するパワー半導体装置に関する。

#### 【背景技術】

#### 【0002】

一般に、半導体素子は、電極が片面に形成された横型の素子と、両面に電極を有する縦型の素子に分類される。縦型半導体素子は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときに逆バイアス電圧による空乏層が伸びる方向とが同じである。通常のプレーナ型のnチャネル縦型MOSFETでは、高抵抗のドリフト層は、オン状態のときに、縦方向にドリフト電流を流す領域として働く。従って、ドリフト層の電流経路を短くすれば、ドリフト抵抗が低くなるので、MOSFETの実質的なオン抵抗が下がるという効果が得られる。

#### 【0003】

その一方で、ドリフト層は、オフ状態のときには空乏化して耐圧を高める。従って、ドリフト層が薄くなると、p型のベース領域とn型のドリフト層との間のpn接合から進行するドレイン-ベース間空乏層が広がる幅が狭くなり、シリコンの臨界電界強度に速く達するため、耐圧が低下してしまう。逆に、耐圧の高い半導体素子では、ドリフト層が厚いため、オン抵抗が大きくなり、損失が増えてしまう。このように、オン抵抗と耐圧との間には、トレードオフ関係がある。

#### 【0004】

このトレードオフ関係は、IGBTやバイポーラトランジスタやダイオードなどの半導体素子においても同様に成立することが知られている。また、このトレードオフ関係は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときの空乏層の伸びる方向とが異なる横型半導体素子にも共通である。

#### 【0005】

上述したトレードオフ関係による問題の解決法として、ドリフト部を、不純物濃度を高

10

20

30

40

50

めたn型半導体層とp型半導体層とを交互に繰り返し接合した構成の並列pn層とした超接合半導体装置が公知である。このような構造の半導体装置では、並列pn層の不純物濃度が高くても、オフ状態のときに、空乏層が、並列pn層の縦方向に伸びる各pn接合から横方向に広がり、ドリフト部全体を空乏化するため、高耐圧化を図ることができる。

【0006】

従来より、超接合半導体装置の並列pn層を作製する方法として、n型半導体層のエピタキシャル成長とp型不純物の選択イオン注入を繰り返し行う方法（以下、多段エピタキシャル成長法とする）と、n型半導体層にトレンチを形成し、そのトレンチをp型半導体層のエピタキシャル成長層で埋める方法（以下、トレンチ埋め込み法とする）がある。

【0007】

トレンチ埋め込み法では、多段エピタキシャル成長法よりもエピタキシャル成長回数が少ないので、コストを低く抑えることができるという利点がある。しかし、トレンチ埋め込み法で作製した超接合半導体装置の耐圧を確保するためには、エッジ構造部に設けられる周辺耐圧構造を、多段エピタキシャル成長法で超接合半導体装置を作製する場合と異なる構造にする必要がある。ここで、エッジ構造部は、超接合半導体装置がオン状態のときに電流が流れる活性領域の外側の非活性領域に設けられる。

【0008】

その理由を以下に説明する。ただし、以下の説明では、MOSFETは、すべてnチャネル型とする。また、非活性領域には、活性領域と同様の高濃度の並列pn層が配置されていると仮定する。また、並列pn層は、細長く伸びるn半導体層およびp半導体層を、そのn半導体層の伸びる方向に直交する方向に交互に繰り返し接合した平面形状（以下、ストライプ状とする）をなす構成とする。

【0009】

なお、本明細書では、並列pn層のn半導体層（または、p半導体層）の伸びる方向を並列pn層のストライプに平行な方向とし、それに直交する方向を並列pn層のストライプに垂直な方向とする。従って、この並列pn層をストライプに平行に切断すると、その切断面には並列pn層のn半導体層とp半導体層のいずれか一方のみが現れる。また、この並列pn層をストライプに垂直に切断すると、その切断面には並列pn層のn半導体層とp半導体層が交互に現れる。

【0010】

並列pn層のストライプに平行な方向のエッジ構造部では、MOSFETがオフ状態のときに横型超接合構造となるので、十分な耐圧を確保することができる。それに対して、ストライプに直交する方向のエッジ構造部では、MOSFETがオフ状態のときに空乏層がpn接合部から水平方向（横方向）へ広がるが、非活性領域に配置された並列pn層のn半導体層の濃度が高いため、空乏層が十分に広がらない。そのため、ストライプに直交する方向のエッジ構造部では、十分な耐圧を確保することができない。

【0011】

この問題を回避するためには、エッジ構造部における並列pn層を、活性領域における並列pn層と異なる構造とし、エッジ構造部で空乏層が広がりやすい構造にする必要がある。そのような構造として、エッジ構造部の並列pn層のp半導体層の幅を活性領域の並列pn層のp半導体層の幅よりも広くすることによって、両p半導体層の不純物密度が同じでも、エッジ構造部のp半導体層の不純物量を多くして、エッジ構造部での耐圧低下を抑制する提案がなされている（例えば、特許文献1参照。）。

【0012】

【特許文献1】特開2003-273355号公報（段落[0062]、図27など）

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上記特許文献1の図27に示す構成のように、活性領域と非活性領域とで並列pn層の深さが同じであると、エッジ構造部において空乏層が深さ方向に広がりに

10

20

30

40

50

くい。そのため、エッジ構造部における空乏層の広がり不十分な場合、局所的な電界集中が起こり、耐圧が低下するという問題点がある。また、このようにエッジ構造部の耐圧が活性領域の耐圧よりも低くなると、アバランシェがエッジ構造部で発生するため、電流集中を引き起こし、アバランシェ耐量が低くなるという問題点がある。

【0014】

この発明は、上述した従来技術による問題点を解消するため、高い耐圧と高いアバランシェ耐量を有する超接合構造を備えた半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、第1導電型の低抵抗層上に、第1導電型半導体層と第2導電型半導体層とを交互に繰り返し接合した並列pn層が設けられ、かつ該並列pn層が、オン状態のときに電流が流れる活性領域、および該活性領域の周囲の非活性領域の両方に配置された半導体装置であって、非活性領域の少なくとも一部の第2導電型半導体層の深さが、活性領域の第2導電型半導体層の深さよりも深く、前記非活性領域に配置された、前記活性領域の第2導電型半導体層よりも深い第2導電型半導体層の幅は、前記活性領域の第2導電型半導体層の幅よりも広く、前記非活性領域に配置された、前記活性領域の第2導電型半導体層よりも深い第2導電型半導体層に挟まれた第1導電型半導体層の幅は、前記活性領域の第1導電型半導体層の幅に等しいかまたはそれよりも狭く、前記活性領域の第2導電型半導体層の幅は、前記活性領域の第1導電型半導体層の幅に等しいことを特徴とする。

【0016】

この発明によれば、エッジ構造部の電界が集中する領域に、活性領域の第2導電型半導体層よりも深い第2導電型半導体層が設けられることによって、この領域での並列pn層の深さ方向の長さが長くなり、深さ方向に空乏層が広がりやすくなる。従って、エッジ構造部での電界が緩和されるので、エッジ構造部の耐圧が向上する。また、活性領域では、並列pn層の深さ方向の長さがエッジ構造部より短くなるので、アバランシェが活性領域で起こるようになる。従って、アバランシェ電流の集中が回避されるので、アバランシェ耐量が向上する。また、この発明によれば、トレンチ埋め込み法によって、非活性領域に、活性領域よりも深い第2導電型半導体層が容易に形成される。これは、プラズマを用いた異方性ドライエッチングによりトレンチを形成する際に、そのローディング効果によって、エッチングマスクの開口幅の広い領域ほど深くエッチングされるからである。

【0017】

すなわち、非活性領域におけるエッチングマスクの開口幅を活性領域におけるエッチングマスクの開口幅よりも広くし、プラズマを用いた異方性ドライエッチングを行うことによって、非活性領域に、活性領域よりも深いトレンチが形成される。従って、トレンチを第2導電型半導体のエピタキシャル成長層で埋めることによって、非活性領域に活性領域よりも深い第2導電型半導体層が形成される。

【0018】

また、この発明にかかる半導体装置は、上述した発明において、前記活性領域の第2導電型半導体層は前記低抵抗層から離れており、かつ前記非活性領域の少なくとも一部の第2導電型半導体層は前記低抵抗層に接していることを特徴とする。この発明によれば、非活性領域での空乏層がさらに広がりやすくなるので、より一層、耐圧が向上する。

【0019】

また、この発明にかかる半導体装置の製造方法は、第1導電型の低抵抗層上に、第1導電型半導体層と第2導電型半導体層とを交互に繰り返し接合した並列pn層が設けられ、かつ該並列pn層が、オン状態のときに電流が流れる活性領域、および該活性領域の周囲の非活性領域の両方に配置された半導体装置の製造方法であって、前記低抵抗層上に、前記第1導電型半導体層を形成する工程と、前記第1導電型半導体層上に、前記活性領域を選択的に露出する第1開口部と、前記第1開口部の開口幅よりも広い開口幅で前記非活性

10

20

30

40

50

領域を選択的に露出する第2開口部とを有するエッチングマスクを形成する工程と、前記エッチングマスクをマスクとしてエッチングを行い、前記第1導電型半導体層の、前記第1開口部に対応する領域に第1トレンチを形成するとともに、前記第2開口部に対応する領域に前記第1トレンチの深さよりも深い第2トレンチを形成する工程と、前記第1トレンチおよび前記第2トレンチの内部に、エピタキシャル成長によって第2導電型半導体層を成長させる工程と、を含むことを特徴とする。

【0020】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記エッチングマスクは、前記第1開口部よりも開口幅が広い隣り合う前記第2開口部に挟まれ前記第1導電型半導体層を覆う部分の幅が、隣り合う前記第1開口部に挟まれ前記第1導電型半導体層を覆う部分の幅に等しいかまたはそれよりも狭く、前記第1開口部の開口幅が、隣り合う前記第1開口部に挟まれ前記第1導電型半導体層を覆う部分の幅に等しいことを特徴とする。

10

【発明の効果】

【0021】

本発明にかかる半導体装置および半導体装置の製造方法によれば、エッジ構造部の耐圧が向上し、また、アバランシェが活性領域で起こることによってアバランシェ耐量が向上するので、高い耐圧と高いアバランシェ耐量を有する超接合構造を備えた半導体装置が得られるという効果を奏する。

【発明を実施するための最良の形態】

20

【0022】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。以下の説明および添付図面において、 $n$ または $p$ を冠記した層や領域は、それぞれ電子または正孔が多数キャリアであることを意味する。また、 $n$ や $p$ に付した「+」もしくは「++」、または「-」は、それぞれ比較的高不純物濃度または比較的低不純物濃度であることを表す。なお、すべての添付図面において同様の構成には同一の符号を付し、重複する説明を省略する。

【0023】

実施の形態1

図1は、本発明の実施の形態1にかかる縦型MOSFETチップの要部を示す部分平面図である。なお、図1では、並列 $pn$ 層の表面層およびその上に形成される素子の表面構造については省略している(図5においても同じ)。図1に示すように、MOSFETのオン状態において電流が流れる活性領域100は、例えば矩形状をなすチップの中央部に配置されており、チップの周縁部に設けられた非活性領域200で囲まれている。並列 $pn$ 層は、 $n$ 半導体層2a, 3aおよび $p$ 半導体層2b, 3bを交互に繰り返し接合した、ストライプ状の平面形状をなす構成となっている。チップ終端部は、 $n$ 半導体層13となっている。

30

【0024】

ここで、並列 $pn$ 層を構成する $n$ 半導体層2a, 3aを区別するため、第1の $n$ 半導体層2aと第2の $n$ 半導体層3aとする。 $p$ 半導体層2b, 3bについても同様に、第1の $p$ 半導体層2bと第2の $p$ 半導体層3bとする。また、第1の $n$ 半導体層2aと第1の $p$ 半導体層2bとからなる並列 $pn$ 層を第1の並列 $pn$ 層とし、第2の $n$ 半導体層3aと第2の $p$ 半導体層3bとからなる並列 $pn$ 層を第2の並列 $pn$ 層とする。

40

【0025】

活性領域100における並列 $pn$ 層は、第1の並列 $pn$ 層により構成されている。本実施の形態では、第1の $n$ 半導体層2a、第1の $p$ 半導体層2b、第2の $n$ 半導体層3aおよび第2の $p$ 半導体層3bのそれぞれの幅は、並列 $pn$ 層のストライプに平行な方向に伸びる途中で変わらない。従って、非活性領域200において活性領域100から並列 $pn$ 層が延長している領域では、並列 $pn$ 層は、第1の並列 $pn$ 層により構成されている。非活性領域200のその他の領域では、並列 $pn$ 層は、第2の並列 $pn$ 層により構成されて

50

いる。

【0026】

図2は、図1中の、活性領域および非活性領域をストライプに垂直な方向に横切る切断線A-Aにおける断面構成を示す縦断面図である。図2において、右半部は、MOSFETとして電流を流す活性領域100であり、左半部は、活性領域100の外側において周辺耐圧構造が形成される非活性領域200である。低抵抗層である $n^{++}$ ドレイン層1は、活性領域100および非活性領域200にわたって設けられている。

【0027】

$n$ 半導体層2a, 3aおよび $p$ 半導体層2b, 3bは、 $n^{++}$ ドレイン層1の上に設けられている。 $n$ 半導体層2a, 3aは、 $n^{++}$ ドレイン層1に接している。 $p$ 半導体層2b, 3bは、 $n^{++}$ ドレイン層1に接していない。すなわち、 $p$ 半導体層2b, 3bは、 $n$ 半導体層2a, 3aよりも浅い。そして、第2の並列 $pn$ 層の第2の $p$ 半導体層3bは、第1の並列 $pn$ 層の第1の $p$ 半導体層2bよりも深い。また、第1の $p$ 半導体層2b、第1の $n$ 半導体層2a、第2の $p$ 半導体層3bおよび第2の $n$ 半導体層3aの幅をそれぞれ $X1$ 、 $Y1$ 、 $X2$ および $Y2$ とすると、 $X1$ 、 $Y1$ 、 $X2$ および $Y2$ は、 $X1 < X2$ 、 $Y2 > Y1$ および $X1 = Y1$ を満たす。

【0028】

活性領域100の素子表面側、および非活性領域200の活性領域100との境界近傍部分の素子表面側には、 $p$ ベース領域4、 $p^+$ コンタクト領域5、 $n^+$ ソース領域6、ゲート絶縁膜7、ゲート電極8、例えば酸化膜よりなる層間絶縁膜9a、ソース電極10からなる $n$ チャネルMOSFETの素子表面構造が形成されている。ドレイン電極11は、 $n^{++}$ ドレイン層1の裏面に設けられている。

【0029】

非活性領域200の表面は、活性領域100との境界近傍部分およびチップ終端部を除いて、層間絶縁膜9bで被覆されている。ソース電極10は、活性領域100から非活性領域200まで伸び、フィールドプレートとして、非活性領域200を覆う層間絶縁膜9bの途中までを覆っている。一方、チップ終端部には、ストップ電極12が設けられている。ストップ電極12は、チップ終端部の $n$ 半導体層13の表面層に設けられた $n^+$ 半導体領域14に接触するとともに、非活性領域200を覆う層間絶縁膜9bのチップ終端側部分を覆っている。

【0030】

特に限定されるものではないが、例えば、 $X1$ 、 $Y1$ 、 $X2$ および $Y2$ はそれぞれ $5\mu\text{m}$ 、 $5\mu\text{m}$ 、 $6\mu\text{m}$ および $5\mu\text{m}$ である。また、このときの第1の $p$ 半導体層2bおよび第2の $p$ 半導体層3bの深さはそれぞれ $45\mu\text{m}$ および $50\mu\text{m}$ である。このように、第2の $p$ 半導体層3bが深いことによって、非活性領域200において空乏層が広がりやすくなり、耐圧が向上する。

【0031】

次に、上述した構成の半導体装置の製造プロセスについて説明する。まず、 $n^{++}$ ドレイン層1となる $n$ 型半導体基板上に第1の $n$ 半導体層2a、第2の $n$ 半導体層3aおよび $n$ 半導体層13となる $n$ 半導体層をエピタキシャル成長させる。次いで、そのエピタキシャル成長層上に、活性領域100においてトレンチ形成用の開口幅が $X1$ 、 $n$ 半導体層の残し幅が $Y1$ 、非活性領域においてトレンチ形成用の開口幅が $X2$ 、 $n$ 半導体層の残し幅が $Y2$ であり、かつ $X1 < X2$ 、 $Y2 > Y1$ および $X1 = Y1$ を満たすエッチングマスクを形成する。そして、プラズマを用いた異方性ドライエッチングを行い、 $n$ 半導体よりなるエピタキシャル成長層に幅 $X1$ のトレンチと幅 $X2$ のトレンチを同時に形成する。

【0032】

このときのトレンチエッチングでは、幅の広いトレンチほど深くエッチングされるというローディング効果により、第2の $p$ 半導体層3bの方が第1の $p$ 半導体層2bよりも深く形成される。参考として、図3に、実際にプラズマを用いた異方性ドライエッチングにより種々の幅のトレンチを同時に形成した後の断面SEM(走査型電子顕微鏡)写真を示

10

20

30

40

50

す。

【0033】

次いで、第1のp半導体層2bおよび第2のp半導体層3bとなるp半導体層をエピタキシャル成長させてトレンチを埋める。このエピタキシャル成長層の表面をCMP（化学機械研磨）などの研磨によって平坦にした後、その平坦化した面にMOSFETの素子表面構造を形成する。また、 $n^{++}$ ドレイン層1の裏面にドレイン電極11を形成し、図2に示す構成の半導体装置ができあがる。

【0034】

本発明者らは、活性領域100のトレンチ幅X1およびn半導体層の残し幅Y1をともに5 $\mu$ mとし、非活性領域のトレンチ幅X2およびn半導体層の残し幅Y2をそれぞれ6 $\mu$ mおよび5 $\mu$ mとして、半導体装置の試作を行った。第1のp半導体層2bおよび第2のp半導体層3bを形成するためのトレンチエッチングには、例えばICP方式のトレンチエッチャーを用いた。そして、HBr、SF<sub>6</sub>およびO<sub>2</sub>の流量をそれぞれ60sccm、70sccmおよび100sccmとし、プラズマソースパワーおよびバイアスパワーをそれぞれ400Wおよび140Wとし、圧力を25mTorrとした。

10

【0035】

できあがった半導体装置の第1のp半導体層2bの深さは45 $\mu$ mであり、第2のp半導体層3bの深さは50 $\mu$ mであった。また、耐圧は650Vであり、従来構造（600V）よりも優れていた。さらに、アバランシェ破壊電流は定格電流の2.5倍であり、従来構造（定格電流の1倍）よりも優れていた。なお、HBrに代えてC<sub>4</sub>F<sub>8</sub>あるいはSiF<sub>4</sub>を用いても同様の効果が得られる。

20

【0036】

実施の形態2.

図4は、本発明の実施の形態2にかかる縦型MOSFETチップの要部の断面構成を示す縦断面図である。実施の形態2の部分平面図は図1と同じである。図4は、図1中の切断線A-Aにおける断面図に相当する。図4に示すように、実施の形態2では、非活性領域210において第2のp半導体層3bが $n^{++}$ ドレイン層1に接している。その他の構成は実施の形態1と同じである。

【0037】

特に限定されるものではないが、例えば、X1、Y1、X2およびY2はそれぞれ5 $\mu$ m、5 $\mu$ m、7 $\mu$ mおよび5 $\mu$ mであり、第1のp半導体層2bおよび第2のp半導体層3bの深さはそれぞれ45 $\mu$ mおよび55 $\mu$ mである。このように、第2のp半導体層3bが $n^{++}$ ドレイン層1に達していることによって、非活性領域210において空乏層がより一層、広がりやすくなるので、耐圧が向上する。

30

【0038】

実施の形態2の半導体装置の製造プロセスは、実施の形態1と同じである。ただし、トレンチ形成時のエッチングマスクの開口幅X1およびX2、並びに残し幅Y1およびY2は、適宜選択される。特に、非活性領域210のトレンチを実施の形態1よりも深く形成する必要があるので、非活性領域210にトレンチを形成するための開口幅X2は実施の形態1よりも広がる。

40

【0039】

本発明者らは、活性領域100のトレンチ幅X1およびn半導体層の残し幅Y1をともに5 $\mu$ mとし、非活性領域のトレンチ幅X2およびn半導体層の残し幅Y2をそれぞれ7 $\mu$ mおよび5 $\mu$ mとし、実施の形態1と同じエッチング条件でトレンチエッチングを行うことによって、半導体装置の試作を行った。できあがった半導体装置の第1のp半導体層2bの深さは45 $\mu$ mであり、第2のp半導体層3bの深さは55 $\mu$ mであった。また、耐圧は700Vであり、アバランシェ破壊電流は定格電流の1.8倍であり、いずれも従来構造（600Vおよび定格電流の1倍）よりも優れていた。

【0040】

実施の形態3.

50

図5は、本発明の実施の形態3にかかる縦型MOSFETチップの要部を示す部分平面図である。図6は、図5中の、活性領域および非活性領域をストライプに垂直な方向に横切る切断線B-Bにおける断面構成を示す縦断面図である。図5および図6に示すように、実施の形態3では、非活性領域220において、活性領域100との境界からソース電極10の終端付近までのソース電極10の下領域には、活性領域100と同じ浅いp半導体層2bを有する第1の並列pn層が配置されている。

【0041】

ソース電極10の終端からn半導体層13に至るまでの領域には、深いp半導体層3bを有する第2の並列pn層が配置されている。そして、ソース電極10の終端の真下の領域は、第2のp半導体層3bとなっている。このような構造にすることによって、電界集中が最も起こりやすいフィールドプレート電極、すなわちここではソース電極10の端部で電界が緩和されるので、実施の形態1と同様の効果が得られる。

10

【0042】

その他の構成は実施の形態1と同じである。また、実施の形態3の半導体装置の製造プロセスは、実施の形態1と同じである。ただし、トレンチ形成時のエッチングマスクの開口幅X1およびX2、並びに残し幅Y1およびY2は、適宜選択される。

【0043】

実施の形態4

図7は、本発明の実施の形態4にかかる縦型MOSFETチップの要部の断面構成を示す縦断面図である。実施の形態4の部分平面図は図5と同じである。図7は、図5中の切断線B-Bにおける断面図に相当する。図7に示すように、実施の形態4では、非活性領域230において、活性領域100との境界からソース電極10の終端付近までのソース電極10の下領域には、活性領域100と同じ浅いp半導体層2bを有する第1の並列pn層が配置されている。

20

【0044】

ソース電極10の終端からn半導体層13に至るまでの領域には、深いp半導体層3bを有する第2の並列pn層が配置されている。そして、ソース電極10の終端の真下の領域は、第2のp半導体層3bとなっている。このような構造にすることによって、電界集中が最も起こりやすいフィールドプレート電極、すなわちソース電極10の端部で電界が緩和されるので、実施の形態2と同様の効果が得られる。

30

【0045】

その他の構成は実施の形態2と同じである。また、実施の形態4の半導体装置の製造プロセスは、実施の形態1と同じである。ただし、トレンチ形成時のエッチングマスクの開口幅X1およびX2、並びに残し幅Y1およびY2は、適宜選択される。

【0046】

以上において、本発明は、上述した各実施の形態に限らず、種々変更可能である。例えば、深さや幅などの寸法は一例であり、本発明はそれらの数値に限定されるものではない。また、並列pn層上に、MOSFET以外の素子、例えばIGBTやバイポーラトランジスタなどを作製してもよい。また、上述した各実施の形態では、第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

40

【産業上の利用可能性】

【0047】

以上のように、本発明は、大電力用半導体装置に有用であり、特に、並列pn層をドリフト部に有するMOSFETやIGBTやバイポーラトランジスタなどの高耐圧化と大電流容量化を両立させることのできる半導体装置に適している。

【図面の簡単な説明】

【0048】

【図1】本発明の実施の形態1にかかる半導体装置の要部を示す部分平面図である。

【図2】図1中の切断線A-Aにおける断面構成を示す縦断面図である。

50

【図3】トレンチの断面形状を示すSEM写真である。

【図4】本発明の実施の形態2にかかるとる半導体装置の要部の断面構成を示す縦断面図である。

【図5】本発明の実施の形態3にかかるとる半導体装置の要部を示す部分平面図である。

【図6】図5中の切断線B - Bにおける断面構成を示す縦断面図である。

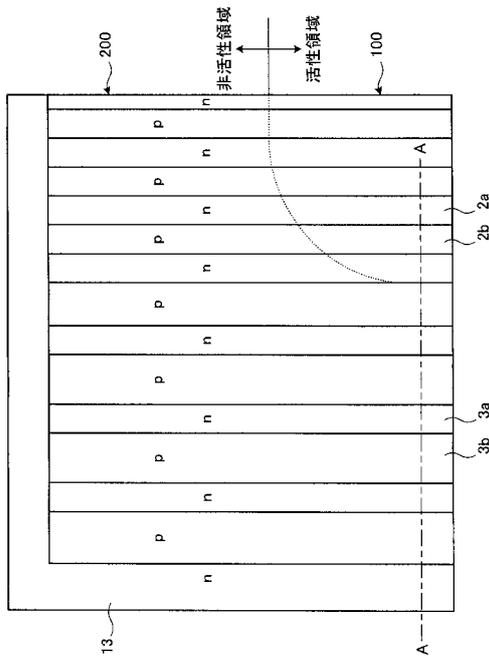
【図7】本発明の実施の形態4にかかるとる半導体装置の要部の断面構成を示す縦断面図である。

【符号の説明】

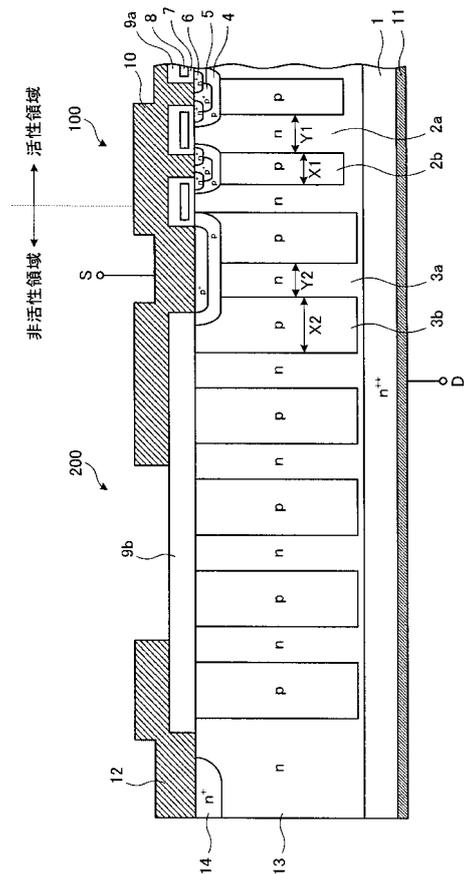
【0049】

- 1 第1導電型の低抵抗層 (n<sup>++</sup>ドレイン層)
- 2a, 3a 第1導電型半導体層 (n半導体層)
- 2b, 3b 第2導電型半導体層 (p半導体層)
- 100 活性領域
- 200, 210, 220, 230 非活性領域

【図1】



【図2】







---

フロントページの続き

- (56)参考文献 特開2002-134748(JP,A)  
独国特許発明第10100802(DE,C2)  
特開2003-273355(JP,A)  
特開2001-298190(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78  
H01L 21/336  
H01L 29/06