

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4342245号
(P4342245)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl.		F I			
H03F	1/00	(2006.01)	H03F	1/00	A
H03F	3/68	(2006.01)	H03F	3/68	A

請求項の数 9 (全 13 頁)

<p>(21) 出願番号 特願2003-302136 (P2003-302136)</p> <p>(22) 出願日 平成15年8月26日 (2003. 8. 26)</p> <p>(65) 公開番号 特開2005-73082 (P2005-73082A)</p> <p>(43) 公開日 平成17年3月17日 (2005. 3. 17)</p> <p>審査請求日 平成18年6月14日 (2006. 6. 14)</p>	<p>(73) 特許権者 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号</p> <p>(74) 代理人 100075258 弁理士 吉田 研二</p> <p>(74) 代理人 100096976 弁理士 石田 純</p> <p>(72) 発明者 羽山 孝一 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内</p> <p>審査官 儀同 孝信</p>
--	---

最終頁に続く

(54) 【発明の名称】 ショック音抑制回路

(57) 【特許請求の範囲】

【請求項1】

基準電圧を発生する基準電圧発生部であって、当該基準電圧が電源電圧の変化に応じて所定の時間遅れをもって変化する基準電圧発生部と、

前記基準電圧と音声信号とが入力され、その出力端子がスピーカの一方の端子に接続される第一のオペアンプと、

前記基準電圧と音声信号の反転信号とが入力され、その出力端子がスピーカの他方の端子に接続される第二のオペアンプと、

電源電圧に対応して変化する参照点の電圧と前記基準電圧に対応して変化する基準点の電圧との比較を行う比較部と、

前記比較部の比較結果に基づいて、前記基準点の電圧が前記参照点の電圧より低いときにはスピーカの両端子に基準電圧が印加され、当該基準点の電圧が当該参照点の電圧より高いときにはスピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替える切替制御部と、

を備えるショック音抑制回路。

【請求項2】

前記比較部の比較結果に基づいて、前記基準点の電圧が前記参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONするスイッチング素子をさらに備え、

前記切替制御部は、

前記スイッチング素子がOFFのときにはスピーカの両端子に基準電圧が印加されるようにし、第一および第二のオペアンプをOFFさせ、

前記スイッチング素子がONのときにはスピーカの両端子に基準電圧が印加されないようにし、第一および第二のオペアンプをONさせることを特徴とする請求項1に記載のショック音抑制回路。

【請求項3】

前記基準電圧発生部はコンデンサを含み、そのコンデンサの容量に応じた前記時間遅れが生じることを特徴とする請求項1または2に記載のショック音抑制回路。

【請求項4】

さらに、音声信号中の直流成分を除去する直流阻止コンデンサを備え、

スピーカの両端子に基準電圧が印加されているときには前記直流阻止コンデンサにも前記基準電圧が印加されることを特徴とする請求項1～3のうちいずれか一つに記載のショック音抑制回路。

【請求項5】

電源電圧に対応して変化する第二の参照点の電圧と前記基準電圧に対応して変化する基準点の電圧との比較を行う第二の比較部と、

前記第二の比較部の比較結果に基づいて、前記基準点の電圧が前記第二の参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONする第二のスイッチング素子と、

を備え、

前記切替制御部は、前記スイッチング素子または前記第二のスイッチング素子がOFFのときにはスピーカの両端子に基準電圧が印加され、前記スイッチング素子および第二のスイッチング素子がONのときにはスピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替えることを特徴とする請求項2～4のうちいずれか一つに記載のショック音抑制回路。

【請求項6】

前記切替制御部は、

前記スイッチング素子または前記第二のスイッチング素子がOFFすると電圧が降下する第三の参照点の電圧と、他の第四の参照点の電圧とを比較する第三の比較部と、

前記第三の比較部の比較結果に基づいて、前記第三の参照点の電圧が前記第四の参照点の電圧より低い場合は基準電圧をスピーカの両端子に印加させるための制御信号が出力され、他方前記第三の参照点の電圧が前記第四の参照点の電圧より高い場合は前記第一および第二のオペアンプをONするための制御信号が出力されるよう、所定の回路接続を選択的に切り替える切替部と、

前記第四の参照点の電圧を前記第三の参照点の電圧より高く保持するための機構と、

を含むことを特徴とする請求項5に記載のショック音抑制回路。

【請求項7】

前記スイッチング素子は電源開放後にOFFとなり、前記第二のスイッチング素子は電源投入後にOFFとなるよう構成されることを特徴とする請求項5又は6に記載のショック音抑制回路。

【請求項8】

電源電圧の変化に応じて所定の時間遅れをもって変化する基準電圧と音声信号とが入力され、その出力端子がスピーカの一方の端子に接続される第一のオペアンプと、

前記基準電圧と音声信号の反転信号とが入力され、その出力端子がスピーカの他方の端子に接続される第二のオペアンプと、

電源電圧に対応して変化する参照点の電圧と前記基準電圧に対応して変化する基準点の電圧との比較を行う比較部と、

前記比較部の比較結果に基づいて、前記基準点の電圧が前記参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONするオープンコレクタとして構成されるスイッチング素子と、

10

20

30

40

50

前記スイッチング素子がOFFのときにはスピーカの両端子に基準電圧が印加され、他方当該スイッチング素子がONのときにはスピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替える切替制御部と、
を備えるショック音抑制回路。

【請求項9】

入力された音声信号に基づいて音声出力を行うスピーカと、
基準電圧を発生する基準電圧発生部であって、当該基準電圧が電源電圧の変化に応じて所定の時間遅れをもって変化する基準電圧発生部と、

前記基準電圧と音声信号とが入力され、その出力端子が前記スピーカの一方の端子に接続される第一のオペアンプと、

前記基準電圧と音声信号の反転信号とが入力され、その出力端子が前記スピーカの他方の端子に接続される第二のオペアンプと、

電源電圧に対応して変化する参照点の電圧と前記基準電圧に対応して変化する基準点の電圧との比較を行う比較部と、

前記比較部の比較結果に基づいて、前記基準点の電圧が前記参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONするオープンコレクタとして構成されるスイッチング素子と、

前記スイッチング素子がOFFのときには前記スピーカの両端子に基準電圧が印加され、他方当該スイッチング素子がONのときには当該スピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替える切替制御部と、

音声信号中の直流成分を除去する直流阻止コンデンサと、
を含む音声出力装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、BTL (Balanced Transformer Less) 方式の音声増幅器に用いられるショック音抑制回路に関し、特に、一の基準電圧によってバイアスがかけられる2つのオペアンプを含む音声増幅器用のショック音抑制回路に関する。

【背景技術】

【0002】

ビデオカメラやデジタルカメラ等には、音声出力機能を備えるものがある。電源投入等の際にその旨を知らせるいわゆるビープ音も、その音声出力機能によって出力される。

【0003】

また、ビデオカメラやデジタルカメラ等では、電源電圧は比較的低く設定される（例えば3V）。このため、スピーカの両端子に互いに逆位相の音声信号を印加することでダイナミックレンジを拡大するいわゆるBTL方式が採用される場合が多い。

【0004】

ここで、図3を参照して、従来のBTL方式の音声増幅器の一例について説明する。図3の音声増幅器50において、端子28に印加された音声信号は、コンデンサC2を經由して端子30に入力される。このコンデンサC2は、音声信号内の不要な直流成分の伝播を阻止し、交流成分のみ伝播させるべく設けられた直流阻止コンデンサである。

【0005】

端子30に印加された音声信号は、第一のオペアンプ12で増幅される。この第一のオペアンプ12は、抵抗R9と抵抗R10との抵抗比によって決まる帰還率に応じてその利得が決定されるアンプである。端子30は抵抗R9を介して第一のオペアンプ12の負極端子(-)に接続されているため、第一のオペアンプ12からは位相の反転した音声信号（反転信号）が出力される。この反転信号はスピーカ22の一方の端子24に印加される。

【0006】

また、上記反転信号は、第二のオペアンプ14で増幅される。この第二のオペアンプ1

10

20

30

40

50

4 は、抵抗 R 1 1 と抵抗 R 1 2 との抵抗比によって決まる帰還率に応じてその利得が決定されるアンプである。第一のオペアンプ 1 2 の出力端子は抵抗 R 1 1 を介して第二のオペアンプ 1 4 の負極端子 (-) に入力されているため、第二のオペアンプからは反転信号の位相が反転した音声信号 (正転信号) が出力される。この正転信号はスピーカ 2 2 の他方の端子 2 6 に印加される。

【 0 0 0 7 】

また、第一および第二のオペアンプ 1 2 , 1 4 の正極端子 (+) には、基準電圧源 3 4 から基準電圧が印加される。

【 0 0 0 8 】

このような構成により、スピーカ 2 2 の一方の端子 2 4 には反転信号が、また他方の端子 2 6 には正転信号が入力される。このため、例えば第一および第二のオペアンプ 1 2 , 1 4 の利得がほぼ同じに設定される場合、スピーカ 2 2 の両端子間の出力レベルは、正転信号のみが入力される場合に比べて略 2 倍となる。なお、この種の音声増幅器は、例えば特許文献 1 に開示されている。

【 0 0 0 9 】

【特許文献 1】特開平 1 1 - 1 3 6 0 4 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかし、上記従来の音声増幅器では、電源投入時あるいは電源開放時において、電源電圧の変化等に起因して、スピーカからショック音 (ポップ音) が発生してしまう場合がある。特に B T L 方式では、音声増幅器のダイナミックレンジが広くなっており、比較的小さな電位差、あるいはその変化であっても、ショック音発生の原因となることがある。ショック音は使用者に違和感を与え、またビープ音を阻害することにもなるため、好ましくない。

【課題を解決するための手段】

【 0 0 1 1 】

本発明にかかるショック音抑制回路は、基準電圧を発生する基準電圧発生部であって、当該基準電圧が電源電圧の変化に応じて所定の時間遅れをもって変化する基準電圧発生部と、上記基準電圧と音声信号とが入力され、その出力端子がスピーカの一方の端子に接続される第一のオペアンプと、上記基準電圧と音声信号の反転信号とが入力され、その出力端子がスピーカの他方の端子に接続される第二のオペアンプと、電源電圧に対応して変化する参照点の電圧と上記基準電圧に対応して変化する基準点の電圧との比較を行う比較部と、上記比較部の比較結果に基づいて、上記基準点の電圧が上記参照点の電圧より低いときにはスピーカの両端子に基準電圧が印加され、当該基準点の電圧が当該参照点の電圧より高いときにはスピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替える切替制御部と、を備える。

【 0 0 1 2 】

また上記本発明にかかるショック音抑制回路では、前記比較部の比較結果に基づいて、前記基準点の電圧が前記参照点の電圧より低いときには OFF し、当該基準点の電圧が当該参照点の電圧より高いときには ON するスイッチング素子をさらに備え、前記切替制御部は、前記スイッチング素子が OFF のときにはスピーカの両端子に基準電圧が印加されるようにし、第一および第二のオペアンプを OFF させ、前記スイッチング素子が ON のときにはスピーカの両端子に基準電圧が印加されないようにし、第一および第二のオペアンプを ON させるのが好適である。

【 0 0 1 3 】

また上記本発明にかかるショック音抑制回路では、上記基準電圧発生部はコンデンサを含み、そのコンデンサの容量に応じた上記時間遅れが生じるのが好適である。

【 0 0 1 4 】

また上記本発明にかかるショック音抑制回路では、さらに、音声信号中の直流成分を除

10

20

30

40

50

去する直流阻止コンデンサを備え、スピーカの両端子に基準電圧が印加されているときには上記直流阻止コンデンサにも上記基準電圧が印加されるのが好適である。

【0015】

また上記本発明にかかるショック音抑制回路では、電源電圧に対応して変化する第二の参照点の電圧と上記基準電圧に対応して変化する基準点の電圧との比較を行う第二の比較部と、上記第二の比較部の比較結果に基づいて、上記基準点の電圧が上記第二の参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONする第二のスイッチング素子と、を備え、上記切替制御部は、上記スイッチング素子または上記第二のスイッチング素子がOFFのときにはスピーカの両端子に基準電圧が印加され、前記スイッチング素子および第二のスイッチング素子がONのときにはスピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替えるのが好適である。

10

【0016】

また上記本発明にかかるショック音抑制回路では、上記切替制御部は、上記スイッチング素子または上記第二のスイッチング素子がOFFすると電圧が降下する第三の参照点の電圧と、他の第四の参照点の電圧とを比較する第三の比較部と、上記第三の比較部の比較結果に基づいて、上記第三の参照点の電圧が上記第四の参照点の電圧より低い場合は基準電圧をスピーカの両端子に印加させるための制御信号が出力され、他方上記第三の参照点の電圧が上記第四の参照点の電圧より高い場合は上記第一および第二のオペアンプをONするための制御信号が出力されるよう、所定の回路接続を選択的に切り替える切替部と、上記第四の参照点の電圧を上記第三の参照点の電圧より高く保持するための機構と、を含むのが好適である。

20

【0017】

また上記本発明にかかるショック音抑制回路では、上記スイッチング素子は電源開放後にOFFとなり、上記第二のスイッチング素子は電源投入後にOFFとなるよう構成されるのが好適である。

【0018】

本発明にかかるショック音抑制回路は、電源電圧の変化に応じて所定の時間遅れをもって変化する基準電圧と、音声信号とが入力され、その出力端子がスピーカの一方の端子に接続される第一のオペアンプと、上記基準電圧と音声信号の反転信号とが入力され、その出力端子がスピーカの他方の端子に接続される第二のオペアンプと、電源電圧に対応して変化する参照点の電圧と上記基準電圧に対応して変化する基準点の電圧との比較を行う比較部と、上記比較部の比較結果に基づいて、上記基準点の電圧が上記参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONするオープンコレクタとして構成されるスイッチング素子と、上記スイッチング素子がOFFのときにはスピーカの両端子に基準電圧が印加され、他方当該スイッチング素子がONのときにはスピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替える切替制御部と、を備える。

30

【0019】

また本発明にかかる音声出力装置は、入力された音声信号に基づいて音声出力を行うスピーカと、基準電圧を発生する基準電圧発生部であって、当該基準電圧が電源電圧の変化に応じて所定の時間遅れをもって変化する基準電圧発生部と、上記基準電圧と音声信号とが入力され、その出力端子が上記スピーカの一方の端子に接続される第一のオペアンプと、上記基準電圧と音声信号の反転信号とが入力され、その出力端子が上記スピーカの他方の端子に接続される第二のオペアンプと、電源電圧に対応して変化する参照点の電圧と上記基準電圧に対応して変化する基準点の電圧との比較を行う比較部と、上記比較部の比較結果に基づいて、上記基準点の電圧が上記参照点の電圧より低いときにはOFFし、当該基準点の電圧が当該参照点の電圧より高いときにはONするオープンコレクタとして構成されるスイッチング素子と、上記スイッチング素子がOFFのときには上記スピーカの両端子に基準電圧が印加され、他方当該スイッチング素子がONのときには当該スピーカの両端子に基準電圧が印加されないよう、所定の回路接続を切り替える切替制御部と、音声

40

50

信号中の直流成分を除去する直流阻止コンデンサと、を含む。

【発明を実施するための最良の形態】

【0020】

以下、本発明の好適な実施形態について図面を参照して説明する。図1は、本実施形態にかかるショック音抑制機能を有する音声出力装置10の一例を示す図、また図2は、音声出力装置10に含まれる切替制御回路40の一例を示す図である。なお、図1の音声出力装置10は、図3の音声増幅器50と同様の構成要素を含んでいる。このため以下では、同様の構成要素については図3と同じ符号を付すとともに、重複する説明を省略する。

【0021】

図1の例では、基準電圧発生部11は、コンデンサC1を含んでいる。コンデンサC1の両端間電圧として規定される基準電圧は、バッファ16を経由して第一のオペアンプ12および第二のオペアンプ14の正極端子(+)に印加される。

10

【0022】

また、バッファ16の出力端子は、各バッファ18, 20を経由して、スピーカ22の両端子24, 26に接続されている。ここで、バッファ18, 20は、切替制御回路40の端子Cから供給される制御信号によってON/OFFするように構成されており、バッファ18, 20がONした場合には、各バッファ18, 20を経由してスピーカ22の両端子24, 26に基準電圧が印加されるようになっている。その場合、スピーカ22の両端子24, 26が同じ電位となるので、スピーカ22からの不要な音声出力(ショック音等)が抑制される。したがって、この例では、制御信号によってバッファ18, 20をONするタイミングを制御することで、スピーカ22の不要な音声出力を抑制するタイミングを制御することができる。なお、バッファ18, 20がOFFした場合には、基準電圧は当該端子24, 26には印加されない。したがって、通常の音声出力中(入力された音声信号をスピーカ22から出力する状態)は、バッファ18, 20をOFFしておく必要がある。

20

【0023】

また、スピーカ22の両端子24, 26に基準電圧が印加されるとき、直流阻止コンデンサC2にも抵抗R10, R9を介して基準電圧が印加される。これにより、第一のオペアンプ12の正極端子(+)の電圧と負極端子(-)の電圧とが等しくなり、これら端子間の電圧に起因するショック音の発生が抑制される。したがって、この効果をより有効に発揮させるためには、コンデンサC2の容量は、直流阻止の性能が確保される範囲で極力小さく設定するのがよい。

30

【0024】

さらに、第一および第二のオペアンプ12, 14は、切替制御回路40のD端子から供給される制御信号によってON/OFFするように構成されており、ONされた場合のみ、音声信号の増幅器として機能し、OFFされた場合には、音声信号の増幅器としての機能を失う。したがって、この例では、制御信号によって第一および第二のオペアンプ12, 14をOFFするタイミングを制御することで、スピーカ22の不要な音声出力を抑制するタイミングを制御することができる。

【0025】

スピーカ22の両端子24, 26に対して基準電圧を印加するとともに、第一および第二のオペアンプ12, 14をOFFすれば、スピーカ22からの不要な音声出力を一層効果的に抑制することができる。そこで、図1の例では、切替制御回路40は、端子Cまたは端子Dのうちいずれか一方のみから制御信号を出力し、バッファ18, 20および第一および第二のオペアンプ12, 14のうちいずれか一方のみを選択的にONするように制御している。すなわち、入力された音声信号に基づいて通常の音声出力を行う場合、切替制御回路は、制御信号によってバッファ18, 20をOFFし、かつ第一及び第二のオペアンプ12, 14をONとし、他方、スピーカ22からの不要な音声出力を抑制する場合は、バッファ18, 20をONし、かつ第一及び第二のオペアンプ12, 14をOFFとするのである。

40

50

【 0 0 2 6 】

そして、図 1 の音声出力装置 1 0 は、電源開放時および電源投入時に、バッファ 1 8 , 2 0 を ON し、第一および第二のオペアンプを OFF することで、当該期間におけるショック音の抑制を図っている。ここで、そのための回路構成および制御について説明する。

【 0 0 2 7 】

基準電圧発生部 1 1 の基準電圧 V_0 は、電源電圧 V_{cc} に応じて所定の時間遅れを持って変動する。例えば、電源投入時には、電源電圧 V_{cc} が 0 [V] から比較的短期間のうちに所望の定常電圧（上昇して安定した電圧；例えば 3 [V] ）に到達するのに対し、基準電圧 V_0 は、電源電圧 V_{cc} の変化に対しては回路定数（コンデンサ C 1 の容量値や抵抗 R 1 , R 3 の抵抗値）によって定まる時定数分だけ遅れて所望の定常電圧（例えば 1 . 5 [V] ）に到達することになる。また、電源開放時には、電源電圧 V_{cc} が定常電圧から比較的短期間のうちに 0 [V] に到達するのに対し、基準電圧 V_0 は、電源電圧 V_{cc} の変化に対しては回路定数（コンデンサ C 1 の容量値や抵抗 R 2 の抵抗値）によって定まる時定数分だけ遅れて 0 [V] に到達することになる。本実施形態では、回路中の二点における電圧変化速度の差異、すなわち基準電圧 V_0 と電源電圧 V_{cc} との電圧変化速度の差異を利用して、電源投入時あるいは電源開放時において、スピーカ 2 2 からの不要な音声出力を抑制する期間を定めている。

10

【 0 0 2 8 】

まず、電源投入時に不要な音声出力を抑制するための具体的な構成例およびその動作について説明する。電源投入時は、基準点 P 0 の電圧と第二の参照点 P 2 の電圧との電圧変化速度の差を利用する。ここで、この例では、基準点 P 0 の電圧は基準電圧 V_0 そのものとなっている。ただし、基準電圧 V_0 の変化に対応して（比較的素早く追従して）変化し、かつ電源電圧 V_{cc} に対して所定の時間遅れをもって変化する点の電圧であれば、これには限定されない。他方、第二の参照点 P 2 の電圧 V_2 は、この例では、抵抗 R 6 , R 7 および R 8 の抵抗値によって定まる電源電圧 V_{cc} の分圧となっており、電源電圧 V_{cc} に対応して（比較的素早く追従して）変化する。

20

【 0 0 2 9 】

さて、上述したように、電源投入時においては、電源電圧 V_{cc} は直ちに上昇するのに対し、基準電圧 V_0 は所定の時間遅れをもって上昇する。したがって、電源投入時には、第二の参照点 P 2 の電圧 V_2 が先に上昇し、基準点 P 0 の電圧 V_0 が遅れて上昇することになる。このため、定常状態（電圧が上昇して安定した通常状態）において第二の参照点 P 2 の電圧 V_2 が定常時の基準電圧 V_0 より低くなるよう、抵抗 R 6 , R 7 および R 8 を設定しておけば、電源開始後基準点 P 0 の電圧 V_0 が上昇して第二の参照点 P 2 の電圧 V_2 に到達するまでの期間をスピーカ 2 2 からの不要な音声出力を抑制する期間として設定することができる。

30

【 0 0 3 0 】

そこで、図 1 の例では、抵抗 R 4 、基準点 P 0 をベースとするトランジスタ Q 4 （PNP）、および第二の参照点をベースとするトランジスタ Q 5 （PNP）により、第二の比較部 3 5 を形成している。この場合、基準点 P 0 の電圧 V_0 が第二の参照点 P 2 の電圧 V_2 より低い場合にはトランジスタ Q 4 が ON かつトランジスタ Q 5 は OFF となり、基準点 P 0 の電圧 V_0 が第二の参照点 P 2 の電圧 V_2 より高い場合にはトランジスタ Q 4 は OFF かつトランジスタ Q 5 が ON となる。

40

【 0 0 3 1 】

さらに、この例では、トランジスタ Q 5 に連動するトランジスタ Q 7 （NPN）が設けられている。この例では、トランジスタ Q 7 のベースはトランジスタ Q 5 のコレクタに接続されている。したがって、トランジスタ Q 7 は、トランジスタ Q 5 が ON のとき、すなわち第二の参照点 P 2 の電圧 V_2 が基準点 P 0 の電圧 V_0 より低いとき（ $V_2 < V_0$ ）には ON となり、トランジスタ Q 5 が OFF のとき、すなわち第二の参照点 P 2 の電圧 V_2 が基準点 P 0 の電圧 V_0 より高いとき（ $V_2 > V_0$ ）には OFF となる。

【 0 0 3 2 】

50

そして、トランジスタQ7は、この例ではオープンコレクタとして構成されている。すなわち、そのコレクタが出力端子として切替制御回路40に接続されており、トランジスタQ7がOFFのとき、すなわち基準点P0の電圧V0が第二の参照点P2の電圧V2より低いとき、切替制御回路40の端子AはH（ハイ）レベルとなる。ここで、切替制御回路40は、端子AがHレベルのとき、バッファ18, 20をONとし、第一および第二のオペアンプ12, 14をOFFとして、スピーカ22からの不要な音声出力を抑制する。かかる構成により、電源開始後、基準点P0の電圧V0が上昇して第二の参照点P2の電圧V2に到達するまでの期間、スピーカ22からの不要な音声出力を抑制することができる。なお、切替制御回路40の詳細な構成例については後述する。

【0033】

他方、トランジスタQ7がONのとき端子AはL（ロー）レベルとなり、そのとき切替制御回路40は、バッファ18, 20をOFFとし、第一および第二のオペアンプ12, 14をONとする。すなわち、基準点P0の電圧V0が上昇して、第二の参照点P2の電圧V2を超えた以降、定常状態となっている間は、端子28から入力された音声信号がスピーカ22から出力される。なお、ここで説明した構成に替えて、トランジスタQ4に連動するトランジスタを設け、第二の比較部35の比較結果をそのトランジスタのONまたはOFFとして切替制御回路40に入力するよう構成してもよい。

【0034】

また、この例では、電源投入時における第二の比較部35の動作に関し、トランジスタQ6（NPN）が設けられている。トランジスタQ6のベースはトランジスタQ5のコレクタに接続され、またコレクタは第二の参照点P2（すなわちトランジスタQ5のベース）に接続されている。したがって、トランジスタQ5がONとなったときにトランジスタQ6はONとなり、これにより第二の参照点P2の電圧V2が低下する。すなわち、このトランジスタQ6を設けることにより、トランジスタQ4がONである状態からトランジスタQ5がONとなる状態への移行、すなわち第二の比較部35の切り替え動作が、より迅速にかつより確実に行われるようになる。

【0035】

ところで、この例では、コンデンサC1の正極側は、電源ライン（Vcc）とグラウンドとの間に直列に設けられた抵抗R1, R2の間に接続されている。このため、コンデンサC1へのチャージ速度はコンデンサC1の容量と抵抗R1（およびR2）の回路定数によって定まることになる。加えて、この例では、チャージ速度を調整可能とする回路構成が含まれている。すなわち、抵抗R1と並列にトランジスタQ1（PNP）を設け、このトランジスタQ1とトランジスタQ2とでカレントミラー回路を構成し、さらにトランジスタQ2側のラインに、抵抗R3とトランジスタQ4に連動するトランジスタQ3（PNP）とを直列に設けている。かかる構成により、電源ラインからトランジスタQ1を経由してコンデンサC1に流れる電流を、抵抗R3の大きさによっても調整することができるようになる。なお、このカレントミラー回路は、トランジスタQ4がONとなっている状態、すなわち電源投入時において基準電圧V0が0[V]から上昇している状態でのみ、トランジスタQ3がONとなって、有効に機能するものである。また、図1に示したものは、あくまで一例に過ぎず、他の等価な回路構成によっても同様の機能を実現することができる。

【0036】

さて、次に、電源開放時に不要な音声出力を抑制するための具体的な構成例およびその動作について説明する。電源開放時は、基準点P0の電圧と第一の参照点P1の電圧との電圧変化速度の差を利用する。ここで、この例では、基準点P0の電圧は基準電圧V0そのものとなっている。ただし、基準電圧V0の変化に対応して（比較的素早く追従して）変化し、かつ電源電圧Vccに対して所定の時間遅れをもって変化する点の電圧であれば、これには限定されない。他方、第一の参照点P1の電圧V1は、この例では、抵抗R6, R7およびR8の抵抗値によって定まる電源電圧Vccの分圧となっており、電源電圧Vccに対応して（比較的素早く追従して）変化する。

10

20

30

40

50

【 0 0 3 7 】

さて、上述したように、電源開放時においては、電源電圧 V_{cc} は直ちに下降するのに対し、基準電圧 V_0 は所定の時間遅れをもって下降する。したがって、電源開放時には、第一の参照点 P_1 の電圧 V_1 が先に下降し、基準点 P_0 の電圧 V_0 が遅れて下降することになる。このため、定常状態（電圧が上昇して安定した通常状態）における第一の参照点 P_1 の電圧 V_1 が、定常時の基準電圧 V_0 より高くなるよう、抵抗 R_6 , R_7 , R_8 を設定しておけば（ただしトランジスタ Q_6 を含む回路も考慮する必要がある）、電源開放後第一の参照点 P_1 の電圧 V_1 が下降して、基準点 P_0 の電圧 V_0 より低くなった以降、スピーカ 22 からの不要な音声出力を抑制することができる。

【 0 0 3 8 】

そこで、図 1 の例では、抵抗 R_5 、基準点 P_0 をベースとするトランジスタ Q_9 (PNP)、および第一の参照点 P_1 をベースとするトランジスタ Q_{10} (PNP) により、第一の比較部 33 を形成している。この場合、基準点 P_0 の電圧 V_0 が第一の参照点 P_1 の電圧 V_1 より低い場合にはトランジスタ Q_9 が ON かつトランジスタ Q_{10} は OFF となり、基準点 P_0 の電圧 V_0 が第一の参照点 P_1 の電圧 V_1 より高い場合にはトランジスタ Q_9 は OFF かつトランジスタ Q_{10} が ON となる。

【 0 0 3 9 】

そして、この例では、トランジスタ Q_9 に連動するトランジスタ Q_8 (NPN) が設けられている。この例では、トランジスタ Q_8 のベースはトランジスタ Q_9 のコレクタに接続されている。したがって、トランジスタ Q_8 は、トランジスタ Q_9 が ON のとき、すなわち第一の参照点 P_1 の電圧 V_1 が基準点 P_0 の電圧 V_0 より低いとき ($V_1 < V_0$) には ON となり、トランジスタ Q_9 が OFF のとき、すなわち第一の参照点 P_1 の電圧 V_1 が基準点 P_0 の電圧 V_0 より高いとき ($V_1 > V_0$) には OFF となる。

【 0 0 4 0 】

そして、トランジスタ Q_8 は、この例ではオープンコレクタとして構成されている。すなわち、そのコレクタが出力端子として切替制御回路 40 に接続されており、トランジスタ Q_8 が OFF のとき、すなわち基準点 P_0 の電圧 V_0 が第一の参照点 P_1 の電圧 V_1 より低いとき、切替制御回路 40 の端子 B は H レベルとなる。ここで、切替制御回路 40 は、端子 B が H レベルのとき、バッファ 18 , 20 を ON とし、第一および第二のオペアンプ 12 , 14 を OFF とし、スピーカ 22 からの不要な音声出力を抑制する。かかる構成により、電源開放後、第一の参照点 P_1 の電圧 V_1 が下降して、基準点 P_0 の電圧 V_0 より低くなった以降、スピーカ 22 からの不要な音声出力を抑制することができる。

【 0 0 4 1 】

他方、トランジスタ Q_8 が ON のとき端子 B は L レベルとなり、そのとき切替制御回路 40 は、バッファ 18 , 20 を OFF とし、第一および第二のオペアンプ 12 , 14 を ON とする。すなわち、定常状態の間、および電源解放後第一の参照点 P_1 の電圧 V_1 が下降して、基準点 P_0 の電圧 V_0 より低くなるまでの間は、端子 28 から入力された音声信号がスピーカ 22 から出力される。

【 0 0 4 2 】

ここで、トランジスタ Q_8 を、トランジスタ Q_9 に連動するオープンコレクタとするのには意味がある。今、仮に、トランジスタ Q_8 に替えて、トランジスタ Q_{10} の動作に連動するトランジスタ（そのベースがトランジスタ Q_{10} のコレクタに接続され、コレクタが端子 B に接続される NPN）を設けた場合を考えると、そのトランジスタを ON するには、最低でも、当該トランジスタのベース - エミッタ間電圧、トランジスタ Q_{10} の飽和電圧、および抵抗 R_5 を流れる電流の降下電圧の和に相当する分の電圧が必要となってしまう。しかし、第一の参照点 P_1 の電圧は、電源電圧 V_{cc} に追従して下降するから、比較的早い段階で当該トランジスタのベース電圧（すなわちトランジスタ Q_{10} のコレクタ電圧）も低下し、当該トランジスタを ON するだけの電圧を確保できず、スピーカ 22 からの不要音出力の抑制ができない状態となってしまう可能性がある。そこで、本実施形態では、トランジスタ Q_8 を、電源開放時に比較的高い電圧が確保されるトランジスタ Q_9

10

20

30

40

50

側に連動するオープンコレクタと構成し、電源開放時において第一の参照点 P 1 の電圧 V 1 が基準点 P 0 の電圧より低くなった以降における比較結果の出力の安定化を図ったのである。

【 0 0 4 3 】

なお、図 1 の例では、一点鎖線の枠内の構成要素を一の集積回路（例えば IC）として構成し、コンデンサ C 1 , C 2 はいずれも外付けコンデンサとするのが好適である。これにより、コンデンサ C 1 , C 2 を交換するなど、それらの容量をより容易に調整することができるようになる。

【 0 0 4 4 】

次に、切替制御回路 4 0 の構成例について図 2 を参照して説明する。上述したように、端子 A には、電源投入時にスピーカ 2 2 からの不要な音声出力を抑制するための H レベル信号が入力される。また端子 B には、電源開放時にスピーカ 2 2 からの不要な音声出力を抑制するための H レベル信号が入力される。そこで、図 2 の切替制御回路 4 0 は、端子 A または端子 B のいずれか一方が H レベルとなったときに、バッファ 1 8 , 2 0 を ON し、かつ第一および第二のオペアンプ 1 2 , 1 4 を OFF とするよう構成されている。なお、各端子への入力に対応する切替制御回路をそれぞれ別個に設けてもよいが、その場合は、回路規模がより大きくなる。

【 0 0 4 5 】

図 2 の切替制御回路 4 0 では、端子 A は抵抗 R s 1 を介して電源ライン（V c c）に接続され、また端子 B は抵抗 R s 2 を介して電源ラインに接続されている。そして、互いに並列なトランジスタ Q s 1 , Q s 2（いずれも NPN）が設けられている。トランジスタ Q s 1 のベースは端子 A に接続され、トランジスタ Q s 2 のベースが端子 B に接続されている。それらのエミッタは接地され、それらのコレクタは互いに直列な二つの抵抗 R s 3 および R s 4 を介して電源ラインに接続されている。

【 0 0 4 6 】

かかる構成では、端子 A および端子 B のうちいずれか一方が H レベルのとき、トランジスタ Q s 1 または Q s 2 が ON となり、抵抗 R s 3 および R s 4 の間の点（第三の参照点 P 3）の電圧 V 3 が低下する。これを利用し、図 2 の例では、第三の参照点 P 3 の電圧 V 3 と、第四の参照点 P 4 との電圧 V 4 とを比較する第三の比較部 3 7 を設け、第三の参照点 P 3 の電圧 V 3 が第四の参照点 P 4 の電圧 V 4 より低いときには、バッファ 1 8 , 2 0 を ON する端子 C を H レベルとし、第三の参照点 P 3 の電圧 V 3 が第四の参照点 P 4 の電圧 V 4 より高いときには、第一および第二のオペアンプ 1 2 , 1 4 を ON とする端子 D を H レベルとするように構成している。なお、このとき、端子 C および端子 D のうちいずれか一方のみが H レベルとなる。

【 0 0 4 7 】

具体的には、抵抗 R s 5、そのベースが第三の参照点 P 3 に接続されるトランジスタ Q s 4（PNP）、およびそのベースが第四の参照点 P 4 に接続されるトランジスタ Q s 7（PNP）により、第三の比較部 3 7 を形成する。第四の参照点 P 4 は、電源ラインとグラウンドとの間に直列に設けられる二つの抵抗 R s 6 , R s 7 の間の点とする。そして、抵抗 R s 3 , R s 4 , R s 6 , R s 7 の抵抗値は、トランジスタ Q s 1 または Q s 2 が OFF のときには第三の参照点 P 3 の電圧 V 3 が第四の参照点 P 4 の電圧 V 4 より高くなり、トランジスタ Q s 1 または Q s 2 が ON のときには第三の参照点 P 3 の電圧 V 3 が第四の参照点 P 4 の電圧 V 4 より低くなるように設定する。これにより、端子 A および端子 B のうちいずれか一方が H レベルのとき、トランジスタ Q s 4 が ON となり、端子 A および端子 B の双方が L レベルのとき、トランジスタ Q s 7 が ON となる。

【 0 0 4 8 】

そして、トランジスタ Q s 4 と直列にかつその接地側にトランジスタ Q s 5（NPN）を設け、そのベースを端子 C に接続するとともに、ベースとコレクタとを接続している。これにより、トランジスタ Q s 4 が ON のときにトランジスタ Q s 5 は ON となり、端子 C に向けて電流が流れ、当該端子 C が H レベルとなる。これが、バッファ 1 8 , 2 0 を O

10

20

30

40

50

Nとする制御信号である。

【0049】

他方、トランジスタQ_s7と直列にかつその接地側にトランジスタQ_s8(NPN)を設け、そのベースを端子Dに接続するとともに、ベースとコレクタとを接続している。これにより、トランジスタQ_s4がONのときにトランジスタQ_s8はONとなり、端子Dに向けて電流が流れ、当該端子DがHレベルとなる。これが、第一および第二のオペアンプ12, 14をONとする制御信号である。

【0050】

ここで、上記回路構成において、電源開放時に端子BがHレベルの状態では、第三の参照点P3の電圧V₃が第四の参照点P4の電圧V₄より低い状態が維持されることが必要であるが、電源開放時には電源電圧V_{cc}自体も低下するため、何らかの原因でそのバランスがくずれ、第三の参照点P3の電圧V₃が第四の参照点P4の電圧V₄より高くなってしまいうことが無いとも限らない。そこで、この例では、第四の参照点P4の電圧V₄が第三の参照点P3の電圧V₃より高い状態を維持すべく、ダイオードD1を設けている。当該ダイオードD1は、第四の参照点P4から接地側への電流のみを許容するものであり、相対的に第四の参照点P4側の電位を高くする。

10

【0051】

なお、この例では、制御信号として流れる電流が、定電流源42によって決定されるようにしている。すなわち、トランジスタQ_s4およびトランジスタQ_s7がONとなったとき、それらトランジスタQ_s4, Q_s7の設けられる各ラインを流れる電流が、定電流源42の設けられるラインに流れる電流と同じになるよう、カレントミラー回路が形成されている。具体的には、トランジスタQ_s4の電源側にはトランジスタQ_s3(PNP)を、トランジスタQ_s7の電源側にはトランジスタQ_s6(PNP)を、また定電流源42の電源側にはトランジスタQ_s9(PNP)を設け、それらのベースを共通とし、かつトランジスタQ_s9のベースとコレクタとを接続している。ただし、図2に示したものは、あくまで一例に過ぎず、他の等価な回路構成によっても同様の機能を実現することができる。

20

【0052】

以上、本発明の好適な実施形態について示したが、本発明は上記実施形態に限定されるものではなく、他の等価な回路構成によっても本発明にかかるショック音抑制回路および音声出力装置を実現可能であることは容易に理解できよう。

30

【図面の簡単な説明】

【0053】

【図1】本発明の実施形態にかかるショック音抑制機能を有する音声出力装置の一例を示す図である。

【図2】本発明の実施形態にかかるショック音抑制機能を有する音声出力装置に含まれる切替制御回路の一例を示す図である。

【図3】BTL方式の音声増幅器の回路図である。

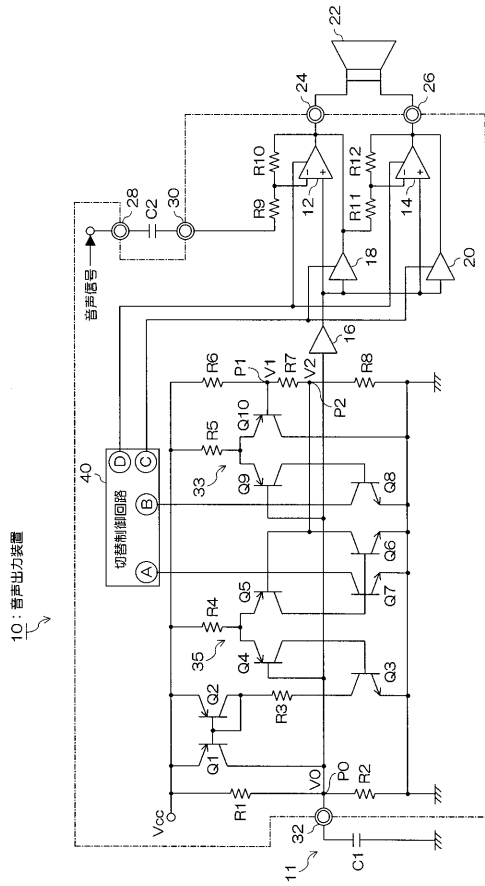
【符号の説明】

【0054】

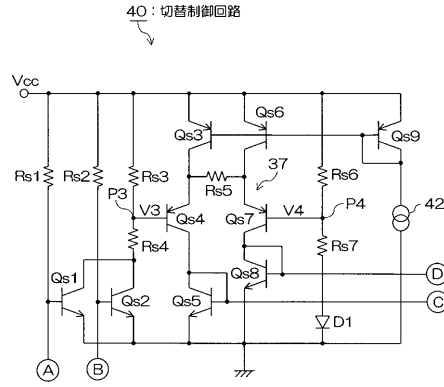
10 音声出力装置、11 基準電圧発生部、12, 14 オペアンプ、16, 18, 20 パツファ、22 スピーカ、24, 26, 28, 30 端子、33 第一の比較部、34 基準電圧源、35 第二の比較部、37 第三の比較部、40 切替制御回路、42 定電流源、50 音声増幅器、C1 コンデンサ、C2 (直流阻止)コンデンサ、D1 ダイオード、P0 基準点、P1 第一の参照点、P2 第二の参照点、P3 第三の参照点、P4 第四の参照点、Q1~Q10, Q_s1~Q_s9 トランジスタ(スイッチング素子)、R1~R12, R_s1~R_s7 抵抗、V0 基準電圧、V1~V4 各参照点の電圧、V_{cc} 電源電圧。

40

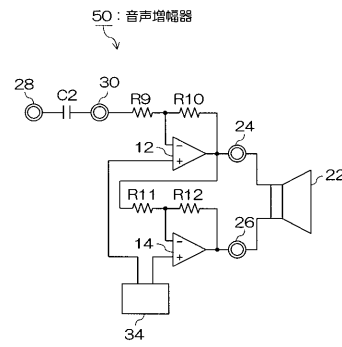
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

- (56)参考文献 特開平04 - 186905 (JP, A)
特開平04 - 282906 (JP, A)
特開平05 - 175738 (JP, A)
特開昭57 - 017204 (JP, A)
特開昭61 - 144904 (JP, A)
実開昭60 - 009312 (JP, U)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45、 3/50 - 3/52、
3/62 - 3/64、 3/68 - 3/72