

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4328906号
(P4328906)

(45) 発行日 平成21年9月9日(2009.9.9)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int. Cl.		F I	
GO6F	13/28	(2006.01)	GO6F 13/28 310B
HO4N	5/232	(2006.01)	HO4N 5/232 Z
HO4N	5/907	(2006.01)	HO4N 5/907 B
HO4N	5/91	(2006.01)	HO4N 5/91 J
HO4N	101/00	(2006.01)	HO4N 101:00

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2001-323375 (P2001-323375)
(22) 出願日	平成13年10月22日(2001.10.22)
(65) 公開番号	特開2003-132007 (P2003-132007A)
(43) 公開日	平成15年5月9日(2003.5.9)
審査請求日	平成16年2月27日(2004.2.27)

(73) 特許権者	306037311 富士フイルム株式会社 東京都港区西麻布2丁目26番30号
(74) 代理人	100083116 弁理士 松浦 憲三
(72) 発明者	五日市 正勝 埼玉県朝霞市泉水3丁目11番46号 富士写真フイルム株式会社内

審査官 横山 佳弘

最終頁に続く

(54) 【発明の名称】 バス制御方法及び装置並びにデジタルカメラ

(57) 【特許請求の範囲】

【請求項1】

DMA 要求を行う複数のモジュールが同じデータバスを使用してDMA転送を行うデータ転送システムのバス制御方法であって、

前記複数のモジュールが前記データバスに接続されて構成されるデータ転送システムの構成及び処理の内容に応じて各モジュールに対して設定された、各モジュールがDMA要求を出すことができる要求許可期間のタイムスパンと、前記データ転送システムの構成及び処理の内容に応じて、各モジュールに対して所定の周期で要求許可期間が与えられるように設定された前記要求許可期間の付与タイミングとに従って各モジュールの要求許可期間を管理し、

前記管理の下で各モジュールが要求許可期間内にDMA要求を出すようにし、

第1のモジュールがDMA要求を出したときに、前記データバスが前記複数のモジュールのうちの前記第1のモジュール以外のモジュールのうちのいずれかによって使用中でない場合には、前記第1のモジュールがDMA要求を出し次第、該DMA要求に係るDMA転送を許可する一方、第1のモジュールが要求許可期間内にDMA要求を出したときに、前記データバスが前記複数のモジュールのうちの前記第1のモジュール以外の第2のモジュールによって使用中の場合には、前記第1のモジュールを待ち状態とし、

前記第2のモジュールによるDMA転送が終了した後に、前記待ち状態とした第1のモジュールのDMA要求に係るDMA転送を許可することを特徴とするバス制御方法。

【請求項2】

10

20

前記要求許可期間は、同じ付与タイミングで前記複数のモジュールのうちの一部の複数のモジュールに付与されることを特徴とする請求項 1 記載のバス制御方法。

【請求項 3】

同じ付与タイミングで要求許可期間が付与されている複数のモジュールからの D M A 要求が競合した場合には、優先順位が高いモジュールからの D M A 要求に係る D M A 転送を許可することを特徴とする請求項 2 記載のバス制御方法。

【請求項 4】

D M A 要求を行う複数のモジュールと、
前記複数のモジュールが接続されている共通のデータバスと、
各モジュールから出される D M A 要求を調停し、D M A 転送可能なモジュールに対して前記データバスの使用許可を与え、当該モジュールによる D M A 転送の実施を制御する D M A コントローラと、

各モジュールが D M A 要求を出すことができる要求許可期間を管理する要求許可期間管理手段であって、前記複数のモジュールが前記データバスに接続されて構成されるデータ転送システムの構成及び処理の内容に応じて、各モジュールに対して設定された前記要求許可期間のタイムスパンと、前記データ転送システムの構成及び処理の内容に応じて、各モジュールに対して所定の周期で要求許可期間が与えられるように設定された前記要求許可期間の付与タイミングとに従って、各モジュールの要求許可期間を管理し、各モジュールに対して要求許可期間を示す信号を与える要求許可期間管理手段と、

第 1 のモジュールが D M A 要求を出したときに、前記データバスが前記複数のモジュールのうちの前記第 1 のモジュール以外のモジュールのうちのいずれかによって使用中でない場合には、前記第 1 のモジュールが D M A 要求を出し次第、該 D M A 要求に係る D M A 転送を許可する一方、第 1 のモジュールが要求許可期間内に D M A 要求を出したときに、前記データバスが前記複数のモジュールのうちの前記第 1 のモジュール以外の第 2 のモジュールによって使用中の場合には、前記第 1 のモジュールを待ち状態とし、前記第 2 のモジュールによる D M A 転送が終了した後に、前記待ち状態とした第 1 のモジュールの D M A 要求に係る D M A 転送を許可する要求許可手段と、

を備えたことを特徴とするバス制御装置。

【請求項 5】

前記要求許可期間管理手段がシーケンサであることを特徴とする請求項 4 記載のバス制御装置。

【請求項 6】

前記要求許可期間管理手段は、同じ付与タイミングで前記複数のモジュールのうちの一部の複数のモジュールに前記要求許可期間を付与することを特徴とする請求項 4 又は 5 記載のバス制御装置。

【請求項 7】

前記要求許可手段は、同じ付与タイミングで要求許可期間が付与されている複数のモジュールからの D M A 要求が競合した場合には、優先順位が高いモジュールからの D M A 要求に係る D M A 転送を許可することを特徴とする請求項 6 記載のバス制御装置。

【請求項 8】

請求項 4 から 7 のいずれか 1 項記載のバス制御装置を搭載したデジタルカメラであって、該デジタルカメラは、

光学像を電気信号に変換する撮像手段と、
前記撮像手段から得られた画像信号をデジタル信号に変換する A / D 変換手段と、
前記 A / D 変換手段から出力された画像信号を基に所定の信号形式に変換する信号処理手段と、

前記 D M A コントローラの制御に従って画像信号を一時的に記憶するメモリと、
前記信号処理手段で得た画像信号を圧縮する圧縮処理手段と、
前記圧縮された画像信号を記録媒体に記録する記録手段と、
カメラ本体の動作を制御する制御手段としての演算処理装置とを備え、

10

20

30

40

50

前記 A / D 変換手段を介して取得される画像信号の取り込み処理、前記信号処理手段における信号処理、前記圧縮処理手段における圧縮処理、前記記録手段による記録処理及び前記演算処理装置の処理に関して、それぞれ前記要求許可期間管理手段の管理の下で DMA 転送が実施されることを特徴とするデジタルカメラ。

【請求項 9】

前記記録媒体に格納されている圧縮画像信号を伸長する伸長処理手段と、
前記撮像手段を介して取得した画像及び前記記録媒体に格納されている画像を表示可能な画像表示手段と、
前記画像表示手段に対して表示用の信号を出力する表示制御手段とを備え、
前記伸長処理手段における伸長処理並びに前記画像表示手段への画像表示処理に関して、それぞれ前記要求許可期間管理手段の管理の下で DMA 転送が実施されることを特徴とする請求項 8 記載のデジタルカメラ。

10

【請求項 10】

前記撮像手段を介して記録用の画像を取り込む撮影モードと、前記記録媒体に格納されている画像を前記画像表示手段に表示させる再生モードとを有し、選択されるモードに応じて前記タイムスパン及び前記付与タイミングのうち少なくとも一方の設定内容が変更されることを特徴とする請求項 8 又は 9 記載のデジタルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はバス制御方法及び装置並びにデジタルカメラに係り、特に複数のモジュールが同じデータバスを共有するシステムにおいて、該データバスを有効に使用するためのバス制御技術に関する。

20

【0002】

【従来の技術】

特開平 7 - 141287 号公報は、DMA 転送によって発生する資源の占有を回避するため、CPU がデータ転送に直接的に関与するアクセス方式を採用しており、CPU の転送動作にスレーブ同期するスレーブコントローラによって I / O からメモリへの DMA 転送を行うように構成されている。

【0003】

特開平 10 - 27155 号公報に開示されたデータ転送制御装置は、並列動作する複数のデータ処理ユニットが単一のデータバスに接続されており、データ転送制御ユニットが各データ処理ユニットへのデータの入出力を基本動作クロックに同期して実行するように構成される。

30

【0004】

特開平 11 - 272606 号公報に開示されたバス制御装置は、プロセッサ、DMA コントローラ (DMAC) 等の複数のバスマスタを有し、プロセッサがメモリ又は I / O との間でデータ転送をするときは、それぞれのシステムバス制御部がアクセス可能な最小限の時間幅でシステムバスにアクセスするように構成されるとともに、DMAC がメモリと I / O との間でデータ転送をするときは、それぞれのシステムバス制御部がアクセス可能な最小限の時間幅でシステムバスにアクセスするように構成されている。

40

【0005】

【発明が解決しようとする課題】

上述した公報にも示されている通り、複数のモジュールが共通のデータバスに接続されているシステムにおいて、DMA 転送を行う場合は、DMAC が各モジュールからの DMA 要求の調停を行い、DMA 転送が可能なモジュールに対してバスの使用許可 (バス権) を与えて DMA 転送を行っている。この場合、早く DMA 要求を出したモジュール又は優先順位の高いモジュールがデータバスを連続で占有し、他のモジュールの DMA 転送が不可能となる場合があった。

【0006】

50

本発明はこのような事情に鑑みてなされたもので、複数のモジュールがデータバスを共有し、かつ効率よくDMA転送を行うことを可能にし、特定のモジュールがデータバスを占有することによって起こるシステムの不整合を回避し得るバス制御方法及び装置並びにこれを適用したデジタルカメラを提供することを目的とする。

【0007】

【課題を解決するための手段】

前記目的を達成するために、請求項1に記載の発明は、DMA要求を行う複数のモジュールが同じデータバスを使用してDMA転送を行うデータ転送システムのバス制御方法であって、前記複数のモジュールが前記データバスに接続されて構成されるデータ転送システムの構成及び処理の内容に応じて各モジュールに対して設定された、各モジュールがDMA要求を出すことができる要求許可期間のタイムスパンと、前記データ転送システムの構成及び処理の内容に応じて、各モジュールに対して所定の周期で要求許可期間が与えられるように設定された前記要求許可期間の付与タイミングとに従って各モジュールの要求許可期間を管理し、前記管理の下で各モジュールが要求許可期間内にDMA要求を出すようにし、第1のモジュールがDMA要求を出したときに、前記データバスが前記複数のモジュールのうちの前記第1のモジュール以外のモジュールのうちの一つによって使用中でない場合には、前記第1のモジュールがDMA要求を出し次第、該DMA要求に係るDMA転送を許可する一方、第1のモジュールが要求許可期間内にDMA要求を出したときに、前記データバスが前記複数のモジュールのうちの前記第1のモジュール以外の第2のモジュールによって使用中の場合には、前記第1のモジュールを待ち状態とし、前記第2のモジュールによるDMA転送が終了した後に、前記待ち状態とした第1のモジュールのDMA要求に係るDMA転送を許可することを特徴とする。

【0008】

本発明によれば、各モジュールについてDMA要求を出してよい期間（要求許可期間）を予め設定し、この要求許可期間以外の期間はそのモジュールからDMA要求を出ることができないようになっている。要求許可期間の長さ（タイムスパン）及び要求許可期間を与える周期（又はタイミング）については設計者が適宜設定することができる。システムの構成や処理の内容等を考慮して適切なタイムスパン及び要求許可期間の付与周期が設定される。各モジュールに与える要求許可期間が重複しなければDMA要求も競合しないため、各モジュールは一定のサイクルでDMA転送を実行できる。2つ以上のモジュールに対して同じタイミングで要求許可期間を与える場合は、DMA要求の競合が起こり得るが、その場合は予め定められているDMAの優先順位に従って制御する。

【0009】

このように、本発明はDMA要求を行う各モジュールについてDMA要求を行うタイムスパンを設定し、各モジュールが予め定められたタイミングでDMA要求を出すようにしたので、それぞれのモジュールが一定のタイミングで必ずDMA転送を行うことが可能になり、システム全体の性能を向上することが可能となる。

請求項2に記載の発明は、請求項1に係るバス制御方法において、前記要求許可期間が、同じ付与タイミングで前記複数のモジュールのうちの一部の複数のモジュールに付与されることを特徴とする。

請求項3に記載の発明は、請求項2に係るバス制御方法において、同じ付与タイミングで要求許可期間が付与されている複数のモジュールからのDMA要求が競合した場合には、優先順位が高いモジュールからのDMA要求に係るDMA転送を許可することを特徴とする。

【0010】

上述の方法発明を具現化する装置を提供するため、請求項4に記載の発明に係るバス制御装置は、DMA要求を行う複数のモジュールと、前記複数のモジュールが接続されている共通のデータバスと、各モジュールから出されるDMA要求を調停し、DMA転送可能なモジュールに対して前記データバスの使用許可を与え、当該モジュールによるDMA転送の実施を制御するDMAコントローラと、各モジュールがDMA要求を出すことができ

10

20

30

40

50

る要求許可期間を管理する要求許可期間管理手段であって、前記複数のモジュールが前記データベースに接続されて構成されるデータ転送システムの構成及び処理の内容に応じて、各モジュールに対して設定された前記要求許可期間のタイムスパンと、前記データ転送システムの構成及び処理の内容に応じて、各モジュールに対して所定の周期で要求許可期間が与えられるように設定された前記要求許可期間の付与タイミングとに従って、各モジュールの要求許可期間を管理し、各モジュールに対して要求許可期間を示す信号を与える要求許可期間管理手段と、第1のモジュールがDMA要求を出したときに、前記データベースが前記複数のモジュールのうちの前記第1のモジュール以外のモジュールのうちいずれかによって使用中でない場合には、前記第1のモジュールがDMA要求を出し次第、該DMA要求に係るDMA転送を許可する一方、第1のモジュールが要求許可期間内にDMA要求を出したときに、前記データベースが前記複数のモジュールのうちの前記第1のモジュール以外の第2のモジュールによって使用中の場合には、前記第1のモジュールを待ち状態とし、前記第2のモジュールによるDMA転送が終了した後に、前記待ち状態とした第1のモジュールのDMA要求に係るDMA転送を許可する要求許可手段とを備えたことを特徴とする。

10

【0011】

請求項5に記載の発明は、請求項4において、前記要求許可期間管理手段がシーケンサであることを特徴とする。

請求項6に記載の発明は、請求項4又は5に係るバス制御装置において、前記要求許可期間管理手段が同じ付与タイミングで前記複数のモジュールのうちの一部の複数のモジュールに前記要求許可期間を付与することを特徴とする。

20

請求項7に記載の発明は、請求項6に係るバス制御装置において、同じ付与タイミングで要求許可期間が付与されている複数のモジュールからのDMA要求が競合した場合には、前記要求許可手段が優先順位が高いモジュールからのDMA要求に係るDMA転送を許可することを特徴とする。

【0012】

請求項8に記載の発明は、上述したバス制御装置をデジタルカメラに適用したものであり、該デジタルカメラは、光学像を電気信号に変換する撮像手段と、前記撮像手段から得られた画像信号をデジタル信号に変換するA/D変換手段と、前記A/D変換手段から出力された画像信号を基に所定の信号形式に変換する信号処理手段と、前記DMAコントローラの制御に従って画像信号を一時的に記憶するメモリと、前記信号処理手段で得た画像信号を圧縮する圧縮処理手段と、前記圧縮された画像信号を記録媒体に記録する記録手段と、カメラ本体の動作を制御する制御手段としての演算処理装置とを備え、前記A/D変換手段を介して取得される画像信号の取り込み処理、前記信号処理手段における信号処理、前記圧縮処理手段における圧縮処理、前記記録手段による記録処理及び前記演算処理装置の処理に関して、それぞれ前記要求許可期間管理手段の管理の下でDMA転送が実施されることを特徴としている。

30

【0013】

請求項9に係るデジタルカメラは、上述の構成に加えて、前記記録媒体に格納されている圧縮画像信号を伸長する伸長処理手段と、前記撮像手段を介して取得した画像及び前記記録媒体に格納されている画像を表示可能な画像表示手段と、前記画像表示手段に対して表示用の信号を出力する表示制御手段とを備え、前記伸長処理手段における伸長処理並びに前記画像表示手段への画像表示処理に関して、それぞれ前記要求許可期間管理手段の管理の下でDMA転送が実施されることを特徴としている。

40

【0014】

請求項10に記載の態様は、請求項8又は9に係るデジタルカメラにおいて、前記撮像手段を介して記録用の画像を取り込む撮影モードと、前記記録媒体に格納されている画像を前記画像表示手段に表示させる再生モードとが選択的に切り替え可能であり、選択されるモードに応じて前記タイムスパン及び前記付与タイミングのうち少なくとも一方の設定内容が変更されることを特徴としている。

50

【 0 0 1 5 】

【 発明の実施の形態 】

以下添付図面に従って本発明に係るバス制御方法及び装置並びにデジタルカメラの好ましい実施の形態について説明する。

【 0 0 1 6 】

図 1 は本発明の実施形態に係るデータバス接続例を示すブロック図である。このシステムは、複数のモジュール 1、モジュール 2、...モジュール n が共通のデータバス 10 に接続された構造を有し、データバス 10 には当該データバス 10 を介したデータ送受信を制御するバスインターフェースとしての DMA (Direct Memory Access) コントローラ 12 の他、CPU (中央演算処理装置) 20、メモリコントローラ 24 及び外部デバイスコントローラ 30 が接続されている。なお、モジュール 1 ~ n のみならず、CPU 20 及び外部デバイスコントローラ 30 も DMA 要求を行う「モジュール」として扱うことができる。

10

【 0 0 1 7 】

メモリコントローラ 24 はメモリ 34 に対するデータの読み書き動作を制御する。外部デバイスコントローラ 30 は、例えば、メモリカード、液晶ディスプレイなどの外部デバイス (図 1 中不図示) と接続され、外部デバイスへのデータ出力又は外部デバイスからのデータの読み込み制御等を行う。

【 0 0 1 8 】

DMA 要求を行うモジュール (1 , 2 , ... n , 20 , 30) は、優先順位が定められており、DMA コントローラ 12 は、複数のモジュールからの DMA 要求が競合した場合に、優先順位の最も高いモジュールの DMA 要求に対して許可を与える。DMA 要求に対する許可が与えられたモジュールは、データバス 10 を独占的に使用してメモリ 34 にアクセスし、データの読み書きを行う。

20

【 0 0 1 9 】

本システムでは、各モジュール (1 , 2 , ... n , 20 , 30) が DMA 要求を出すことができるタイムスパン (要求許可期間) を管理するための手段としてシーケンサ 40 が設けられている。シーケンサ 40 には、各モジュール (1 , 2 , ... n , 20 , 30) について DMA 要求を行うことができる期間が予め設定されている。それぞれのモジュールに与えられる要求許可期間は互いに重複しないタイミングで設定してもよいし、同じタイミングで複数のモジュールに要求許可期間を設定してもよい。

30

【 0 0 2 0 】

要求許可期間が重複する設定において DMA 要求が競合した場合は DMA の優先順位に従って制御される。DMA 要求許可期間の長さや許可を与える順序などの設定は適宜変更可能であり、各モジュールの処理内容や処理速度・優先順位等を考慮して適切な値に設定される。シーケンサ 40 は、その設定内容に従って各モジュール (1 , 2 , ... n , 20 , 30) に対して DMA 要求の出力を許可する信号を与える。

【 0 0 2 1 】

各モジュール (1 , 2 , ... n , 20 , 30) は、シーケンサ 40 から通告される要求許可期間内に DMA 要求を出すことにより、必ずデータバス 10 を使用する機会が与えられる。したがって、優先順位が低いモジュールに対しても要求許可期間を適切に配分することによって、これら低順位モジュールも一定のタイミングで DMA 転送を行うことが可能となり、システム全体の性能を向上させることができる。

40

【 0 0 2 2 】

次に、上記の如く構成されたシステムの動作について説明する。説明を簡単にするために対象を簡略化し、モジュール 1、モジュール 2 及び CPU 20 から DMA 要求があった場合のデータバス 10 の使用例を説明する。なお、DMA の優先順位は、モジュール 1 > モジュール 2 > CPU 20 の順番とする。

【 0 0 2 3 】

まず、比較のために、図 2 を用いて従来のバス制御方式によるデータバスの使用例を説明する。従来は「要求許可期間」という設定はなされておらず、単に優先順位に従ってデー

50

タバスを使用するモジュールが決定されていた。図 2 によれば、[1] のタイミングでモジュール 1 と CPU が同時に DMA 要求を出す。[2] のタイミングで優先順位の高いモジュール 1 の DMA 要求に対して許可が下りる。このとき CPU は待ち状態となる。[3] のタイミングでモジュール 2 が DMA 要求を出す。このとき、データバスはモジュール 1 によって使用中であるため、モジュール 2 は待ち状態となる。モジュール 1 がデータバスを使用している期間中に、モジュール 1 が [4] のタイミングで再度 DMA 要求を出している。[5] のタイミングでモジュール 1 の DMA 転送（最初の DMA 要求に係る転送処理）を終了するが、この時点で、モジュール 1、モジュール 2 及び CPU が DMA 要求を出しているため、[6] のタイミングで優先順位の高いモジュール 1 の DMA 要求に対して再度許可が下り、モジュール 2 と CPU は待ち状態となる。

10

【 0 0 2 4 】

[7] のタイミングでモジュール 1 の DMA 転送が終了する。このとき、モジュール 2 と CPU が DMA 要求を出しているが、[8] のタイミングで優先順位の高いモジュール 2 の DMA 要求に対して許可が下り、CPU は待ち状態となる。モジュール 2 がデータバスを使用している期間中に、モジュール 2 が [9] のタイミングで再度 DMA 要求を出している。[10] のタイミングでモジュール 2 の DMA 転送（最初の DMA 要求に係る転送処理）を終了するが、この時点でモジュール 2 及び CPU が DMA 要求を出しているため、[11] のタイミングで優先順位の高いモジュール 2 の DMA 要求に対して再度許可が下り、CPU は待ち状態となる。

【 0 0 2 5 】

[12] のタイミングでモジュール 2 の DMA 転送が終了すると、この時点では CPU のみが DMA 要求を出している状態になるため、[13] のタイミングで CPU の DMA に対して許可が下りる。これにより、CPU がデータバスを使用する機会が与えられる。CPU がデータバスを使用して必要なデータ転送を実行し、[14] のタイミングで CPU の DMA 転送が終了する。

20

【 0 0 2 6 】

上記のように、従来方式では、各モジュールからの DMA 要求に対して、優先順位のみで DMA の許可が判断されるため、優先順位の低いモジュール（図 2 において CPU）は、他の全ての上位モジュールがデータバスを使用していない場合にも、データバスの使用が許可されることになる。したがって、DMA 転送を行うモジュールが増加するとシステム全体の性能を向上するのは困難であった。

30

【 0 0 2 7 】

このような課題を解決すべく、本実施形態では DMA 要求を行うそれぞれのモジュールに対して DMA 要求許可期間の設定を行うシーケンサ 40 を備えている。

【 0 0 2 8 】

図 3 は、本発明の実施形態に係るバス制御方式によるデータバスの使用例である。同図によれば、シーケンサ 40 によって「モジュール 1」「CPU」「モジュール 2」「モジュール 1」... という順番で循環的に要求許可期間が設定されている。モジュール 1 の要求許可期間内に [1] のタイミングでモジュール 1 が DMA 要求を出す。[2] のタイミングでモジュール 1 の DMA 要求に対して許可が下りる。モジュール 1 に許可が下りると、モジュール 1 がデータバス 10 を使用する。

40

【 0 0 2 9 】

モジュール 1 の要求許可期間が終了し、続いて CPU 20 の要求許可期間となる。CPU 20 の要求許可期間内に [3] のタイミングで CPU 20 が DMA 要求を出す。このとき、データバス 10 はモジュール 1 によって使用中であるため、CPU 20 は待ち状態となる。[4] のタイミングでモジュール 1 の DMA 転送が終了すると、[5] のタイミングで CPU 20 の DMA 要求に対して許可が下りる。こうして、CPU 20 によってデータバス 10 が使用される。

【 0 0 3 0 】

CPU 20 の要求許可期間が終了するとモジュール 2 の要求許可期間となる。モジュール

50

2の要求許可期間内に[6]のタイミングでモジュール2がDMA要求を出す。このとき、CPU20によってデータバス10が使用中であるため、モジュール2は待ち状態となる。やがて[7]のタイミングでCPU20のDMA転送が終了する。そして、[8]のタイミングでモジュール2のDMA要求に対して許可が下りる。これにより、モジュール2がデータバス10を使用する。

【0031】

また、モジュール2の要求許可期間終了後にモジュール1の要求許可期間となるが、当該モジュール1の要求許可期間内における[8]のタイミングでモジュール1がDMA要求を出す。しかし、このときデータバス10はモジュール2によって使用中であるため、モジュール1は待ち状態となる。

10

【0032】

[9]のタイミングでモジュール2のDMA転送が終了すると、[10]のタイミングでモジュール1のDMA要求に対して許可が下りる。これにより、モジュール1がデータバス10を使用する。

【0033】

モジュール1の要求許可期間終了後はCPU20の要求許可期間となるが、この期間内にCPU20がDMA要求を出さなかった場合、[11]のタイミングでモジュール2の要求許可期間に切り替わる。このモジュール2の要求許可期間中[12]のタイミングでモジュール1のDMA転送が終了すると同時に、モジュール2がDMA要求を出す。これにより、[13]のタイミングでモジュール2のDMA要求に許可が下り、モジュール2がデータバス10を使用してデータ転送を実行する。その後、[14]のタイミングでモジュール2のDMA転送が終了する。

20

【0034】

このように本実施形態によれば、各モジュールについて要求許可期間を設定し、シーケンサ40によって要求許可期間のサイクルを管理する構成にしたので、DMA要求の集中を回避してバスを効率良く使用できる。

【0035】

次に、本発明をデジタルカメラに適用した例を説明する。図4はデジタルカメラの構成を示すブロック図である。カメラ50は、撮影レンズ52の後方に撮像デバイスとしてのCCDイメージセンサ(以下、CCDという。)54を備えている。撮影レンズ52を介してCCD54の受光面に結像された被写体像は、CCD54の各フォトセンサ(感光画素)によって入射光量に応じた量の信号電荷に変換される。なお、CCD54は、シャッターゲートパルスのタイミングによって各フォトセンサの電荷蓄積時間(シャッタースピード)を制御する、いわゆる電子シャッター機能を有している。

30

【0036】

各フォトセンサに蓄積された信号電荷は、図示せぬCCDドライバから与えられるパルスに基づいて信号電荷に応じた電圧信号(画像信号)として順次読み出される。CCD54から出力された画像信号は、相関二重サンプリング(CDS)処理、色分離処理及び各色信号のゲイン調整等の所定のアナログ信号処理が施された後、A/D変換器56によりデジタル信号に変換される。デジタル信号に変換された画像信号は、メモリコントローラ58を介してメモリ60に格納される。

40

【0037】

メモリ60に格納されたデータは、データバス62を介して信号処理部64に送られる。信号処理部64は、輝度・色差(YC)信号生成回路、ガンマ補正回路、シャープネス補正回路、コントラスト補正回路、ホワイトバランス補正回路等を含むデジタルシグナルプロセッサ(DSP)で構成された画像処理手段であり、CPU66からのコマンドに従って画像信号を処理する。

【0038】

信号処理部64に入力された画像データは、輝度信号(Y信号)及び色差信号(Cr, Cb信号)に変換されるとともに、ガンマ補正等の所定の処理が施された後、メモリ60に格

50

納される。撮影画像を表示出力する場合、メモリ60から画像データが読み出され、表示用の所定方式の信号(例えば、NTSC方式のカラー複合映像信号)に変換された後、LCDインターフェース68を介して液晶ディスプレイ(LCD)70に出力される。こうして、当該画像データの画像内容が液晶ディスプレイ70に表示される。

【0039】

CCD54から出力される画像信号によってメモリ60内の画像データが定期的書き換えられ、その画像データから生成される映像信号が液晶ディスプレイ70に供給されることにより、CCD54が撮像するリアルタイム画像(ムービー画像)が液晶ディスプレイ70に表示される。

【0040】

操作部72は、シャッターボタン、電源スイッチ、モード切換スイッチ、十字ボタンその他の各種操作スイッチを含むブロックである。カメラ50の制御部としてのCPU66は操作部72から受入する信号に基づき、対応する回路の動作を制御するとともに、液晶ディスプレイ70における表示の制御、ストロボ発光制御、オートフォーカス(AF)制御、自動露出(AE)制御、データ通信制御、及び記録処理の制御など撮影動作の制御を行う。すなわち、CPU66はシャッターボタンの「半押し」操作に反応して取り込んだ画像データから焦点評価演算やAE演算などの各種演算を行い、その演算結果に基づいてレンズ駆動部(不図示)を制御して撮影レンズ52を合焦位置に移動させる一方、絞り駆動部(不図示)を制御するとともに、CCD54の電荷蓄積時間を制御する。

【0041】

シャッターボタンが「全押し」操作されると、撮影開始指示(レリーズON)信号が発せられる。CPU66は、レリーズON信号の受け付けに反応して記録用の画像データの取り込みを開始するとともに、圧縮伸長回路74にコマンドを送る。これにより圧縮伸長回路74は、メモリ60に保持されている画像データをJPEGその他の所定の形式に従って圧縮する。

【0042】

圧縮された画像データは、メモリカードインターフェース76を介してメモリカード78記録される。記録媒体としては、スマートメディア、PCカード、コンパクトフラッシュ、磁気ディスク、光ディスク、光磁気ディスク、メモリスティックなど種々の形態を適用できる。使用される媒体に応じた信号処理手段とインターフェースが適用される。異種、同種の記録メディアを問わず、複数の媒体を装着可能な構成にしてもよい。また、画像を保存する手段は、リムーバブルメディアに限らず、カメラ50に内蔵された記録媒体(内蔵メモリ)であってもよい。内蔵メモリに画像を保存する態様の場合、データをパソコン等の外部機器に転送するための通信用インターフェースが設けられる。

【0043】

再生モード時には、メモリカード78から画像データが読み出され、読み出された画像データは、圧縮伸長回路74によって伸長処理された後、LCDインターフェース68を介して液晶ディスプレイ70に再生出力される。

【0044】

シーケンサ80は、DMA要求モジュールとしての信号処理部64、圧縮伸長回路74、メモリカードインターフェース76及びLCDインターフェース68の各回路ブロックの要求許可期間を管理する。

【0045】

次に、上記の如く構成されたカメラ50における動作モード毎のデータの流れを説明する。図5は、ムービーモード(リアルタイム画像表示モード)におけるデータの流れを示している。ムービーモードでは、CCD54から出力された画像信号はA/D変換器56によってデジタル信号に変換され、このA/D変換出力がメモリコントローラ58を介してメモリ60に記憶される(符号1)。

【0046】

メモリ60に記憶されたデータは、メモリコントローラ58を介して読み出され、信号処

10

20

30

40

50

理部 64 へ送られる (符号 2)。信号処理部 64 は、読み込んだ画像データを基に YC 変換処理、その他所定の信号処理を施す。所定の信号処理を経たデータは、メモリコントローラ 58 を介してメモリ 60 に書き戻される (符号 3)。こうして、メモリ 60 に格納された画像データは、メモリコントローラ 58 を介して読み出され、LCD インターフェース 68 に送られる (符号 4)。そして、表示用の映像信号に変換された後、液晶ディスプレイ 70 に供給される。

【0047】

図 5 に示した動作において DMA 優先順位は、A/D 変換器 56 からのデータ取り込み 1 > 信号処理部 64 へのデータ転送 (YC 処理の Read) , 信号処理部 64 からメモリ 60 へのデータ転送 (YC 処理の Write) 3 > LCD インターフェース 68 へのデータ転送 4 の順に設定されている。なお、2 と 3 は優劣無しとする。

10

【0048】

図 6 及び図 7 にはムービーモードにおける要求許可期間のタイミング (周期) の例が示されている。図 6 に示した [例 1] は、各処理モジュールに対する要求許可期間を重複させずに順次処理を行う設定例である。すなわち、まず A/D 変換器 56 に対して要求許可期間が与えられ、A/D 変換出力をメモリ 60 に書き込む処理を行う。以下順次 CPU YC 処理 (Read) CPU YC 処理 (Write) CPU LCD CPU の順に要求許可期間が切り替わり、再び先頭の A/D に戻る。図 6 に示した通り、重複しない要求許可期間が循環的に切り替えられることにより、その順序に従って処理が進行する。

【0049】

20

図 7 に示した [例 2] は、同タイミングで複数のモジュールに対して要求許可期間を与える例である。同図によれば、YC 処理の Read と YC 処理の Write については重複的に要求許可期間が与えられる。重複タイミング時は DMA の優先順位に従って処理されるが、YC 処理の Read と YC 処理の Write については必ず異なるタイミングで実施されるため DMA 要求は競合しない。

【0050】

図 8 は記録用の静止画取り込みモードにおけるデータの流れを示している。取り込みモードでは、CCD 54 から出力された画像信号は A/D 変換器 56 によってデジタル信号に変換され、この A/D 変換出力がメモリコントローラ 58 を介してメモリ 60 に記憶される (符号 1)。メモリ 60 に記憶されたデータは、メモリコントローラ 58 を介して読み出され、信号処理部 64 へ送られる (符号 2)。信号処理部 64 は、読み込んだ画像データを基に YC 変換処理その他所定の信号処理を施す。所定の信号処理を経たデータは、メモリコントローラ 58 を介してメモリ 60 に書き戻される (符号 3)。

30

【0051】

こうして、メモリ 60 に格納された画像データは、メモリコントローラ 58 を介して読み出され、圧縮伸長回路 74 へ送られる (符号 4)。圧縮伸長回路 74 において圧縮された画像データは、メモリコントローラ 58 を介して再びメモリ 60 に書き込まれる (符号 5)。その後、圧縮データは、メモリコントローラ 58 を介してメモリ 60 から読み出され、メモリカードインターフェース 76 に送られる (符号 6)。そして、メモリカードインターフェース 76 を介して圧縮画像データがメモリカード 78 に書き込まれる。

40

【0052】

図 8 に示した動作において DMA 優先順位は、A/D 変換器 56 からのデータ取り込み 1 > 信号処理部 64 へのデータ転送 (YC 処理 Read) 2 , 信号処理部 64 からメモリ 60 へのデータ転送 (YC 処理 Write) 3 > 圧縮伸長回路 74 へのデータ転送 (圧縮 Read) 4 , 圧縮伸長回路 74 からメモリ 60 へのデータ転送 (圧縮 Write) 5 > メモリカードインターフェース 76 へのデータ転送 6 の順に設定されている。なお、2 と 3 は優劣が無く、4 と 5 も優劣は無いものとする。

【0053】

図 9 及び図 10 には取り込みモード (LCD 表示なしの場合) における要求許可期間のタ

50

イミング（周期）の例が示されている。図 9 に示した〔例 1〕は、各処理モジュールに対する要求許可期間を重複させずに順次処理を行う設定例である。図 9 に示した順序に従って要求許可期間が循環的に切り替わり、画像取り込みの処理が進行する。

【 0 0 5 4 】

図 1 0 に示した〔例 2〕は、同タイミングで複数のモジュールに対して要求許可期間を与える例である。同図によれば、Y C 処理Readと圧縮Read及びメモリカードインターフェースへの転送処理の三工程について同じタイミングで要求許可期間が与えられる。同様に、Y C 処理Write、圧縮Write及びメモリカードへの書き込み処理の三工程についても同じタイミングで要求許可期間が設定されている。DMA 要求が競合した場合はDMAの優先順位に従って制御され、順位の高いモジュールに対して許可が下る。

10

【 0 0 5 5 】

図 1 1 は再生モードにおけるデータの流れを示している。再生モードでは、メモリカード 7 8 に記録されている画像データがメモリカードインターフェース 7 6 を介して読み出される。この読み出されたデータ（圧縮データ）は、メモリコントローラ 5 8 を介してメモリ 6 0 に格納される（符号 1）。次いで、メモリコントローラ 5 8 は、メモリ 6 0 内の圧縮データを読み出し、これを圧縮伸長回路 7 4 に転送する（符号 2）。圧縮伸長回路 7 4 で伸長処理された画像データはメモリコントローラ 5 8 を介してメモリ 6 0 に送られる（符号 3）。

【 0 0 5 6 】

そして、メモリ 6 0 に記憶されたデータは、メモリコントローラ 5 8 を介して読み出され、LCD インターフェース 6 8 に送られる（符号 4）。そして、表示用の映像信号に変換された後、液晶ディスプレイ 7 0 に供給される。

20

【 0 0 5 7 】

図 1 1 に示した動作においてDMA 優先順位は、カードインターフェース取り込み 1 > 圧縮伸長回路 7 4 へのデータ転送（伸長Read） 2、圧縮伸長回路 7 4 からメモリ 6 0 へのデータ転送（伸長Write） 3 > LCD インターフェース 6 8 へのデータ転送 4 の順に設定されている。なお、2 と 3 は優劣が無いものとする。

【 0 0 5 8 】

図 1 2 及び図 1 3 には再生モード（LCD 表示優先の場合）における要求許可期間のタイミング（周期）の例が示されている。図 1 2 に示した〔例 1〕は、各処理モジュールに対する要求許可期間を重複させずに順次処理を行う設定例である。図 1 2 に示した順序に従って要求許可期間が循環的に切り替わり、画像再生の処理が進行する。

30

【 0 0 5 9 】

図 1 3 に示した〔例 2〕は、同タイミングで複数のモジュールに対して要求許可期間を与える例である。同図によれば、メモリカードインターフェースからの取り込みと伸長Read及び伸長Writeの各工程について同じタイミングで要求許可期間が与えられる。DMA 要求が競合した場合はDMAの優先順位に基づいて制御される。

【 0 0 6 0 】

図 5 乃至図 1 3 で説明したように、カメラ 5 0 の各動作モードに応じてDMA 優先順位の設定並びに各モジュールの要求許可期間の設定が変更される。

40

【 0 0 6 1 】

【 発明の効果 】

以上説明したように本発明によれば、複数のモジュールでデータバスを共有するシステムにおいて、各モジュールがDMA 要求を出せるタイムスパン（要求許可期間）の設定を可能とする手段を設け、各モジュールが予め設定されたタイミングでDMA 要求を出すようにしたので、DMA 要求が時間的に分散され、バスレートを効率的に使用でき、システム全体の性能向上を図ることができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態に係るデータバス接続例を示すブロック図

【 図 2 】 従来のバス制御方式によるデータバスの使用例を示すタイミングチャート

50

【図3】本発明の実施形態に係るバス制御方式によるデータバスの使用例を示すタイミングチャート

【図4】本発明を適用したデジタルカメラの構成を示すブロック図

【図5】図4に示したカメラのムービーモードにおけるデータの流れを示すブロック図

【図6】ムービーモードにおける要求許可期間の周期(例1)を示す図

【図7】ムービーモードにおける要求許可期間の周期(例2)を示す図

【図8】図4に示したカメラの取り込みモードにおけるデータの流れを示すブロック図

【図9】取り込みモードにおける要求許可期間の周期(例1)を示す図

【図10】取り込みモードにおける要求許可期間の周期(例2)を示す図

【図11】図4に示したカメラの再生モードにおけるデータの流れを示すブロック図

10

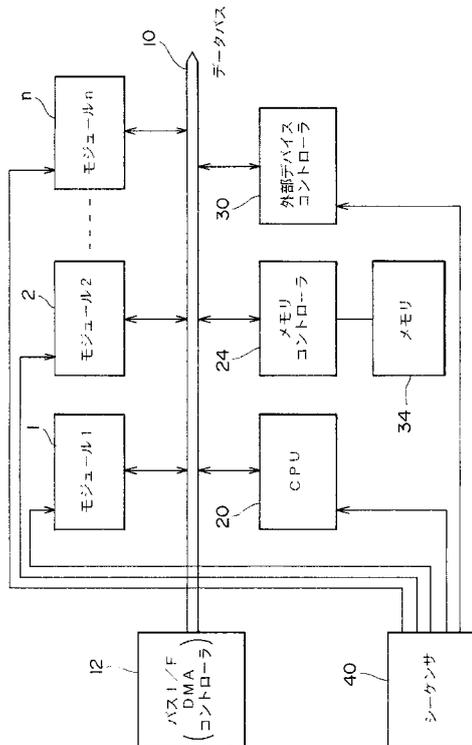
【図12】再生モードにおける要求許可期間の周期(例1)を示す図

【図13】再生モードにおける要求許可期間の周期(例2)を示す図

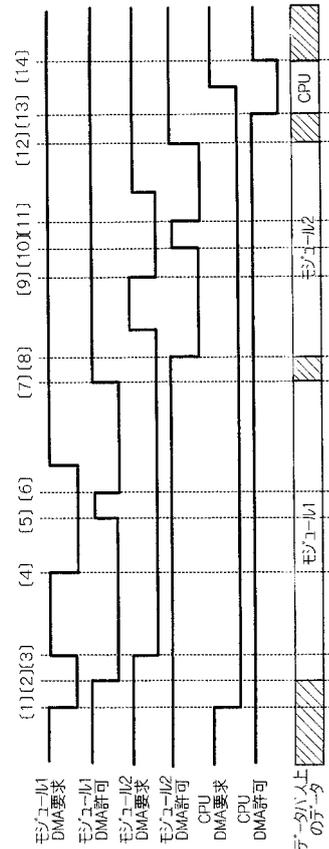
【符号の説明】

1 ... モジュール、 2 ... モジュール、 10 ... データバス、 12 ... DMAコントローラ、 20 ... CPU、 24 ... メモリコントローラ、 30 ... 外部デバイスコントローラ、 34 ... メモリ、 40 ... シェンサ、 50 ... カメラ、 54 ... CCD、 56 ... A/D変換器、 58 ... メモリコントローラ、 60 ... メモリ、 62 ... データバス、 64 ... 信号処理部、 66 ... CPU、 70 ... 液晶ディスプレイ、 74 ... 圧縮伸長回路、 76 ... メモリカードインターフェース、 78 ... メモリカード、 80 ... シェンサ

【図1】



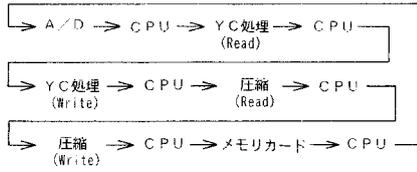
【図2】



【図9】

<取り込みモード (LCD表示なしの場合)>

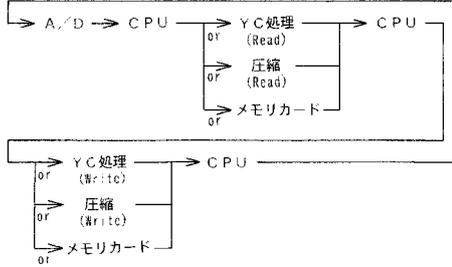
例1. 順次処理を行う場合



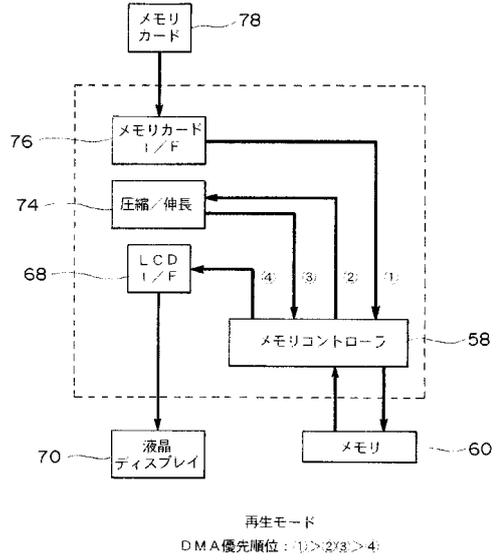
【図10】

<取り込みモード (LCD表示なしの場合)>

例2. 同タイミングで複数モジュールを重複させる場合 (重複タイミング時はDMAの優先順位で制御する)



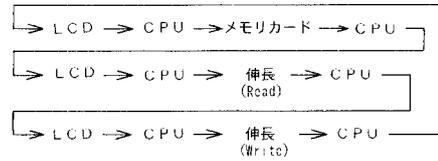
【図11】



【図12】

<再生モード (LCD表示優先の場合)>

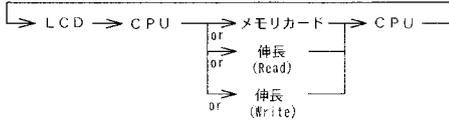
例1. 順次処理を行う場合



【図13】

<再生モード (LCD表示優先の場合)>

例2. 同タイミングで複数モジュールを重複させる場合 (重複タイミング時はDMAの優先順位で制御する)



フロントページの続き

- (56)参考文献 特開昭61-080448(JP,A)
特開平01-226060(JP,A)
特開平09-198342(JP,A)
特開平09-138773(JP,A)
特開2000-194571(JP,A)
特開平11-073397(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/28
G06F 13/36
G06F 13/372
H04N 5/232
H04N 5/907
H04N 5/91
H04N 101/00