

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/08	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0203306
(21) 출원번호 10-1996-0026303	(24) 등록일자 1999년03월23일	(65) 공개번호 특1998-0006254
(22) 출원일자 1996년06월29일	(43) 공개일자 1998년03월30일	

(73) 특허권자	현대전자산업주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 김광수 경기도 이천시 관고동 산호1차아파트 3동 504호 유경동
(74) 대리인	서울특별시 송파구 방이동 올림픽선수촌아파트325동 2202호 최홍순

심사관 : 민병준

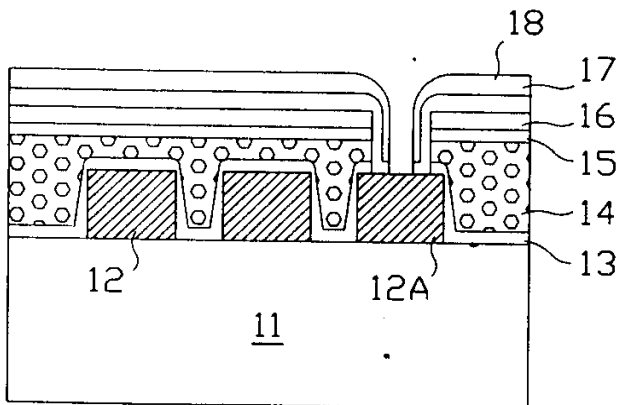
(54) 반도체 소자의 제조방법

요약

본 발명은 C 모스 트랜지스터의 래치업 현상을 방지하기 위한 반도체 장치 및 그 제조방법이 개시된다.

개시된 본 발명은 래치 업을 방지하기 위한, 반도체 기판 깊숙히 P형 매몰층의 형성 공정시, 이온 주입 마스크로서, 수직단부가 완만한 경사를 갖는 마스크 패턴을 형성한다음, 이온 주입 공정에 의하여 P형 매몰층을 형성함으로써, 연속적인 P형 매몰층이 형성된다. 따라서, C모스 트랜지스터의 래치 업 현상이 방지된다.

대표도



명세서

[발명의 명칭]

반도체 소자의 제조방법

[도면의 간단한 설명]

제1a도 내지 제1c도는 종래의 반도체 소자의 제조방법을 설명하기 위한 단면도.

제2a도 내지 제2e도는 본 발명의 제1 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도.

제3도는 본 발명의 제2 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도.

* 도면의 주요부분에 대한 부호의 설명

11 : 반도체 기판	12 : 제1산화막
13 : 제1폴리실리콘막	14, 22 : 마스크 패턴
15 : N웰	20 : 스페이서
21 : P형 불순물	30 : 포토레지스트 패턴

[발명의 상세한 설명]

[발명의 기술분야]

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 구체적으로는 C모스 트랜지스터의 래치 업(latch up) 현상을 방지할 수 있는 BILLI(buried implanted layer for lateral isolation) 구조를 갖는 반도체 소자의 제조방법에 관한 것이다.

[종래 기술]

일반적으로, C모스는 N모스 또는 P 모스의 단일 소자에 비하여, 전력소모가 적고, 공정 마진이 크며, 소프트 에러가 작은 장점을 갖는다.

이와같은 장점을 갖는 C 모스는 래치 업이라 불리는 기생 회로가 발생하여, 심할 경우, 칩이 파괴되는 문제점을 지니고 있다.

이에 대하여 보다 자세히 설명하자면, C모스는 공통된 반도체 기판에 서로 다른 웰 즉, N웰 및 P웰이 형성된 가운데, N웰 내에는 P모스가 형성되고, P웰 내에는 N모스가 형성되어, 동작하게 되는 소자이다. 그러나, 이러한 C모스는 N웰과 P웰이 접하여진 부분과, 웰내의 모스 트랜지스터의 접합 영역사이에 기생 바이폴라 트랜지스터가 형성되어, C모스의 구동시 원하지 않는 바이폴라 트랜지스터가 동작되어, 칩이 파괴되거나, 시스템이 고장나게 되는 문제점이 발생되었다.

종래에는 이러한 현상을 방지하기 위하여, N웰이 P형의 매몰층에 의하여 둘러싸여 지므로, 래치업 현상을 방지할 수 있는 BILLI 구조가 제안되었다.

종래의 BILLI구조는 제1a도에 도시된 바와 같이, P형의 반도체기판(1) 상부에 N웰 예정 영역이 노출되도록 제1마스크 패턴(2)이 형성되고, 노출된 반도체 기판에 N웰 형성용 불순물(3)이 비교적 높은 에너지로, 이온 주입된다. 이어서, 역전압 인가시, 발생하는 펀치 스루(punch-through) 현상을 방지하기 위하여, 기판과 동일 타입의 불순물인 펀치 스태프 불순물(4)이 이온 주입되고, 기판 표면에는 N웰 형성용 불순물(3) 및 펀치 스태프 불순물(4)이 주입된 깊이보다 낮게 P모스의 문턱 전압 조절용 불순물(5)이 이온 주입된다.

그 후에, 비교적 높은 에너지 바람직하게는 1.5MeV 이상의 에너지로 P형 불순물 예를들어, B11 이온을 반도체 기판내로 깊숙히 이온 주입하여, P형의 매몰층(6)이 형성된다. 이 공정에서, 제1마스크 패턴(2)의 두께로 인하여, 제1b도에 도시된 바와 같이, P형의 매몰층(6)은 제1마스크패턴(2)의 두께 정도의 단차를 갖게된다.

그후에, 제1마스크 패턴(2)은 공지된 방법에 의하여 제거되고, 이어서, 제1c도에 도시된 바와 같이, P웰 예정 영역이 노출되도록 제2마스크 패턴(7)이 형성된다. 그 후에, 제2마스크 패턴(7)으로 부터 노출된 반도체 기판(1)에 펀치 스루 방지용 불순물(8)과 N모스용 문턱 전압 조절용 불순물(9)이 이온 주입된다.

이어서, 제2마스크 패턴(7)을 공지된 방법에 의하여 제거하고, N웰 영역에는 P모스 트랜지스터를, P웰 영역에는 N모스 트랜지스터를 형성하여, C모스 소자를 형성하게 된다.

이때, P형 영역에서는 별도의 P웰 형성 공정없이, P형의 매몰층(6)이 P웰의 역할을 하며, N웰(3) 영역에서는 P웰과의 접촉을 방지하여, 래치업이 개선된다.

[발명이 이루고자 하는 기술적 과제]

그러나, 상기와 같은 종래의 방법에 따르면, P형의 매몰층(6)은, 포토리소그라피 공정에 의하여 형성된 N웰 형성용 제1마스크 패턴(2)이 형성된 상태에서, 이온 주입에 의하여 형성된다. 이때, 제1마스크 패턴(2)의 수직 경계면은 기판과 수직의 형태로 형성되므로, P형의 매몰층을 형성하기 위한 이온 주입시, 마스크 패턴의 수직 경계면 하단에는 P형의 매몰층(6)이 연속적으로 형성되지 아니하여, N웰 및 P웰에 걸쳐 연속적으로 형성되어야 하는 매몰층이 단절되는 문제점이 발생하게 된다. 이와같이 되면, 매몰이 단절되면, N웰과 접하여지는 부분이 매몰층에 의하여 둘러싸여지지 않으므로, 래치 업 현상을 방지하고자 하는 본래의 취지를 달성할 수 없게 되는 문제점이 발생되었다.

따라서, 본 발명은 상기한 본 발명의 목적을 달성하기 위한 것으로, 본 발명은, P형의 매몰층을 형성하기 위한 이온 주입 마스크 패턴의 수직 경계면의 경사를 완만하도록 형성하여, P형의 매몰층을 N모스 영역 및 P모스 영역에 걸쳐 연속적으로 형성하도록 하므로써, C모스 트랜지스터의 래치 업 현상을 방지할 수 있는 반도체 소자의 제조방법을 제공하는 것을 목적으로 한다.

[발명의 구성 및 작용]

상기한 본 발명의 목적을 달성하기 위하여, 본 발명은 반도체 기판상에 N웰 예정 영역이 노출되도록 제1마스크 패턴을 형성하는 단계; 제1마스크 패턴으로 부터 노출된 반도체 기판에 N웰을 형성하는 단계; 상기 제1마스크 패턴을 통과할 만큼의 에너지 범위로 결과물 전면에 P형의 불순물을 이온 주입하는 단계; 및 상기 제1마스크 패턴을 제거하는 단계를 포함하며, 상기 제1마스크 패턴의 수직단부는 완만한 경사를 갖도록 형성하는 것을 특징으로 한다.

본 발명에 의하면, P형의 매몰층과 N웰 영역을 형성하기 위한 이온주입 마스크의 수직 단부를 경사지도록 하여, P형의 매몰층이 N모스 영역 및 P모스 영역에 걸쳐 단절되지 않고 연속적으로 형성되므로써, 래치업 현상이 방지된다.

[실시예]

이하, 첨부한 도면에 의거하여, 본 발명의 실시예를 자세히 설명하도록 한다.

첨부한 도면 제2a도 내지 제2e도는 본 발명의 제1 실시예를 설명하기 위한 각 제조공정별 단면도이고, 제3도는 본 발명의 제2 실시예를 설명하기 위한 단면도이다.

먼저, 연속적인 P형의 매몰층을 형성하기 위한 제1 실시예를 설명하도록 한다.

제2a도에 도시된 바와 같이, 웰이 형성되기 이전의 반도체 기판(11) 바람직하게는 P형의 불순물이 도핑된 실리콘 기판의 소자 분리 예정영역에 공지된 방식에 의하여, 필드 산화막(도시되지 않음)이 형성된다. 이어서, 필드 산화막이 형성된 반도체 기판(11) 상부에 제1패드막으로 제1산화막(12)이 형성되고, 그 상부에 제1버퍼막으로 제1폴리실리콘막(13)이 순차적으로 형성된다. 그후, 제1폴리실리콘막(13) 상부에는 N웰 예정영역이 노출되도록 마스크 패턴(14)이 형성된다. 이때, 제1산화막(12)과, 제1폴리실리콘막(13)의 두께는 이후의 N웰 형성용 이온 주입 공정시, N웰 형성용 불순물의 이온 주입을 저지할 수 있을 정도의 두께로 형성됨이 바람직하다.

이어서, 마스크 패턴(14)에 의하여, 제1폴리실리콘막(13)과 제1산화막(12)이 패터닝되고, 제2b도에 도시된 바와 같이, 마스크 패턴(14)은 공지된 제거방식에 의하여 제거된다. 그리고 나서, 패터닝된 제1폴리실리콘막(13) 및 제1산화막(12)을 마스크로 하여, 노출된 반도체 기판에, N웰 형성용 불순물(15)과 펀치 스루 방지용 불순물(16)과 P모스의 문턱 전압 조절용 불순물(17)이 순차적으로 이온 주입된다. 이때, N웰 형성용 불순물(15)이 가장 깊숙히 이온 주입되고, 그 다음으로는, 펀치 스루 방지용 불순물(16)이 그리고, 반도체 기판 표면측에는 P모스의 문턱 전압 조절용 불순물(17)이 이온 주입된다. 또한, N웰 형성용 불순물(15)과 P모스용 펀치 스루 방지용 불순물(16) 및 P모스용 문턱 전압 조절 불순물(17)은 모두 N 타입 불순물이며, 바람직하게는 P³¹이온이 이용된다.

이어서, 제2c도에 도시된 바와 같이, 결과물 상부에는 제2패드막으로 제2산화막(18)과, 제2버퍼막으로 제2폴리실리콘막(19)이 공지된 증착 방식에 의하여 형성된다.

그 후, 제2d도에서와 같이, 제2폴리실리콘막(19)과 제2산화막(18)은, 제1폴리실리콘막(13)의 수평 단부가 노출되도록 이방성 블랭킷식각이 진행되어, 패터닝된 제1폴리실리콘막(13) 및 제1산화막(12)의 수직 단부에 제2폴리실리콘막(19)과 제2산화막(18)으로 이루어진 스페이서(20)가 형성된다. 그런다음, P형의 매몰층을 형성하기 위한 P형의 불순물, 바람직하게는 B¹¹이온이 반도체 기판내 깊숙히 이온 주입되어, P형의 매립층(21)이 형성된다. 상기, P형의 매립층(21)은 N웰(15)보다 더 깊숙히 이온 주입되어, N웰(15)을 감싸도록 형성될 뿐만 아니라, 패터닝된 제1폴리실리콘막(13) 및 제1산화막(12)막 하부에도 형성되고, 패터닝된 제1폴리실리콘막(13) 및 제2산화막(12)막 하부에 형성된 P형의 매립층(21B)은 제1폴리실리콘막(13) 및 제1산화막(12) 두께로 인하여, N웰(15) 하부에 형성된 P형의 매립층(21A)보다 얇게 형성되며, N웰(15) 하부에 형성된 P형의 매립층(21A)과 패터닝된 제1폴리실리콘막(13) 및 제1산화막(12)막 하부에 형성된 P형의 매립층(21B)은 서로 연결되어 있어, P형의 매립층(21)은 단차를 갖게된다. 이때, 패터닝된 제1폴리실리콘막(13) 및 제1산화막 하부에 형성되어진 P형의 매립층(21)이 P웰이 된다. 또한, 상기 P형의 매립층(21) 형성 공정시, N웰 형성용 마스크로 이용되는 패터닝된 제1폴리실리콘막(13) 및 제1산화막(12)막 측벽에 스페이서가 형성되므로써, N웰과 P웰 사이의 경계면에 단절없이, P모스 예정 영역 및 N모스 예정영역에 연속적으로 형성된다.

그 후, 제1산화막(12)과, 제1폴리실리콘막(13)으로 이루어진 이온주입 마스크와 제2산화막(18)과, 제2폴리실리콘막(19)으로 구성된 스페이서(20)를 공지된 산화 및 폴리 실리콘 식각 방식에 의하여 제거한 다음, 제2e도에서와 같이, N웰(15) 영역 상부에, 공지된 포토리소그래피 공정에 의하여 제2마스크 패턴(22)이 형성된다. 이어서, 제2마스크 패턴(22)에 의하여 노출된 반도체 기판(1) 즉, N모스 예정 영역에 N모스용 펀치 스루방지용 불순물층(23)과 N모스의 문턱 전압 조절용 불순물층(24)이 형성된다. 이때, N모스용 펀치 스루 방지용 불순물층(23)과 N모스용 문턱 전압 조절 불순물층(24)은 P형의 불순물을 이온 주입하여 형성되고, N모스용 펀치 스루방지용 불순물층(23)은 P형의 매몰층보다 깊지 않도록 형성되며, N모스용 문턱 전압 조절 불순물층(24)은 N모스용 펀치 스루 방지용 불순물층(23)의 깊이보다 깊지 않은 범위에서 형성된다.

이후에 공정에 대하여는 도면에 도시되지 않았지만, 제2마스크 패턴은 공지된 방법에 의하여 제거되고, N웰(15)이 형성된 반도체 기판 상부에는 트랜지스터를 형성하기 위한 일련의 공정에 의하여, P모스 트랜지스터가 형성되고, 단차를 갖는 P형의 매몰층(21) 중 상단 부위에는 공지된 방식에 의하여 N모스 트랜지스터가 형성되므로써, 소망하는 래치업 현상이 발생되지 않는 C모스 트랜지스터가 형성된다.

제3도는 본 발명의 제2 실시예를 설명하기 이러한 단면도로서, 제2 실시예는 N웰 예정 영역을 노출시키기 위한 이온 주입 마스크의 형성공정만이 상이할 뿐, 그 밖의 공정은 동일하다.

제2 실시예에 따른 N웰 예정 영역을 노출시키기 위한 이온 주입마스크는, 반도체 기판(11) 상부에 N웰 예정 영역이 노출되도록 공지된 포토리소그래피 공정에 의하여, 포토레지스트 패턴(30)이 형성된다. 이어서, 상기의 결과물은 100 내지 200℃의 온도에서 열 처리된다. 이때, 상기 열처리 공정에 의하여, 포토레지스트 패턴(30)이 플로우되어, 포토레지스트 패턴(30)의 수직 단부는 완만한 경사를 갖게 된다. 이와같이, N웰 예정 영역을 노출시키기 위한 이온 주입 마스크의 수직 단부를 완만하게 경사지도록 하여, P형의 매몰층 형성시, 반도체 기판내부에 연속적인 P형 매몰층이 형성된다. 이후의 공정은 제1실시예와 동일하다.

[발명의 효과]

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, P형의 매몰층과 N웰 영역을 형성하기 위한 이온 주입 마스크의 수직 단부를 경사지도록 하여, P형의 매몰층이 N모스 영역 및 P모스 영역에 걸쳐 단절되지 않고 연속적으로 형성되므로써, 래치업 현상이 방지된다.

본 발명은 상기한 실시예에 한정되는 것은 아니다.

예를들어, 제1 실시예에서, 단차를 갖는 P형의 매몰층을 형성하기 위한 이온 주입 마스크 형성시, 버퍼막으로 폴리실리콘막을 이용하여 형성하였지만, 폴리실리콘막 이외에도 질화막과 같이 마스크 패턴의 역할을 수행할 수 있는 막이면, 동일하게 적용된다.

(57) 청구의 범위**청구항 1**

반도체 기판상에 N웰 예정 영역이 노출되도록 제1마스크 패턴을 형성하는 단계; 제1마스크 패턴으로 부터 노출된 반도체 기판에 N웰에 형성하는 단계; 상기 제1마스크 패턴을 통과할 만큼의 에너지 범위로 결과물 전면에 P형의 불순물을 이온 주입하는 단계; 및 상기 제1마스크 패턴을 제거하는 단계를 포함하며, 상기 제1마스크 패턴의 수직단부는 완만한 경사를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제1항에 있어서, 상기 제1마스크 패턴의 형성단계는, 반도체 기판상에 제1패드막과, 제1버퍼막을 증착하는 단계; 제1버퍼막과 제1패드막을 N웰 예정 영역이 노출되도록 패터닝하는 단계; 결과물 상부에 제2패드막과 제2버퍼막을 순차적으로 적층하는 단계; 상기 제1버퍼막상단이 노출되도록 제2버퍼막과 제2패드막을 이방성 식각하여 패터닝 제1버퍼막과 제1패드막의 수직 표면에 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제2항에 있어서, 상기 제1 및 제2패드막은 산화막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제2항 또는 제3항에 있어서, 상기 제1 및 제2버퍼막은 폴리실리콘막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제2항 또는 제3항에 있어서, 상기 제1 및 제2버퍼막은 질화막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제1항에 있어서, 상기 제1마스크 패턴의 형성단계는, 반도체 기판상부에 N웰 예정 영역이 노출되도록 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 열처리하여, 수직단부가 경사지도록 플로우시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제6항에 있어서, 상기 열처리 공정은 100 내지 200℃ 온도에서 진행되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8

제1항에 있어서, 상기 N웰을 형성하는 단계 전 또는 후에, N웰 깊이보다 깊지 않도록 노출된 반도체 기판에 P모스용 펀치 스루 방지용 불순물층을 형성하는 단계; 상기 P모스용 펀치 스루 방지용 불순물층 깊이보다 깊지 않도록 P모스용 문턱 조절용 불순물층을 형성하는 단계를 부가적으로 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제1항에 있어서, 상기 제1마스크 패턴을 제거하는 단계 이후에, N웰 영역 상부에 제2마스크 패턴을 형성하는 단계; 노출된 반도체 기판에 P형 매몰층 깊이 보다 깊지 않도록 N모스용 펀치 스루 방지용 불순물층을 형성하는 단계; 노출된 반도체 기판에 N모스용 펀치 스루 방지용 불순물층 깊이 보다 깊지 않도록 N모스용 문턱 전압 조절용 불순물층을 형성하는 단계를 부가적으로 포함하는 반도체 소자의 제조방법.

도면**도면1**