



(12) 发明专利

(10) 授权公告号 CN 109787603 B

(45) 授权公告日 2023.05.16

(21) 申请号 201910164082.6

(22) 申请日 2019.03.05

(65) 同一申请的已公布的文献号
申请公布号 CN 109787603 A

(43) 申请公布日 2019.05.21

(73) 专利权人 上海艾为电子技术股份有限公司
地址 201199 上海市闵行区秀文路908弄2号1201室

(72) 发明人 何永强 罗旭程 程剑涛 杜黎明
孙洪军

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 杨华 王宝筠

(51) Int. Cl.

H03K 17/687 (2006.01)

(56) 对比文件

CN 109245752 A, 2019.01.18

CN 107786190 A, 2018.03.09

CN 104883172 A, 2015.09.02

CN 108512536 A, 2018.09.07

审查员 鲍威尔

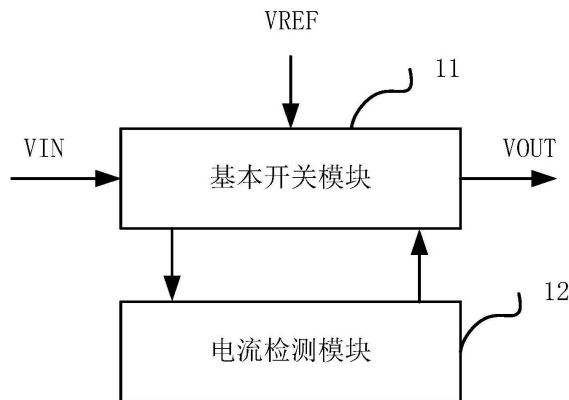
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种低导通平坦度模拟开关

(57) 摘要

本申请提供了一种低导通平坦度模拟开关,包括基本开关模块和电流检测模块。基本开关模块中包括NMOS管N1,用于接收音频信号,并在导通的状态下输出所述音频信号。电流检测模块用于按照预设比例对NMOS管N1的负载电流进行缩放,得到补偿电流,并将补偿电流输入NMOS管N1。补偿电流的注入将提高NMOS管N1的栅极电压,进而降低导通电阻,减小负载电流变大过程中NMOS管N1导通电阻的变大。



1. 一种低导通平坦度模拟开关,其特征在于,包括:

基本开关模块和电流检测模块;

所述基本开关模块中包括NMOS管N1,用于接收音频信号,并在导通的状态下输出所述音频信号;

所述电流检测模块用于按照预设比例对所述NMOS管N1的负载电流进行缩放,得到补偿电流,并将所述补偿电流输入所述NMOS管N1;

其中,所述电流检测模块中包括:

NMOS管N0、运算放大器OP3、PMOS管P5、PMOS管P6、NMOS管N4、NMOS管N5;

其中,所述NMOS管N0的漏极与所述NMOS管N1的漏极相连;所述NMOS管N0的栅极与所述NMOS管N1的栅极相连;所述运算放大器OP3的反向输入端与所述NMOS管N1的源极相连;所述PMOS管P5的漏极与所述NMOS管N1的栅极相连,用于向所述NMOS管N1的栅极输入所述补偿电流;

所述NMOS管N0的源极分别与所述运算放大器OP3的正向输入端和所述NMOS管N4的漏极相连,所述运算放大器OP3的输出端分别与所述NMOS管N4的栅极和所述NMOS管N5的栅极相连,所述NMOS管N4的源极和所述NMOS管N5的源极分别接地;所述NMOS管N5的源极分别与所述PMOS管P6的栅极、所述PMOS管P6的漏极和所述PMOS管P5的栅极相连,所述PMOS管P6的源极与所述PMOS管P5的源极相连,并与电源电压VDD相连。

2. 根据权利要求1所述的低导通平坦度模拟开关,其特征在于,

所述NMOS管N0和所述NMOS管N1的栅长度相同,所述NMOS管N1和所述NMOS管N0的宽度比为N。

3. 根据权利要求1所述的低导通平坦度模拟开关,其特征在于,

所述NMOS管N4和所述NMOS管N5的大小相同,所述PMOS管P5和所述PMOS管P6的大小相同。

4. 根据权利要求1所述的低导通平坦度模拟开关,其特征在于,所述基本开关模块中还

包括:
第一电流生成模块,用于生成与基准信号成正比关系的电流 I_A ,以产生开启所述NMOS管N1的栅极电压。

5. 根据权利要求4所述的低导通平坦度模拟开关,其特征在于,所述第一电流生成模块包括:

运算放大器OP2、PMOS管P3、PMOS管P4、NMOS管N3、电阻R3;

其中,所述PMOS管P3的源极与所述PMOS管P4的源极相连,并与电源电压VDD相连;所述PMOS管P3的栅极与所述PMOS管P4的栅极相连,所述PMOS管P3的栅极与所述PMOS管P4的栅极的公共端分别与所述PMOS管P4的漏极和所述NMOS管N3的漏极相连,所述NMOS管N3的栅极与所述运算放大器OP2的输出端相连,所述NMOS管N3的源极分别与所述运算放大器OP2的反向输入端和所述电阻R3的第一端相连,所述电阻R3的第二端接地。

6. 根据权利要求5所述的低导通平坦度模拟开关,其特征在于,所述基本开关模块中还

包括:
第二电流生成模块,用于生成与输入信号 V_{IN} 成正比关系的电流 I_B ,所述电流 I_B 用于输入所述NMOS管N1的栅极。

7. 根据权利要求6所述的低导通平坦度模拟开关,其特征在于,所述第二电流生成模块包括:

运算放大器OP1、NMOS管N2、PMOS管P1、PMOS管P2和电阻R1;

其中,所述PMOS管P2的源极与所述PMOS管P1的源极相连,并与电源电压VDD相连;所述PMOS管P2的栅极与所述PMOS管P1的栅极相连,所述PMOS管P2的栅极与所述PMOS管P1的栅极的公共端分别与所述PMOS管P1的漏极和所述NMOS管N2的漏极相连,所述NMOS管N2的栅极与所述运算放大器OP1的输出端相连,所述NMOS管N2的源极分别与所述运算放大器OP1的反向输入端和所述电阻R1的第一端相连,所述电阻R1的第二端接地。

8. 根据权利要求7所述的低导通平坦度模拟开关,其特征在于,所述基本开关模块中还

包括:

电阻R2;
所述NMOS管N1的栅极分别与所述电阻R2的第一端、所述PMOS管P2的漏极和所述PMOS管P3的漏极相连,所述电阻R2的第二端接地。

9. 根据权利要求8所述的低导通平坦度模拟开关,其特征在于,

所述PMOS管P1和所述PMOS管P2大小相等,所述PMOS管P3与所述PMOS管P4大小相等,所述电阻R1和所述电阻R2的电阻相等。

一种低导通平坦度模拟开关

技术领域

[0001] 本申请涉及半导体集成电路技术领域,尤其涉及一种低导通平坦度模拟开关。

背景技术

[0002] 目前,在手机或者一些音频电路中均具有将音频信号进行隔离和导通的模拟开关,这类模拟开关通常采用PMOS或NMOS实现。对于音频信号,若传输音频信号时模拟开关的导通电阻随音频信号的变化而发生变化,会对输出的音频信号的质量产生一定的影响,因此,导通电阻是模拟开关的一个重要指标。其影响主要体现在THD(Total harmonic distortion,总谐波失真)方面,由于模拟开关的导通电阻的变化导致在输出信号的频谱中会出现多次谐波,且一般情况下模拟开关的导通电阻变化越大,谐波成分越大,这样可能会导致音频信号的质量无法满足某些HIFI(High-Fidelity,高保真)音质的应用需求。

[0003] 因此,在输入的音频信号发生变化时,如何使模拟开关的导通电阻保持不变或者变化尽量小是一个具有挑战和需要迫切解决的问题。

发明内容

[0004] 本申请提供了一种低导通平坦度模拟开关,目的在于在输入的音频信号发生变化时,如何使模拟开关的导通电阻保持不变或者变化尽量小。

[0005] 为了实现上述目的,本申请提供了以下技术方案:

[0006] 一种低导通平坦度模拟开关,包括:

[0007] 基本开关模块和电流检测模块;

[0008] 所述基本开关模块中包括NMOS管N1,用于接收音频信号,并在导通的状态下输出所述音频信号;

[0009] 所述电流检测模块用于按照预设比例对所述NMOS管N1的负载电流进行缩放,得到补偿电流,并将所述补偿电流输入所述NMOS管N1。

[0010] 可选的,所述电流检测模块中包括:

[0011] NMOS管N0、运算放大器OP3、PMOS管P5、PMOS管P6、NMOS管N4、NMOS管N5;

[0012] 其中,所述NMOS管N0的漏极与所述NMOS管N1的漏极相连;所述NMOS管N0的栅极与所述NMOS管N1的栅极相连;所述运算放大器OP3的反向输入端与所述NMOS管N1的源极相连;所述PMOS管P5的漏极与所述NMOS管N1的栅极相连,用于向所述NMOS管N1的栅极输入所述补偿电流;

[0013] 所述NMOS管N0的源极分别与所述运算放大器OP3的正向输入端和所述NMOS管N4的漏极相连,所述运算放大器OP3的输出端分别与所述NMOS管N4的栅极和所述NMOS管N5的栅极相连,所述NMOS管N4的源极和所述NMOS管N5的源极分别接地;所述NMOS管N5的源极分别与所述PMOS管P6的栅极、所述PMOS管P6的漏极和所述PMOS管P5的栅极相连,所述PMOS管P6的源极与所述PMOS管P5的源极相连,并与电源电压VDD相连。

[0014] 可选的,所述NMOS管N0和所述NMOS管N1的栅长度相同,所述NMOS管N1和所述NMOS

管N0的宽度比为N。

[0015] 可选的,所述NMOS管N4和所述NMOS管N5的大小相同,所述PMOS管P5和所述PMOS管P6的大小相同。

[0016] 可选的,所述基本开关模块中还包括:

[0017] 第一电流生成模块,用于生成与基准信号成正比关系的电流 I_A ,以产生开启所述NMOS管N1的栅极电压。

[0018] 可选的,所述第一电流生成模块包括:

[0019] 运算放大器OP2、PMOS管P3、PMOS管P4、NMOS管N3、电阻R3;

[0020] 其中,所述PMOS管P3的源极与所述PMOS管P4的源极相连,并与电源电压VDD相连;所述PMOS管P3的栅极与所述PMOS管P4的栅极相连,所述PMOS管P3的栅极与所述PMOS管P4的栅极的公共端分别与所述PMOS管P4的漏极和所述NMOS管N3的漏极相连,所述NMOS管N3的栅极与所述运算放大器OP2的输出端相连,所述NMOS管N3的源极分别与所述运算放大器OP2的反向输入端和所述电阻R3的第一端相连,所述电阻R3的第二端接地。

[0021] 可选的,所述基本开关模块中还包括:

[0022] 第二电流生成模块,用于生成与输入信号 V_{IN} 成正比关系的电流 I_B ,所述电流 I_B 用于输入所述NMOS管N1的栅极。

[0023] 可选的,所述第二电流生成模块包括:

[0024] 运算放大器OP1、NMOS管N2、PMOS管P1、PMOS管P2和电阻R1;

[0025] 其中,所述PMOS管P2的源极与所述PMOS管P1的源极相连,并与电源电压VDD相连;所述PMOS管P2的栅极与所述PMOS管P1的栅极相连,所述PMOS管P2的栅极与所述PMOS管P1的栅极的公共端分别与所述PMOS管P1的漏极和所述NMOS管N2的漏极相连,所述NMOS管N2的栅极与所述运算放大器OP1的输出端相连,所述NMOS管N2的源极分别与所述运算放大器OP1的反向输入端和所述电阻R1的第一端相连,所述电阻R1的第二端接地。

[0026] 可选的,所述基本开关模块中还包括:

[0027] 电阻R2;

[0028] 所述NMOS管N1的栅极分别与所述电阻R2的第一端、所述PMOS管P2的漏极和所述PMOS管P3的漏极相连,所述电阻R2的第二端接地。

[0029] 可选的,

[0030] 所述PMOS管P1和所述PMOS管P2大小相等,所述PMOS管P3与所述PMOS管P4大小相等,所述电阻R1和所述电阻R2的电阻相等。

[0031] 本申请所述的低导通平坦度模拟开关,包括基本开关模块和电流检测模块。基本开关模块中包括NMOS管N1,用于接收音频信号,并在导通的状态下输出所述音频信号。电流检测模块用于按照预设比例对NMOS管N1的负载电流进行缩放,得到补偿电流,并将补偿电流输入NMOS管N1。补偿电流的注入将提高NMOS管N1的栅极电压,进而降低导通电阻,减小负载电流变大过程中NMOS管N1导通电阻的变大。

附图说明

[0032] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本

申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0033] 图1为本申请实施例公开的一种低导通平坦度模拟开关的整体电路框图;

[0034] 图2为本申请实施例公开的基本开关模块的电路示意图;

[0035] 图3为本申请实施例公开的一种低导通平坦度模拟开关的整体电路图;

[0036] 图4为本申请提供的低导通平坦度模拟开关与传统的模拟开关的仿真对比结果图。

具体实施方式

[0037] 本申请提供一种低导通平坦度模拟开关,应用于要求高保证音质的应用需求的场景中,在一定负载电阻的情况下,模拟开关的输入信号VIN幅度发生变化,则开关管中的电流也发生相应的变化,进而导致开关管源漏的压降发生变化,进而改变了开关管实际的导通电阻。

[0038] 本申请的目的在于:在输入的音频信号发生变化时,如何使模拟开关的导通电阻保持不变或者变化尽量小。

[0039] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0040] 如图1所示,本申请实施例提供了一种低导通平坦度模拟开关,包括:基本开关模块11和电流检测模块12,其中,基本开关模块11的具体结构如图2所示,基本开关模块11包括:第一电流生成模块21、第二电流生成模块22和导通模块23,其中:

[0041] 第一电流生成模块21包括:运算放大器OP2、PMOS管P3、PMOS管P4、NMOS管N3、电阻R3。其中,PMOS管P3的源极与PMOS管P4的源极相连,并与电源电压VDD相连。PMOS管P3的栅极与PMOS管P4的栅极相连,PMOS管P3的栅极与PMOS管P4的栅极的公共端分别与PMOS管P4的漏极和NMOS管N3的漏极相连,NMOS管N3的栅极与运算放大器OP2的输出端相连,NMOS管N3的源极分别与运算放大器OP2的反向输入端和电阻R3的第一端相连,电阻R3的第二端接地。

[0042] 第一电流生成模块21用于生成与基准信号VREF成正比关系的电流IA,从而产生开启NMOS管N1的基本的栅极电压 $V_{refgate}$ 。

[0043] 第二电流生成模块22包括运算放大器OP1、NMOS管N2、PMOS管P1、PMOS管P2和电阻R1。其中,PMOS管P2的源极与PMOS管P1的源极相连,并与电源电压VDD相连。PMOS管P2的栅极与PMOS管P1的栅极相连,PMOS管P2的栅极与PMOS管P1的栅极的公共端分别与PMOS管P1的漏极和NMOS管N2的漏极相连,NMOS管N2的栅极与运算放大器OP1的输出端相连,NMOS管N2的源极分别与运算放大器OP1的反向输入端和电阻R1的第一端相连,电阻R1的第二端接地。

[0044] 第二电流生成模块22用于生成与输入信号VIN成正比关系的电流IB,从而产生补偿NMOS管N1的栅极电压 V_{in} 。

[0045] 导通模块23包括NMOS管N1和电阻R2。其中,NMOS管N1的栅极分别与电阻R2的第一端、PMOS管P2的漏极和PMOS管P3的漏极相连,电阻R2的第二端接地。

[0046] 导通模块23用于将电流IA和电流IB输入至电阻R2上,使得NMOS管N1的栅源电压 V_{gs}

随着输入信号VIN变化而变化。

[0047] 如图2所示,NMOS管N1的漏极和运算放大器OP1的正向输入端为基本开关模块11的信号输入端,用于接收输入信号VIN,NMOS管N1的源极为基本开关模块11的信号输出端,用于输出满足高保真音质的输出信号VOUT,运算放大器OP2的正向输入端为基本开关模块11的基准信号输入端,用于接收基准信号VREF,NMOS管N1的栅极为基本开关模块11的电流输出端,与电流检测模块12的电流检测端相连,NMOS管N1的栅极为基本开关模块11的电流输入端,与电流检测模块12的电流反馈端相连。

[0048] 需要说明的是,基本开关模块11用于在NMOS管N1的栅极产生栅极电压 V_{gate} ,该栅极电压 V_{gate} 随着输入信号VIN的变化而变化,从而在NMOS管N1产生一个恒定的栅源电压 V_{gs} 。

[0049] 在本申请实施例中,PMOS管P1和PMOS管P2大小相等,PMOS管P3与PMOS管P4大小相等,电阻R1和电阻R2的电阻相等,则栅极电压 V_{gate} 随着输入信号VIN的变化的大小相同。具体的,基准信号VREF用于产生一个基本的栅极电压 $V_{refgate}$,当输入信号VIN为零时,则基准信号VREF产生的基本的栅极电压 $V_{refgate} = (VREF/R3) * R2$,当输入信号VIN不同时,则NMOS管N1的栅极电压 V_{gate} 在基准信号VREF产生的基本的栅极电压 $V_{refgate}$ 基础上叠加了输入信号VIN产生的栅极电压 V_{in} ,这样使得NMOS管N1的栅源电压 V_{gs} 随着输入信号VIN变化而变化。

[0050] 上述PMOS管P1、PMOS管P2、PMOS管P3、PMOS管P4、电阻R1和电阻R2为优选的一种实施例,在其他实施例中,也可以设置为不同的。

[0051] 电流检测模块12的具体结构如图3所示,电流检测模块12包括:NMOS管N0、运算放大器OP3、PMOS管P5、PMOS管P6、NMOS管N4、NMOS管N5,其中,NMOS管N0的漏极与基本开关模块11中的NMOS管N1的漏极相连。NMOS管N0的栅极作为电流检测端与NMOS管N1的栅极相连,NMOS管N0的源极分别与运算放大器OP3的正向输入端和NMOS管N4的漏极相连,运算放大器OP3的输出端分别与NMOS管N4的栅极和NMOS管N5的栅极相连,运算放大器OP3的反向输入端与NMOS管N1的源极相连,NMOS管N4的源极和NMOS管N5的源极分别接地。NMOS管N5的源极分别与PMOS管P6的栅极、PMOS管P6的漏极和PMOS管P5的栅极相连,PMOS管P6的源极与PMOS管P5的源极相连,并与电源电压VDD相连。PMOS管P5的漏极作为电流反馈端与NMOS管N1的栅极相连。

[0052] 电流检测模块12用于通过电流检测端采集NMOS管N1中的负载电流IL,按照预设比例对该负载电流IL进行缩放,并将得到的电流作为补偿电流通过电流反馈端输入至NMOS管N1的栅极,为NMOS管N1的栅极提供补偿电压,从而在同等电流变化范围内减小导通阻抗变化。上述负载电流IL为从输入端经过NMOS管N1流向输出端的电流。

[0053] 需要说明的是,本申请实施例中NMOS管N0和NMOS管N1为匹配的NMOS管,即将NMOS管N0和NMOS管N1的栅长度设定为相同,NMOS管N1和NMOS管N0的宽度比为N,NMOS管N4和NMOS管N5的大小相同,PMOS管P5和PMOS管P6的大小相同。其中,运算放大器OP3、NMOS管N4和NMOS管N5作用使得NMOS管N0的源极与NMOS管N1的源极的电压相同,进而保证NMOS管N1中电流为NMOS管N0中的N倍,最终PMOS管P5将向电阻R2注入电流IC,电流IC的注入将提高NMOS管N1的栅极电压 V_{gate} ,进而降低导通电阻,减小负载电流变大过程中NMOS管N1导通电阻的变大。

[0054] 在本申请实施例中,设定NMOS管N1的导通电阻大约为2.3欧姆,负载电阻RL为30欧姆,输入信号VIN在0.2V~1V之间变化时,如图4所示,图4为本申请提供的低导通平坦度模

拟开关与传统的模拟开关的仿真对比结果图,在图4中,横坐标为输入信号VIN,纵坐标为导通电阻 R_{ON} ,传统模拟开关的导通电阻用 R_{ON_ORIG} 表示,其变化值约为83毫欧,本申请提供的低导通平坦度模拟开关的导通电阻用 R_{ON_NEW} 表示,其变化值约为3.6毫欧,变化量相比传统模拟开关大大减小,从图4中也可以看出,本申请提供的低导通平坦度模拟开关的导通电阻平坦度相比传统模拟开关的导通电阻平坦度大大降低,因此,在同等电流变化范围内,本申请提供的低导通平坦度模拟开关相比传统模拟开关的导通阻抗变化大大减少,在输入的音频信号发生变化时,使模拟开关的导通电阻保持不变或者变化尽量小,进而使得更好地应对音频等对信号传输要求极高的应用。

[0055] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其它实施例的不同之处,各个实施例之间相同或相似部分互相参见即可。

[0056] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本申请。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本申请的精神或范围的情况下,在其它实施例中实现。因此,本申请将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

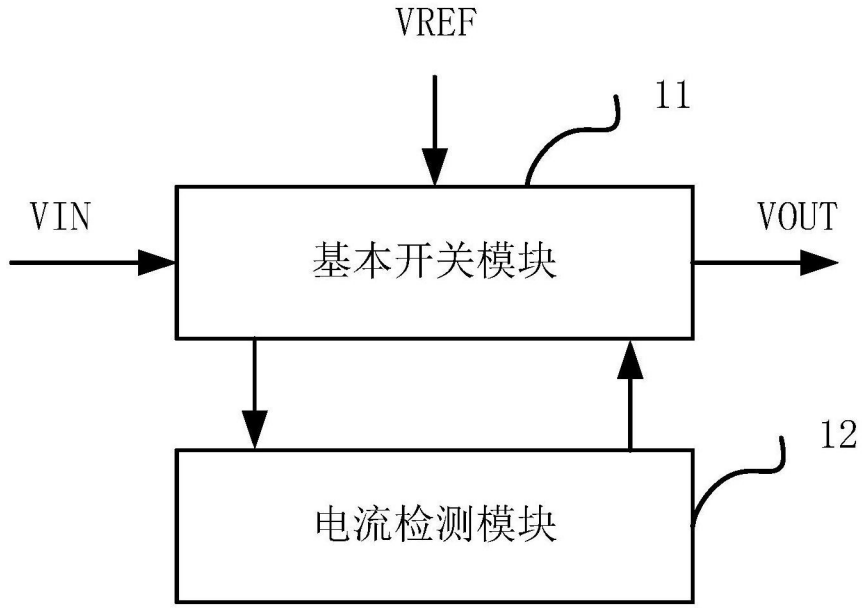


图1

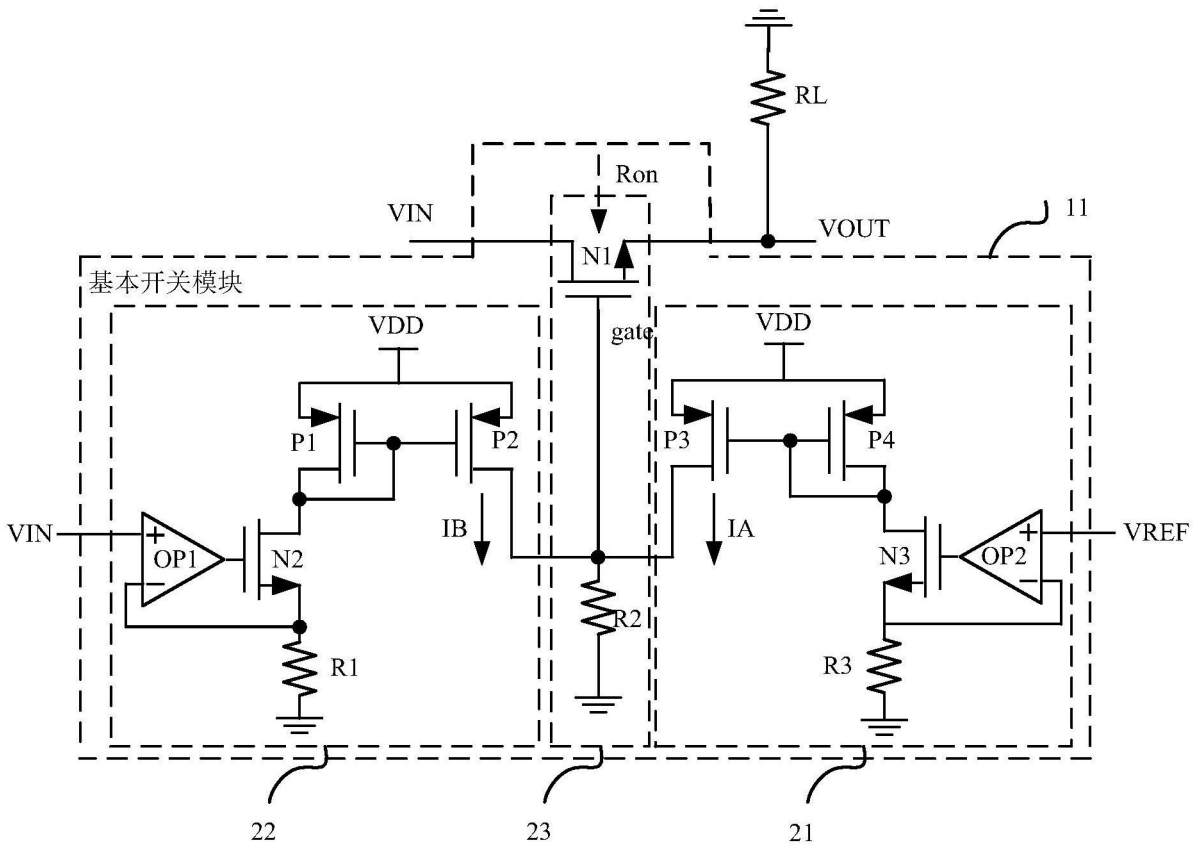


图2

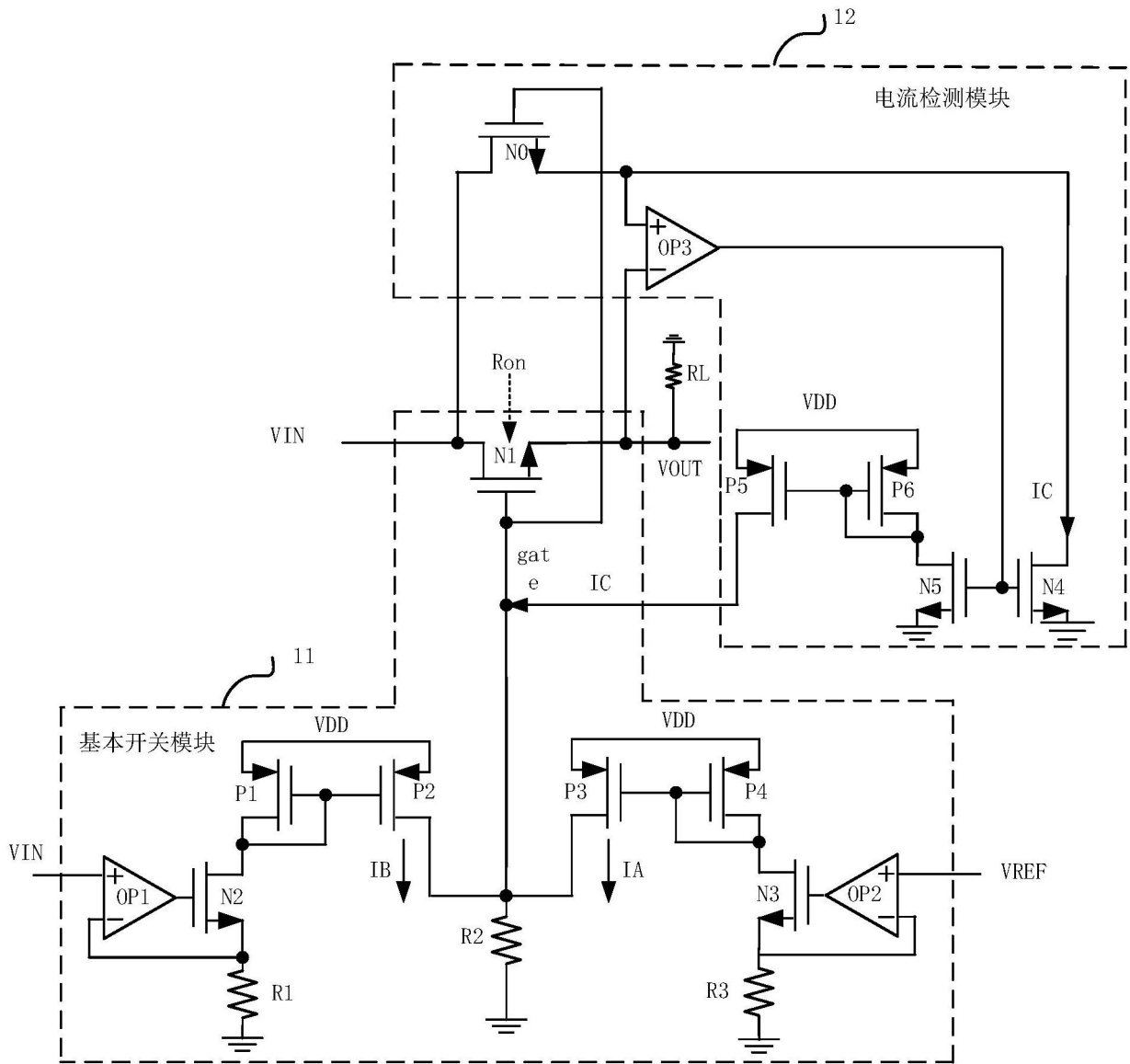


图3

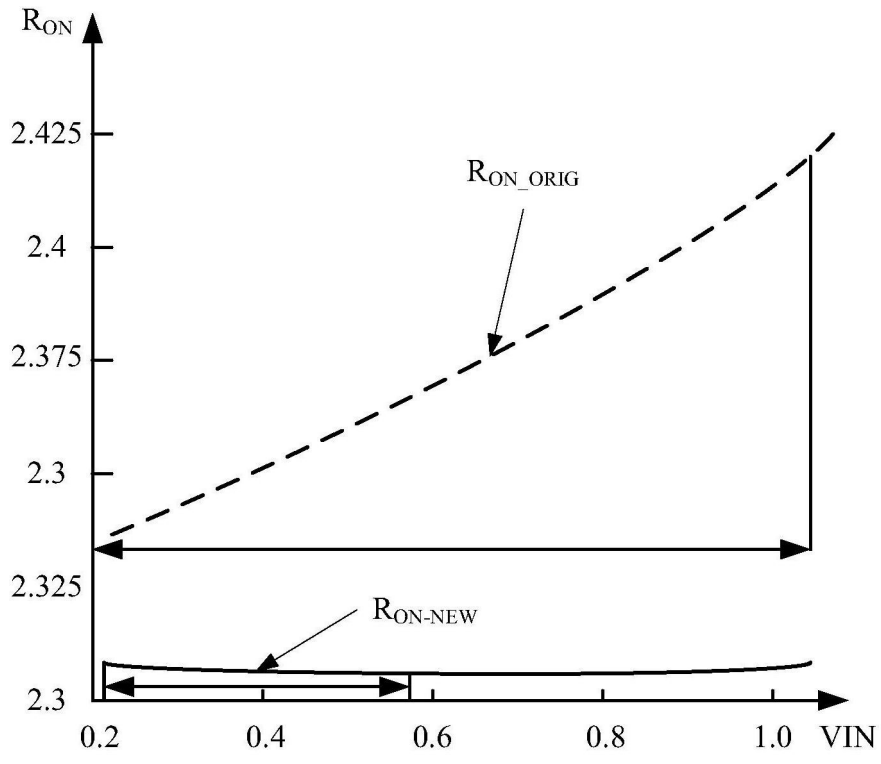


图4