

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3587443号
(P3587443)

(45) 発行日 平成16年11月10日(2004.11.10)

(24) 登録日 平成16年8月20日(2004.8.20)

(51) Int. Cl.⁷

F I

H03K 17/04	H03K 17/04	E
H03K 17/693	H03K 17/693	A
H03K 19/0948	H03K 19/094	B

請求項の数 3 (全 18 頁)

<p>(21) 出願番号 特願平11-297492 (22) 出願日 平成11年10月19日(1999.10.19) (65) 公開番号 特開2001-119281(P2001-119281A) (43) 公開日 平成13年4月27日(2001.4.27) 審査請求日 平成14年7月22日(2002.7.22)</p>	<p>(73) 特許権者 000004226 日本電信電話株式会社 東京都千代田区大手町二丁目3番1号 (74) 代理人 100087446 弁理士 川久保 新一 (72) 発明者 藤井 孝治 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内 審査官 柳下 勝幸</p>
--	---

最終頁に続く

(54) 【発明の名称】 選択回路およびそれを用いた論理回路

(57) 【特許請求の範囲】

【請求項1】

任意の組み合わせ論理関数 F において、

所定の変数 A_i がソースに入力され、上記変数 A_i を論理値 1 に固定したときにおける任意の論理関数 F の値 G の反転信号と、上記変数 A_i を論理値 0 に固定したときにおける上記論理関数 F の値 K との論理和がゲートに入力され、出力信号 Y がドレインに入力されている第 1 の S O I 形式の p M O S トランジスタと；上記変数 A_i がソースに入力され、上記論理関数 G と上記論理関数 K の反転信号との論理積がゲートに入力され、上記出力信号 Y がドレインに接続されている第 1 の S O I 形式の n M O S トランジスタと；

上記変数 A_i の反転信号がソースに入力され、上記論理関数 G と上記論理関数 K の反転信号との論理和がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の S O I 形式の p M O S トランジスタと；

上記変数 A_i の反転信号がソースに入力され、上記論理関数 G の反転信号と上記論理関数 K との論理積がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の S O I 形式の n M O S トランジスタと；

第 4 の S O I 形式の p M O S トランジスタのドレインがソースに接続され、上記論理関数 K の反転信号がゲートに入力され、上記出力信号 Y がドレインに接続された第 3 の S O I 形式の p M O S トランジスタと；

第 4 の S O I 形式の n M O S トランジスタのドレインがソースに接続され、上記論理関数 K の反転信号がゲートに入力され、上記出力信号 Y がドレインに接続された第 3 の S O I

10

20

形式の nMOS トランジスタと；
 電源端子にソースが接続され、上記論理関数 G の反転信号がゲートに入力され、上記第 3 の SOI 形式の pMOS トランジスタのソースがドレインに接続されている第 4 の SOI 形式の pMOS トランジスタと；
 接地端子にソースが接続され、上記論理関数 G の反転信号がゲートに接続され、上記第 3 の SOI 形式の nMOS トランジスタのソースがドレインに接続されている第 4 の SOI 形式の nMOS トランジスタと；
 によって、上記論理関数が実現されることを特徴とする SOI 形式の CMOS 論理回路。

【請求項 2】

SOI 形式の選択回路において、
 選択信号 A_i がソースに入力され、上記選択信号 A_i が論理値 1 であるときに出力される被選択信号を G とし、上記選択信号 A_i が論理値 0 であるときに出力される被選択信号を K とし、上記被選択信号 G の反転信号と、上記被選択信号 K との論理和がゲートに入力され、出力信号 Y がドレインに入力されている第 1 の SOI 形式の pMOS トランジスタと；

10

上記選択信号 A_i がソースに入力され、上記被選択信号 G と上記被選択信号 K の反転信号との論理積がゲートに入力され、上記出力信号 Y がドレインに接続されている第 1 の SOI 形式の nMOS トランジスタと；

上記選択信号 A_i の反転信号がソースに入力され、上記被選択信号 G と上記被選択信号 K の反転信号との論理和がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の SOI 形式の pMOS トランジスタと；

20

上記選択信号 A_i の反転信号がソースに入力され、上記被選択信号 G の反転信号と上記被選択信号 K との論理積がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の SOI 形式の nMOS トランジスタと；

第 4 の SOI 形式の pMOS トランジスタのドレインがソースに接続され、上記被選択信号 K の反転信号がゲートに入力され、上記出力信号 Y がドレインに接続された第 3 の SOI 形式の pMOS トランジスタと；

第 4 の SOI 形式の nMOS トランジスタのドレインがソースに接続され、上記被選択信号 K の反転信号がゲートに入力され、上記出力信号 Y がドレインに接続された第 3 の SOI 形式の nMOS トランジスタと；

30

電源端子にソースが接続され、上記被選択信号 G の反転信号がゲートに入力され、上記第 3 の SOI 形式の pMOS トランジスタのソースがドレインに接続されている第 4 の SOI 形式の pMOS トランジスタと；

接地端子にソースが接続され、上記被選択信号 G の反転信号がゲートに接続され、上記第 3 の SOI 形式の nMOS トランジスタのソースがドレインに接続されている第 4 の SOI 形式の nMOS トランジスタと；

を有することを特徴とする SOI 形式の選択回路。

【請求項 3】

SOI 形式の CMOS 論理回路のクリティカルパスが、上記選択回路の選択信号から出力信号に至る信号伝搬経路を含む場合に、上記選択回路として、SOI 形式の CMOS 回路によって構成され、2 つの入力信号のうち的一方を選択する選択回路において、

40

選択信号 A_i がソースに入力され、上記選択信号 A_i が論理値 1 であるときに出力される被選択信号を G とし、上記選択信号 A_i が論理値 0 であるときに出力される被選択信号を K とし、上記被選択信号 G の反転信号と、上記被選択信号 K との論理和がゲートに入力され、出力信号 Y がドレインに入力されている第 1 の SOI 形式の pMOS トランジスタと；

上記選択信号 A_i がソースに入力され、上記被選択信号 G と上記被選択信号 K の反転信号との論理積がゲートに入力され、上記出力信号 Y がドレインに接続されている第 1 の SOI 形式の nMOS トランジスタと；

上記選択信号 A_i の反転信号がソースに入力され、上記被選択信号 G と上記被選択信号 K

50

の反転信号との論理和がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の S O I 形式の p M O S トランジスタと；

上記選択信号 A i の反転信号がソースに入力され、上記被選択信号 G の反転信号と上記被選択信号 K との論理積がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の S O I 形式の n M O S トランジスタと；

第 4 の S O I 形式の p M O S トランジスタのドレインがソースに接続され、上記被選択信号 K の反転信号がゲートに入力され、上記出力信号 Y がドレインに接続された第 3 の S O I 形式の p M O S トランジスタと；

第 4 の S O I 形式の n M O S トランジスタのドレインがソースに接続され、上記被選択信号 K の反転信号がゲートに入力され、上記出力信号 Y がドレインに接続された第 3 の S O I 形式の n M O S トランジスタと；

電源端子にソースが接続され、上記被選択信号 G の反転信号がゲートに入力され、上記第 3 の S O I 形式の p M O S トランジスタのソースがドレインに接続されている第 4 の S O I 形式の p M O S トランジスタと；

接地端子にソースが接続され、上記被選択信号 G の反転信号がゲートに接続され、上記第 3 の S O I 形式の n M O S トランジスタのソースがドレインに接続されている第 4 の S O I 形式の n M O S トランジスタと；

を有する S O I 形式の選択回路が使用されていることを特徴とする論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、S O I (s i l i c o n o n i n s u l a t o r) 形式の C M O S 回路で構成した選択回路と、これを用いた論理回路とに関する。

【0002】

【従来の技術】

従来のバルク形式の C M O S 回路技術において、M O S F E T のゲート電極と、ソースまたはドレイン電極との負荷容量に有意な差はない。

【0003】

このため、論理ゲートの入力に関して、ゲート電極に入力するものと、ソース電極またはドレイン電極に入力するものとが併存する場合、これらの入力を經由する信号伝搬経路の遅延時間が、互いにほぼ同じであると考えられ、区別されて扱われることはない。

【0004】

S O I 形式において、M O S F E T のソース電極、ドレイン電極の負荷容量は、ゲート電極の負荷容量よりも著しく小さい。このため、上記の論理ゲートにおいて、駆動すべき負荷が、主にソース電極またはドレイン電極に接続されている場合における遅延時間は、駆動すべき負荷が、主にゲート電極に接続されている場合における遅延時間よりも短い。

【0005】

図 18 は、2つの入力信号のうち的一方を選択して出力する従来の 2 - 1 選択回路 100 を示す図である。

【0006】

図 19 は、従来の 2 - 1 選択回路 100 をブロックで示した図である。

【0007】

図 20 は、従来の 2 - 1 選択回路 100 における遅延時間と電源電圧との関係を示す図である。

【0008】

図 18 における選択信号 C C から出力信号 Y に至る経路は、主にゲート電極からなる負荷を駆動する信号経路であり、被選択信号 A 1 から出力信号 Y に至る経路は、主にソース電極またはドレイン電極からなる負荷を駆動する信号経路である。

【0009】

従来のバルク形式の C M O S 回路によって、従来の 2 - 1 選択回路 100 を構成した場合

10

20

30

40

50

、両経路における遅延時間に差が生じていなかったが、SOI形式のCMOS回路で上記選択回路を構成した場合、両経路での遅延時間に差が生じ、図18に示すように、ソース電極またはドレイン電極を駆動する被選択信号A1から出力信号Yに至る経路の遅延時間が小さい。

【0010】

選択回路を含む論理回路では、上記選択回路がクリティカルパスに含まれることが多く、しかもその経路は、選択信号から出力信号に至る経路であることが多い。これは、選択信号が、回路の動作を方向づける信号であり、また、選択回路100に入力する信号の中で、最も遅く到着する信号となる可能性が高いからである。

【0011】

【発明が解決しようとする課題】

上記のような回路内で、図18に示すSOI形式の選択回路100を用いた場合、選択信号から出力信号に至る経路が、選択回路内で最も遅い信号経路になるので、全体のクリティカルパスの遅延時間が長くなるという問題がある。

【0012】

また、上記従来例では、ソース電極またはドレイン電極の負荷容量が小さいというSOIの特徴を、回路性能の向上に生かしきれないという問題がある。

【0013】

本発明は、選択回路の選択信号から出力信号に至る信号伝搬を高速化することができ、上記選択回路を用いた論理回路の動作を高速化することができる選択回路およびそれを用いた論理回路を提供することを目的とするものである。

【0014】

【課題を解決するための手段】

本発明は、選択回路の選択信号を、従来のようにMOSFETのゲート電極に入力するのではなく、ソース電極またはドレイン電極に入力する選択回路である。

【0015】

【発明の実施の形態および実施例】

[第1の実施例]

図1は、本発明の第1の実施例である2-1選択回路101を示す図である。

【0016】

図1(1)は、SOI形式のCMOS回路によって実現した2-1選択回路101を示す図であり、図1(2)は、図1(1)に示す2-1選択回路101をブロックで示した図である。

【0017】

2-1選択回路101は、SOI形式のCMOS回路によって構成され、2つの入力信号のうち的一方を選択する選択回路において、上記CMOS回路を構成するMOSFETのソース電極またはドレイン電極に、選択信号を入力する選択回路である。

【0018】

2-1選択回路101は、論理ゲートX1~X7とMOSFET M1~M8とによって構成されている。選択信号CC、その相補信号!(CC)(!は、その後のカッコ内の信号が反転されているという意味であり、図面において相補信号をバーによって表示しているが、この表示とは異なる表示を明細書では行なう)の論理値がそれぞれ1、0である場合、被選択信号A1の値が出力Yに出力され、選択信号CC、相補信号!(CC)の論理値がそれぞれ0、1である場合、被選択信号A2の値が出力端子Yに出力される。

【0019】

次に、図1に示す2-1選択回路101の動作について説明する。

【0020】

変数A1とA2とが共に論理値1であるときに、NANDゲートX1、X2の出力は、共に論理値1になる。このときに、トランジスタM6のゲートには論理値1が入力され、トランジスタM4のゲートには論理値0が入力されるので、トランジスタM6とM4とによ

10

20

30

40

50

って構成されているトランスマッションゲートは非導通になる。上記と同様に、トランジスタM5とM1とによって構成されているトランスマッションゲートも非導通になる。一方、トランジスタM8とM7とM3とM2とのゲートには、論理値0が入力されるので、トランジスタM8とM7が導通状態となり、トランジスタM3とM2とが非導通になる。この結果、出力端子Yには、論理値1が出力される。

【0021】

上記とは逆に、変数A1とA2とが共に論理値0であるときに、NANDゲートX1、X2の出力は共に論理値1になる。このときに、トランジスタM6のゲートには論理値1が入力され、トランジスタM4のゲートには論理値0が入力されるので、トランジスタM6とM4とによって構成されているトランスマッションゲートは、非導通になる。上記と同様に、トランジスタM5とM1とによって構成されているトランスマッションゲートも非導通になる。一方、トランジスタM8とM7とM3とM2とのゲートには、論理値1が入力されるので、トランジスタM8とM7とが非導通になり、トランジスタM3とM2とが導通状態となる。この結果、出力端子Yには論理値0が出力される。

10

【0022】

変数A1が論理値1であり、変数A2が論理値0であるときに、NANDゲートX1、X2の出力は、それぞれ論理値1、0になる。このときに、トランジスタM6のゲートには論理値0が入力され、トランジスタM4のゲートには論理値1が入力されるので、トランジスタM6とM4とによって構成されているトランスマッションゲートは導通状態になる。一方、トランジスタM5のゲートには論理値1が入力され、トランジスタM1のゲートには論理値0が入力されるので、トランジスタM5とM1とによって構成されているトランスマッションゲートは非導通となる。一方、トランジスタM8とM7とM3とM2とのゲートにはそれぞれ、論理値1、0、0、1が入力されるので、トランジスタM7とM2とが導通状態になり、トランジスタM8とM3とが非導通になる。この結果、出力端子Yには、トランジスタM6とM4とによって構成されているトランスマッションゲートを通じて、CCの論理値が出力される。

20

【0023】

変数A1が論理値0、A2が論理値1であるときに、NANDゲートX1、X2の出力は、それぞれ論理値0、1になる。このときに、トランジスタM6のゲートには論理値1が入力され、トランジスタM4のゲートには論理値0が入力されるので、トランジスタM6とM4とによって構成されているトランスマッションゲートは非導通になる。一方、トランジスタM5のゲートには論理値0が入力され、トランジスタM1のゲートには論理値1が入力されるので、トランジスタM5とM1とによって構成されているトランスマッションゲートは導通状態になる。また、トランジスタM8とM7とM3とM2とのゲートには、それぞれ、論理値0、1、1、0が入力される、トランジスタM8とM3とが導通状態になり、トランジスタM7とM2とが非導通になる。この結果、出力端子Yには、トランジスタM5とM1とによって構成されているトランスマッションゲートを通じて、CCの相補信号が出力される。

30

【0024】

以上から、出力端子Yに現れる論理関数Yは、 $Y = CC * A1 + !(CC) * A2$ となる。これは、CCを選択信号とする2-1選択回路を表している。なお、 $!(CC)$ は、CCの反転信号である。

40

【0025】

2-1選択回路101は、SOI形式の選択回路であり、トランジスタM6は、所定の変数Aiがソースに入力され、上記変数Aiを論理値1に固定したときにおける任意の論理関数Fの値Gの反転信号と、上記変数Aiを論理値0に固定したときにおける上記論理関数Fの値Kとの論理和がゲートに入力され、出力信号Yがドレインに入力されている第1のSOI形式のpMOSトランジスタの例である。

【0026】

トランジスタM5は、上記選択信号Aiがソースに入力され、上記論理関数Gと上記論理

50

関数 K の反転信号との論理積がゲートに入力され、上記出力信号 Y がドレインに接続されている第 1 の S O I 形式の n M O S トランジスタの例である。

【 0 0 2 7 】

トランジスタ M_4 は、上記選択信号 A_i の反転信号がソースに入力され、上記論理関数 G と上記論理関数 K の反転信号との論理和がゲートに入力され、上記出力信号 Y がドレインに入力されている第 2 の S O I 形式の p M O S トランジスタの例である。

【 0 0 2 8 】

トランジスタ M_1 は、上記選択信号 A_i の反転信号がソースに入力され、上記論理関数 G の反転信号と上記論理関数 K との論理積がゲートに入力され、上記出力信号 Y がドレインに接続されている第 2 の S O I 形式の n M O S トランジスタの例である。

10

【 0 0 2 9 】

トランジスタ M_7 は、第 4 の S O I 形式の p M O S トランジスタ M_8 のドレインがソースに接続され、上記論理関数 K の反転信号がゲートに接続され、上記出力信号 Y がドレインに接続された第 3 の S O I 形式の p M O S トランジスタと；トランジスタ M_3 は、第 4 の S O I 形式の n M O S トランジスタ M_2 のドレインがソースに接続され、上記論理関数 K の反転信号がゲートに接続され、上記出力信号 Y がドレインに接続された第 3 の S O I 形式の n M O S トランジスタの例である。

【 0 0 3 0 】

トランジスタ M_8 は、電源端子がソースに接続され、上記論理関数 G の反転信号がゲートに接続され、上記第 3 の S O I 形式の p M O S トランジスタのソースがドレインに接続されている第 4 の S O I 形式の p M O S トランジスタの例である。

20

【 0 0 3 1 】

トランジスタ M_2 は、接地端子にソースが接続され、上記論理関数 G の反転信号がゲートに接続され、上記第 3 の S O I 形式の n M O S トランジスタのソースがドレインに接続されている第 4 の S O I 形式の n M O S トランジスタの例である。

【 0 0 3 2 】

図 2 は、2 - 1 選択回路 1 0 1 の遅延時間を、0 . 2 5 μ m S O I C M O S 技術に基づき、回路シミュレーションで計算した結果を示す図である。

【 0 0 3 3 】

選択信号 C_C から出力信号 Y に至る経路の遅延時間が、優先的に小さくなっていることがわかる。また、この経路の遅延時間は、電源電圧 1 V において、図 1 7 に示す従来型 2 - 1 選択回路 1 0 0 における遅延時間よりも約 6 0 % 削減されていることがわかる。したがって、選択信号 C_C から出力信号 Y に至る経路が、回路全体のクリティカルパスに含まれる場合、このパスの伝搬遅延時間を短縮することができる。

30

【 0 0 3 4 】

[第 1 の実施例の変形例]

図 2 1 は、本発明における第 1 の実施例の変形例である 2 - 1 選択回路 1 0 1 a を示す図である。

【 0 0 3 5 】

この 2 - 1 選択回路 1 0 1 a は、任意の論理関数 F を所定の入力変数 A_i に着目して S O I 形式の M O S トランジスタを用いて実現した回路を示す図である。

40

【 0 0 3 6 】

変数 $A_i = 1$ であるときにおける論理関数 F の値を G とし、 $A_i = 0$ であるときにおける論理関数 F の値を K にする。変数 A_i を、できる限り M O S トランジスタのソース、またはドレインに入力するようにしている。

【 0 0 3 7 】

S O I 形式の M O S トランジスタではソース、またはドレインの負荷容量は、ゲートの負荷容量に比べて小さいので、図 2 1 に示す回路構成にすることによって、変数 A_i の入力負荷容量を削減することができ、変数 A_i を経由する信号伝播を高速化することができる。

50

【 0 0 3 8 】

[第 2 の 実 施 例]

図 3 ~ 図 1 4 は、本 発 明 の 第 2 の 実 施 例 で 是 る 1 0 8 ビ ッ ト キ ャ リ ー セ レ ク ト 型 加 算 器 1 0 2 の 各 回 路 ブ ロ ッ ク を 示 す 図 で 是 る。

【 0 0 3 9 】

図 3 は、本 発 明 の 第 2 の 実 施 例 で 是 る 1 0 8 ビ ッ ト キ ャ リ ー セ レ ク ト 型 加 算 器 1 0 2 の 全 体 を 示 す ブ ロ ッ ク 図 で 是 る。

【 0 0 4 0 】

1 0 8 ビ ッ ト キ ャ リ ー セ レ ク ト 型 加 算 器 1 0 2 は、下 位 ビ ッ ト か ら 順 に、1 6 ビ ッ ト の 加 算 器 ブ ロ ッ ク X 1 ~ X 6 と、1 2 ビ ッ ト の 加 算 器 ブ ロ ッ ク X 7 と に よ っ て 構 成 さ れ て 是 る 10

【 0 0 4 1 】

な お、加 算 器 X 1 ~ X 7 の そ れ ぞ れ に、2 - 1 選 択 回 路 1 0 1 が 含 ま れ て 是 る。

【 0 0 4 2 】

加 算 器 ブ ロ ッ ク X 1 を 除 く 各 加 算 器 ブ ロ ッ ク (加 算 器 ブ ロ ッ ク X 2 ~ X 7) で 是、加 算 入 力 A 1 6 ~ A 1 0 7、B 1 6 ~ B 1 0 7 が 与 え ら れ る と 同 時 に、下 位 ブ ロ ッ ク か ら の 桁 上 げ 信 号 が 有 る 場 合 と 無 い 場 合 と の 両 方 の 場 合 に つ い て、仮 の 桁 上 げ 信 号 と 仮 の 和 信 号 と を 生 成 す る。

【 0 0 4 3 】

ま た、加 算 器 ブ ロ ッ ク X 1 で 是、加 算 入 力 A 0 - 1 5、B 0 - 1 5 に 基 づ い て 桁 上 げ 信 号 20、和 信 号 を 生 成 す る。最 下 位 ブ ロ ッ ク X 1 か ら の 桁 上 げ 信 号 C 1 6 が 確 定 す る と、次 の 1 6 ビ ッ ト ブ ロ ッ ク X 2 に お い て、予 め 生 成 し て 有 る 仮 の 桁 上 げ 信 号 の 一 方 が 選 択 さ れ、桁 上 げ 信 号 C 3 2 と し て 出 力 さ れ る。順 次、上 記 手 続 き を 踏 み、最 終 的 に オ ー バ ー フ ロー 信 号 O V F に 達 す る。

【 0 0 4 4 】

一 方、和 信 号 は、そ れ ぞ れ の ブ ロ ッ ク に 対 す る 桁 上 げ 信 号 が 確 定 す る と 同 時 に、仮 の 和 信 号 の ど ち ら か が 選 択 さ れ、出 力 さ れ る。桁 上 げ 信 号 は、1 6 ビ ッ ト 毎 に ス キ ッ プ す る の で、加 算 演 算 の ク リ テ ィ カ ル パ ス で 是 る 桁 上 げ 信 号 の 伝 搬 を 高 速 化 す る こ と が 可 能 だ。

【 0 0 4 5 】

図 4 は、1 0 8 ビ ッ ト キ ャ リ ー セ レ ク ト 型 加 算 器 内 の 1 6 ビ ッ ト の 加 算 器 ブ ロ ッ ク A D 1 30 6 H E A D を 示 す ブ ロ ッ ク 図 で 是 る。

【 0 0 4 6 】

1 6 ビ ッ ト の 加 算 器 ブ ロ ッ ク A D 1 6 H E A D は、2 - 1 選 択 回 路 X 1 ~ X 5 と、イ ン バ ー タ X 6 ~ X 1 8 と、4 ビ ッ ト の 回 路 ブ ロ ッ ク X 1 9 ~ X 2 2 と に よ っ て 構 成 さ れ て 是 る。

【 0 0 4 7 】

4 ビ ッ ト ブ ロ ッ ク X 1 9 は、4 ビ ッ ト の 桁 上 げ 伝 搬 加 算 器 で 是、入 力 A 0 ~ A 3、B 0 ~ B 3 と 桁 上 げ 入 力 C I N と に 基 づ い て、和 信 号 S 0 ~ S 3 と 4 ビ ッ ト 目 の 桁 上 げ 信 号 と を 生 成 す る。

【 0 0 4 8 】

も う 一 方 の 4 ビ ッ ト 回 路 ブ ロ ッ ク X 2 0 ~ X 2 2 は、そ れ ぞ れ の 下 位 ビ ッ ト か ら の 桁 上 げ が 有 る 場 合 と 無 い 場 合 と の 両 方 の 場 合 に つ い て、仮 の 桁 上 げ 信 号 と 仮 和 信 号 と を 生 成 す る 40

【 0 0 4 9 】

2 - 1 選 択 回 路 X 1 ~ X 5 と イ ン バ ー タ X 6 ~ X 1 8 と に よ っ て 構 成 さ れ て 是 る 論 理 回 路 は、こ れ ら 仮 の 桁 上 げ 信 号 と、4 ビ ッ ト の 回 路 ブ ロ ッ ク X 1 9 か ら の 桁 上 げ 信 号 と に 基 づ い て、1 6 ビ ッ ト 目 の 桁 上 げ 信 号 の 相 補 信 号 C 1 6 B を 生 成 す る。

【 0 0 5 0 】

図 5 は、第 2 の 実 施 例 中 の 4 ビ ッ ト の 単 位 ブ ロ ッ ク S U M U N I T 1 (図 4 に 示 す 4 ビ ッ ト 加 算 器 X 1 9) を 示 す ブ ロ ッ ク 図 で 是 る。 50

【 0 0 5 1 】

図 6 は、第 2 の実施例中の 4 ビットの単位ブロック S U M U N I T (図 4 に示す 4 ビット回路ブロック X 2 0 ~ X 2 2) を示すブロック図である。

【 0 0 5 2 】

単位ブロック S U M U N I T 1 は、第 1 の全加算器 G S F L A D L L を直列接続したリップルアダーである。

【 0 0 5 3 】

単位ブロック S U M U N I T 1 は、桁上げ入力がある場合と無い場合との 2 通りの場合について、桁上げ信号を発生できる半加算器 G S A D D I L L を 1 つと、2 通りの桁上げ入力を伝搬できる全加算器 G S A D D L L L を 3 つ直列接続したリップルアダーとである。 10

【 0 0 5 4 】

図 7 は、本発明の第 2 の実施例における第 1 の全加算器 G S F L A D L L を示す回路図である。

【 0 0 5 5 】

第 1 の全加算器 G S F L A D L L は、論理ゲート X 1 ~ X 9 と、M O S F E T M 1 ~ M 4 とによって構成されている。加算入力 A、B と、桁上げ入力 C I とに基づいて、和 S と桁上げ信号 C O とを生成する。M O S F E T M 1 と M 3 とは、C M O S トランスマッションゲートを構成し、下位ビットからの桁上げ信号 C I を上位へ伝達する役割を果たす。

【 0 0 5 6 】

図 8 は、第 2 の実施例における第 1 の半加算器 G S A D I L L を示す回路図である。 20

【 0 0 5 7 】

第 1 の半加算器 G S A D I L L は、論理ゲート X 1 ~ X 6 と、M O S F E T M 1 ~ M 8 とによって構成されている。

【 0 0 5 8 】

加算入力 A、B に基づいて、仮の桁上げ信号 C O L、C O H を生成し、真の桁上げ入力 C を確定すると、和 S を出力する。

【 0 0 5 9 】

図 9 は、第 2 の全加算器 G S A D D L L L を示す回路図である。

【 0 0 6 0 】

第 2 の全加算器 G S A D D L L L は、論理ゲート X 1 ~ X 8 と、M O S F E T M 1 ~ M 8 とによって構成されている。 30

【 0 0 6 1 】

論理ゲート X 4 は、2 - 1 選択回路を表し、図 1 8、1 9 に示す回路構成である。論理ゲート X 4 は、2 通りの仮の桁上げ入力 C I L、C I H とに基づいて、2 通りの仮の桁上げ出力 C O L、C O H を生成する。真の桁上げ入力 C C が確定すると、和 S を出力する。

【 0 0 6 2 】

図 1 0 は、図 3 に示す 1 0 8 ビットキャリーセレクト型加算器 1 0 2 内の 1 6 ビットの加算器ブロック A D 1 6 M I D を示すブロック図である。

【 0 0 6 3 】

1 6 ビットの加算器ブロック A D 1 6 M I D は、2 - 1 選択回路 X 1 ~ X 1 2 と、インバータ X 1 3 ~ X 3 8 と、4 ビットの回路ブロック X 3 9 ~ X 4 2 とによって構成されている。 40

【 0 0 6 4 】

4 ビットの回路ブロック X 3 9 ~ X 4 2 は、下位ビットからの桁上げ信号がある場合と無い場合との両方の場合について、2 通りの仮の桁上げ信号を生成する。

【 0 0 6 5 】

2 - 1 選択回路 X 1 ~ X 1 2 とインバータ X 1 3 ~ X 3 8 とによって構成されている論理回路は、これら仮の桁上げ信号と、下段の 1 6 ビットの加算器ブロック A D 1 6 M I D からの桁上げ信号の相補信号 C I N B とに基づいて、次段の 1 6 ビットブロックへの桁上げ信号 C O 1 5 を生成する。 50

【 0 0 6 6 】

図 1 0 に示す 1 6 ビットの加算器ブロック A D 1 6 M I D の中で、2 - 1 選択回路 X 1 ~ X 4、X 7 ~ X 1 2 は、図 1 8、図 1 9 に示す従来の 2 - 1 選択回路 1 0 0 の回路構成を有し、2 - 1 選択回路 X 5、X 6 は、図 1 (1)、(2) に示す実施例の 2 - 1 選択回路 1 0 1 の回路構成を有する。

【 0 0 6 7 】

2 - 1 選択回路 X 5、X 6 は、選択信号から出力信号に至る経路が、1 0 8 ビット加算器全体のクリティカルパス上に含まれるので、このパスの遅延時間が優先的に短い図 1 (1)、(2) に示す 2 - 1 選択回路 1 0 1 の回路構成を用いる。

【 0 0 6 8 】

図 1 1 は、A D 1 6 M I D 内の 4 ビット加算器ブロック S U M U N I T 2 を示すブロック図である。

【 0 0 6 9 】

4 ビット加算器ブロック S U M U N I T 2 は、桁上げ入力がある場合と無い場合との 2 通りの場合について、仮の桁上げ信号を発生できる半加算器 G S A D D I L L を 1 つと、2 通りの仮の桁上げ入力を伝搬できる全加算器 G S A D D L L L 2 を 3 つとが直列接続されているリップルアダーである。

【 0 0 7 0 】

図 1 2 は、全加算器 G S A D D L L L 2 を示す回路図である。

【 0 0 7 1 】

全加算器 G S A D D L L L 2 は、論理ゲート X 1 ~ X 1 0 と、M O S F E T M 1 ~ M 8 とによって構成されている。

【 0 0 7 2 】

全加算器 G S A D D L L L 2 が使用される場所では、仮の桁上げ信号 C I L、C I H の確定後に、真の桁上げ入力 C C とその相補信号 C C B とが確定する。このために、2 - 1 選択回路 X 4 上のクリティカルパスは、選択信号から出力信号に至る経路となる。そこで、2 - 1 選択回路 X 4 として、2 - 1 選択回路 1 0 1 を用い、回路動作の高速化をはかっている。

【 0 0 7 3 】

図 1 3 は、図 3 に示す 1 0 8 ビットキャリーセレクト型加算器内の 1 6 ビットの加算器ブロック A D 1 6 M I D 2 を示すブロック図である。

【 0 0 7 4 】

加算器ブロック A D 1 6 M I D 2 は、2 - 1 選択回路 X 1 ~ X 1 2 と、インバータ X 1 3 ~ X 4 2 と、4 ビットの回路ブロック X 4 3 ~ X 4 6 とによって構成されている。4 ビットの回路ブロック X 4 3 ~ X 4 6 は、図 1 1 に示す S U M U N I T 2 であり、下位ビットからの桁上げ信号がある場合と無い場合との両方の場合について、2 通りの仮の桁上げ信号を生成する。

【 0 0 7 5 】

2 - 1 選択回路 X 1 ~ X 1 2 とインバータ X 1 3 ~ X 4 2 とによって構成されている論理回路は、これら仮の桁上げ信号と、下位の 1 6 ビットブロックからの桁上げ信号 C I N に基づいて、次段の 1 6 ビットブロックへの桁上げ信号 C O 1 5 を生成する。

【 0 0 7 6 】

2 - 1 選択回路 X 1 と X 4 と X 5 と X 1 2 とは、1 0 8 ビットキャリーセレクト型加算器のクリティカルパス上にあり、しかも、そのパスは、それぞれの 2 - 1 選択回路の選択信号から出力信号に至る経路を含んでいる。

【 0 0 7 7 】

このために、これら 2 - 1 選択回路として、図 1 (1)、(2) に示す実施例の 2 - 1 選択回路 1 0 1 を用い、回路動作の高速化を図っている。

【 0 0 7 8 】

A D 1 6 M I D 2 は、図 1 0 に示す A D 1 6 M I D とほぼ同じ回路構成であるが、内部の

10

20

30

40

50

2 - 1 選択回路のより多くが、図 1 (1)、(2) に示す実施例の 2 - 1 選択回路 1 0 1 を採用している。これは、A D 1 6 M I D 2 が、1 0 8 ビット加算器内で、A D 1 6 M I D よりも高ビット側に位置しているためである。

【 0 0 7 9 】

2 - 1 選択回路 X 1 ~ X 1 2 とインバータ X 1 3 ~ X 4 2 とによって構成されている桁上げ信号処理部の 2 - 1 選択回路において、選択信号が被選択信号よりも、さらに遅く到着するからである。

【 0 0 8 0 】

図 1 4 は、図 3 に示す 1 0 8 ビットキャリーセレクト型加算器 (第 2 の実施例) 内の 1 2 ビットの加算器ブロック A D 1 6 M I D 3 を示すブロック図である。

10

【 0 0 8 1 】

1 2 ビットの加算器ブロック A D 1 6 M I D 3 は、2 - 1 選択回路 X 1 ~ X 7 と、インバータ X 8 ~ X 2 9 と、4 ビットの回路ブロック X 3 0 ~ X 3 2 とによって構成されている。4 ビット回路ブロック X 3 0 ~ X 3 2 は、図 1 1 に示す S U M U N I T 2 であり、下位ビットからの桁上げ信号がある場合と無い場合との両方の場合について、2 通りの仮の桁上げ信号を生成する。

【 0 0 8 2 】

2 - 1 選択回路 X 1 ~ X 7 と、インバータ X 8 ~ X 2 9 とによって構成されている論理回路は、これらの仮の桁上げ信号と、1 2 ビットの加算器ブロック A D 1 6 M I D 3 よりも下位の 1 6 ビットブロックからの桁上げ信号 C I N に基づいて、次段のブロックへの桁上げ信号 C O 1 1 を生成する。

20

【 0 0 8 3 】

2 - 1 選択回路 X 1 ~ X 7 の中で、その選択信号から出力信号に至る経路が、1 0 8 ビット加算器のクリティカルパスに含まれる 2 - 1 選択回路 X 1 と X 2 と X 7 には、図 1 (1)、(2) に示す実施例の 2 - 1 選択回路 1 0 1 と、この変形である後述の図 1 5、図 1 6 に示す 2 - 1 選択回路 1 0 3 を用い、回路動作の高速化を図っている。

【 0 0 8 4 】

[第 3 の実施例]

図 1 5 は、本発明の第 3 の実施例である 2 - 1 選択回路 1 0 3 を示すの回路図である。

【 0 0 8 5 】

図 1 6 は、図 1 5 に示す 2 - 1 選択回路 1 0 3 をブロックで示す図である。

30

【 0 0 8 6 】

2 - 1 選択回路 1 0 3 は、図 1 に示す 2 - 1 選択回路 1 0 1 の変形である。

【 0 0 8 7 】

2 - 1 選択回路 1 0 3 は、選択した出力の相補信号を出力し、かつ選択信号として C C とその相補信号 C C B とを共に入力する回路である。実現される論理関数は $Y = C C * !(A 1) + C C B * !(A 2)$ である。なお、 $!(A 1)$ は、変数 A 1 の反転信号であり、 $!(A 2)$ は、変数 A 2 の変転信号である。

【 0 0 8 8 】

次に、2 - 1 選択回路 1 0 3 の動作について説明する。

40

【 0 0 8 9 】

まず、変数 A 1 と A 2 が共に論理値 1 であるときに、N A N D ゲート X 1、X 2 の出力は共に論理値 1 となる。このときに、トランジスタ M 6 のゲートには論理値 1 が入力され、トランジスタ M 4 のゲートには論理値 0 が入力されるので、トランジスタ M 6 と M 4 とによって構成されているトランスミッションゲートは非導通になる。上記と同様に、トランジスタ M 5 と M 1 とによって構成されているトランスミッションゲートも非導通になる。一方、トランジスタ M 8 と M 7 と M 3 と M 2 とのゲートには論理値 1 が入力されるので、トランジスタ M 3 と M 2 とが導通状態になり、トランジスタ M 8 と M 7 とが非導通になる。この結果、出力端子 Y には論理値 0 が出力される。

【 0 0 9 0 】

50

変数 A 1 と A 2 とが共に論理値 0 であるときに、NAND ゲート X 1、X 2 の出力は共に論理値 1 になる。このときに、トランジスタ M 6 のゲートには論理値 1 が入力され、トランジスタ M 4 のゲートには論理値 0 が入力されるので、トランジスタ M 6 と M 4 とによって構成されているトランスミッションゲートは非導通になる。同様に、トランジスタ M 5 と M 1 とによって構成されているトランスミッションゲートも非導通になる。一方、トランジスタ M 8 と M 7 と M 3 と M 2 とのゲートには論理値 0 が入力されるので、トランジスタ M 3 と M 2 とが非導通になり、トランジスタ M 8 と M 7 とが導通状態になる。この結果、出力端子 Y には論理値 1 が出力される。

【 0 0 9 1 】

A 1 が論理値 1 であり、A 2 が論理値 0 であるときに、NAND ゲート X 1、X 2 の出力は、それぞれ論理値 1、0 になる。このときに、トランジスタ M 6 のゲートには論理値 0 が入力され、トランジスタ M 4 のゲートには論理値 1 が入力されるので、トランジスタ M 6 と M 4 とによって構成されているトランスミッションゲートは導通状態になる。一方、トランジスタ M 5 のゲートには論理値 1 が入力され、トランジスタ M 1 のゲートには論理値 0 が入力されるので、トランジスタ M 5 と M 1 とによって構成されているトランスミッションゲートは非導通になる。一方、トランジスタ M 8 と M 7 と M 3 と M 2 とのゲートには、それぞれ、論理値 0、1、1、0 が入力されるので、トランジスタ M 8 と M 3 とが導通状態になり、トランジスタ M 7 と M 2 とが非導通になる。この結果、出力端子 Y には、トランジスタ M 6 と M 4 とによって構成されているトランスミッションゲートを通じて、選択信号 C C の相補信号である C C B が出力される。

【 0 0 9 2 】

変数 A 1 が論理値 0 であり、変数 A 2 が論理値 1 であるときに、NAND ゲート X 1、X 2 の出力は、それぞれ論理値 0、1 になる。このときに、トランジスタ M 6 のゲートには論理値 1 が入力され、トランジスタ M 4 のゲートには論理値 0 が入力されるので、トランジスタ M 6 と M 4 とによって構成されるトランスミッションゲートは非導通になる。一方、トランジスタ M 5 のゲートには論理値 0 が入力され、トランジスタ M 1 のゲートには論理値 1 が入力されるので、トランジスタ M 5 と M 1 とによって構成されているトランスミッションゲートは導通状態となる。また、トランジスタ M 8 と M 7 と M 3 と M 2 とのゲートにはそれぞれ、論理値 1、0、0、1 が入力されるので、トランジスタ M 7 と M 2 とが導通状態になり、トランジスタ M 8 と M 3 とが非導通になる。この結果、出力端子 Y には、トランジスタ M 5 と M 1 とによって構成されているトランスミッションゲートを通じて、C C が出力される。

【 0 0 9 3 】

以上から、出力端子 Y に現れる論理関数は、 $Y = C C * !(A 1) + C C B * !(A 2)$ となる。これは、C C を選択信号とし、C C B を相補信号とし、入力信号の一方を選択し、その反転信号を出力する 2 - 1 選択回路を表している。なお、 $!(A 1)$ は変数 A 1 の反転信号であり、 $!(A 2)$ は、変数 A 2 の反転信号である。

【 0 0 9 4 】

ところで、桁上げ信号を生成する部分では、選択回路の出力が次段の選択回路の選択信号に入力される。こうした信号経路では、選択信号の極性を調整するために、適宜インバータが挿入される。この場合、図 1 5 に示す 2 - 1 選択回路 1 0 3 のように、予め反転されている信号を出力する 2 - 1 選択回路を用いることによって、冗長なインバータを削除することができ、より高速に桁上げ信号を生成することができる。

【 0 0 9 5 】

[第 4 の実施例]

図 1 7 は、本発明の第 4 の実施例である 5 4 × 5 4 ビットの乗算器 1 0 4 を示す図である。

【 0 0 9 6 】

5 4 × 5 4 ビットの乗算器 1 0 4 は、第 2 の実施例である 1 0 8 ビットキャリーセレクト型加算器 1 0 2 を内蔵する乗算器である。

10

20

30

40

50

【 0 0 9 7 】

部分積の生成には、2次のブースアルゴリズムを用い、部分積の加算には、ウォレスツリーを用いている。

【 0 0 9 8 】

ウォレスツリーを経て生成される108ビット長の2変数に対し、第2の実施例である108ビットキャリアセレクト型加算器102を用いて加算演算を施し、最終的な乗算結果を得る。

【 0 0 9 9 】

上記各実施例によれば、選択回路内部の選択信号から出力信号に至る経路の遅延時間を、優先的に短縮することができる。これによって、上記信号経路をクリティカルパス上に含む論理回路の動作を高速化することができる。

10

【 0 1 0 0 】

【 発明の効果 】

本発明によれば、選択回路の選択信号から出力に至る信号伝搬を高速化することができ、上記選択回路を用いた論理回路の動作を高速化することができるという効果を奏する。

【 図面の簡単な説明 】

【 図 1 】 本発明の第1の実施例である2-1選択回路101を示す図であり、SOI形式のCMOS回路で実現した2-1選択回路を示す図である。

【 図 2 】 2-1選択回路101の遅延時間を、0.25 μ m SOI CMOS技術に基づき、回路シミュレーションで計算した結果を示す図である。

20

【 図 3 】 本発明の第2の実施例である108ビットキャリアセレクト型加算器102の全体を示すブロック図である。

【 図 4 】 108ビットキャリアセレクト型加算器内の16ビットの加算器ブロックAD16HEADを示すブロック図である。

【 図 5 】 第2の実施例中の4ビットの単位ブロックSUMUNIT1(図4に示す4ビット加算器X19)を示すブロック図である。

【 図 6 】 第2の実施例中の4ビットの単位ブロックSUMUNIT(図4に示す4ビット回路ブロックX20~X22)を示すブロック図である。

【 図 7 】 本発明の第2の実施例における第1の全加算器GSFLADLLを示す回路図である。

30

【 図 8 】 第2の実施例における第1の半加算器GSADILLを示す回路図である。

【 図 9 】 第2の全加算器GSADDLLLを示す回路図である。

【 図 10 】 図3に示す108ビットキャリアセレクト型加算器102内の16ビットの加算器ブロックAD16MIDを示すブロック図である。

【 図 11 】 AD16MID内の4ビット加算器ブロックSUMUNIT2を示すブロック図である。

【 図 12 】 全加算器GSADDLLL2を示す回路図である。

【 図 13 】 図3に示す108ビットキャリアセレクト型加算器内の16ビットの加算器ブロックAD16MID2を示すブロック図である。

【 図 14 】 図3に示す108ビットキャリアセレクト型加算器(第2の実施例)内の12

40

ビットの加算器ブロックAD16MID3を示すブロック図である。

【 図 15 】 本発明の第3の実施例である2-1選択回路103を示す回路図である。

【 図 16 】 2-1選択回路103をブロックで示す図である。

【 図 17 】 本発明の第4の実施例である54 \times 54ビットの乗算器104を示す図である。

【 図 18 】 2つの入力信号のうち的一方を選択して出力する従来の2-1選択回路100を示す図である。

【 図 19 】 従来の2-1選択回路18をブロックで示す図である。

【 図 20 】 従来の2-1選択回路100における遅延時間と電源電圧との関係を示す図である。

50

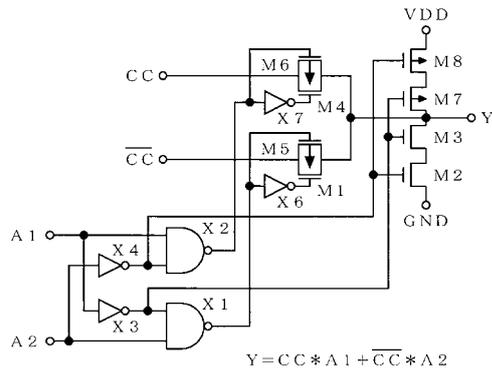
【図 2 1】本発明における第 1 の実施例の変形例である 2 - 1 選択回路 1 0 1 a を示す図である。

【符号の説明】

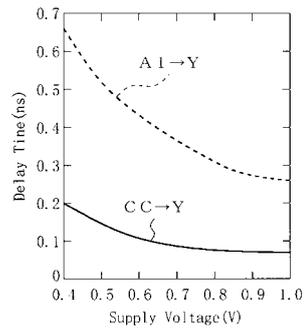
- 1 0 1、1 0 3、1 0 4 ... 2 - 1 選択回路、
- 1 0 2 ... 1 0 8 ビットキャリーセレクト型加算器、
- X 1 ~ X 7 ... 論理ゲート、
- M 1 ~ M 8 ... M O S F E T、
- C C ... 選択信号、
- C C B ... 選択信号の相補信号、
- A 1、A 2 ... 被選択信号、
- Y ... 出力信号。

【図 1】

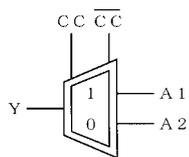
(1) 1 0 1 : 2 - 1 選択回路



【図 2】

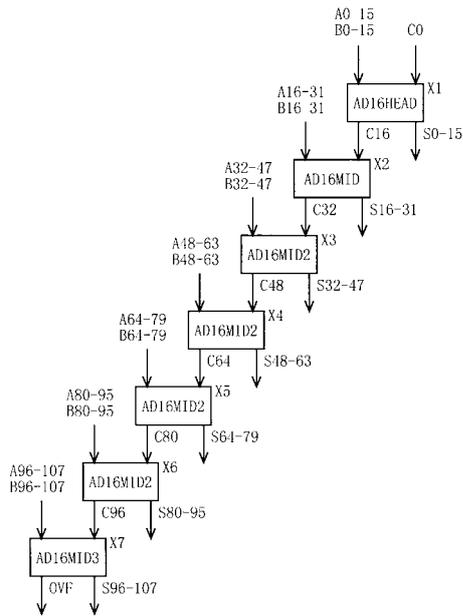


(2) 1 0 1

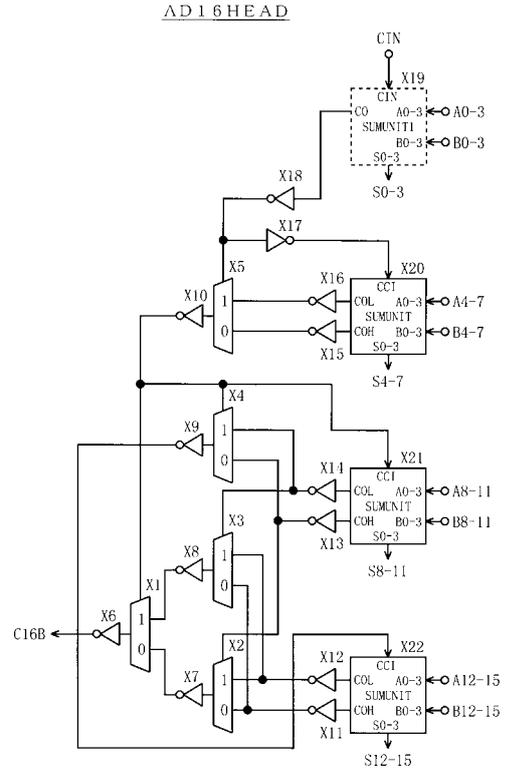


【 図 3 】

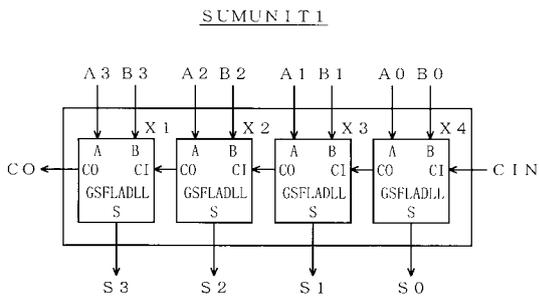
102:108ビットキャリーセレクト型加算器



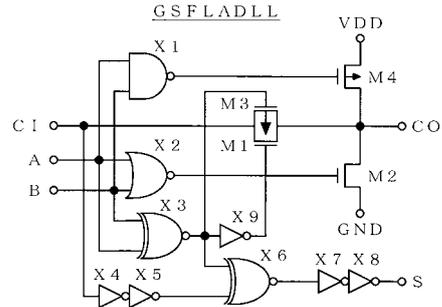
【 図 4 】



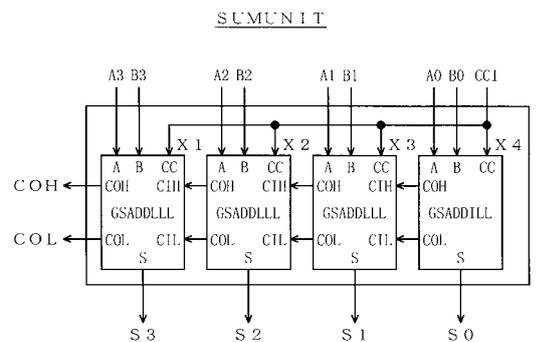
【 図 5 】



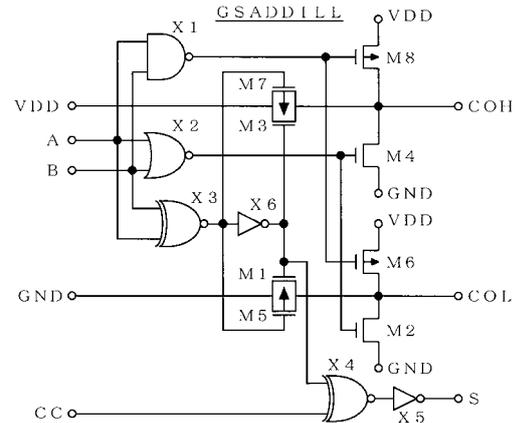
【 図 7 】



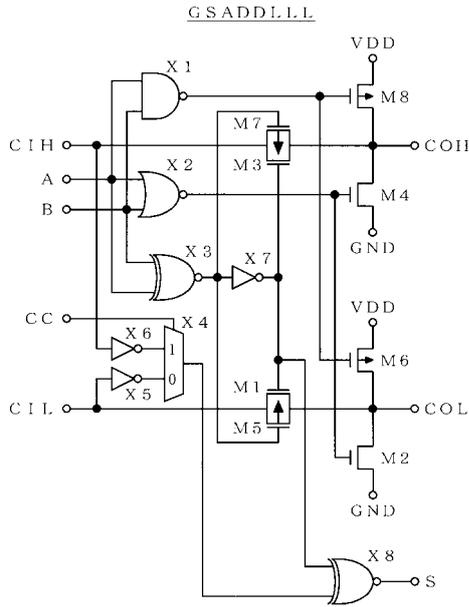
【 図 6 】



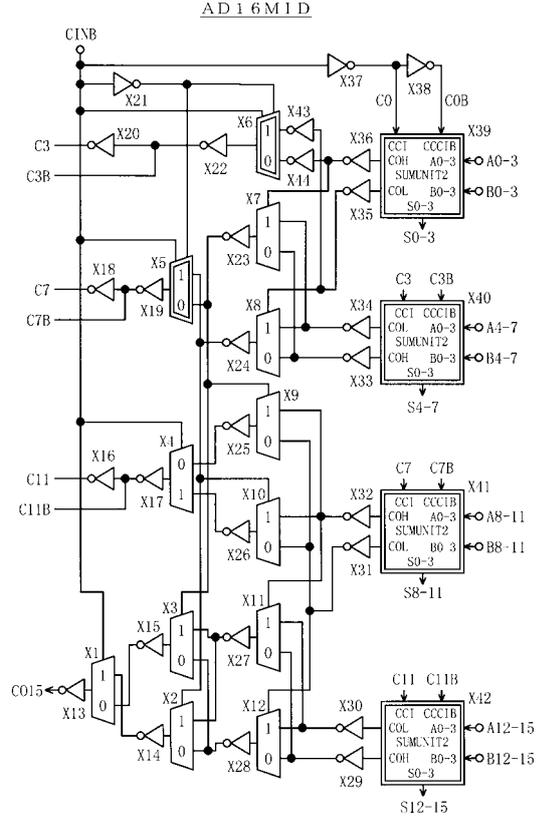
【 図 8 】



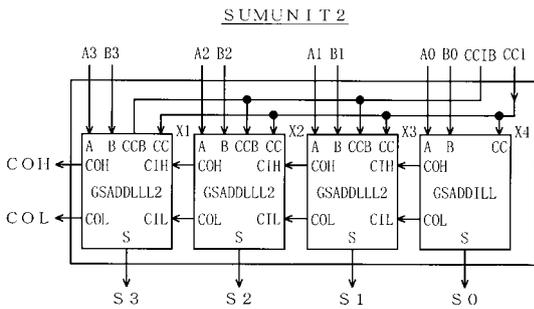
【 図 9 】



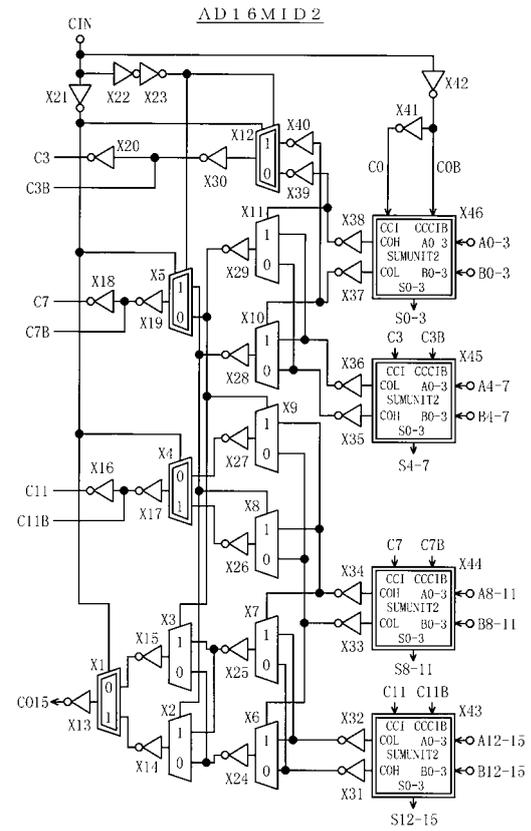
【 図 10 】



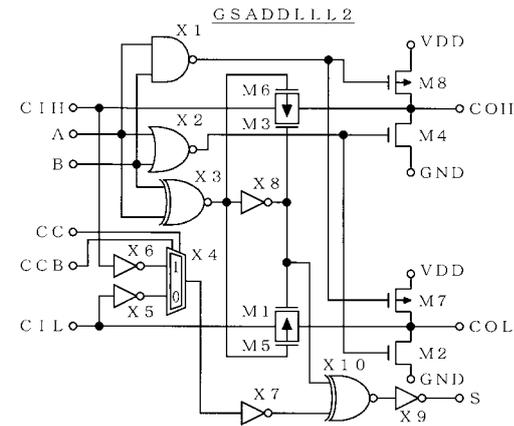
【 図 11 】



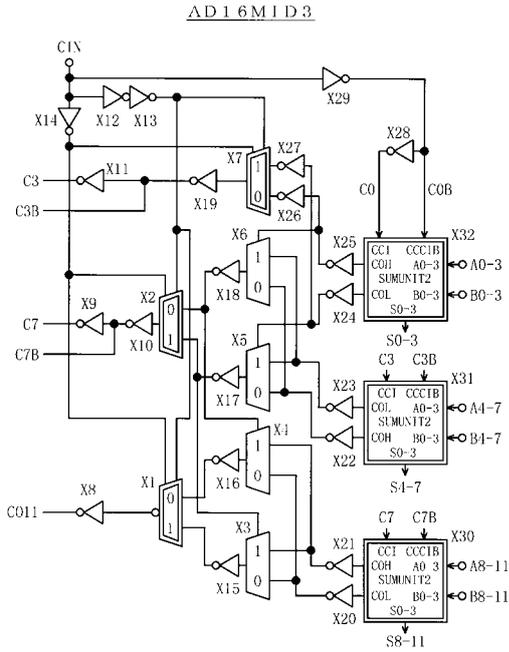
【 図 13 】



【 図 12 】

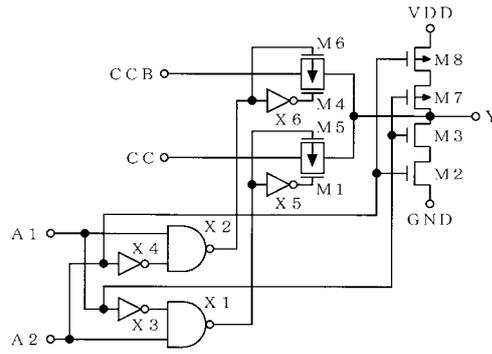


【図14】



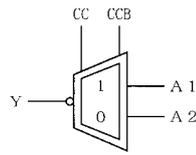
【図15】

103: 2-1 選択回路

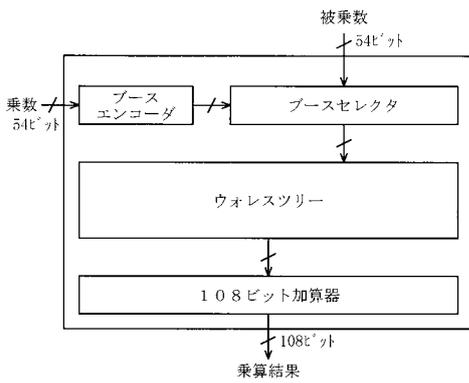


【図16】

103

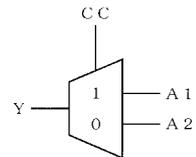


【図17】



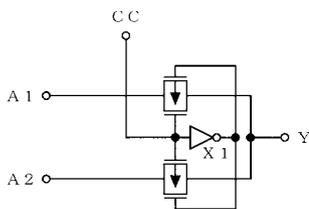
【図19】

100



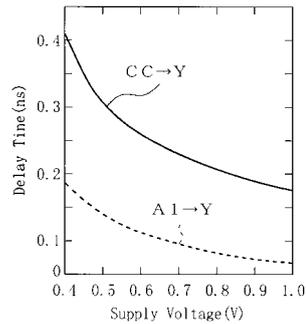
【図18】

100: 従来の2-1 選択回路



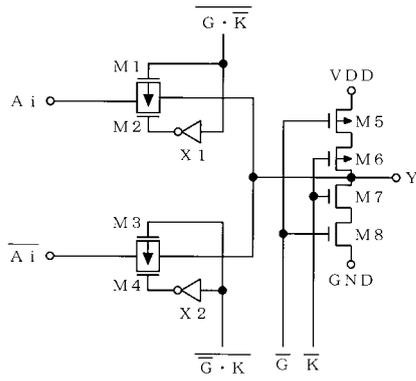
$$Y = CC * A1 + \overline{CC} * A2$$

【図20】



【 図 2 1 】

1 0 1 a : 2 - 1 選択回路



フロントページの続き

- (56)参考文献 特開平01 - 175412 (JP, A)
特開平11 - 161470 (JP, A)
特開平06 - 244700 (JP, A)
特開平07 - 131327 (JP, A)
特開平01 - 256219 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03K19/00, H03K17/00