

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 29/00

(11) 공개번호 특1998-032311
(43) 공개일자 1998년07월25일

(21) 출원번호	특1997-040545
(22) 출원일자	1997년08월25일
(30) 우선권 주장	8/734,994 1996년10월22일 미국(US)
(71) 출원인	슬럼버거 테크놀로지즈, 아이엔씨. 마틴 하이든 미국, 캘리포니아 95110, 산 조세, 1601 테크놀로지 드라이브
(72) 발명자	파올로 달라 리카 미국, 캘리포니아 95051, 산타 클라라, 2831 말라바 애비뉴, 에이피티. 3 다니엘 로센탈
(74) 대리인	미국, 캘리포니아 95070, 사라토가, 11891 브룩그렌 드라이브 목영동

심사청구 : 없음

(54) 자동 시험 장치(ATE) 테스트의 아날로그 채널에서의 펄스 발생

요약

일련의 펄스에서의 현재 펄스의 필터링 작용을 모의실험하는 방법이 개시되어 있다. 상기 방법은, 일련의 펄스중 최종펄스(n+1)인 현재 펄스에 대한 펄스 어드레스를 포함하는 일련의 n+1개의 연속 펄스 어드레스를 수신하는 단계로서, 각각의 펄스 어드레스가 m값의 범위에 있는 것을 특징으로 하는 단계 ; 현재 펄스 어드레스 이전에 n개의 펄스 어드레스를 저장하는 단계 ; 상기 현재 펄스 어드레스 및 상기 이전의 n개의 펄스 어드레스로부터 복합 어드레스를 만들고 최소한 m^{n+1} 개의 펄스 정형 메모리로부터 펄스 형상을 판독하도록 상기 복합 어드레스를 사용하는 단계를 포함한다. 또한, 프로그램가능한 길이의 고속 펄스를 발생시키는 장치가 개시되어 있다. 상기 장치는, 펄스 길이를 저장하는 프로그램가능한 메모리 필드 ; 펄스 주파수를 지니는 펄스 클럭 신호를 전송하는 펄스 클럭 라인 ; 상기 프로그램가능한 메모리 필드에 저장된 펄스 길이 및 상기 펄스 클럭 신호를 수신하여 상기 펄스 길이 × 상기 펄스 클럭 주파수와 동일한 주파수를 지니는 샘플 클럭 신호를 발생시키도록 접속된 주파수 체배기 ; 한 펄스에 대한 샘플들을 유지하는 펄스 메모리 ; 상기 펄스 메모리에 연결되어 상기 펄스 메모리로부터 수신된 샘플들로부터 아날로그 펄스를 발생시키는 DAC ; 및 DAC의 샘플링 주파수를 설정하고 상기 펄스 메모리로부터 상기 DAC로 샘플들을 클럭킹하도록 상기 샘플 클럭 신호를 전송하는 신호 경로를 포함한다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 펄스 정형기의 블록 다이어그램.
 도 2는 혼합 신호 테스트의 아날로그 채널의 일부로서 펄스 정형기를 보여주는 개략적인 블록 다이어그램.
 도 3은 펄스 정형기의 인터페이스 및 어드레스 발생기에 대한 블록 다이어그램.
 도 4는 펄스 정형기의 펄스 저장 메모리 모듈에 대한 블록 다이어그램.
 도 5는 펄스 정형기의 제어 논리에 대한 블록 다이어그램.
 도 6은 펄스 정형기 제어 레지스터 및 제어 컴퓨터에 대한 블록 다이어그램.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 집적 회로 또는 회로 보드와 같은 회로들을 시험하기 위한 자동 시험 장치(automatic test equipment ; ATE)에서의 펄스 발생에 관한 것이다. 보다 구체적으로 기술하면, 본 발명은 혼합신호 테스

터의 아날로그 채널에서의 아날로그 펄스 발생에 관한 것이다.

디지털 집적 회로(IC) 디바이스는 미리 결정된 패턴 및 타이밍 관계로 2진 여진 신호의 패턴을 상기 디바이스의 핀들에 인가함으로써 시험되는 것이 전형적이다. 그러한 시험 시스템은 상기 디바이스의 결과적인 디지털 출력 신호들을 주시하고 그들을 미리 한정된 진리표(truth table)와 비교한다. 합격 또는 불합격 판정은 각각의 시간간격 동안 상기 디바이스의 출력 핀에 발생된 비트(1 및 0)가 진리표의 비트와 정합하는 지에 따라 초래된다. 그러한 디바이스에 대한 시험 시스템은 시험될 디바이스의 형태의 요건에 적합하도록 프로그램될 수 있으며 적응성이 있다. 고속의 프로그램가능한 디지털 시험 시스템의 일례는 미국, 캘리포니아, 산 조세에 소재하는 Schlumberger Technologies로부터 입수할 수 있는 ITS 9000 FX 시스템이다.

시험될 다른 디바이스는 순수한 디지털 형태가 아니다. 혼합 신호 디바이스로서 알려져 있는 그러한 디바이스는 디지털 및 아날로그 신호 특성 모두를 지닐 수 있다. 혼합 신호 디바이스는 대개 디지털 형태이지만, 순수한 디지털 디바이스가 시험되는 방식으로 시험될 수 없다.

전산망 및 데이터 저장 시장은 최근들어 고속(100Mbps 이상) 직렬 데이터를 처리할 수 있는 디바이스의 도입을 목신하여 왔다. 그러한 데이터는 전송 링크에서나 데이터를 저장 및 검색하는 과정에서 생기는 물리적 상호작용에 의해 대개는 변조된다.

그러한 데이터용 수신기의 한가지 기능은 복합 아날로그 및/또는 디지털 처리로 본래의 정보를 회복시키고 그 결과를 디지털 형태로 제공하는 것이다. 이러한 이유로 해서 상기 수신기는 혼합 신호 디바이스로 간주되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1목적은 일련의 펄스에서의 현재 펄스의 필터링(filtering) 작용을 모의실험(simulating)하는 방법을 제공하는 것이다.

본 발명의 제2목적은 프로그램가능한 길이의 고속 펄스를 발생시키는 장치를 제공하는 것이다.

발명의 구성 및 작용

대체로 본 발명은 한 실시태양으로 일련의 펄스에서의 현재 펄스의 필터링 작용을 모의실험하는 방법을 특징으로 한다. 상기 방법은, 일련의 펄스중 최종 펄스(n+1)인 현재 펄스에 대한 펄스 어드레스를 포함하는 일련의 n+1개의 연속 펄스 어드레스로서, 각각이 m값의 범위에 있는 일련의 n+1개의 연속 펄스 어드레스를 수신하는 단계 ; 현재 펄스 어드레스 이전에 n개의 펄스 어드레스를 저장하는 단계 ; 상기 이전의 n개의 펄스 어드레스 및 상기 현재 펄스 어드레스로부터 복합 어드레스를 만들고 최소한 m^{n+1} 개의 펄스 정형 메모리로부터 펄스 형상을 판독하도록 상기 복합 어드레스를 사용하는 단계를 포함한다.

대체로 본 발명은 다른 한 실시태양으로 프로그램가능한 길이의 고속 펄스를 발생시키는 장치를 특징으로 한다. 상기 장치는 펄스 길이를 저장하기 위한 프로그램가능한 메모리 필드 ; 펄스 주파수를 지니는 펄스 클럭 신호를 전송하는 펄스 클럭 라인 ; 상기 프로그램 가능한 메모리 필드에 저장된 펄스 길이 및 상기 펄스 클럭 신호를 수신하여 펄스 길이 × 펄스 클럭 주파수와 동일한 주파수를 지니는 샘플 클럭 신호를 발생시키도록 접속된 주파수 체배기 ; 한 펄스에 대한 샘플들을 유지하는 펄스 메모리 ; 상기 펄스 메모리에 연결되어 상기 펄스 메모리로부터 수신된 샘플들로부터 아날로그 펄스를 발생시키는 DAC ; 및 DAC의 샘플링 주파수를 설정하고 상기 펄스 메모리로부터 상기 DAC로 샘플들을 클럭킹(clocking)하도록 샘플 클럭 신호를 전송하는 신호 경로를 포함한다.

본 발명의 이점은 다음과 같다. 상기 구조는 펄스 지향적이며 프로그램가능한 길이의 고속 펄스를 발생시킬 수 있다. 펄스 정형 메모리의 프로그래밍 및 어드레싱 방법은 적절한 메모리 액세스 시간과 함께 고속 펄스 발생을 달성하도록 연속적인 펄스를 완충(buffer)시킬 수 있다. 펄스 정형 메모리의 프로그래밍 및 어드레싱 방법은 발생된 펄스상에서의 왜곡 및 필터링을 모의실험할 수 있다. 펄스 왜곡 기능의 사용은, 1Gsp/s(1×10^9 샘플/초) 이상에서의 디지털 필터링이 종래의 DSP를 기초로 한 구조에서는 비실용적인 반면에 프로그램가능한 아날로그 필터링이 여러 구조 교체를 필요로하며 부차적으로는 기생 효과 및 한 세트의 제한된 선택가능한 시정수 및 위상에 대한 문제점을 지니기 때문에 유리하다. 왜곡을 프로그램하는데 있어서의 적응성은 아날로그 프로그래밍에서 사용될 수 있는 적응성보다 크다. 아날로그 필터 구현과는 달리, 본 발명에 의하면 작동중에, 즉 시험중인 회로로의 데이터 흐름을 차단하지 않고서 펄스 왜곡의 변경을 프로그래밍하는 것이 가능한데, 이는 벡터 단위를 기초로 이행될 수 있다.

본 발명의 다른 특징 및 이점은 이하의 설명 및 첨부된 특허청구범위로부터 자명해 질 것이다.

도 1을 참조하면, 펄스 정형기(100)는 펄스, 즉 고정 길이 및 가변 형상의 신속한 아날로그 파형을 제공하여 시험중인 디바이스를 모의실험하도록 동작한다. 상기 펄스 정형기(100)는, 세부 내용이 본원에 참고가 되는, 발명의 명칭이 Analog Channel for Mixed-Signal - VLSI Tester이며 공동 소유인 계류중인 미국 특허 출원 제08/510,397호에 기재된 채널 및 테스터와 같은 혼합 신호 ATE 테스터의 아날로그 채널의 일부를 형성하도록 설계된 핀 전자 보드(pin electronics board)로서 구현된다. 그러한 테스터에서, 상기 보드는 디지털 부분과의 시간 관계가 알려져 있으며 정밀한 부분에 복합 시험을 이행하는데 사용될 수 있다.

상기 펄스 정형기(100)는 프로그램가능한 길이의 펄스를 저장 및 재생하는 회로를 포함한다. 이러한 회로는,

(1) 비동기 원시 순서 모듈(Asynchronous Source Sequence Module ; ASSM) 버스 인터페이스 및 어드레스 발생기 블록(30) ;

- (2) 8개가 존재하는 비트 슬라이스(bit slice) 메모리 모듈(40) ;
- (3) 제어 논리(50) ;
- (4) VME 버스 - 테스터 인터페이스 (VME bus to tester interface ; VTI) 인터페이스(60) ;
- (5) PLL 주파수 체배기(70) ;
- (6) 고속 DAC(80) ; 및
- (7) 출력 교정 및 교체(relay)(90)

와 같은 7개의 개념 빌딩 블록으로 나뉘어 질 수 있다.

도 2를 참조하면, 펄스 정형기(100)는 테스터 시험 헤드(200)용 핀 전자 원시 보드를 설치할 수 있다. 펄스는 시험 작동이 개시되기 전에 워크 스테이션(220)으로부터 VME 버스(222) 및 VME 버스를 통해 테스터 인터페이스(VTI ; 224)로 제어중인 상태에서 디지털 형태로 국부 메모리(도 4에 도시됨) 내에 로드된다. 이는 상기 펄스의 동적 선택 및 최대 동작 속도를 허용한다. 시험 작동시, 상기 펄스 정형기(100)는 아날로그 원시 순서 모듈(ASMM ; 226)에 의해 구동되어 시험 헤드(200)의 로드 보드(load board ; 202) 상의 시험중인 디바이스(device under test ; DUT ; 204)에 아날로그 펄스를 제공한다. 여진된 DUT의 출력은 스펙트럼 분석기(206)로 측정되어 테스터(도시되지 않음)의 다른 모듈에 의한 저장, 사후처리 및 분석을 위해 아날로그 측정 순서 모듈(228)에 전송된다.

도 1을 다시 참조하면, 테스터에 내재하는 펄스 정형기(100)의 주된 기능은 프로그램가능한 고정 길이 및 가변 형상의 신속한 아날로그 파형을 발생시키는 것이다. 이는 다음과 같은 기본적인 특징을 지닌다. 샘플 속도는 고속 디지털 - 아날로그 변환기(digital - to analog converter ; DAC ; 80)의 속도에 의해 제한된다. 이러한 용도에 대한 적합한 DAC는 미국, 오리곤, 비버튼에 소재하는 TriQuint Semiconductor로부터 입수가능한 TQ 6122, 8-비트, 2-방향 입력 멀티플렉서형 GaAs DAC이다. 이러한 DAC의 분해능은 8비트이며 상보 출력이 제공된다. 상기 DAC는 멀티 플렉서(82)를 통해 다중 입력을 지닌다. 이러한 DAC는 적절히 생각되는 경우 다중 동작을 위해 1.3Gsp 이하의 속도로 동작될 수 있는 것이 전형적이다. 교정 및 교체 블록(90)은 고속 DAC(80)로부터의 출력 신호에 대한 이득을 제공하며, 또한 VTI 인터페이스(60)를 통한 이득 및 오프셋 교정의 프로그래밍, 및 시험중인 디바이스에 대한 신호 경로에의 DAC 출력 접속의 프로그래밍을 제공한다.

펄스 형상을 저장하기 위한 메모리는, 하나의 모듈이 상기 DAC(80)의 분해능을 비트 각각으로 나타내는 8개의 모듈이 있는 펄스 저장 장치(40)에 제공된다. 상기 8개의 모듈 모두는 펄스의 각각의 지점(샘플)의 분해능을 8비트로 제공한다. 각각의 모듈(40)은, 하기에 기술되었지만 하나 이상의 펄스를 제공할 수 있는 최소한 16비트의 어드레스에 의해 번지 지정이 가능하다. 각각의 펄스 저장 장치는 16비트/펄스의 워드(word)를 만들어 내도록 번지 지정이 가능한 슬라이스 메모리 모듈이다(그러나, 프로그램된 수개의 지점/펄스의 수를 설정함으로써 말미암아 통털어 16비트 이하의 비트가 사용될 수 있다). 각각의 모듈(40)은 이하 도 4를 참조하여 기술되었지만, 교번으로 판독되는 2개의 메모리(A, B)를 지닌다. 대개, 상기 메모리(A, B)는 동일한 패턴으로 프로그램되기 때문에, 착신 펄스 어드레스는 A와 B 사이의 교번 상태에 관계없이 동일한 출력을 발생시킨다. 그러나, 이러한 메모리 구조는 또한 상기 교번을 이용하여 메모리 사이즈 이하의 임의의 파형을 발생시키도록 프로그램 될 수 있다.

수개의 지점(8-비트 샘플)/펄스의 수는 VTI 인터페이스(60) 및 제어 논리(50)를 통해 프로그램 될 수 있다. 샘플 주파수는 PLL 주파수 체배기(70)에 의해 펄스 클럭 라인(302) 상에서 펄스 주파수와 위상 동기된다.

PLL 주파수 체배기(70)는 펄스 정형기 논리 및 고속 DAC용 샘플 클럭 신호를 라인(72) 상에 발생시킨다. 이러한 신호는 상기 ASSM으로부터의 펄스 클럭 신호와 위상 동기된다. 펄스 클럭 주파수에 대한 샘플 클럭 주파수의 비는 프로그램된 수개의 지점(샘플)/펄스의 수에 따라 3, 4, 5, 6, 7, 8, 10, 12, 14 또는 16이다.

도 3을 참조하면 ASSM 버스 인터페이스 및 어드레스 발생기 블록(30)은, ASSM이 다음 펄스 어드레스를 제공하는 어드레스 라인을 포함하는 펄스 클럭(라인(302)) 및 데이터 라인(304) 용의 인터페이스를 제공하는 ECL 수신기(306) 단을 지닌다. 이들 라인이 얼마나 많이 사용되는지는 프로그램된 수개의 지점/펄스(points per pulse ; ppp)의 수에 의존한다. 예를 들면, 그러한 수가 8ppp인 경우, 단지 8개의 어드레스 라인에 사용되는데, 그 이유는 이하 기술되었지만, 8ppp에서의 상이한 펄스의 최대 수가 256이기 때문이다. 마찬가지로, 상기 수가 3ppp인 경우, 단지 4개의 어드레스 라인이 사용되는데, 그 이유는 서로 다른 펄스의 최대 수가 16이기 때문이다.

ECL 수신기(306)에 의해 ASSM으로부터 수신된 펄스 어드레스는, 펄스 저장 장치(40)를 번지 지정하는데 사용되는 펄스저장 장치 어드레스를 라인(312) 상에 형성하도록 이전의 펄스 블록(308) 및 어드레스 발생기(310)를 통해 전송된다. ECL 수신기(306)로부터의 1, 2, 또는 4개의 펄스 어드레스는 (프로그램된 수개의 지점/펄스의 수에 따라) 펄스 저장 장치 어드레스를 형성하도록 결합된다. 상기 이전의 펄스 블록은 하기에 기술되었지만 펄스 어드레스를 누적시키는 멀티플렉서로서 작용한다. 라인(304) 상의 펄스 어드레스의 폭, 및 국부 메모리(A, B)의 해당 사이즈는 임의의 폭일 수 있으며 구체적으로는 16비트를 초과할 수 있다. 그러나, 하기에 기술되는 이유로 해서, 수개의 지점/펄스의 수가 8 이하인 경우, 라인(304) 상에 착신되는 펄스 어드레스의 폭은 하기에 기술되는 바와 같이 제한되며, 상기 메모리(A, B)에 제공된 펄스 저장 장치 어드레스는 16비트로 제한된다.

왜곡 모의실험 기능은 또한 이전의 펄스 블록(308)의 다중 동작을 사용한다. 왜곡 모의실험은 VTI 인터페이스(60)에서 어드레스 모드(라인(316) 상에 수신된)를 비제로(non-zero)화 시키도록 설정함으로써 활성화된다. 이는 이하 PSPPPADMD 레지스터(612)(도 6)를 참조하여 기술될 것이다.

왜곡 또는 필터링 작용을 모의 실험하기 위하여, 펄스 정형기는 그의 펄스 출력이 제한된 미리 선택된 펄

스의 수에 의존하도록 프로그램된다. 이러한 방식으로, 각각의 펄스는 n개의 이전 펄스의 결합에 의해 선행되는 경우에 지니는 형상을 갖도록 한정될 수 있다. m이 한정된 펄스의 수이며 n이 현재 펄스에 상당한 영향을 주는 이전 펄스의 수인 경우, m^{n+1} 개의 상이한 펄스가 필요하다(가능한 중복을 무시했을 경우).

64k 16-비트 워드로 구성된 펄스 저장 장치 메모리(402, 404)(도 4)의 경우, 유용한 n값은 1, 3 및 7이며 다음과 같은 제한이 따른다.

이전 펄스(n)의 메모리상이한 펄스(m) 12563 167 4

n이 1인 경우, 상기 이전의 펄스 블록(308)은 ECL 수신기(306)로부터의 8비트의 펄스 어드레스(현재 펄스 어드레스)를 상기 어드레스 발생기(310)로부터의 가장 최근의 8비트의 어드레스와 결합시켜 16-비트 펄스 저장 장치 어드레스(라인(312))를 만들어 낸다. n이 3인 경우, ECL 수신기(306)로부터의 4비트의 현재 펄스 어드레스가 3개의 가장 최근의 4-비트 펄스 어드레스(즉, 상기 어드레스 발생기(310)로부터의 가장 최근의 12비트 어드레스)와 결합되고, n이 7인 경우, 현재 어드레스와 7개의 가장 최근의 2-비트 어드레스가 결합된다. 이 모든 경우, 수개의 지점/펄프의 수가 메모리의 속도 제한내에 있도록 10이상이어야 한다.

그러나, 형성된 펄스 저장 장치 어드레스는 라인(312) 상에서 한쌍의 ECL-TTL 레벨 시프터 및 3-상태 버퍼 래치(A, B)(312a, 312b)에 전송되고, 새로운 어드레스 신호(라인(320)상에 존재하는)는 펄스 저장 장치 어드레스들 사이의 경계를 표시하도록 발생된다. 어드레스 데이터는 라인(318a, 318b) 상에 각각 래치(A) 및 래치(B) 신호를 교번시킴으로써 래치(A, B)에 교번으로 지속된다.

샘플 데이터를 메모리에 기록하거나, 이를 메모리로부터 판독하기 위하여, 카운터(314)는 VTI(60)를 통해, 판독 또는 기록 동작이 개시하는 메모리 어드레스로 프로그램된다. 그 후, 매번의 판독 또는 기록 동작마다 이러한 카운터를 자동적으로 증분시킨다.

앞서 기술된 어드레스 선택 논리는 ASSM으로부터 최고의 데이터 속도로 정확한 동작을 제공하도록 ECL 논리로 구현되지만, 메모리 블록은 저장 용량, 액세스 시간, 및 전력 소비의 양호한 균형을 달성하기 위하여 Bi-CMOS 기법으로 구현될 수 있다.

도 4를 참조하면, 비트 슬라이스 모듈(40)은 8번 중복되어 있는데, 한번은 고속 DAC의 분해능을 8비트 각각으로 나타낸다. 동작시, 메모리 A(402) 및 메모리 B(404)로부터의 16-비트 워드는 PISO(병입 직출 ; parallel-in, serial-out) 레지스터(406) 내로 교번으로 로드된다. 이러한 교번은 라인(506)상의 신호 선택 A/B에 응답하여 결합 멀티플렉서 및 레벨 시프터(408)에 의해 영향을 받는다. 상기 PISO 레지스터(406)는 데이터를 라인(416a, 416b) 상에서 고속 DAC에 교번으로 전송될 직렬 스트림으로 변환시킨다. 또한, 상기 결합 멀티플렉서 및 레벨 시프터(408)는 TTL-ECL 레벨 변환을 제공한다. 3-상태 버퍼(412, 414)는 프로그래밍시 메모리 A(402) 및 메모리 B(404) 각각에 대한 액세스를 제공하며, 정상(펄스 발생) 동작시 격리 동작을 제공한다.

도 5를 참조하면, 제어 논리 블록(50)은 라인(502) 상에서 수개의 지점/펄스의 수를 수신하고, 라인(302) 상에서 ASSM 펄스 클럭을 수신하며, 라인(302) 상에서는 새로운 어드레스 신호를 수신한다. 이들 신호로부터 제어 논리 블록(50)은 카운터(508)에서 PISO 레지스터(406)(도 4)용 로드 펄스를 라인(504) 상에 발생시키고 분할기(divider ; 510)에서 멀티플렉서(408)(도 4)용 선택 펄스를 라인(506) 상에 발생시킨다. 상기 로드 펄스 및 선택 펄스는 새로운 어드레스 신호와 동기되며, 이는 펄스 클럭 신호(라인(302)) 및 ASSM 으로부터 출력된 다른 신호들과의 고정된 위상 관계를 이루도록 이전 펄스 블록(308 ; 도 3)으로부터 라인(320) 상에 발생된다.

도 6을 참조하면, 하우스키핑(housekeeping) 및 범용 구성 레지스터 블록(606)은 펄스 정형기 구조 및 상태에 관한 범용 프로그래밍 및 정보를 제공한다.

PSSTADHIGH 레지스터(610)는 국부 메모리를 프로그래밍할 경우에 사용되는 개시 어드레스의 상위 비트를 한정한다. 상기 비트중 3개의 비트는 출력 비트(0-7)를 선택하고(즉, 그들은 8개의 펄스 저장 장치(40 ; 도 1 및 도 4) 중 하나를 선택하고), 한 비트는 리프(leaf)(0 또는 1), 즉 메모리 A(402) 또는 메모리 B(404)(도 4 참조)를 선택한다.

PSSTALOW 레지스터(614) 비트 슬라이스 메모리(A, B)를 프로그램하기 위해 개시 어드레스의 최하위 16비트를 한정한다.

PSPPPADMD 레지스터(612)는 어드레싱 모드(라인(316), 도 3)를 유지하는데, 이는 왜곡 기능의 활성화, 및 수개의 지점(샘플)/펄스(PPP)의 수를 제어한다. 4개의 비트는 수개의 지점/펄스의 수를 유지하고, 법정 값(legal value)(16진법에서의) 2, 3, 4, 5, 6, 7, 8, 9, B, D, 및 F이다. 값(2)은 3지점/펄스를 나타내도록 취해진 것이며, F는 16(10진법) 지점/펄스를 나타내도록 취해진 것이다. 테스트를 프로그램하는 소프트웨어는 수개의 지점/펄스 및 펄스 주파수의 곱이 고속 DAC의 최대 주파수를 초과하지 않는다는 것을 검증한다. 2개의 비트(어드레싱 모드)는, 0=무 펄스 왜곡(펄스가 ASSM으로부터 발생됨) ; 1=1개의 이전 펄스의 메모리와 관련된 왜곡 ; 2=3개의 이전 펄스의 메모리와 관련된 왜곡 ; 및 3=7개의 이전 펄스의 메모리와 관련된 왜곡과 같은 펄스 왜곡 기능을 선택한다. 지정된 비트를 기록함으로써 지정된 기능이 선택된다.

앞서 설명된 펄스 정형기 구조에 대한 제한은 이하의 표에 요약되어 있다.

수개의 지점/펄스	최대 펄스 속도	최대의 상이한 펄스	샘플 클럭/ 펄스 클럭	지연 (펄스)
16	75 MHZ	64K	16	2
14	85.7 MHZ	64K	14	2
12	100 MHZ	64K	12	2
10	120 MHZ	64K	10	2
8	150 MHZ	256	8	4
7	171.4 MHZ	256	7	4
6	200 MHZ	256	6	4
5	240 MHZ	256	5	4
4	300 MHZ	16	4	8
3	400 MHZ	16	3	8

수개의 지점/펄스의 수는 상기 표에 따라 활용가능한 최대 펄스의 수에 영향을 준다.

상기에 기재된 최대 펄스 속도는 단지 고속 DAC의 1.2Gsp 최대 속도만을 반영하지만, 이는 테스트의 다른 실시태양, 예를 들면 ASSM의 속도(즉, 펄스 클럭 신호의 최대 주파수)에 의해 제한될 수 있다.

다시 도 4를 참조하면, 16이상의 샘플/펄스는 비트 슬라이스 모듈(40)에 저장된 형상들을 프로그램하고 ASSM이 펄스 어드레스의 열에서 각각의 펄스 어드레스를 2배로 발생하게 함으로써 달성될 수 있다. 특히, 메모리 A(402)에 절반의 파형을, 그리고 메모리 B(404)에 절반의 파형을 저장함으로써 20, 24, 28 또는 32개의 샘플 길이인 64K의 상이한 펄스들을 지니는 것이 가능하다. 국부 클럭 및 펄스 클럭의 비는 각각 10, 12, 14 또는 16이 된다. 먼저 특정 어드레스가 발생하는 경우, 이는 메모리 중 한 메모리, 예를 들면 메모리 A로 향한다. 다시 특정 어드레스가 발생되면, 이는 메모리 B로 향한다. 대개, 메모리 A 및 메모리 B는 각각의 펄스 어드레스에 대해 동일한 샘플 데이터로 프로그램된다. 그러나, 상기 메모리들이 상이한 절반 파형의 샘플로 프로그램되는 경우, 보다 긴 펄스가 얻어질 수 있다.

마찬가지로, 어드레스(0)에서 펄스 저장 장치 메모리 A(402) 및 펄스 저장 장치 메모리 B(404)에 의해 인식가능한 최대 어드레스 이하의 어드레스까지 각각의 펄스를 2배로 발생시키도록 ASSM을 프로그램함으로써, 메모리 용량에 의해서만 제한된 길이를 갖는 임의의 샘플 어레이는 용이하게 발생될 수 있다.

다시 도 6을 참조하면, PSCONTROL 레지스터(608)는 중지, 대기, 또는 실행의 동작 모드를 유지한다. 그의 상태 비트를 기록함으로써 상기 모드가 변경된다. 상기 레지스터의 다른 비트들은 여러 상태를 보고 하는데 사용된다. 상기 중지 상태는 펄스 저장 장치 메모리를 프로그램하여 레지스터들을 설정시키는데 사용된다. 이러한 상태에서는 어떠한 펄스도 발생되지 않으며 ASSM이 무시된다. 상기 대기 상태에서, 펄스 저장 장치 메모리는 프로그램되었으며 펄스 정형기는 PLL이 펄스 클럭 신호(대략 100 μ s)와 동기되기를 대기한다. 실행 상태에서, 펄스 정형기는 ASSM으로부터 펄스 클럭 신호(라인(302)) 및 데이터(라인(304)), 도 3)를 수신하고, PLL은 동기되며, 펄스 정형기는 펄스를 발생시키도록 ASSM으로부터의 커맨드(command)를 실행한다.

8비트 분해능을 유지하면서 상이한 첨두-첨두 전압을 필요로 하는 용도에 펄스 정형기가 사용되게 하기 위해, 출력 전압 범위는 VTI 인터페이스(60)의 레지스터(도시되지 않음)를 설정함으로써 프로그램될 수 있다. 이는 주 DAC의 기준 전압을 제어하는 보조 DAC로 작용한다. 또 다른 DAC는 미세 조정을 위한 교정을 허용한다.

상이한 오프셋을 필요로 하는 용도에 펄스 정형기가 사용되게 하기 위해, 출력 오프셋 범위는 VTI 인터페이스(60)의 레지스터(도시되지 않음)를 설정함으로써 프로그램될 수 있다. 이는 합산 모드에서 전류를 제어하는 보조 DAC로 작용한다. 또 다른 DAC는 미세조정을 위한 교정을 허용한다.

다른 실시예들은 첨부된 특허청구의 범위에 속해 있다.

발명의 효과

그러므로, 일련의 펄스에서의 현재 펄스의 필터링 작용을 모의 실험하는 방법과 프로그램가능한 길이의 고속 펄스를 발생시키는 장치는 고속(100Mbps 이상) 직렬 데이터를 처리할 수 있는 디바이스의 사용시 상기 데이터가 전송링크에서나 데이터를 저장 및 검색하는 과정에서 생기는 물리적 상호작용에 의해 변조되는 것을 방지하는 효과가 있다.

(57) 청구의 범위

청구항 1

일련의 펄스에서의 현재 펄스의 필터링 작용을 모의실험하는 방법에 있어서,

일련의 펄스중 최종 펄스(n+1)인 현재 펄스에 대한 펄스 어드레스를 포함하는 일련의 n+1개의 연속 펄스 어드레스를 수신하는 단계로서, 각각의 펄스 어드레스가 m 값의 범위에 있는 것을 특징으로 하는 단계 ;

현재 펄스 어드레스이전에 n개의 펄스 어드레스를 저장하는 단계 ;

상기 이전의 n개의 펄스 어드레스 및 상기 현재 펄스 어드레스로부터 복합 어드레스를 만들고 최소한 m^{n+1} 개의 펄스 정형 메모리로부터 펄스 형상을 판독하도록 상기 복합 어드레스를 사용하는 단계를 포함하는 방법.

청구항 2

제1항에 있어서, n은 1, 3, 및 7로 이루어진 그룹으로부터 선택되며, m^{n+1} 은 2^{16} 인 방법.

청구항 3

제1항에 있어서, 상기 펄스 정형 메모리는 100이상의 샘플/펄스를 제공하는 방법.

청구항 4

제1항에 있어서, 상기 펄스 정형 메모리는 샘플 지정당 분해능으로 80이상의 비트를 제공하는 방법.

청구항 5

하나의 펄스를 한정하는 샘플 지정들을 발생시키는 장치에 있어서,

각각이 m 값의 범위에 있는 펄스 어드레스들을 전송하는 어드레스단자 ;

상기 어드레스 단자에 연결되어 현재 펄스 어드레스 이전에 상기 어드레스 단자에 발생된 n개의 가장 최근의 펄스 어드레스를 저장하는 펄스 메모리 ;

최소한 m^{n+1} 개의 펄스 형상을 저장하는 메모리 장소를 지니며 상기 n개의 가장 최근의 펄스 및 현재 펄스 어드레스로부터 형성된 복합 어드레스 입력을 수신하도록 상기 펄스 메모리에 연결된 펄스 정형 메모리를 포함하는 장치.

청구항 6

제5항에 있어서, 어드레스 모드 신호를 전송하는 어드레스 모드단자를 부가적으로 포함하며, 상기 어드레스 모드 단자는 상기 펄스 메모리에 연결되어 있으며 상기 펄스 메모리는 저장할 n개의 펄스 어드레스를 결정하도록 상기 어드레스 모드 신호에 응답하는 장치.

청구항 7

제5항에 있어서, n은 1, 3, 및 7로 이루어진 그룹으로부터 선택되고, m^{n+1} 은 2^{16} 인 장치.

청구항 8

제5항에 있어서, 상기 펄스 정형 메모리의 메모리 장소는 100이상의 샘플지점/펄스형상을 저장하는 장치.

청구항 9

제5항에 있어서, 상기 펄스 정형 메모리의 메모리 장소는 펄스 형상의 샘플 지정당 분해능으로 80이상의 비트를 저장하는 장치.

청구항 10

프로그램가능한 길이의 고속 펄스를 발생시키는 장치에 있어서,

펄스 길이를 저장하는 프로그램가능한 메모리 필드 ;

펄스 주파수를 지니는 펄스 클럭 신호를 전송하는 펄스 클럭 라인 ;

상기 프로그램가능한 메모리 필드에 저장된 펄스 길이 및 상기 펄스 클럭 신호를 수신하여 상기 펄스 길이 \times 펄스 클럭 주파수와 동일한 주파수를 지니는 샘플 클럭 신호를 발생시키도록 접속된 주파수 체배기 ;

한 펄스에 대한 샘플들을 유지하는 펄스 메모리 ;

상기 펄스 메모리에 연결되어 상기 펄스 메모리로부터 수신된 샘플들로부터 아날로그 펄스를 발생시키는 DAC ;

DAC의 샘플링 주파수를 설정하고 상기 펄스 메모리로부터 상기 DAC로 샘플들을 클럭킹하도록 상기 샘플 클럭 신호를 전송하는 신호경로를 포함하는 장치.

청구항 11

제10항에 있어서, 상기 DAC는 최소한 1Gsp의 샘플링 주파수 및 최소한 8비트의 분해능을 지니는 장치.

청구항 12

제10항에 있어서, 상기 펄스 길이는 3, 4, 5, 6, 7, 8, 10, 12, 14 및 16 샘플/펄스로 이루어진 그룹으로부터 선택되는 장치.

청구항 13

제10항에 있어서, 상기 펄스 주파수는 75MHz 내지 400MHz의 범위에 있는 장치.

청구항 14

제10항에 있어서, 상기 펄스 클럭 신호와 동기되는 펄스 어드레스 신호를 전송하는 한 세트의 펄스 어드레스 입력 라인 ; 및 상기 펄스 어드레스 입력 라인 및 상기 펄스 메모리에 접속되어 펄스 어드레스를 상기 펄스 정형 메모리용 어드레스로 변환시키는 어드레스 발생기 회로를 부가적으로 포함하는 장치.

청구항 15

프로그램가능한 길이의 고속 펄스를 발생시키는 방법에 있어서,

펄스 길이(L)를 수신하는 단계 ;

일련의 펄스 어드레스를 수신하는 단계 ;

N이 S/L을 초과하지 않는 경우 일렬로 된 N개의 연속 펄스 어드레스로부터 만들어진 어드레스에 따라 펄스 샘플 메모리로부터 S개의 펄스 샘플의 어드레스 가능한 블록을 선택하는 단계 ; 및

상기 블록으로부터 고속 DAC로 N×L 펄스 샘플을 전송하는 단계를 포함하는 방법.

청구항 16

제15항에 있어서, 상기 전송 속도는 최소한 1Gsp인 방법.

청구항 17

제15항에 있어서, 상기 펄스 길이(L)는 3, 4, 5, 6, 7, 8, 10, 12, 14, 및 16 샘플/펄스로 이루어진 그룹으로부터 선택되고 블록 사이즈(S)는 16개의 샘플인 방법.

청구항 18

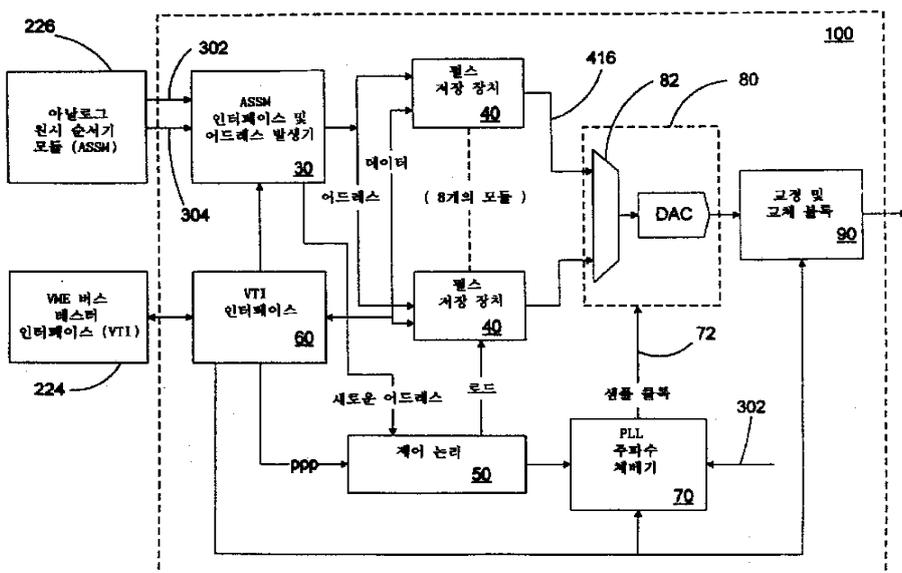
제15항에 있어서, 상기 S : L비는 정확히 1, 2, 또는 4이며 N과 동일한 방법.

청구항 19

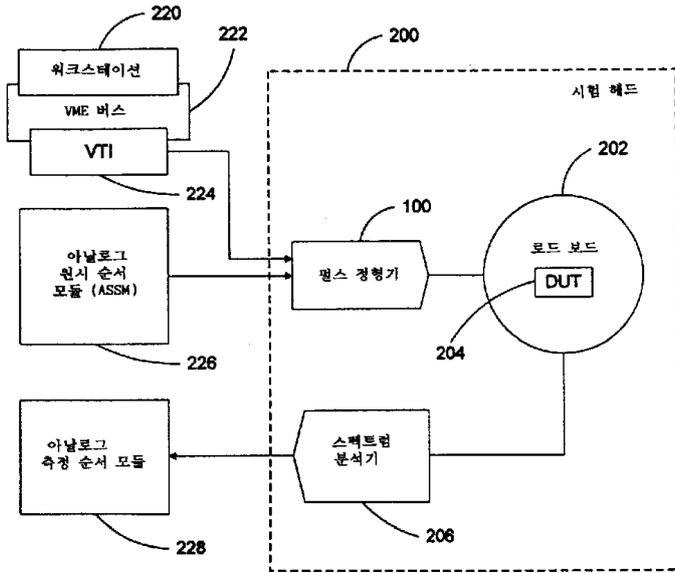
제15항에 있어서, 일련의 펄스 어드레스를 수신하기 이전에 상기 펄스 샘플 메모리의 어드레스가능한 블록내의 연속 샘플 위치에 펄스 길이(L)인 N개의 샘플을 저장하는 단계를 부가적으로 포함하는 방법.

도면

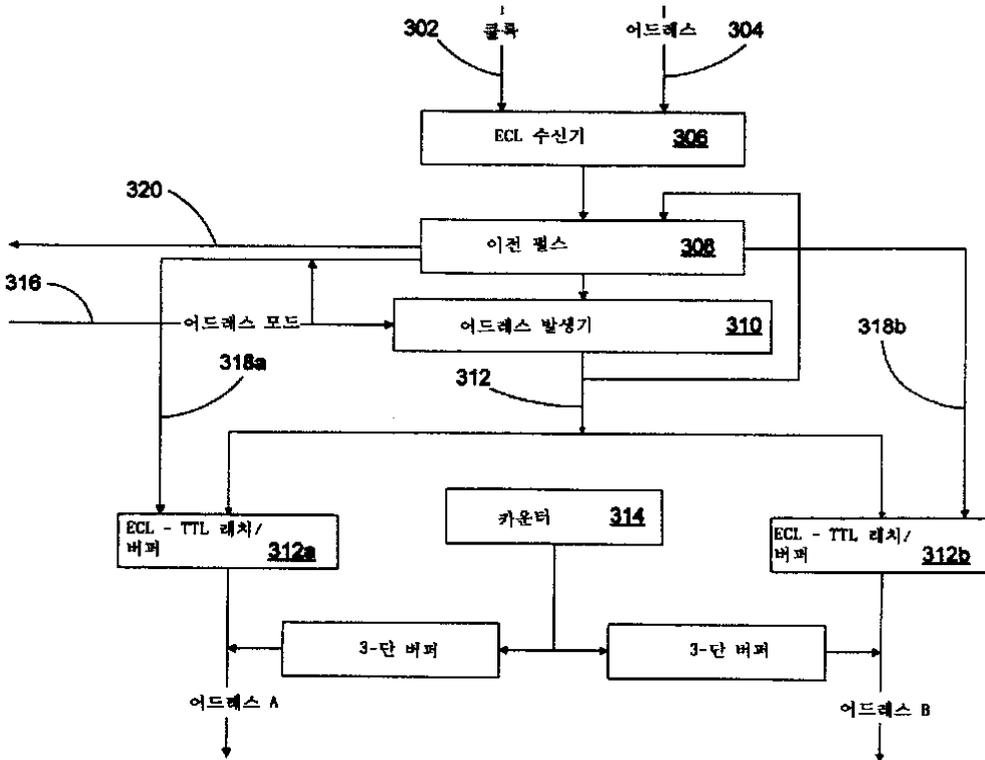
도면1



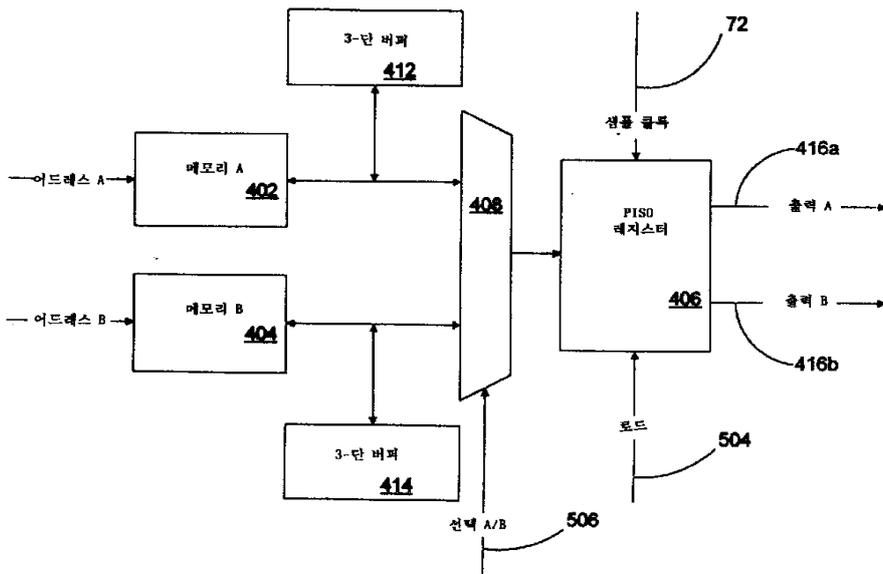
도면2



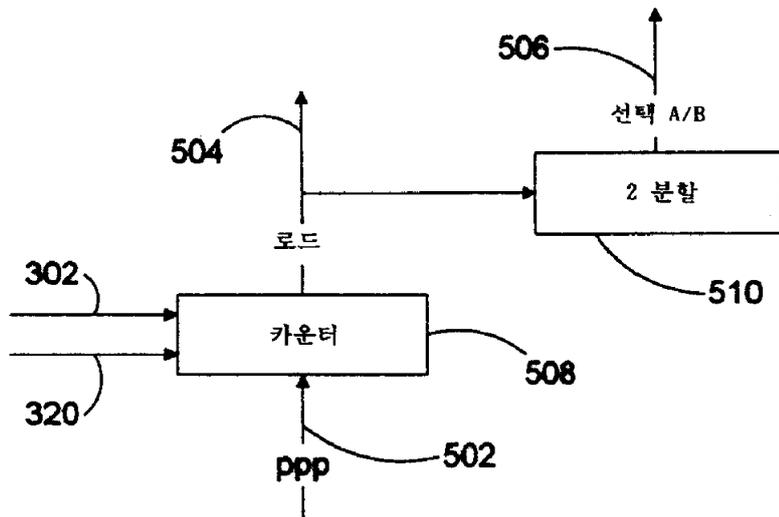
도면3



도면4



도면5



도면6

