



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년08월25일  
 (11) 등록번호 10-1771728  
 (24) 등록일자 2017년08월21일

(51) 국제특허분류(Int. Cl.)  
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)  
 (21) 출원번호 10-2012-0079526  
 (22) 출원일자 2012년07월20일  
 심사청구일자 2015년12월11일  
 (65) 공개번호 10-2014-0012493  
 (43) 공개일자 2014년02월03일  
 (56) 선행기술조사문헌  
 W02012077585 A1\*  
 JP2009032833 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성전기주식회사  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (72) 발명자  
 윤석현  
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
 이병화  
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인씨엔에스

전체 청구항 수 : 총 18 항

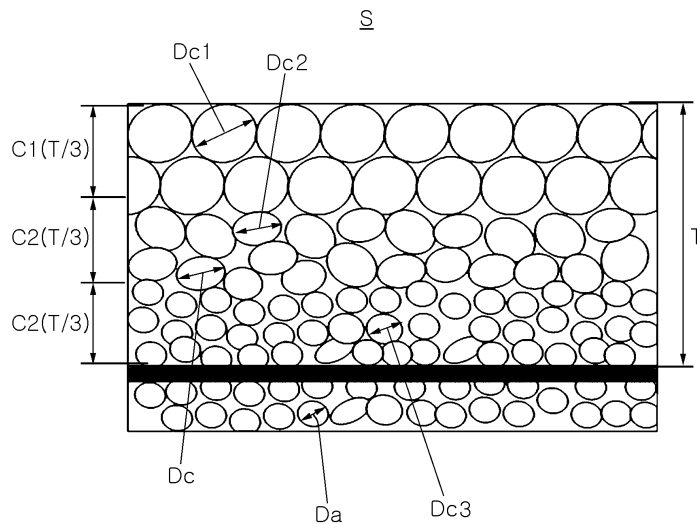
심사관 : 전한철

(54) 발명의 명칭 **적층 세라믹 전자부품 및 이의 제조방법**

**(57) 요약**

본 발명은 적층 세라믹 전자부품 및 이의 제조방법에 관한 것으로, 본 발명은 유전체층을 포함하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그래인의 평균 입경을  $D_a$ 라 하고 상기 커버층의 유전체 그래인의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족하는 적층 세라믹 전자부품을 제공한다. 본 발명에 따르면 유전체층의 그래인의 평균 입경을 조절하여 내습성이 우수한 고용량 적층 세라믹 전자부품의 구현이 가능하다.

**대표도 - 도3**



(72) 발명자

**김창훈**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**권상훈**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

---

## 명세서

### 청구범위

#### 청구항 1

유전체층을 포함하는 세라믹 본체; 및

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며,

상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그레이인의 평균 입경을  $D_a$ 라 하고 상기 커버층의 유전체 그레이인의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족하고,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이인의 평균 입경을  $D_{c1}$ 이라고 하고 중간층 영역의 유전체 그레이인의 평균 입경을  $D_{c2}$ 라 할 때,  $1.106 \leq D_{c1}/D_{c2} \leq 2.914$ 을 만족하는 적층 세라믹 전자부품.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,

상기  $D_{c1}$  및  $D_{c2}$ 의 비는  $1.56 \leq D_{c1}/D_{c2} \leq 2.63$ 을 만족하는 적층 세라믹 전자부품.

#### 청구항 4

제1항에 있어서,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이인의 평균 입경을  $D_{c1}$ 이라 하고 최하부층 영역의 유전체 그레이인의 평균 입경을  $D_{c3}$ 라 할 때,  $1.13 \leq D_{c1}/D_{c3} \leq 4.88$ 을 만족하는 적층 세라믹 전자부품.

#### 청구항 5

제4항에 있어서,

상기  $D_{c1}$  및  $D_{c3}$ 의 비는  $1.74 \leq D_{c1}/D_{c3} \leq 3.59$ 을 만족하는 적층 세라믹 전자부품.

#### 청구항 6

유전체층을 포함하는 세라믹 본체; 및

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며,

상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라고 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq$

$t \times 0.05$ 를 만족하고, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이인의 평균 입경을  $Dc1$ 이라고 하고 중간층 영역의 유전체 그레이인의 평균 입경을  $Dc2$ 라 할 때,  $1.106 \leq Dc1/Dc2 \leq 2.914$ 을 만족하는 적층 세라믹 전자부품.

**청구항 7**

제6항에 있어서,

상기  $Dc1$  및  $Dc2$ 의 비는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족하는 적층 세라믹 전자부품.

**청구항 8**

제6항에 있어서,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최하부층 영역의 유전체 그레이인의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족하는 적층 세라믹 전자부품.

**청구항 9**

제8항에 있어서,

상기  $Dc1$  및  $Dc3$ 의 비는  $1.74 \leq Dc1/Dc3 \leq 3.59$ 을 만족하는 적층 세라믹 전자부품.

**청구항 10**

제6항에 있어서,

상기  $Dc1$  및  $Dc2$ 는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족하고,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최하부층 영역의 유전체 그레이인의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족하는 적층 세라믹 전자부품.

**청구항 11**

제10항에 있어서,

상기 액티브층 유전체 그레이인의 평균 입경을  $Da$ 라고 하고 상기 커버층의 유전체 그레이인의 평균 입경을  $Dc$ 라 할 때,  $0.7 \leq Dc/Da \leq 1.5$ 를 만족하는 적층 세라믹 전자부품.

**청구항 12**

유전체층을 포함하는 세라믹 본체; 및

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며,

상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이인의 평균 입경을  $Dc1$ 이라고 하고 최하부층 영역의 유전체 그레이인의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족하는 적층 세라믹 전자부품.

**청구항 13**

제12항에 있어서,

상기 Dc1 및 Dc3의 비는  $1.74 \leq Dc1/Dc3 \leq 3.59$ 을 만족하는 적층 세라믹 전자부품.

**청구항 14**

제12항에 있어서,

상기 세라믹 본체의 두께를 t라고 하고, 상기 커버층의 두께를 T라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그레이인의 평균 입경을 Da라 하고 상기 커버층의 유전체 그레이인의 평균 입경을 Dc라 할 때,  $0.7 \leq Dc/Da \leq 1.5$ 를 만족하는 적층 세라믹 전자부품.

**청구항 15**

제12항에 있어서,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이인의 평균 입경을 Dc1 및 중간층 영역의 유전체 그레이인의 평균 입경을 Dc2라 할 때,  $1.11 \leq Dc1/Dc2 \leq 2.91$ 을 만족하는 적층 세라믹 전자부품.

**청구항 16**

제15항에 있어서,

상기 Dc1 및 Dc2의 비는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족하는 적층 세라믹 전자부품.

**청구항 17**

세라믹 분말 및 첨가제를 포함하는 슬러리를 이용하여 세라믹 그린시트를 마련하는 단계;

도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 및

상기 세라믹 그린시트를 적층하고 소결하여, 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하는 세라믹 본체를 형성하는 단계;를 포함하며,

상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를 t라 하고 상기 커버층의 두께를 T라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그레이인의 평균 입경을 Da라 하고 상기 커버층의 유전체 그레이인의 평균 입경을 Dc라 할 때,  $0.7 \leq Dc/Da \leq 1.5$ 를 만족하고,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이인의 평균 입경을 Dc1이라고 하고 중간층 영역의 유전체 그레이인의 평균 입경을 Dc2라 할 때,  $1.106 \leq Dc1/Dc2 \leq 2.914$ 을 만족하는 적층 세라믹 전자부품의 제조 방법.

**청구항 18**

제17항에 있어서,

상기 첨가제의 조성을 조절하여 상기 커버층의 유전체 그레이인의 평균 입경을 조절하는 적층 세라믹 전자부품의 제조 방법.

**청구항 19**

삭제

**청구항 20**

제17항에 있어서,

상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그래인의 평균 입경을  $Dc1$ 이라고 하고 최하부층 영역의 유전체 그래인의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족하는 적층 세라믹 전자부품의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 내습성이 우수한 고용량 적층 세라믹 전자부품 및 이의 제조방법에 관한 것이다.

**배경 기술**

[0002] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다.

[0003] 이에 따라 유전체와 내부전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께는 얇아지면서 적층수가 증가하는 적층 세라믹 전자 부품들이 제조되고 있다.

[0004] 또한, 유전체층의 박막화를 위해 최근에 미세한 세라믹 분말을 사용하여 유전체층을 형성한 세라믹 전자 부품들이 제조되고 있다.

[0005] 또한, 전자 부품의 소형 고용량 추세에 따라 용량 비형성부인 커버층의 두께 역시 작아지고 있는 추세이다.

[0006] 이는 적층 세라믹 전자 부품의 내습 특성에 문제를 야기하게 되어 신뢰성이 저하되는 문제가 있다.

[0007] 또한, 내습 특성에 문제가 발생함으로 인하여, 적층 세라믹 전자 부품의 가속 수명도 저하되는 문제가 생길 수 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은 내습성이 우수한 고용량 적층 세라믹 전자부품 및 이의 제조방법에 관한 것이다.

**과제의 해결 수단**

[0009] 본 발명의 일 실시형태는 유전체층을 포함하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그래인의 평균 입경을  $Da$ 라 하고 상기 커버층의 유전체 그래인의 평균 입경을  $Dc$ 라 할 때,  $0.7 \leq Dc/Da \leq 1.5$ 를 만족하는 적층 세라믹 전자부품을 제공한다.

- [0010] 본 발명의 일 실시예에서, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $Dc1$ 이라 하고 중간층 영역의 유전체 그레이의 평균 입경을  $Dc2$ 라 할 때,  $1.11 \leq Dc1/Dc2 \leq 2.91$ 을 만족할 수 있다. 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc2$ 의 비는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족할 수도 있다.
- [0011] 본 발명의 일 실시예에서, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $Dc1$ 이라 하고 최하부층 영역의 유전체 그레이의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족할 수 있다. 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc3$ 의 비는  $1.74 \leq Dc1/Dc3 \leq 3.59$ 을 만족할 수도 있다.
- [0012] 본 발명의 다른 실시형태는 유전체층을 포함하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $Dc1$ 이라 하고 중간층 영역의 유전체 그레이의 평균 입경을  $Dc2$ 라 할 때,  $1.11 < Dc1/Dc2 < 2.91$ 을 만족하는 적층 세라믹 전자부품을 제공한다.
- [0013] 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc2$ 의 비는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족할 수도 있다.
- [0014] 본 발명의 일 실시예에서, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최하부층 영역의 유전체 그레이의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족할 수 있다. 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc3$ 의 비는  $1.74 \leq Dc1/Dc3 \leq 3.59$ 을 만족할 수도 있다.
- [0015] 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc2$ 는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족하고, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최하부층 영역의 유전체 그레이의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족할 수 있다. 본 발명의 일 실시예에서, 상기 액티브층 유전체 그레이의 평균 입경을  $Da$ 라고 하고 상기 커버층의 유전체 그레이의 평균 입경을  $Dc$ 라 할 때,  $0.7 \leq Dc/Da \leq 1.5$ 를 만족할 수 있다.
- [0016] 본 발명의 다른 실시형태는 유전체층을 포함하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $Dc1$ 이라 하고 최하부층 영역의 유전체 그레이의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족하는 적층 세라믹 전자부품을 제공한다.
- [0017] 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc3$ 의 비는  $1.74 \leq Dc1/Dc3 \leq 3.59$ 을 만족할 수 있다.
- [0018] 본 발명의 일 실시예에서, 상기 세라믹 본체의 두께를  $t$ 라고 하고, 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그레이의 평균 입경을  $Da$ 라 하고 상기 커버층의 유전체 그레이의 평균 입경을  $Dc$ 라 할 때,  $0.7 \leq Dc/Da \leq 1.5$ 를 만족할 수 있다.
- [0019] 본 발명의 일 실시예에서, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $Dc1$  및 중간층 영역의 유전체 그레이의 평균 입경을  $Dc2$ 라 할 때,  $1.11 \leq Dc1/Dc2 \leq 2.91$ 을 만족할 수 있다. 본 발명의 일 실시예에서, 상기  $Dc1$  및  $Dc2$ 의 비는  $1.56 \leq Dc1/Dc2 \leq 2.63$ 을 만족할 수도 있다.
- [0020] 본 발명의 다른 실시형태는 세라믹 분말 및 첨가제를 포함하는 슬러리를 이용하여 세라믹 그린시트를 마련하는 단계; 도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 및 상기 세라믹 그린시트를 적층하고 소결하여, 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하는 세라믹 본체를 형성하는 단계;를 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상

기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그레이의 평균 입경을  $D_a$ 라 하고 상기 커버층의 유전체 그레이의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족하는 적층 세라믹 전자부품의 제조 방법을 제공한다.

[0021] 본 발명의 일 실시예에서, 상기 첨가제의 조성을 조절하여 상기 커버층의 유전체 그레이의 평균 입경을 조절할 수 있다.

[0022] 본 발명의 일 실시예에서, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $D_{c1}$ 이라고 하고 중간층 영역의 유전체 그레이의 평균 입경을  $D_{c2}$ 라 할 때,  $1.11 \leq D_{c1}/D_{c2} \leq 2.91$ 을 만족할 수 있다.

[0023] 본 발명의 일 실시예에서, 상기 커버층을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $D_{c1}$ 이라고 하고 최하부층 영역의 유전체 그레이의 평균 입경을  $D_{c3}$ 라 할 때,  $1.13 \leq D_{c1}/D_{c3} \leq 4.88$ 을 만족할 수 있다.

[0024] 상기 커버층은 세라믹 분말 및 첨가제를 포함하며, 상기 첨가제의 조성을 조절함으로써 상기 커버층의 유전체 그레이의 평균 입경을 조절할 수 있다.

### 발명의 효과

[0025] 본 발명에 따르면 유전체층의 그레이의 평균 입경을 조절하여 내습성이 우수한 고용량 적층 세라믹 전자부품의 구현이 가능하다.

### 도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이다.

도 2는 도 1의 B-B' 단면도이다.

도 3은 도 2에서 S 영역의 확대도이다.

도 4는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조 공정도이다.

### 발명을 실시하기 위한 구체적인 내용

[0027] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

[0029] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 개략적으로 나타내는 사시도이다.

[0030] 도 2는 도 1의 B-B' 단면도이다.

[0031] 도 3은 도 2에서 S 영역의 확대도이다.

[0032] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 유전체층(1)을 포함하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 제 1 및 제 2 내부 전극(21, 22);을 포함하며, 상기 세라믹 본체(10)는 용량 형성부인 액티브층(A)과 상기 액티브층(A)의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 세라믹 본체(10)의 두께를  $t$ 라고 하고 상기 커버층(C)의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층(A) 유전체 그레이의 평균 입경을  $D_a$ 라 하고 상기 커버층(C)의 유전체 그레이의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족할 수 있다.



- [0033] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0034] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 유전체층(1)을 포함하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극(21, 22);을 포함하며, 상기 세라믹 본체(10)는 용량 형성부인 액티브층(A)과 상기 액티브층(A)의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 세라믹 본체(10)의 두께를  $t$  및 상기 커버층(C)의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족할 수 있다.
- [0035] 상기 유전체층(1)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨( $BaTiO_3$ ) 분말일 수 있다.
- [0036] 상기 유전체층(1)을 형성하는 재료는 티탄산바륨( $BaTiO_3$ ) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0037] 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(10)의 두께를  $t$  및 상기 커버층(C)의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족할 수 있다.
- [0038] 즉, 상기 커버층(C)의 두께는 상기 세라믹 본체(10)의 두께 대비 5% 미만으로서, 초소형 고용량 적층 세라믹 커패시터 구현을 위해 커버층(C)의 두께가 작게 형성될 수 있다.
- [0039] 본 발명의 일 실시형태에서는 상기 커버층(C)의 두께가 상기 세라믹 본체(10)의 두께 대비 5% 미만일 경우에도 내습 특성이 우수한 적층 세라믹 커패시터의 구현이 가능하다.
- [0040] 반면, 상기 커버층(C)의 두께가 상기 세라믹 본체(10)의 두께 대비 5% 이상의 경우에는 커버층(C)의 두께가 충분히 두꺼우므로, 내습 특성 및 가속 수명에 있어서 문제가 발생하지 않을 수 있다.
- [0041] 상기 제1 및 제2 내부전극층(21, 22)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0042] 한편, 정전 용량 형성을 위해 외부전극(31, 32)이 상기 세라믹 본체(10)의 외측에 형성될 수 있으며, 상기 내부전극층(21, 22)과 전기적으로 연결될 수 있다.
- [0043] 상기 외부전극(31, 32)은 내부전극과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등으로 형성될 수 있다.
- [0044] 상기 외부전극(31, 32)은 상기 금속 분말에 글라스 프릿을 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.

- [0045] 본 발명의 일 실시형태에 따르면, 상기 액티브층(A) 유전체 그레이의 평균 입경을  $D_a$  및 상기 커버층(C)의 유전체 그레이의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족할 수 있다.
- [0046] 상기 액티브층(A) 유전체 그레이의 평균 입경( $D_a$ ) 및 상기 커버층(C)의 유전체 그레이의 평균 입경( $D_c$ )은 상기 세라믹 본체(10)를 유전체층(1)의 적층 방향으로 절단하여, 도 2에 도시된 주사전자현미경(SEM)으로 추출된 유전체층의 단면 사진을 분석하여 측정할 수 있다.
- [0047] 예를 들어, ASTM(American Society for Testing and Materials) E112에서 규정하는 평균 그레이인 사이즈 표준 측정 방법을 지원하는 그레이인 사이즈 측정 소프트웨어를 이용하여 액티브층(A) 유전체 그레이의 평균 입경( $D_a$ ) 및 커버층(C)의 유전체 그레이의 평균 입경( $D_c$ )을 측정할 수 있다.
- [0048] 상기 액티브층(A) 유전체 그레이의 평균 입경( $D_a$ ) 및 커버층(C)의 유전체 그레이의 평균 입경( $D_c$ )이  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족하도록 조절함으로써, 본 발명의 일 실시형태에 따른 고용량 적층 세라믹 커패시터는 내습 특성이 우수할 수 있다.
- [0049] 또한, 상기 고용량 적층 세라믹 커패시터는 내습 특성이 우수할 뿐만 아니라 가속 수명도 길어져 신뢰성이 우수할 수 있다.
- [0050] 상기 액티브층(A) 유전체 그레이의 평균 입경( $D_a$ ) 및 커버층(C)의 유전체 그레이의 평균 입경( $D_c$ )의 비( $D_c/D_a$ )가 0.7 미만일 경우에는, 커버층(C)의 유전체 그레이의 평균 입경( $D_c$ )이 작아짐에 따라 소결 개시 온도가 낮어져서 크랙 불량이 발생할 수 있다.
- [0051] 상기 액티브층(A) 유전체 그레이의 평균 입경( $D_a$ ) 및 커버층(C)의 유전체 그레이의 평균 입경( $D_c$ )의 비( $D_c/D_a$ )가 1.5를 초과하는 경우에는 얇은 두께의 커버층(C) 내의 유전체 그레이의 평균 입경( $D_c$ )이 커서 내습 특성이 저하되는 문제가 있을 수 있다.
- [0052] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 상기 커버층(C)을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $D_{c1}$ 이라 하고 중간층 영역의 유전체 그레이의 평균 입경을  $D_{c2}$ 라 할 때,  $1.11 \leq D_{c1}/D_{c2} \leq 2.91$ 을 만족할 수 있다.
- [0053] 본 발명의 일 실시형태에서는 상기 커버층(C)을 두께 방향으로 3등분하였으나, 반드시 이에 제한되는 것은 아니며 복수 등분하는 것도 가능할 수 있다.
- [0054] 상기 최외곽층 영역의 유전체 그레이의 평균 입경( $D_{c1}$ ) 및 중간층 영역의 유전체 그레이의 평균 입경( $D_{c2}$ )의 비가  $1.11 \leq D_{c1}/D_{c2} \leq 2.91$ 을 만족하도록 조절함으로써, 내습 특성이 우수한 고용량 적층 세라믹 커패시터의 구현이 가능할 수 있다.
- [0055] 또한, 상기  $D_{c1}$  및  $D_{c2}$ 의 비가  $1.56 \leq D_{c1}/D_{c2} \leq 2.63$ 을 만족할 경우, 상기 고용량 적층 세라믹 커패시터는 내습 특성이 우수할 뿐만 아니라 가속 수명도 더욱 길어져 신뢰성이 우수할 수 있다.
- [0056] 상기 최외곽층 영역이라 함은 상기 커버층(C)을 두께 방향으로 3등분하였을 때, 두께 방향의 외측 즉, 상기 세라믹 본체(10)의 상면측에 접하는 일 영역을 의미할 수 있다.
- [0057] 상기 최외곽층 영역의 유전체 그레이의 평균 입경( $D_{c1}$ ) 및 중간층 영역의 유전체 그레이의 평균 입경( $D_{c2}$ )의 비( $D_{c1}/D_{c2}$ )가 1.11 미만일 경우에는 최외곽층 영역의 유전체 그레이의 평균 입경과 중간층 영역의 유전체 그레이의 평균 입경 사이의 차이가 크지 않아, 크랙 불량이 발생할 수 있어 문제가 될 수 있다.

- [0058] 반면, 상기 최외곽층 영역의 유전체 그레이의 평균 입경(Dc1) 및 중간층 영역의 유전체 그레이의 평균 입경(Dc2)의 비(Dc1/Dc2)가 2.91 초과일 경우에는 최외곽층 영역의 유전체 그레이의 평균 입경과 중간층 영역의 유전체 그레이의 평균 입경 사이의 차이가 너무 커서, 내습 특성이 저하되는 문제가 있을 수 있다.
- [0059] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 상기 커버층(C)을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을 Dc1이라 하고 최하부층 영역의 유전체 그레이의 평균 입경을 Dc3라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족할 수 있다.
- [0060] 상기 최외곽층 영역의 유전체 그레이의 평균 입경(Dc1) 및 최하부층 영역의 유전체 그레이의 평균 입경(Dc3)의 비가  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족하도록 조절함으로써, 내습 특성이 우수한 고용량 적층 세라믹 커패시터의 구현이 가능할 수 있다.
- [0061] 또한, 상기 Dc1 및 Dc3의 비가  $1.74 \leq Dc1/Dc3 \leq 3.59$ 을 만족하는 경우, 상기 고용량 적층 세라믹 커패시터는 내습 특성이 우수할 뿐만 아니라 가속 수명도 길어져 신뢰성이 우수할 수 있다.
- [0062] 상기 최하부층 영역이라 함은 상기 커버층(C)을 두께 방향으로 3등분하였을 때, 두께 방향의 내측 즉, 상기 세라믹 본체(10)의 용량 형성부인 액티브층(A)에 인접하는 일 영역을 의미할 수 있다.
- [0063] 상기 최외곽층 영역의 유전체 그레이의 평균 입경(Dc1) 및 최하부층 영역의 유전체 그레이의 평균 입경(Dc3)의 비(Dc1/Dc3)가 1.13 미만일 경우에는 최외곽층 영역의 유전체 그레이의 평균 입경과 최하부층 영역의 유전체 그레이의 평균 입경 사이의 차이가 크지 않아, 크랙 불량 발생할 수 있어 문제가 될 수 있다.
- [0064] 반면, 상기 최외곽층 영역의 유전체 그레이의 평균 입경(Dc1) 및 최하부층 영역의 유전체 그레이의 평균 입경(Dc3)의 비(Dc1/Dc3)가 4.88 초과일 경우에는 최외곽층 영역의 유전체 그레이의 평균 입경과 최하부층 영역의 유전체 그레이의 평균 입경 사이의 차이가 너무 커서, 내습 특성이 저하되는 문제가 있을 수 있다.
- [0065] 상기 커버층(C)은 특별히 제한되지 않으나, 예를 들어 세라믹 분말 및 첨가제를 포함할 수 있다.
- [0066] 본 발명의 일 실시형태에 따르면, 상기 커버층(C)의 각 영역의 유전체 그레이의 평균 입경을 조절하는 방법은 상기 첨가제의 조성을 조절함으로써 수행될 수 있으나, 이에 제한되는 것은 아니다.
- [0067] 한편, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 유전체층(1)을 포함하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극(21, 22);을 포함하며, 상기 세라믹 본체(10)는 용량 형성부인 액티브층(A)과 상기 액티브층(A)의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 세라믹 본체(10)의 두께를 t라 하고 상기 커버층(C)의 두께를 T라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 커버층(C)을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을 Dc1이라 하고 중간층 영역의 유전체 그레이의 평균 입경을 Dc2라 할 때,  $1.11 \leq Dc1/Dc2 \leq 2.91$ 을 만족할 수 있다.
- [0068] 상기 커버층은 세라믹 분말 및 첨가제를 포함할 수 있으며, 상기 첨가제의 조성을 조절함으로써 상기 커버층의 유전체 그레이의 평균 입경을 조절할 수 있다.
- [0069] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품에 있어서, 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 설명과 중복된 부분은 여기서 생략하도록 한다.
- [0070] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 유전체층(1)을 포함하는 세라믹 본체(10); 및 상기 세

라믹 본체(10) 내에서 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극(21, 22);을 포함하며, 상기 세라믹 본체(10)는 용량 형성부인 액티브층(A)과 상기 액티브층(A)의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층(C)을 포함하며, 상기 세라믹 본체(10)의 두께를  $t$ 라 하고 상기 커버층(C)의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 커버층(C)을 두께 방향으로 3등분하였을 경우, 최외곽층 영역의 유전체 그레이의 평균 입경을  $Dc1$ 이라 하고 최하부층 영역의 유전체 그레이의 평균 입경을  $Dc3$ 라 할 때,  $1.13 \leq Dc1/Dc3 \leq 4.88$ 을 만족할 수 있다.

[0071] 상기 액티브층(A) 유전체 그레이의 평균 입경을  $D_a$  및 상기 커버층(C)의 유전체 그레이의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족하며, 상기 커버층(C)의 중간층 영역의 유전체 그레이의 평균 입경을  $Dc2$ 라 할 때,  $1.11 \leq Dc1/Dc2 \leq 2.91$ 을 만족할 수 있다.

[0072] 본 발명의 다른 실시형태에 따르면, 상기 세라믹 본체(10)의 두께를  $t$  및 상기 커버층(C)의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고,  $0.7 \leq D_c/D_a \leq 1.5$ 의 관계를 만족하며,  $1.11 \leq Dc1/Dc2 \leq 2.91$ 의 관계 및  $1.13 \leq Dc1/Dc3 \leq 4.88$ 의 관계를 만족함으로써, 내습 특성이 우수한 고용량 적층 세라믹 커패시터를 구현할 수 있다.

[0073] 또한,  $1.56 \leq Dc1/Dc2 \leq 2.63$ 의 관계 및  $1.74 \leq Dc1/Dc3 \leq 3.59$ 의 관계를 만족함으로써, 상기 고용량 적층 세라믹 커패시터는 내습 특성이 우수할 뿐만 아니라 가속 수명도 길어져 신뢰성이 더 우수할 수 있다.

[0074] 상기 커버층(C)은 세라믹 분말 및 첨가제를 포함할 수 있으며, 상기 첨가제의 조성을 조절함으로써 상기 커버층의 유전체 그레이의 평균 입경을 조절할 수 있다.

[0075] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품에 있어서, 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 설명과 중복된 부분은 여기서 생략하도록 한다.

[0076] 도 4는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조 공정도이다.

[0077] 도 4를 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 세라믹 분말 및 첨가제를 포함하는 슬러리를 이용하여 세라믹 그린시트를 마련하는 단계; 도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 및 상기 세라믹 그린시트를 적층하고 소결하여, 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하는 세라믹 본체를 형성하는 단계;를 포함하며, 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$ 라 하고 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그레이의 평균 입경을  $D_a$ 라 하고 상기 커버층의 유전체 그레이의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족할 수 있다.

[0078] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 우선 세라믹 분말 및 첨가제를 포함하는 슬러리를 이용하여 세라믹 그린시트를 마련할 수 있다.

[0079] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수  $\mu\text{m}$ 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.

- [0080] 다음으로, 도전성 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성할 수 있다.
- [0081] 다음으로, 상기 내부전극 패턴이 형성된 그린시트를 적층하고 소결하여, 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하는 세라믹 본체를 형성할 수 있다.
- [0082] 본 발명의 다른 실시형태에 따른 제조방법에 의해 제조된 적층 세라믹 전자부품의 상기 세라믹 본체는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하며, 상기 세라믹 본체의 두께를  $t$  및 상기 커버층의 두께를  $T$ 라 할 때,  $T \leq t \times 0.05$ 를 만족하고, 상기 액티브층 유전체 그래인의 평균 입경을  $D_a$  및 상기 커버층의 유전체 그래인의 평균 입경을  $D_c$ 라 할 때,  $0.7 \leq D_c/D_a \leq 1.5$ 를 만족할 수 있다.
- [0083] 상기 커버층은 세라믹 분말 및 첨가제를 포함할 수 있으며, 상기 첨가제의 조성을 조절함으로써 상기 커버층의 유전체 그래인의 평균 입경을 조절할 수 있다.
- [0084] 그 외 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.
- [0085] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.
- [0086] 본 실시예는 용량 형성부인 액티브층과 상기 액티브층의 상면 및 하면 중 적어도 일면에 형성되는 용량 비형성부인 커버층을 포함하는 적층 세라믹 캐패시터에 대해, 세라믹 본체의 두께( $t$ ), 커버층의 두께( $T$ ), 액티브층 유전체 그래인의 평균 입경( $D_a$ ), 커버층의 유전체 그래인의 평균 입경( $D_c$ ) 및  $D_{c1}$ ,  $D_{c2}$ ,  $D_{c3}$  값에 따른 내습 특성 및 고온 가속 수명 향상 여부를 시험하기 위해 수행되었다.
- [0087] 본 실시예에 따른 적층 세라믹 캐패시터는 하기와 같은 단계로 제작되었다.
- [0088] 우선, 티탄산바륨( $BaTiO_3$ ) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 제조된 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체층(1)을 형성하게 된다.
- [0089] 다음으로, 내부전극용 도전성 페이스트를 마련한 후, 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 190 내지 250층 적층하여 적층체를 만들었다.
- [0090] 특히, 상기 그린시트 내에 티탄산바륨( $BaTiO_3$ )과 함께 포함되는 첨가제의 조성을 조절함으로써 커버층의 유전체 그래인의 평균 입경을 다양하게 변화시켜 조절하면서 상기 적층체를 제작하였다.
- [0091] 이후 압착, 절단하여 0603 규격의 Size의 칩을 만들며, 상기 칩을  $H_2$  0.1%이하의 환원 분위기의 온도 1050~1200 °C에서 소성하였다.

[0092] 다음으로, 외부전극, 도금 등의 공정을 거쳐 적층 세라믹 캐패시터로 제작하였다.

[0093] 아래의 표 1은 커버층의 두께(T)와 세라믹 본체의 두께(t)의 비에 따른 크랙 발생 여부, 내습 특성 및 고온 가속 수명을 비교한 표이다.

표 1

| 시료 NO. | 커버층의 두께(T) / 세라믹 본체의 두께(t) | Dc/Da | Dc1 (nm) | Dc2 (nm) | Dc3 (nm) | Dc1/Dc2 | Dc1/Dc3 | 크랙 발생 여부 | 내습 특성 | 고온 가속 수명 |
|--------|----------------------------|-------|----------|----------|----------|---------|---------|----------|-------|----------|
| *1     | 0.040                      | 1.53  | 72.6     | 72.8     | 71.4     | 0.997   | 1.017   | 0        | NG    | 4h       |
| *2     | 0.045                      | 1.59  | 640.0    | 200.0    | 182.9    | 1.002   | 1.007   | 0        | NG    | 5h       |
| *3     | 0.050                      | 1.57  | 250.0    | 200.0    | 45.5     | 1.034   | 1.019   | 0        | NG    | 4h       |
| *4     | 0.060                      | 1.63  | 312.5    | 250.0    | 71.4     | 0.995   | 1.011   | X        | OK    | 12h      |
| *5     | 0.070                      | 1.72  | 800.0    | 250.0    | 228.6    | 1.033   | 1.024   | X        | OK    | 13h      |
| *6     | 0.080                      | 1.69  | 312.5    | 250.0    | 56.8     | 0.988   | 1.016   | X        | OK    | 13h      |

[0095] 상기 [표 1]을 참조하면, 커버층의 두께(T)와 세라믹 본체의 두께(t)의 비가 0.05 이하인 시료 1 내지 3의 경우 Dc/Da 의 비가 1.5를 초과하여 본 발명의 수치 범위를 벗어나는 경우 내습특성이 저하됨을 알 수 있다. 또한, Dc1/Dc2 및 Dc1/Dc3의 비가 본 발명의 수치 범위를 벗어나는 경우 크랙이 발생하고 가속 수명이 단축되는 문제가 있음을 알 수 있다.

[0096] 반면, 상기 커버층의 두께(T)와 세라믹 본체의 두께(t)의 비가 0.05 초과인 시료 4 내지 6의 경우 Dc/Da, Dc1/Dc2 및 Dc1/Dc3의 비가 본 발명의 수치 범위를 벗어나는 경우에도 크랙, 내습 특성 및 고온 가속 수명에서 문제가 없음을 알 수 있다.

[0097] 본 발명의 특징은 커버층의 두께가 상대적으로 얇아서 커버층의 두께(T)와 세라믹 본체의 두께(t)의 비(T/t)가 0.05 이하인 경우에 Dc/Da, Dc1/Dc2 및 Dc1/Dc3의 비를 조절하여 적층 세라믹 전자부품의 크랙 발생을 방지하고, 내습 특성 및 고온 가속 수명을 향상시키는 것이다.

[0098] 아래의 표 2는 커버층의 두께(T)와 세라믹 본체의 두께(t)의 비(T/t)가 0.05 이하인 경우에 Dc/Da, Dc1/Dc2 및 Dc1/Dc3의 비에 따른 크랙 발생 여부, 내습 특성 및 고온 가속 수명을 비교한 표이다.

표 2

| 시료 NO. | 커버층의 두께(T) / 세라믹 본체의 두께(t) | Dc/Da | Dc1 (nm) | Dc2 (nm) | Dc3 (nm) | Dc1/Dc2 | Dc1/Dc3 | 크랙 발생 여부 | 내습 특성 | 고온 가속 수명 |
|--------|----------------------------|-------|----------|----------|----------|---------|---------|----------|-------|----------|
| *7     | 0.04                       | 0.5   | 289      | 86.8     | 52.6     | 3.329   | 5.494   | 0        | OK    | 3.5h     |
| *8     | 0.04                       | 0.6   | 288      | 92.2     | 57.1     | 3.124   | 5.044   | 0        | OK    | 4.5h     |
| 9      | 0.04                       | 0.7   | 291      | 128      | 63.9     | 2.273   | 4.554   | X        | OK    | 125h     |
| 10     | 0.04                       | 1.0   | 288      | 132      | 71.2     | 2.182   | 4.045   | X        | OK    | 12.5h    |
| 11     | 0.04                       | 1.3   | 336      | 144      | 89.8     | 2.333   | 3.742   | X        | OK    | 12h      |
| 12     | 0.04                       | 1.5   | 375      | 147      | 94.5     | 2.551   | 3.968   | X        | OK    | 13h      |
| *13    | 0.04                       | 1.7   | 487      | 151      | 96.7     | 3.225   | 5.036   | X        | NG    | 4.0h     |
| *14    | 0.04                       | 1.8   | 529      | 162      | 97.1     | 3.265   | 5.448   | X        | NG    | 3.5h     |
| 15     | 0.048                      | 0.7   | 83.2     | 75.2     | 73.1     | 1.106   | 1.138   | X        | OK    | 10h      |
| 16     | 0.048                      | 0.9   | 127.4    | 81.8     | 73.2     | 1.557   | 1.740   | X        | OK    | 12h      |
| 17     | 0.048                      | 1.0   | 169.2    | 83.4     | 73.7     | 2.029   | 2.296   | X        | OK    | 12h      |
| 18     | 0.048                      | 1.1   | 181.3    | 84.8     | 73.9     | 2.138   | 2.453   | X        | OK    | 13.5h    |
| 19     | 0.048                      | 1.3   | 267.4    | 101.4    | 74.4     | 2.637   | 3.594   | X        | OK    | 12.5h    |



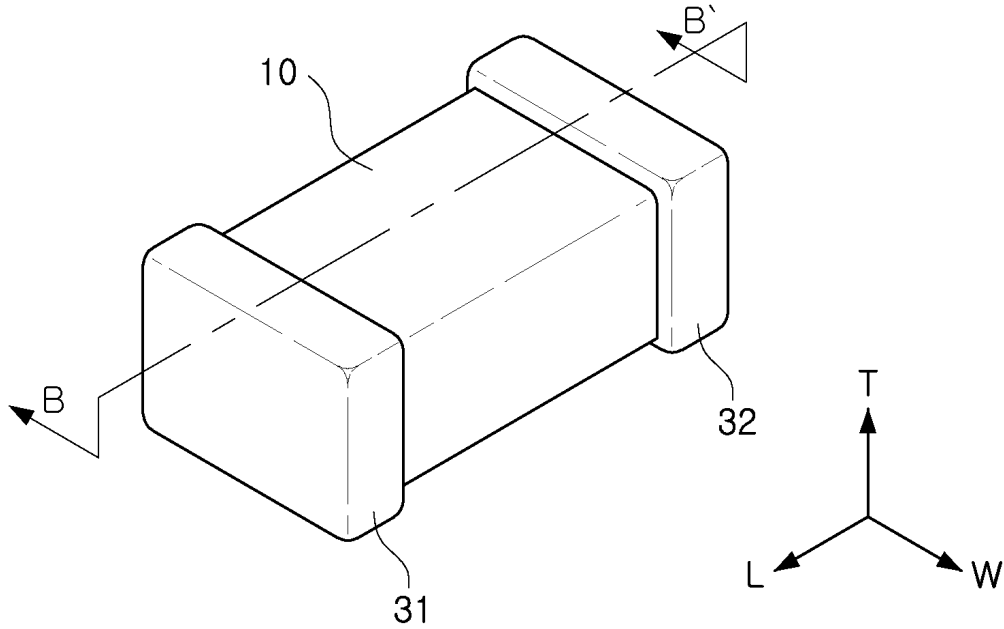


Dc2: 커버층의 중간층 영역의 유전체 그래인의 평균 입경

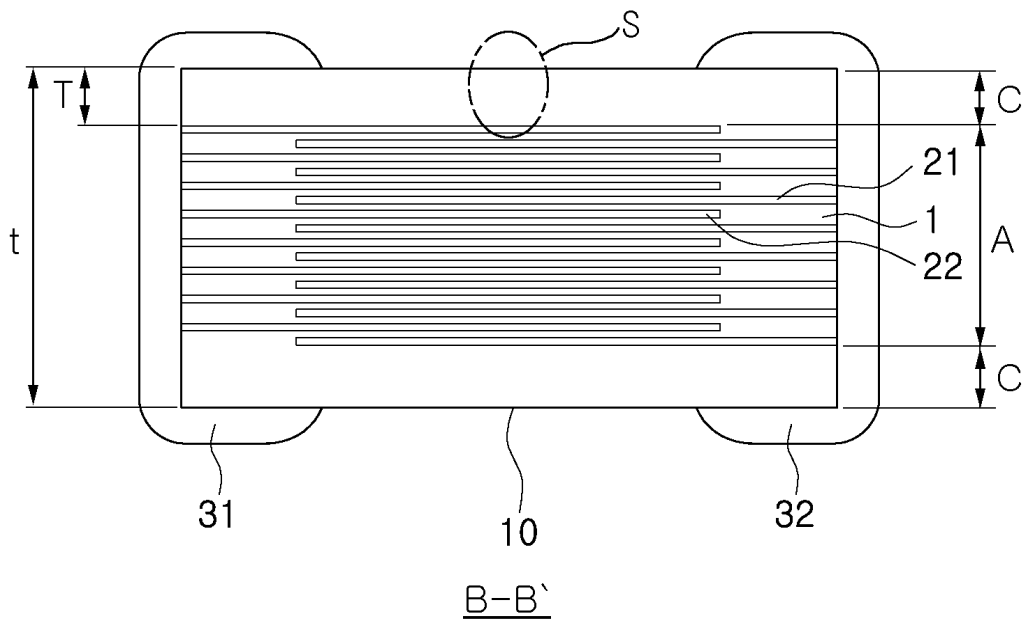
Dc3: 커버층의 최하부층 영역의 유전체 그래인의 평균 입경

도면

도면1

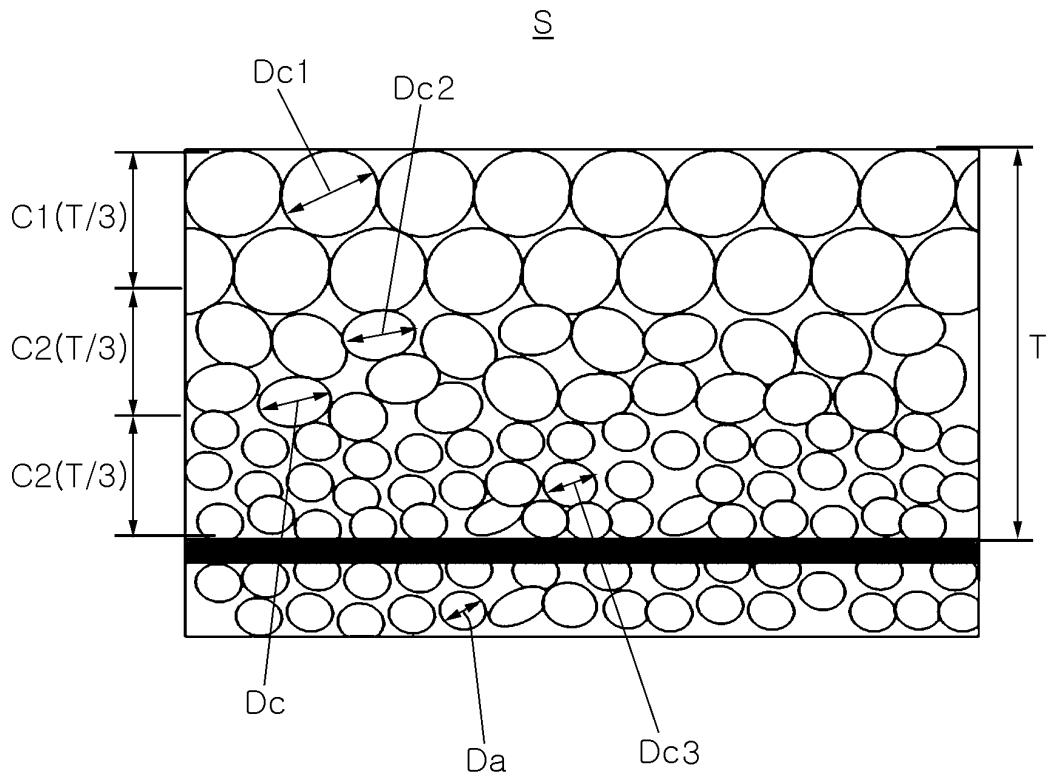


도면2





도면3



도면4

