

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4158882号
(P4158882)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月25日(2008.7.25)

(51) Int.Cl.		F I
G09G 3/20 (2006.01)		G09G 3/20 611A
G09G 3/28 (2006.01)		G09G 3/20 624M
		G09G 3/20 642D
		G09G 3/28 E
		G09G 3/28 H

請求項の数 3 (全 13 頁)

(21) 出願番号 特願2002-36912(P2002-36912)
 (22) 出願日 平成14年2月14日(2002.2.14)
 (65) 公開番号 特開2003-241708(P2003-241708A)
 (43) 公開日 平成15年8月29日(2003.8.29)
 審査請求日 平成16年5月27日(2004.5.27)
 審判番号 不服2005-19820(P2005-19820/J1)
 審判請求日 平成17年10月13日(2005.10.13)

(73) 特許権者 505348027
 株式会社日立プラズマパテントライセンシング
 東京都千代田区大手町二丁目2番1号
 (74) 代理人 100086933
 弁理士 久保 幸雄
 (72) 発明者 瀬尾 欣穂
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
 (72) 発明者 橋本 康宣
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

誘電体で被覆された表示電極対および前記表示電極対と交差するアドレス電極が配置されたセルをもつAC型のプラズマディスプレイパネルの駆動方法であって、

点灯すべきセルに壁電荷を形成するアドレッシングの後、前記セルで表示放電とそれに引き続く壁電荷の再形成とを生じさせるために前記表示電極対の少なくとも一本の表示電極にサステインパルス₁を印加するときに、他方の表示電極にその電位を表示放電の開始時点と終了時点とで異なるように変化させる極性が前記サステインパルスと反対で且つ時間幅が前記サステインパルスの時間幅より短い第1のオフセットパルス₁を印加し、それと同時に前記アドレス電極に対して前記サステインパルスよりも時間幅が短い第2のオフセットパルス₂を印加する

ことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】

前記サステインパルス₁を印加するときに、前記サステインパルス₁を印加する表示電極に対して前記第1のオフセットパルス₁と同じ極性のオフセットパルス₁を印加する

請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】

前記第2のオフセットパルス₂として、前記第1のオフセットパルス₁と逆極性のパルス₂を前記アドレス電極に印加する

請求項2記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PDP（Plasma Display Panel：プラズマディスプレイパネル）の駆動方法に関する。

【0002】

PDPを用いた薄型テレビジョンが普及しつつある。より大きい画面をもつ高品位のテレビジョンの実現にはPDPが好適である。

【0003】

【従来の技術】

カラー表示デバイスとして面放電タイプのAC型PDPが知られている。ここでいう面放電タイプは、セルの発光量を決める表示放電において陽極および陰極となる第1および第2の表示電極を、前面側または背面側の基板の上に平行に配列し、表示電極対と交差するようにアドレス電極を配列した3電極構造をもつタイプである。表示電極の配列には、マトリクス表示の行ごとに1対ずつ配列する形態と、第1および第2の表示電極を1本ずつ交互に等間隔に配列する形態とがある。後者の場合、2行に対して3本の割合で表示電極が対応し、配列の両端を除く表示電極は隣り合う2行の表示に係わる。配列形態に係わらず、表示電極対は誘電体で被覆される。3電極構造では、表示内容に応じて誘電体の帯電量（壁電荷量）を制御するアドレッシングにおいて、各行に対応づけられた表示電極対の一方の表示電極を行選択のためのスキャン電極として用いる。スキャン電極とアドレス電極との間でのアドレス放電と、それをトリガーとした表示電極間のアドレス放電とを生じさせることによって、アドレッシングが行われる。アドレッシングの後、表示電極対に交流波形の駆動電圧を印加すると、所定量の壁電荷の存在するセルのみで基板面に沿った表示放電が生じる。

【0004】

また、従来において対向面放電タイプと呼称されるカラー表示用のPDPが提案されている。特開平10-333635号公報が開示するAC型PDPは、表示放電のための表示電極、行選択のためのスキャン電極、および列選択のためのアドレス電極をもつ。対となる表示電極は、互いに平行に延びかつ放電ガス空間を挟んで対向する。スキャン電極は表示電極と平行に配列され、スキャン電極とアドレス電極とによってアドレッシングのための電極マトリクスが構成される。このタイプのPDPでは、各セルの発光制御に計4本の電極が関与する。

【0005】

図13は3電極構造に適用される表示放電のための従来の一般的な駆動波形を示す。従来の駆動方法は、表示期間において第1の表示電極と第2の表示電極とに交互に振幅 V_s の単純矩形波形のサステインパルスを印加する。すなわち、第1および第2の表示電極を交互に一時的に電位 V_s にバイアスする。しかし、アドレス電極についてはバイアスを行わない。このような電位制御により、第1の表示電極と第2の表示電極との間（これをXY電極間という）に、交番極性のパルス列を有した駆動電圧信号が加わる。アドレス電極と第1の表示電極との間（これをAX電極間という）、およびアドレス電極と第2の表示電極との間（これをAY電極間という）には、表示電極のバイアスに対応した電圧が加わる。全てのセルに対する第1番目のサステインパルスの印加に呼応して、以前のアドレッシングで所定量の壁電荷が形成されたセルにおいて表示放電が生じる。放電が生じると、いったん誘電体上の壁電荷が消失し、直ちに壁電荷の再形成が始まる。再形成される壁電荷の極性は以前と反対である。壁電荷の再形成にともなってXY電極間のセル電圧が低下して表示放電は終息する。AC型におけるセル電圧は、壁電荷により生じる電圧（壁電圧）と電極のバイアスによって電極間に印加される駆動電圧との和である。放電の終息とは、表示電極を流れる放電電流が実質的に0（ゼロ）になることを意味する。第2番目のサステインパルスが印加されると、駆動電圧の極性とその時点の壁電圧の極性とが同一であって、壁電圧が駆動電圧に重畳してセル電圧が増大するので、再び表示放電が生じる。以

10

20

30

40

50

降は同様にサステインパルスの印加ごとに表示放電が生じる。

【 0 0 0 6 】

なお、必ずしもパルスベース電位はグランド電位 (G N D) である必要はない。サステインパルスの極性は図示の正極性に限らず、負極性であってもよい。また、表示電極対の一方の表示電極に振幅 V_s のパルスを印加し、それと同時に他方の表示電極に振幅 $-(V_s - V_s)$ のパルスを印加することで、X Y 電極間に図示と同様の駆動電圧信号を加えることも可能である。

【 0 0 0 7 】

図 1 4 は従来の駆動方法に係る表示過程を表すセル電圧平面図である。セル電圧平面図によればセルの状態遷移を理解することができる。図 1 4 では、X Y 電極間のセル電圧 V_c (XY) を横軸にとり、A Y 電極間のセル電圧 V_c (AY) を縦軸にとってある。図中の丸 (O) で表された状態 [1] , [1 '] , [2] , [3] , [3 '] , および [4] は、順に図 1 3 の時点 t [1] , t [1 '] , t [2] , t [3] , t [3 '] , および t [4] に対応する。

10

【 0 0 0 8 】

第 1 の表示電極のバイアス (サステインパルスの印加) によって、第 1 の表示電極を陽極とする表示放電が生じる。この表示放電が終息した後、パルスの後縁までの期間では、X Y 電極間への駆動電圧 (V_s) の印加が続いているので、空間電荷が誘電体に静電吸引されて壁電荷として帯電する。帯電は X Y 電極間のセル電圧 V_c (XY) が 0 (零) になるまで続く。帯電終了時の X Y 電極間の壁電圧 V_w (XY) は $-V_s$ であり、A Y 電極間の壁電圧 V_w (AY) は 0 である。このような状態から次の (1) ~ (4) のように状態が遷移する。

20

(1) 状態 [1] においては、空間電荷の静電吸引による壁電荷の帯電が終了しており、駆動電圧が壁電圧 V_w (XY) に打ち消され、X Y 電極間のセル電圧 V_c (XY) は 0 である。また、第 2 の表示電極およびアドレス電極はバイアスされておらず、A Y 電極間のセル電圧 V_c (AY) も 0 である。第 1 の表示電極のバイアス終了にともなって、セル電圧 V_c (XY) は 0 から壁電圧 V_w (XY) の値へと変わる。したがって、状態 [1 '] においてセル電圧 V_c (XY) は $-V_s$ である。

(2) 次に、第 2 の表示電極のバイアスによって壁電圧 V_w (XY) に駆動電圧が重畳する。状態 [2] において V_c (XY) = $-2V_s$ 、 V_c (AY) = $-V_s$ である。状態 [1 '] から状態 [2] への遷移に呼応して、第 2 の表示電極を陽極とする表示放電が生じる。

30

(3) 表示放電および空間電荷の静電吸引によって、壁電圧 V_w (XY) および壁電圧 V_w (AY) はともに V_s になる。状態 [3] において V_c (XY) = 0、 V_c (AY) = 0 である。第 2 の表示電極のバイアス終了にともなって、セル電圧 V_c (XY) は壁電圧 V_w (XY) の値になり、セル電圧 V_c (AY) は壁電圧 V_w (AY) の値になる。したがって、状態 [3 '] において V_c (XY) = V_s 、 V_c (AY) = V_s である。

(4) 再び第 1 の表示電極がバイアスされることによって、壁電圧 V_w (XY) に駆動電圧が重畳する。状態 [4] において V_c (XY) = $2V_s$ 、 V_c (AY) = V_s である。状態 [3 '] から状態 [4] への遷移に呼応して、再び第 1 の表示電極を陽極とする表示放電が生じる。その後、状態 [4] から状態 [1] へ戻り、以上の状態遷移が繰り返される。

【 0 0 0 9 】

40

【 発明が解決しようとする課題 】

上述したように単純矩形波形のサステインパルスを印加する従来の駆動方法では、状態 [2] および状態 [4] のように表示放電が生じる瞬間における X Y 電極間のセル電圧と A Y 電極間のセル電圧とについて、 V_c (XY) = $2 \times V_c$ (AY) の関係がある。この関係は、駆動条件を最適化するためにパルス振幅 (V_s) を許容範囲内のどのような値に設定しても固定的に成立する。つまり、セル電圧平面において、必ず状態 [2] および状態 [4] は、原点 (両軸の交点) を通る傾き 1 / 2 の直線上に位置する。このような従来の駆動方法における輝度および発光効率の駆動電圧依存性は図 1 5 で示される。ここでの駆動電圧は X Y 電極間に印加する表示放電のためのサステイン電圧 (V_s) であり、発光効率は単位消費電力 [W] 当たりの発光量 [l m] である。図 1 5 が示すとおり、従来では輝度を高

50

めようとするとうと発光効率が低下してしまうという問題があった。この問題の解決に関して、特開平10-333635号公報には表示電極対に対して表示放電の開始時期に一時的に通常より高い電圧を加え、続いて通常の電圧を加える駆動波形が記載されている。しかし、この波形では表示動作特性を顕著に改善できないことが判明した。

【0010】

本発明は、表示放電における輝度および発光効率を改善することを目的としている。

【0011】

【課題を解決するための手段】

本発明においては、点灯すべきセルに壁電荷を形成するアドレッシングの後、前記セルで表示放電とそれに引き続く壁電荷の再形成とを生じさせるために、少なくとも一本の表示電極の電位を表示放電の開始時点と終了時点とで異なるように変化させるとともに、表示電極以外の少なくとも一本の電極の電位を表示放電の開始時点と終了時点とで異なるように変化させる。表示電極の電位を変化させることは、表示電極間に単純矩形でない波形の電圧信号を印加することに相当する。表示電極間に印加する駆動電圧および表示電極と他の電極との間の電位差を変化させることによって、表示放電に係るセル状態の設定の選択肢が多様になり、表示特性の十分な改善が可能になる。

【0012】

電極が誘電体で覆われている構造のPDPでは、セル電圧は駆動電圧と壁電圧との和である。そして、表示放電は表示電極の絶対的な電位のみにより決まるのではなく、表示電極と他の電極との相対的な電位差およびその変化に依存する。1つのセルに係る電極の数がNの場合、N-1本の電極についての解析により、N本の電極の相対関係が明らかになる。つまり、セル電圧および表示放電はN-1次元の空間で表現される。N-1次元の空間において、電極間の駆動電圧の推移に従うセル電圧の変化はN-1次元のベクトルである。輝度および発光効率を改善するには、少なくともN-1本の電極の電位が表示放電の開始時点と終了時点とで異なっている必要がある。特に、3電極構造のPDPでは、第1および第2の表示電極のどちらかの電位と、アドレス電極の電位とが表示放電の開始時点と終了時点とで異なっていなければならない。

【0013】

3電極構造のPDPの駆動において、表示放電の開始時点と終了時点との間に電極電位のオフセットを設けるためのパルス（これをオフセットパルスという）の種類は図1に示す5種、すなわちPos(Xp)、Pos(Yn)、Pos(Xn)、Pos(Yp)、およびPos(A)である。Pos(Xp)は、第1の表示電極(X)が陽極として機能する表示放電において、第1の表示電極(X)に印加される。Pos(Yn)は、第1の表示電極(X)が陽極として機能する表示放電（つまり、第2の表示電極(Y)が陰極として機能する表示放電）において、第2の表示電極(Y)に印加される。Pos(Xn)は、第1の表示電極(X)が陰極として機能する表示放電において、第1の表示電極(X)に印加される。Pos(Yp)は、第1の表示電極(X)が陰極として機能する表示放電（つまり、第2の表示電極(Y)が陽極として機能する表示放電）において、第2の表示電極(Y)に印加される。そして、Pos(A)は表示放電ごとにアドレス電極(A)に印加される。第1の表示電極(X)が陽極として機能する表示放電のオフセットベクトルは、Pos(Xp)、Pos(Yn)、およびPos(A)の組み合わせによって決まり、第1の表示電極(X)が陰極として機能する表示放電のオフセットベクトルは、Pos(Xn)、Pos(Yp)、およびPos(A)の組み合わせによって決まる。

【0014】

ここでは代表としてPos(Xp)、Pos(Yn)、およびPos(A)の組み合わせについて説明する。Pos(Xp)、Pos(Yn)、およびPos(A)の振幅を順にVos(X)、Vos(Y)、Vos(A)とし、これらの極性については、パルス印加によって駆動電圧が上昇する場合を正とし、駆動電圧が降下する場合を負とする。表示電極間(XY電極間)のオフセット電圧Vos(XY)、およびアドレス電極と第2の表示電極との間(AY電極間)のオフセット電圧Vos(AY)は、次の式で表される。

$$Vos(XY) = Vos(X) - Vos(Y)$$

10

20

30

40

50

$$V_{os}(AY) = V_{os}(A) - V_{os}(Y)$$

〔 1 〕 アドレス電極(A) が陽極として機能するオフセット

アドレス電極(A) が陽極である場合には、放電によって発生したイオンをアドレス電極(A) から遠ざける力が発生する。その結果、アドレス電極(A) の近傍に配置される蛍光体に対するイオン衝撃が緩和される。

【 0 0 1 5 】

〔 1 - 1 〕 第 1 の表示電極(X) および第 2 の表示電極(Y) に同じ振幅の負のパルスを印加する。これはアドレス電極(A) のみにオフセットパルスを印加するのと等価である。しかし、一般にアドレス電極(A) のドライバの耐圧は表示電極のドライバと比べて低いので、アドレス電極(A) のみにオフセットパルスを印加する場合には、振幅の大きいオフセットパルスを印加できない。第 1 の表示電極(X) および第 2 の表示電極(Y) に負のパルスを印加することで、オフセットベクトルを大きくすることができる。

10

【 0 0 1 6 】

〔 1 - 2 〕 第 1 の表示電極(X) および第 2 の表示電極(Y) に振幅の異なる負のパルスを印加し、表示電極間にもオフセット電圧を与える。これは輝度および発光効率の改善に特に有効である。また、オフセット電圧を与えることで表示放電の強度を低下させ、誘電体保護膜の寿命を延ばすこともできる。

【 0 0 1 7 】

〔 1 - 3 〕 第 1 の表示電極(X) および第 2 の表示電極(Y) に負のパルスを印加し、さらにアドレス電極(A) に正のパルスを印加する。すべての電極にオフセットパルスを印加することで、各電極のドライバの耐圧を低くすることができる。

20

〔 2 〕 アドレス電極(A) が陰極として機能するオフセット

一般にアドレス電極(A) は蛍光体で覆われる。この構造において、蛍光体と表示電極(X, Y) を覆う誘電体の保護膜とを比べると、蛍光体の 2 次電子放出係数は小さいので、アドレス電極(A) を陰極とする場合の放電開始電圧は高い。このことは、オフセットを設けても無用の対向放電が発生しにくいことを意味し、電力消費の低減および蛍光体の延命の双方に貢献する。

【 0 0 1 8 】

〔 2 - 1 〕 第 1 の表示電極(X) および第 2 の表示電極(Y) に同じ振幅の正のパルスを印加する。

30

〔 2 - 2 〕 第 1 の表示電極(X) および第 2 の表示電極(Y) に振幅の異なる正のパルスを印加する。

【 0 0 1 9 】

〔 2 - 3 〕 第 1 の表示電極(X) および第 2 の表示電極(Y) に正のパルスを印加するとともに、アドレス電極(A) に負のパルスを印加する。

〔 2 - 1 〕、〔 2 - 2 〕および〔 2 - 3 〕は、〔 1 - 1 〕、〔 1 - 2 〕および〔 1 - 3 〕と同様の長所をもつ。なお、図 1 では、第 1 の表示電極(X) および第 2 の表示電極(Y) に印加するサステインパルスの波形をエッジの急峻な単純矩形としたが、これは簡略表現である。実際には、セルが静電容量をもつことから、エッジの鈍った波形となる。さらに、公知の電力回収制御を行う場合には、微視的にみると、表示電極の電位は段階的に上昇または降下する。このような波形のサステインパルスに P_{os}(X_p)、P_{os}(Y_n)、P_{os}(X_n)、および P_{os}(Y_p) を重畳することで、本発明の効果が生れる。

40

【 0 0 2 0 】

【 発明の実施の形態 】

図 2 は本発明に係る表示装置の構成図である。表示装置 100 は、32 インチサイズのカラー表示画面を有した 3 電極構造の PDP1 と、セルの発光を制御するドライブユニット 70 とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニター、およびその他として利用される。

【 0 0 2 1 】

PDP1 は一対の基板構体 10, 20 からなる。基板構体とは、ガラス基板上に電極その

50

他の構成要素を設けた構造体である。PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが同一方向に配列され、これら表示電極X、Yと交差するようにアドレス電極Aが配列される。表示電極X、Yは画面の行方向（水平方向）に延び、誘電体および保護膜で覆われる。表示電極Yはスキャン電極として用いられる。アドレス電極Aは列方向（垂直方向）に延びており、アドレス電極Aはデータ電極として用いられる。図において表示電極X、Yの参照符号の添字（1、n）は対応する“行”の配列順位を示し、アドレス電極Aの参照符号の添字（1～m）は対応する“列”の配列順位を示す。行は列方向の配置順序が等しい列数分（m個）のセルの集合であり、列は行方向の配置順序が等しい行数分（n個）のセルの集合である。また、括弧内のアルファベットR、G、Bはそれを付した要素に対応するセルの発光色を示す。

10

【0022】

ドライブユニット70は、コントローラ71、電源回路73、Xドライバ81、Yドライバ84、およびAドライバ88を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはコントローラ71の中のフレームメモリに一時的に記憶される。コントローラ71は、フレームデータDfを階調表示のためのサブフレームデータDsfに変換してAドライバ88へ送る。サブフレームデータDsfは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。なお、インタレース表示の場合には、フレームを構成する複数のフィールドのそれぞれが複数のサブフィールドで構成され、サブフィールド単位の発光制御が行われる。ただし、発光制御の内容はプログレッシブ表示の場合と同様である。

20

【0023】

なお、Xドライバ81、Yドライバ84、およびAドライバ88は、電極に対するパルス印加のためのスイッチングデバイスを有しており、コントローラ71からの指示に従って、パルス振幅に対応したバイアス電源ラインと電極との導通路を開閉する。

【0024】

図3は表示画面のセル配列を示す平面図である。

表示画面において放電空間30は規則的に蛇行する隔壁29によって列ごとに区画され、広大部（行方向の幅の大きい部分）31Aと狭窄部（幅の小さい部分）31Bとが交互に並ぶ列空間31が形成されている。すなわち、各隔壁29は平面視において一定の周期および幅で波打っており、隣り合う隔壁29との距離が列方向における等間隔の位置ごとに一定値より小さくなるように配置されている。一定値とは放電の抑止が可能な寸法であり、ガス圧などの放電条件によって定まる。隣り合う隔壁で挟まれた列空間31が全ての行に跨がって連続する構造は、列単位のプライミングによる駆動の容易化、蛍光体層の膜厚の均一化、および製造における排気処理の容易化を図る上で有利である。狭窄部31Bでは面放電が生じにくいので、実質的には広大部31Aが発光に寄与する。すなわち、各セルCは表示画面における1つの広大部31Aの範囲内の構造体である。各行において1列置きにセルが存在する。そして、隣り合う2つの行に注目すると、セルの存在する列が1列ごとに交互に入れ替わる。つまり、セルは行方向および列方向の双方において千鳥状に並ぶ。図では代表として5個のセルCを鎖線の円で示してある（図を見やすくするために円は実際より若干大きい範囲を囲んでいる）。PDP1では、RGBの計3つのセルによって1つの画素が構成され、カラー表示の3色の配列形式は三角（デルタ）配列形式である。三角配列は、行方向においてセルの幅が画素ピッチの1/3よりも大きく、インライン配列に比べて高精細化に有利である。また、画面のうちの非発光領域の占める割合が小さいので、高輝度の表示を行うことができる。なお、必ずしも水平方向を行方向とする必要はなく、垂直方向を行方向とし水平方向を列方向としてもよい。

30

40

【0025】

図4はPDPのセル構造を示す斜視図である。

PDP1では、前面側のガラス基板11の内面に表示電極X、Y、誘電体層17および保

50

護膜 18 が設けられ、背面側のガラス基板 21 の内面にアドレス電極 A、絶縁層 24、隔壁 29、および蛍光体層 28R, 28G, 28B が設けられる。表示電極 X, Y は、それぞれが面放電ギャップを形成する透明導電膜 41 とバス導体としての金属膜 42 とから構成され、列方向に一定の間隔（面放電ギャップ）を隔てて交互に配列される。面放電ギャップのギャップ方向、すなわち表示電極 X, Y の対峙方向は列方向である。

【0026】

図 5 は表示電極の形状を示す平面図である。

表示電極 X, Y のそれぞれは、列方向に蛇行しながら行方向に延びる透明導電膜 41 と、広大部 31A を避けるように隔壁 29 に沿って蛇行しながら行方向に延びる帯状の金属膜 42 とで構成される。透明導電膜 41 は、波打つように湾曲した帯状であって、列毎に金属膜 42 から広大部 31A に向かって張り出す弧状のギャップ形成部をもつ。各広大部 31A において、表示電極 X のギャップ形成部と表示電極 Y のギャップ形成部とが対峙し、鼓状の面放電ギャップを形成する。対峙するギャップ形成部の対において、対向する辺どうしは平行でない。なお、帯状の透明導電膜 41 の幅は規則的に変化してもよい。この電極形状によれば、直線帯状とする場合と比べて、面放電ギャップ長（最短電極間距離）を増大させずに電極間距離の静電容量を低下させることができる。また、広大部 31A の行方向中央での透明導電膜 41 と金属膜 42 との距離が大きいので、透明導電膜 41 と金属膜 42 との隙間に生じる電界の強度が小さい。このことは行間の放電干渉の防止に寄与する。さらに、副次的な効果として、金属膜 42 による遮光が軽減されて発光効率が高まる。

【0027】

図 6 はフレーム分割の概念図である。PDP1 による表示では、2 値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレーム F を所定数 q のサブフレーム SF に分割する。つまり、各フレーム F を q 個のサブフレーム SF の集合に置き換える。これらサブフレーム SF に順に例えば $2^0, 2^1, 2^2, \dots, 2^{q-1}$ の重みを付与して各サブフレーム SF の表示放電の回数を設定する。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。冗長な重み付けを採用して偽輪郭を低減してもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間 T_f を q 個のサブフレーム期間 T_{sf} に分割し、各サブフレーム SF に 1 つのサブフレーム期間 T_{sf} を割り当てる。さらに、サブフレーム期間 T_{sf} を、初期化のためのリセット期間 T_R、アドレッシングのためのアドレス期間 T_A、および点灯維持のための表示期間 T_S に分ける。リセット期間 T_R およびアドレス期間 T_A の長さが重みに係わらず一定であるのに対し、表示期間 T_S の長さは重みが大きいほど長い。したがって、サブフレーム期間 T_{sf} の長さも、それに該当するサブフレーム SF の重みが大きいほど長い。駆動シーケンスはサブフレーム毎に繰り返され、q 個のサブフレーム SF においてリセット期間 T_R・アドレス期間 T_A・表示期間 T_S の順序は共通である。以下、本発明の特徴に関わる表示期間 T_S の駆動波形について説明する。

【0028】

図 7 は表示期間の駆動電圧信号の波形図、図 8 は駆動電圧の変化と放電との関係を示す図である。図 7 および図 8 では、2 回の表示放電に係る駆動電圧信号が示されている。3 回以上の表示放電を生じさせるサブフレームでは、各電極に図示の駆動電圧信号が繰り返し与えられる。なお、電極間に加わる駆動電圧信号は、該当する電極のそれぞれに対する駆動電圧信号を合成した信号である。

【0029】

図 7 のとおり、表示電極 X および表示電極 Y にはサステインパルス P_s とオフセットパルス P_{os1} とを有した駆動電圧信号が与えられ、アドレス電極 A にはオフセットパルス P_{os2} を有した駆動電圧信号が与えられる。サステインパルス P_s は表示電極 X と表示電極 Y とに交互に印加され、印加ごとに表示放電が生じる。これは、サステインパルス P_s の振幅 V_s が、仮にオフセットパルス P_{os1} の振幅 V_{os(XY)} が 0 であってもサステインパルス P_s の印加によって X Y 電極間のセル電圧が放電開始電圧を超えるように選定されるから

である。オフセットパルス P_{os1} は、表示電極 X および表示電極 Y の一方へのサステインパルス P_s の印加と同時に他方の表示電極に印加される。オフセットパルス P_{os1} のパルス幅 $T_{os}(XY)$ は、図 8 のとおり表示放電の開始時点 t_{s1} , t_{s2} と終了時点 t_{e1} , t_{e2} とで X Y 電極間の駆動電圧が異なるように、すなわち表示放電の途中でオフセットパルス P_{os1} の印加が終了して駆動電圧が $V_s + V_{os}(XY)$ から V_s へ変化するように、サステインパルス P_s のパルス幅 (数 μs 程度) よりも十分に短い値に選定される。具体的にはパルス幅 $T_{os}(XY)$ は $100 ns \sim 200 ns$ の範囲内の値である。オフセットパルス P_{os2} は、表示電極 X および表示電極 Y のそれぞれへのサステインパルス P_s の印加と同時にアドレス電極 A に印加される。オフセットパルス P_{os2} の印加終了により、表示放電の途中で A Y 電極間または A X 電極間 (アドレス電極 A と表示電極 X との間) の駆動電圧が $V_s + V_{os}(AY)$ から V_s へ変化する。オフセットパルス P_{os2} のパルス幅 $T_{os}(AY)$ もサステインパルス P_s のパルス幅よりも十分に短い (具体値はオフセットパルス P_{os1} と同様)。

【0030】

図 9 は本発明に係る表示過程を表すセル電圧平面図である。ここでの説明は、セルにおいて表示電極 X , Y が対称に配置され、表示電極 X , Y の機能が表示放電において同等であることから、代表として表示電極 X が陽極で表示電極 Y が陰極として機能する表示放電について行う。

【0031】

オフセットパルス P_{os1} がサステインパルス P_s に重畳することによって、図 9 の横軸方向に放電開始時点のセル電圧が移動する。また、オフセットパルス P_{os2} がサステインパルス P_s に重畳することによって、図 9 の縦軸方向に放電開始時点のセル電圧が移動する。つまり、オフセットパルス P_{os1} およびオフセットパルス P_{os2} の印加によって、セル電圧平面内での 2 次元の移動が実現される。このことは、表示放電が生じる瞬間における X Y 電極間のセル電圧と A Y 電極間のセル電圧との関係を任意に設定できることを意味する。セル電圧平面において放電開始時点のセルの状態を示す位置 (図中で黒丸で示される) が、原点を通る傾き $1/2$ の直線 L の上に限定されないのである。オフセットパルス P_{os1} の振幅 $V_{os}(XY)$ およびオフセットパルス P_{os2} の振幅 $V_{os}(AY)$ 、すなわちオフセット電圧を適切に選定すれば輝度および発光効率が向上する。

【0032】

図 10 は輝度のオフセット電圧依存性を示し、図 11 は発光効率のオフセット電圧依存性を示す。これらの図は、図 7 の波形においてサステインパルス P_s の振幅 V_s をその許容範囲の中間値である 180 ボルトに選定し、オフセット電圧 $V_{os}(XY)$ およびオフセット電圧 $V_{os}(AY)$ をパラメータとして PDP1 を駆動した測定実験の結果である。

【0033】

$V_{os}(AY) = 0$ ボルトの曲線は、図 8 において横軸方向のみにセル電圧を移動させた場合の特性、すなわち特開平 10 - 333635 号公報の手法を採用した場合の特性を示す。これと比べて、オフセット電圧 $V_{os}(XY)$ およびオフセット電圧 $V_{os}(AY)$ の重畳によってセル電圧を横軸方向および縦軸方向に移動させた場合には、 $V_{os}(AY) = 50$ ボルト、 $V_{os}(AY) = 100$ ボルト、 $V_{os}(AY) = 150$ ボルト、および $V_{os}(AY) = 180$ ボルトのいずれの条件であっても、輝度および発光効率の両方が高い。また、 $V_{os}(AY) = 0$ ボルトの場合における $V_{os}(XY)$ に対する発光効率の依存特性が鋭いピークをもつものに対して、オフセット電圧 $V_{os}(AY)$ が高いほどなだらかな依存特性となる。特性曲線がなだらかであれば、駆動電圧の設定におけるマージン (許容範囲) が広い。つまり、オフセット電圧 $V_{os}(XY)$ を変更しても、それに伴う特性の変化が微小であるので、所定水準の表示品質を確保するのが容易である。特性曲線が急峻であれば、オフセット電圧 $V_{os}(XY)$ を少し変更するだけで表示品質が大きく変わってしまう。したがって、オフセット電圧 $V_{os}(AY)$ の重畳は表示特性だけでなく駆動制御の観点でも有利である。さらに、 $V_{os}(AY) = 0$ ボルトの場合には、発光効率を最大とするためにオフセット電圧 $V_{os}(XY)$ を 160 ボルトにする必要があるのに対して、オフセット電圧 $V_{os}(AY)$ を重畳させる場合には $V_{os}(AY) = 100$ ボルト、 $V_{os}(XY)$

10

20

30

40

50

= 130ボルトでよい。オフセット電圧 $V_{os}(AY)$ の重畳は、駆動回路の耐圧の低減および電源の低電圧化にも貢献する。

【0034】

図10および図11の特性をみると、上述のとおりオフセット電圧 $V_{os}(AY)$ が50ボルト～180ボルトの範囲の値であれば、輝度および発光効率が改善される。ただし、オフセット電圧 $V_{os}(AY)$ が0の場合に対して顕著な差が現れる好ましいオフセット電圧 $V_{os}(AY)$ の範囲は、100ボルト～180ボルトである。さらに、輝度について1.5倍以上の改善が可能ということからすると、より好ましいオフセット電圧 $V_{os}(AY)$ の範囲は150ボルト～180ボルトである。一方、XY電極間のオフセット電圧 $V_{os}(XY)$ については、輝度および発光効率の両方が改善される80ボルト～180ボルトが好ましい範囲である。さらに改善の大きさからみて、より好ましいオフセット電圧 $V_{os}(XY)$ の範囲は120ボルト～180ボルトである。

10

【0035】

図12は $V_{os}(AY) = V_{os}(XY) / 2$ としたときの駆動マージンを示す。ここでの駆動マージンは、XY電極間の放電開始電圧 V_{f1} と点灯を維持するのに必要な最低の駆動電圧 V_{smn} との差である。サステインパルス P_s の振幅であるサステイン電圧 V_s を V_{f1} 以上にすると、アドレッシングで非点灯としたセルでも放電が起こってしまう。サステイン電圧 V_s を V_{smn} 未満にすると、点灯状態のセルが消灯状態になってしまう。したがって、サステイン電圧 V_s は V_{f1} と V_{smn} との間の値に設定される。図のとおりオフセット電圧 $V_{os}(XY)$ を高くすると V_{smn} が低くなる。つまり、オフセット電圧 $V_{os}(XY)$ の印

20

加によってサステイン電圧 V_s を低くすることができ、それによって駆動回路の耐圧の低減および電源の低電圧化が可能になる。

【0036】

【発明の効果】

請求項1ないし請求項3の発明によれば、表示放電における輝度および発光効率の両方を改善することができる。

【図面の簡単な説明】

【図1】オフセットパルスの説明図である。

【図2】本発明に係る表示装置の構成図である。

【図3】表示画面のセル配列を示す平面図である。

30

【図4】PDPのセル構造を示す斜視図である。

【図5】表示電極の形状を示す平面図である。

【図6】フレーム分割の概念図である。

【図7】表示期間の駆動電圧信号の波形図である。

【図8】駆動電圧の変化と放電との関係を示す図である。

【図9】本発明に係る表示過程を表すセル電圧平面図である。

【図10】輝度のオフセット電圧依存性を示す図である。

【図11】発光効率のオフセット電圧依存性を示す図である。

【図12】 $V_{os}(AY) = V_{os}(XY) / 2$ としたときの駆動マージンを示す図である。

【図13】3電極構造に適用される表示放電のための従来の一般的な駆動波形を示す図である。

40

【図14】従来の駆動方法に係る表示過程を表すセル電圧平面図である。

【図15】従来の駆動方法における輝度および発光効率の駆動電圧依存性を示す図である。

【符号の説明】

17 誘電体

X, Y 表示電極

A アドレス電極

C セル

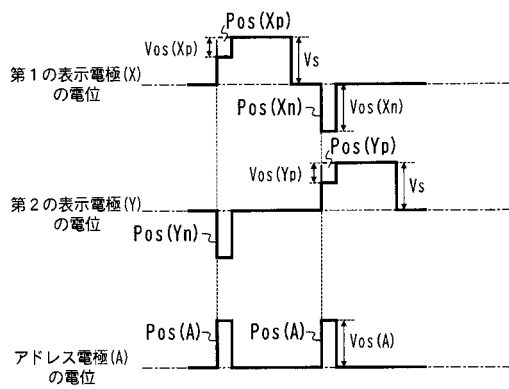
1 プラズマディスプレイパネル

50

t_{s1}, t_{s2} 開始時点
 t_{e1}, t_{e2} 終了時点

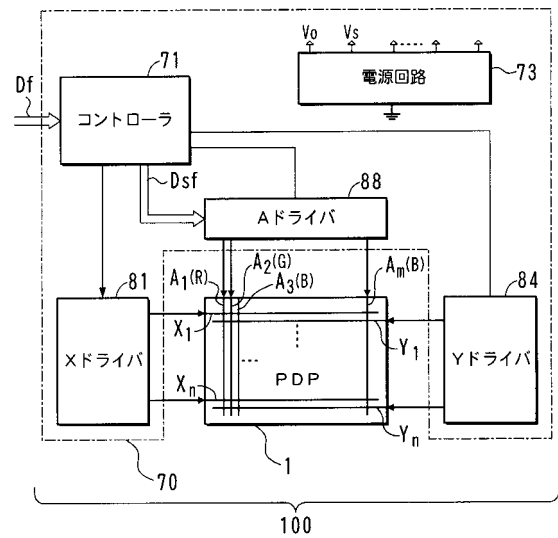
【図1】

オフセットパルスの説明図



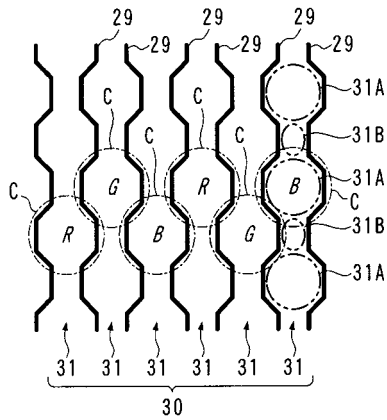
【図2】

本発明に係る表示装置の構成図



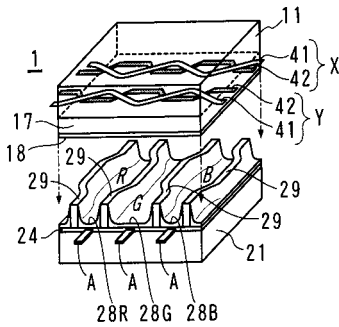
【 図 3 】

表示画面のセル配列を示す平面図



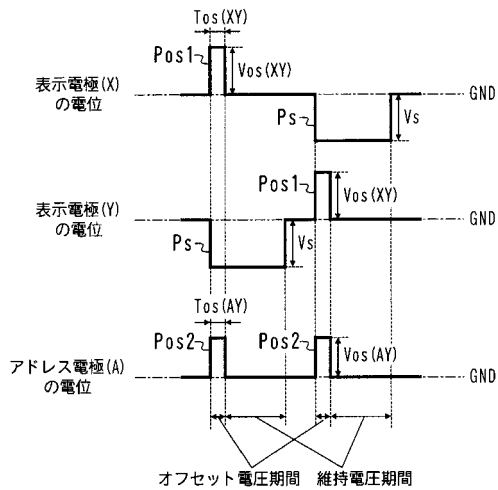
【 図 4 】

PDPのセル構造を示す斜視図



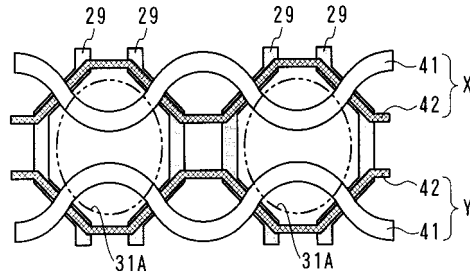
【 図 7 】

表示期間の駆動電圧信号の波形図



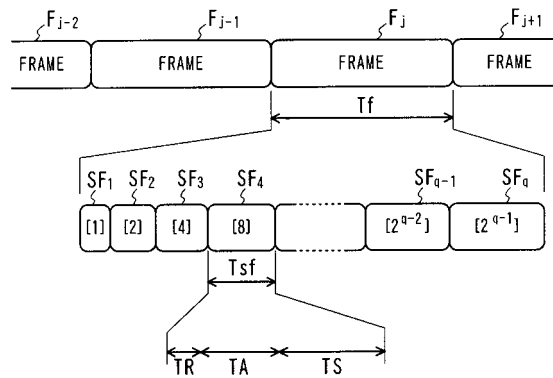
【 図 5 】

表示電極の形状を示す平面図



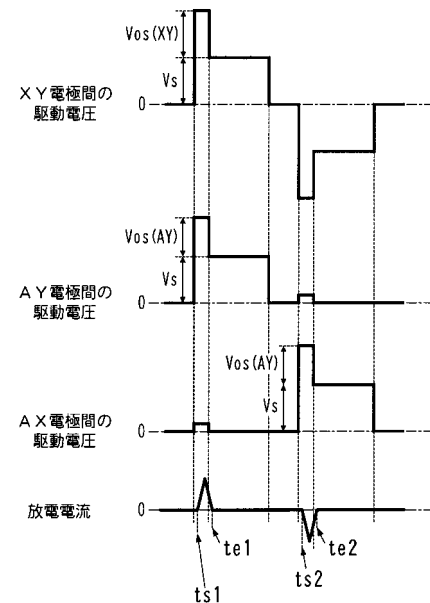
【 図 6 】

フレーム分割の概念図

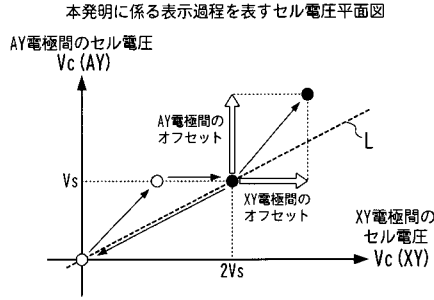


【 図 8 】

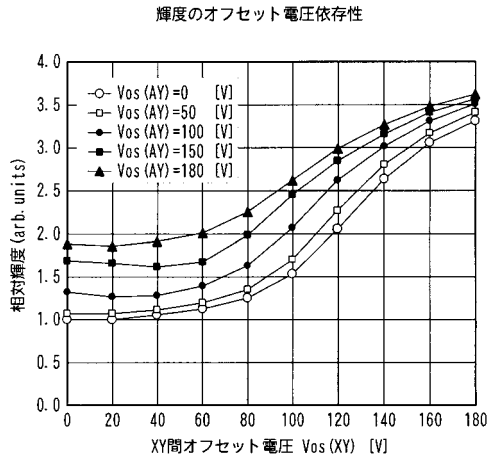
駆動電圧の変化と放電との関係を示す図



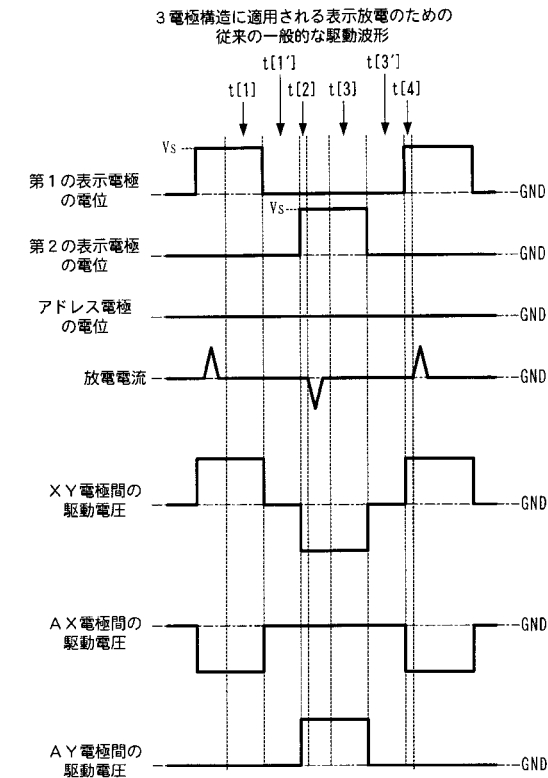
【図9】



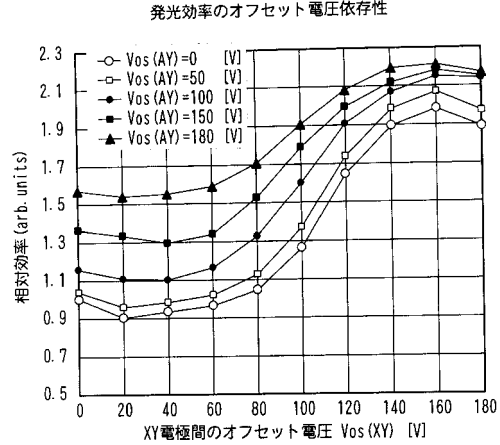
【図10】



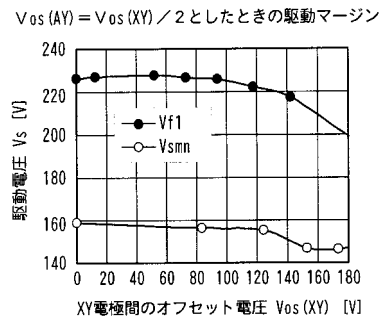
【図13】



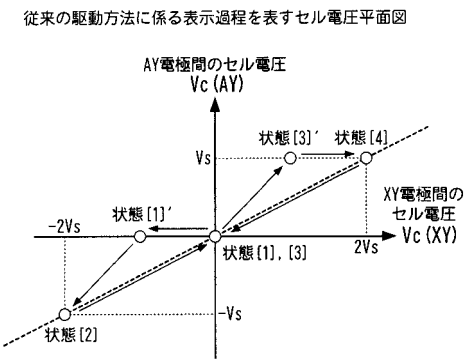
【図11】



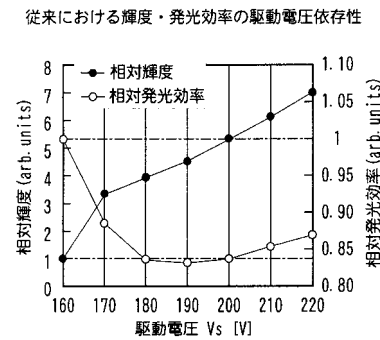
【図12】



【図14】



【図15】



フロントページの続き

合議体

審判長 杉野 裕幸

審判官 下中 義之

審判官 堀部 修平

- (56)参考文献 特開平9 - 6 8 9 4 4 (J P , A)
特表2 0 0 1 - 5 0 4 2 4 3 (J P , A)
特開平1 0 - 3 3 3 6 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G3/28

G09G3/20