



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월19일
(11) 등록번호 10-0829905
(24) 등록일자 2008년05월08일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2006-0099827(분할)
(22) 출원일자 2006년10월13일
심사청구일자 2006년10월13일
(65) 공개번호 10-2006-0125631
(43) 공개일자 2006년12월06일
(62) 원출원 특허 10-2001-0065280
원출원일자 2001년10월23일
심사청구일자 2006년10월13일

(30) 우선권주장

JP-P-2000-00323543 2000년10월24일 일본(JP)
JP-P-2000-00358274 2000년11월24일 일본(JP)

(56) 선행기술조사문헌

JP11272233 A
JP2000056847 A
JP2000214824 A
JP2002169510 A

전체 청구항 수 : 총 6 항

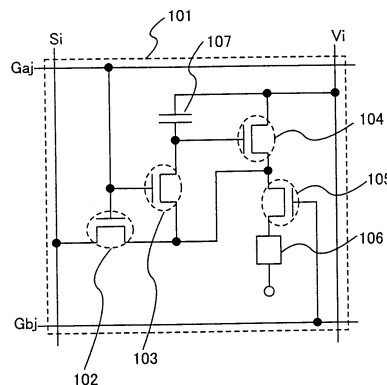
심사관 : 김남인

(54) 발광장치

(57) 요약

온도 변화에 무관하게 일정한 레벨의 휘도를 얻을 수 있는 표시장치 구동방법이 제공된다. 전압 대신에 전류로 EL 소자의 휘도를 제어함으로써, 온도 변화로 인한 EL 소자의 휘도 변화를 방지할 수 있다. 구체적으로는, EL 소자로 흐르는 전류의 양을 제어하기 위한 TFT가 포화 영역에서 동작한다. 그래서, 그 TFT의 전류값 I_{DS} 는 V_{DS} 에 의해서는 거의 변하지 않고, V_{GS} 에 의해서만 결정된다. 따라서, 전류값 I_{DS} 를 일정하게 하는 값으로 V_{GS} 를 설정함으로써, EL 소자에서 흐르는 전류의 양이 일정하게 유지된다. EL 소자의 휘도는 EL 소자를 통해 흐르는 전류의 크기에 대략 정비례하므로, 온도 변화 시의 EL 소자의 휘도 변화가 방지될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, EL 소자, 소스 신호선, 및 전원공급선을 각각 포함하는 다수의 화소를 가지는 발광장치에 있어서,

상기 제3 TFT와 상기 제4 TFT가 그들의 게이트 전극에서 서로 접속되어 있고;

상기 제3 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 소스 신호선에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 드레인 영역에 접속되어 있고;

상기 제4 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 제1 TFT의 드레인 영역에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 게이트 전극에 접속되어 있고;

상기 제1 TFT의 소스 영역이 상기 전원공급선에 접속되고, 상기 제1 TFT의 드레인 영역은 상기 제2 TFT의 소스 영역에 접속되어 있고;

상기 제2 TFT의 드레인 영역이 상기 EL 소자의 2개의 전극 중 하나에 접속되어 있는 것을 특징으로 하는 발광장치.

청구항 2

제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, EL 소자, 소스 신호선, 제1 게이트 신호선, 제2 게이트 신호선, 및 전원공급선을 각각 포함하는 다수의 화소를 가지는 발광장치에 있어서,

상기 제3 TFT와 상기 제4 TFT 모두가 그들의 게이트 전극에서 상기 제1 게이트 신호선에 접속되어 있고;

상기 제3 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 소스 신호선에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 드레인 영역에 접속되어 있고;

상기 제4 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 제1 TFT의 드레인 영역에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 게이트 전극에 접속되어 있고;

상기 제1 TFT의 소스 영역이 상기 전원공급선에 접속되고, 상기 제1 TFT의 드레인 영역은 상기 제2 TFT의 소스 영역에 접속되어 있고;

상기 제2 TFT의 드레인 영역이 상기 EL 소자의 2개의 전극 중 하나에 접속되어 있고;

상기 제2 TFT의 게이트 전극이 상기 제2 게이트 신호선에 접속되어 있는 것을 특징으로 하는 발광장치.

청구항 3

제 1 항에 있어서, 상기 제3 TFT와 상기 제4 TFT가 동일 도전형을 가지는 것을 특징으로 하는 발광장치.

청구항 4

제 2 항에 있어서, 상기 제3 TFT와 상기 제4 TFT가 동일 도전형을 가지는 것을 특징으로 하는 발광장치.

청구항 5

제 1 항에 있어서, 상기 발광장치가, EL 표시장치, 디지털 스틸 카메라, 노트북 컴퓨터, 모바일 컴퓨터, 휴대형 화상재생장치, 고글형 디스플레이, 비디오 카메라 및 휴대 전화기로 이루어진 군에서 선택되는 장치인 것을 특징으로 하는 발광장치.

청구항 6

제 2 항에 있어서, 상기 발광장치가, EL 표시장치, 디지털 스틸 카메라, 노트북 컴퓨터, 모바일 컴퓨터, 휴대형 화상재생장치, 고글형 디스플레이, 비디오 카메라 및 휴대 전화기로 이루어진 군에서 선택되는 장치인 것을 특징으로 하는 발광장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <41> 본 발명은 기판 상에 형성된 EL 소자가 기판과 커버재 사이에 봉입(封入)되어 있는 EL 패널 및 그 EL 패널의 구동방법에 관한 것이다. 또한, 본 발명은 EL 패널에 IC를 실장하여 얻어진 EL 모듈 및 그 EL 모듈의 구동방법에 관한 것이다. 본 명세서에서 EL 패널 및 EL 모듈을 발광장치라 총칭한다. 또한, 본 발명에는, 상기 구동방법으로 구동될 때 화상을 표시하는 발광장치를 사용한 전자장치도 포함된다.
- <42> EL 소자는 자기발광형이기 때문에 액정 표시장치(LCD)에서 필요한 백라이트가 필요없어, 표시장치의 박형화를 용이하게 한다. 또한, 자기발광형 EL 소자는 시인성(視認性)이 높고, 시야각에도 제한이 없다. 이 때문에, 최근, EL 소자를 사용한 발광장치가 CRT 및 LCD를 대체하는 표시장치로서 주목받고 있다.
- <43> EL 소자는 양극층 및 음극층에 추가하여, 전계를 인가한 때 발광(전계발광(electroluminescence))을 제공하는 유기 화합물을 함유하는 층(이하, EL 층이라 칭함)을 가지고 있다. 유기 화합물로부터 얻어지는 발광에는, 1층항 여기 상태에서부터 기저 상태로 복귀할 때의 발광(형광)과 삼중항 여기 상태에서부터 기저 상태로 복귀할 때의 발광(인광)이 있다. 본 발명의 발광장치에서는 어느 타입의 발광을 이용하여도 좋다.
- <44> 본 명세서에서는, 양극과 음극 사이에 제공된 모든 층을 EL 층으로 정의한다. 구체적으로는, EL 층은 발광층, 정공주입층, 전자주입층, 정공수송층, 전자수송층 등을 포함한다. EL 소자의 기본 구조는 양극, 발광층, 음극이 차례로 적층된 적층체이다. 이 기본 구조는 양극, 정공주입층, 발광층, 음극이 차례로 적층된 적층체, 또는 양극, 정공주입층, 발광층, 전자수송층, 음극이 차례로 적층된 적층체로 변경될 수도 있다.
- <45> 본 명세서에서, EL 소자가 발광하는 것을 EL 소자가 구동된다고 표현한다. 또한, 본 명세서에서는, 양극, EL 층 및 음극으로 구성된 발광소자를 EL 소자라 정의한다.
- <46> EL 소자를 구비한 발광장치를 구동하는 방법은 아날로그 구동방법과 디지털 구동방법으로 대별된다. 디지털 구동은, 발광장치가 화상정보를 포함하는 디지털 비디오 신호를 아날로그 신호로 변환하지 않고 그대로 사용하여 화상을 표시할 수 있기 때문에, 아날로그 방송으로부터 디지털 방송으로의 전환의 관점에서 유망시되고 있다.
- <47> 디지털 비디오 신호가 가지는 2값 전압에 의해 계조 표시를 행하는 방법으로서, 면적분할 구동방법과 시간분할 구동방법이 있다.
- <48> 면적분할 구동방법은, 하나의 화소를 다수의 부(副)화소로 분할하고 각 부화소를 디지털 비디오 신호에 따라 개별적으로 구동하여 계조 표시를 행하는 구동방법이다. 면적분할 구동방법은 하나의 화소를 다수의 부화소로 분할하고 각 부화소를 개별적으로 구동하기 때문에, 각 부화소마다 화소 전극을 마련할 필요가 있다. 따라서, 화소 구조가 복잡하게 되는 단점이 있다.
- <49> 한편, 시간분할 구동방법은 화소가 점등되는 시간의 길이를 제어함으로써 계조 표시를 행하는 구동방법이다. 구체적으로는, 1 프레임 기간이 다수의 서브프레임 기간으로 분할된다. 각 서브프레임 기간에서, 디지털 비디오 신호에 따라 각 화소의 점등 여부가 결정된다. 1 프레임 기간 중에 출현하는 전체 서브프레임 기간의 길이에 대하여 화소가 점등한 서브프레임 기간의 길이를 적산(積算)함으로써 그 화소의 계조가 결정된다.
- <50> 일반적으로, 유기 EL 재료는 액정보다 응답속도가 빠르기 때문에, EL 소자가 시간분할 구동에 적합하다.
- <51> 다음에, 시간분할 구동으로 구동되는 일반적인 발광장치의 화소 구성에 대하여 도 25를 참조하여 설명한다.
- <52> 도 25는 일반적인 발광장치의 화소(9004)의 회로도이다. 이 화소(9004)는 소스 신호선들 중의 하나(소스 신호선(9005)), 전원공급선들 중의 하나(전원공급선(9006)), 및 게이트 신호선들 중의 하나(게이트 신호선(9007))를 가지고 있다. 화소(9004)는 또한, 스위칭용 TFT(9008)와 EL 구동용 TFT(9009)도 가지고 있다. 스위칭용 TFT(9008)의 게이트 전극이 게이트 신호선(9007)에 접속되어 있다. 스위칭용 TFT(9008)의 소스 영역과 드레인 영역 중 한쪽 영역이 소스 신호선(9005)에 접속되고, 다른 한쪽 영역은 EL 구동용 TFT(9009)의 게이트 전극 및 커패시터(9010)에 접속되어 있다. 발광장치의 각 화소는 하나의 커패시터를 가진다.
- <53> 커패시터(9010)는, 스위칭용 TFT(9008)가 비선택 상태(오프 상태)에 있을 때 EL 구동용 TFT(9009)의 게이트 전압(게이트 전극과 소스 영역 사이의 전위차)을 보유하기 위해 제공되어 있다.

- <54> EL 구동용 TFT(9009)의 소스 영역은 전원공급선(9006)에 접속되고, 드레인 영역은 EL 소자(9011)에 접속된다. 전원공급선(9006)은 커패시터(9010)에 접속되어 있다.
- <55> EL 소자(9011)는 양극과 음극, 및 그 양극과 음극 사이에 제공된 EL 층으로 구성된다. 양극이 EL 구동용 TFT(9009)의 드레인 영역에 접속하여 있는 경우, 양극은 화소 전극이 되고, 음극이 대향 전극이 된다. 반대로, 음극이 EL 구동용 TFT(9009)의 드레인 영역에 접속하여 있는 경우, 음극이 화소 전극이 되고, 양극이 대향 전극이 된다.
- <56> EL 소자(9011)의 대향 전극에는 대향 전위가 주어진다. 또한, 전원공급선(9006)에는 전원 전위가 주어진다. 전원 전위 및 대향 전위는 표시장치의 외부 IC에 배치된 전원에 의해 제공된다.
- <57> 다음에, 도 25에 도시된 화소의 동작에 대하여 설명한다.
- <58> 게이트 신호선(9007)에 선택 신호가 입력되어, 스위칭용 TFT(9008)가 온(on) 상태로 되고, 이 스위칭용 TFT(9008)를 통해, 소스 신호선(9005)에 입력된 화상정보를 포함하는 디지털 신호(이하, 이 신호를 디지털 비디오 신호라 칭함)가 EL 구동용 TFT(9009)의 게이트 전극에 입력된다.
- <59> EL 구동용 TFT(9009)의 게이트 전극에 입력되는 디지털 비디오 신호는 EL 구동용 TFT(9009)의 스위칭을 제어하는데 사용되는 '1' 또는 '0'의 정보를 함유하고 있다.
- <60> EL 구동용 TFT(9009)가 오프(off)로 된 경우, 전원공급선(9006)의 전위가 EL 소자(9011)의 화소 전극에 인가되지 않으므로 EL 소자(9011)는 발광하지 않는다. 반면, EL 구동용 TFT(9009)가 온으로 된 경우, 전원공급선(9006)의 전위가 EL 소자(9011)의 화소 전극에 인가되어 EL 소자(9011)가 발광한다.
- <61> 상기 동작이 각 화소에서 행해짐으로써 화상이 표시된다.

발명이 이루고자 하는 기술적 과제

- <62> 그러나, 상기 동작으로 화상을 표시하는 발광장치에서는, 주위 온도 또는 EL 패널 자체로부터 발생하는 열로 인해 EL 소자의 EL 층의 온도가 변화하면, 그 온도 변화에 따라 EL 소자의 휘도도 변화한다. 도 26은 EL 층의 온도를 변화시킨 때의 EL 소자의 전압-전류 특성의 변화를 나타낸다. EL 층의 온도가 낮게 되면 EL 소자를 통해 흐르는 전류가 적게 된다. 반대로, EL 층의 온도가 높게 되면 EL 소자를 통해 흐르는 전류가 크게 된다.
- <63> EL 소자에서 흐르는 전류가 적을 수록 EL 소자의 휘도는 낮게 된다. EL 소자에서 흐르는 전류가 클 수록 EL 소자의 휘도는 높게 된다. 따라서, EL 소자에 인가되는 전압이 일정하여도, 온도 변화에 따라 EL 층에서 흐르는 전류의 크기가 변하기 때문에, EL 소자의 휘도도 변화한다.
- <64> EL 재료에 따라, 온도 변화로 인한 휘도 변화의 정도가 다르다. 따라서, 컬러 표시에서 상이한 색의 발광을 위해 상이한 EL 소자에 상이한 EL 재료를 사용한 경우, 온도 변화에 따라 상이한 색의 EL 소자에서의 휘도 변화의 정도가 다르게 될 수 있어, 소망의 색이 얻어질 수 없다.
- <65> 본 발명은 상기 문제를 감안하여 이루어진 것으로, 본 발명의 목적은 온도 변화에 무관하게 일정한 휘도를 얻을 수 있는 발광장치 및 그의 구동방법을 제공하는데 있다.

발명의 구성 및 작용

- <66> 본 발명자들은, 전압 대신에 전류로 EL 소자의 휘도를 제어함으로써, 온도 변화로 인한 EL 소자의 휘도 변화를 방지하는 것을 생각하였다.
- <67> EL 소자에 일정 전류를 흐르게 하기 위해서는, EL 소자로 흐르는 전류의 크기를 제어하는 TFT를 포화 영역에서 동작시키고, 그 TFT의 드레인 전류를 일정하게 유지시킨다. 그 TFT는 하기 식 1이 만족될 경우에 포화 영역에서 동작할 수 있다.
- <68> [식 1]
- <69> $|V_{GS}-V_{TH}| < |V_{DS}|$
- <70> 여기서, V_{GS} 는 게이트 전극과 소스 영역 사이의 전위차이고, V_{TH} 는 스톱시홀드이고, V_{DS} 는 드레인 영역과 소스 영역 사이의 전위차이다.

<71> TFT의 드레인 전류(채널 형성 영역에서 흐르는 전류)를 I_{DS} , TFT의 이동도를 μ , 단위 면적 당 게이트 용량을 C_0 , 채널 형성 영역의 채널 폭 W 대 채널 길이 L 의 비를 W/L , 스톱시홀드를 V_{TH} 라 하면, 포화 영역에서 하기 식 2가 만족된다.

<72> [식 2]

<73>
$$I_{DS} = \mu C_0 W/LX(V_{GS} - V_{TH})^2/2$$

<74> 식 2에서 알 수 있는 바와 같이, 포화 영역에서 드레인 전류 I_{DS} 는 V_{DS} 에 의해 거의 변화하지 않고, V_{GS} 에 의해만 결정된다. 따라서, 전류값 I_{DS} 를 일정하게 하는 값으로 V_{GS} 를 설정함으로써, EL 소자에서 흐르는 전류의 크기가 일정하게 유지된다. EL 소자의 휘도는 EL 소자에서 흐르는 전류의 크기에 대략 정비례하므로, 온도 변화 시의 EL 소자의 휘도 변화를 방지할 수 있다.

<75> 다음에, 본 발명의 구성을 설명한다.

<76> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, EL 소자, 소스 신호선, 및 전원공급선을 각각 포함하는 다수의 화소를 가지는 발광장치에 있어서, 상기 제3 TFT와 상기 제4 TFT가 그들의 게이트 전극에서 서로 접속되어 있고; 상기 제3 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 소스 신호선에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 드레인 영역에 접속되어 있고; 상기 제4 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 제1 TFT의 드레인 영역에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 게이트 전극에 접속되어 있고; 상기 제1 TFT의 소스 영역이 상기 전원공급선에 접속되고, 상기 제1 TFT의 드레인 영역은 상기 제2 TFT의 소스 영역에 접속되어 있고; 상기 제2 TFT의 드레인 영역이 상기 EL 소자의 2개의 전극 중 하나에 접속되어 있는 것을 특징으로 하는 발광장치를 제공한다.

<77> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, EL 소자, 소스 신호선, 제1 게이트 신호선, 제2 게이트 신호선, 및 전원공급선을 각각 포함하는 다수의 화소를 가지는 발광장치에 있어서, 상기 제3 TFT와 상기 제4 TFT가 모두 그들의 게이트 전극에서 상기 제1 게이트 신호선에 접속되어 있고; 상기 제3 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 소스 신호선에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 드레인 영역에 접속되어 있고; 상기 제4 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 상기 제1 TFT의 드레인 영역에 접속되고, 다른 한쪽 영역은 상기 제1 TFT의 게이트 전극에 접속되어 있고; 상기 제1 TFT의 소스 영역이 상기 전원공급선에 접속되고, 상기 제1 TFT의 드레인 영역은 상기 제2 TFT의 소스 영역에 접속되어 있고; 상기 제2 TFT의 드레인 영역이 상기 EL 소자의 2개의 전극 중 하나에 접속되어 있고; 상기 제2 TFT의 게이트 전극이 상기 제2 게이트 신호선에 접속되어 있는 것을 특징으로 하는 발광장치를 제공한다.

<78> 본 발명은, TFT와 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 TFT의 V_{GS} 가 제어되고; 제2 기간에, 상기 TFT의 V_{GS} 가 보유되고 또한 상기 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.

<79> 본 발명은, TFT와 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 TFT의 V_{GS} 가 제어되고; 제2 기간에, V_{GS} 로 제어된 전류가 상기 TFT의 채널 형성 영역을 통해 상기 EL 소자로 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.

<80> 본 발명은, 제1 TFT, 제2 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 제1 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 제1 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, 상기 제1 TFT의 V_{GS} 가 보유되고 또한 상기 제1 TFT 및 상기 제2 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.

<81> 본 발명은, 제1 TFT, 제2 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 제1 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 제1 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, V_{GS} 로 제

어되고 상기 제1 TFT의 채널 형성 영역을 통해 흐르는 전류가 상기 제2 TFT를 통해 상기 EL 소자로 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.

- <82> 본 발명은 TFT 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 TFT의 V_{GS} 가 제어되고; 제2 기간에, 상기 TFT의 V_{GS} 가 보류되고 또한 상기 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르고; 제3 기간에, 상기 EL 소자에서 전류가 흐르지 않는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <83> 본 발명은 TFT 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 TFT의 V_{GS} 가 제어되고; 제2 기간에, V_{GS} 로 제어되고 상기 TFT의 채널 형성 영역을 통해 흐르는 전류가 상기 EL 소자로 흐르고; 제3 기간에, 상기 EL 소자에서 전류가 흐르지 않는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <84> 본 발명은, 제1 TFT, 제2 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 제1 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 제1 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, 상기 제1 TFT의 V_{GS} 가 보류되고 또한 상기 제1 TFT 및 상기 제2 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르고; 제3 기간에, 상기 제2 TFT가 오프로 되는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <85> 본 발명은, 제1 TFT, 제2 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 제1 TFT가 포화 영역에서 동작하고; 제1 기간에, 비디오 신호에 따라, 상기 제1 TFT의 채널 형성 영역으로 흐르는 전류의 크기가 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, V_{GS} 로 제어되고 상기 제1 TFT의 채널 형성 영역을 통해 흐르는 전류가 상기 제2 TFT를 통해 상기 EL 소자로 흐르고; 제3 기간에, 상기 제2 TFT가 오프로 되는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <86> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 제1 기간에, 상기 제3 TFT와 상기 제4 TFT가 상기 제1 TFT의 게이트 전극을 상기 제1 TFT의 드레인 영역에 접속하고, 상기 제1 TFT의 채널 형성 영역에서 흐르는 전류의 크기가 비디오 신호에 의해 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, 상기 제1 TFT의 V_{GS} 가 보류되고 또한 상기 제1 TFT 및 상기 제2 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <87> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 제1 기간에, 상기 제3 TFT와 상기 제4 TFT가 상기 제1 TFT의 게이트 전극을 상기 제1 TFT의 드레인 영역에 접속하고, 상기 제1 TFT의 채널 형성 영역에서 흐르는 전류의 크기가 비디오 신호에 의해 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, V_{GS} 로 제어되고 상기 제1 TFT의 채널 형성 영역을 통해 흐르는 전류가 상기 제2 TFT를 통해 상기 EL 소자로 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <88> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 제1 TFT의 소스 영역에 소정의 전위가 공급되고; 제1 기간에, 상기 제3 TFT 및 상기 제4 TFT를 통해 상기 제1 TFT의 게이트 전극 및 드레인 영역에 비디오 신호가 입력되고; 제2 기간에, 상기 비디오 신호의 전위에 따라 상기 제1 TFT 및 상기 제2 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <89> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 제1 기간에, 상기 제3 TFT와 상기 제4 TFT가 상기 제1 TFT의 게이트 전극을 상기 제1 TFT의 드레인 영역에 접속하고, 상기 제1 TFT의 채널 형성 영역에서 흐르는 전류의 크기가 비디오 신호에 의해 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, 상기 제1 TFT의 V_{GS} 가 보류되고 또한 상기 제1 TFT 및 상기 제2 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르고; 제3 기간에, 상기 제2 TFT가 오프로 되는 것을 특징으로 하는 발광장치 구동방법을 제공한다.

- <90> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 제1 기간에, 상기 제3 TFT와 상기 제4 TFT가 상기 제1 TFT의 게이트 전극을 상기 제1 TFT의 드레인 영역에 접속하고, 상기 제1 TFT의 채널 형성 영역에서 흐르는 전류의 크기가 비디오 신호에 의해 제어되고; 그 전류에 의해 상기 제1 TFT의 V_{GS} 가 제어되고; 제2 기간에, V_{GS} 로 제어되고 상기 제1 TFT의 채널 형성 영역을 통해 흐르는 전류가 상기 제2 TFT를 통해 상기 EL 소자로 흐르고; 제3 기간에, 상기 제2 TFT가 오프로 되는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <91> 본 발명은, 제1 TFT, 제2 TFT, 제3 TFT, 제4 TFT, 및 EL 소자를 각각 포함하는 다수의 화소를 가지는 발광장치를 구동하는 방법으로서, 상기 제1 TFT의 소스 영역에 소정의 전위가 공급되고; 제1 기간에, 상기 제3 TFT 및 상기 제4 TFT를 통해 상기 제1 TFT의 게이트 전극 및 드레인 영역에 비디오 신호가 입력되고; 제2 기간에, 상기 비디오 신호의 전위에 따라 상기 제1 TFT 및 상기 제2 TFT를 통해 상기 EL 소자로 소정의 전류가 흐르고; 제3 기간에, 상기 제2 TFT가 오프로 되는 것을 특징으로 하는 발광장치 구동방법을 제공한다.
- <92> 본 발명은 제3 TFT와 제4 TFT가 동일 극성을 가지는 것을 특징으로 할 수도 있다.
- <93> [실시형태 1]
- <94> 도 1은 본 발명에 따른 화소의 구성을 나타낸다.
- <95> 도 1에 도시된 화소(101)는 소스 신호선(Si)(소스 신호선(S1~Sx) 중의 하나), 기입용 게이트 신호선(Gaj)(기입용 게이트 신호선(Ga1~Gay) 중의 하나), 표시용 게이트 신호선(Gbi)(표시용 게이트 신호선(Gb1~Gby) 중의 하나), 및 전원공급선(Vi)(전원공급선(V1~Vx) 중의 하나)을 가지고 있다.
- <96> 소스 신호선의 수와 전원공급선의 수는 반드시 동일할 필요는 없고, 기입용 게이트 신호선의 수와 표시용 게이트 신호선의 수는 반드시 동일할 필요는 없다. 화소가 상기 배선 모두를 반드시 가질 필요는 없고, 상기 배선 외에 다른 종류의 배선을 가질 수도 있다.
- <97> 화소(101)는 또한, 제1 스위칭용 TFT(102), 제2 스위칭용 TFT(103), 전류제어용 TFT(104), EL 구동용 TFT(105), EL 소자(106), 및 커패시터(107)를 가지고 있다.
- <98> 제1 스위칭용 TFT(102)와 제2 스위칭용 TFT(103)는 그들의 게이트 전극에서 기입용 게이트 신호선(Gaj)에 함께 접속되어 있다.
- <99> 본 명세서에서의 '접속'이란 용어는 달리 설명되지 않는 한 전기적 접속을 가리킨다.
- <100> 제1 스위칭용 TFT(102)는 소스 영역 및 드레인 영역을 가지고 있고, 그들 중 한쪽 영역이 소스 신호선(Si)에 접속되고, 다른 한쪽 영역은 EL 구동용 TFT(105)의 소스 영역에 접속되어 있다. 제2 스위칭용 TFT(103)는 소스 영역 및 드레인 영역을 가지고 있고, 그들 중 한쪽 영역이 EL 구동용 TFT(105)의 소스 영역에 접속되고, 다른 한쪽 영역은 전류제어용 TFT(104)의 게이트 전극에 접속되어 있다.
- <101> 즉, 제1 스위칭용 TFT(102)의 소스 영역과 드레인 영역 중의 한쪽 영역은 제2 스위칭용 TFT(103)의 소스 영역과 드레인 영역 중의 한쪽 영역에 접속되어 있다.
- <102> 전류제어용 TFT(104)의 소스 영역은 전원공급선(Vi)에 접속되어 있고, 드레인 영역은 EL 구동용 TFT(105)의 소스 영역에 접속되어 있다.
- <103> 본 명세서에서는, n채널형 트랜지스터의 소스 영역에 인가되는 전압이 드레인 영역에 인가되는 전압보다 낮고, p채널형 트랜지스터의 소스 영역에 인가되는 전압은 드레인 영역에 인가되는 전압보다 높다.
- <104> EL 구동용 TFT(105)의 게이트 전극이 표시용 게이트 신호선(Gbj)에 접속되고, EL 구동용 TFT(105)의 드레인 영역이 EL 소자(106)의 화소 전극에 접속되어 있다. EL 소자(106)는 화소 전극, 대향 전극, 그 화소 전극과 대향 전극 사이에 배치된 EL 층을 가지고 있다. EL 소자(106)의 대향 전극은 EL 패널의 외부에 제공된 전원(대향 전극용 전원)에 접속되어 있다.
- <105> 전원공급선(Vi)의 전위(전원 전위)는 일정한 레벨로 유지되고, 대향 전극을 위한 전원의 전위도 일정한 레벨로 유지된다.
- <106> 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)는 n채널형 TFT와 p채널형 TFT 중의 어느 것이어도 좋으나, 제1 스위칭용 TFT(102)와 제2 스위칭용 TFT(103)는 반드시 동일한 도전형을 가져야 한다.

- <107> 전류제어용 TFT(104)는 n채널형 TFT와 p채널형 TFT 중의 어느 것이어도 좋다.
- <108> EL 구동용 TFT(105)는 n채널형 TFT와 p채널형 TFT 중의 어느 것이어도 좋다. EL 소자의 화소 전극과 대향 전극 중의 어느 하나가 양극으로서 기능하고, 다른 하나는 음극으로서 기능한다. 화소 전극이 양극이 되고, 대향 전극이 음극이 되는 경우, EL 구동용 TFT(105)는 p채널형 TFT인 것이 바람직하다. 반면에, 대향 전극이 양극이 되고, 화소 전극이 음극이 되는 경우에는, EL 구동용 TFT(105)에 n채널형 TFT가 바람직하다.
- <109> 커패시터(107)는 전류제어용 TFT(104)의 게이트 전극과 소스 영역 사이에 형성되어 있다. 커패시터(107)는 제1 및 제2 스위칭용 TFT(102,103)가 오프로 되어 있는 동안 전류제어용 TFT(104)의 게이트 전극과 소스 영역 사이의 전압(이 전압을 V_{GS} 로 표기함)을 보다 확실하게 유지하기 위해 제공되어 있으나, 이는 생략될 수도 있다.
- <110> 도 2는 본 발명의 구동방법이 적용되는 발광장치를 나타내는 블록도이다. 부호 100은 화소부, 부호 110은 소스 신호선 구동회로, 부호 111은 기입용 게이트 신호선 구동회로, 부호 112는 표시용 게이트 신호선 구동회로를 나타낸다.
- <111> 화소부(100)는 소스 신호선(S1~Sx), 기입용 게이트 신호선(Ga1~Gay), 표시용 게이트 신호선(Gb1~Gby), 및 전원공급선(V1~Vx)을 가지고 있다.
- <112> 하나의 소스 신호선, 하나의 기입용 게이트 신호선, 하나의 표시용 게이트 신호선, 및 하나의 전원공급선을 가지는 영역이 화소(101)에 해당한다. 화소부(100)는 그러한 영역을 다수 가지고, 이들 영역이 매트릭스를 형성한다.
- <113> [실시형태 2]
- <114> 본 실시형태에서는, 도 1 및 도 2에 도시된 본 발명에 따른 발광장치의 구동에 대하여 도 3(A) 및 도 3(B)를 참조하여 설명한다. 본 발명에 따른 발광장치의 구동은 기입 기간(T_a)에서의 구동과 표시 기간(T_d)에서의 구동으로 나누어질 수 있다.
- <115> 도 3(A)는 기입 기간(T_a) 중에 기입용 게이트 신호선 및 표시용 게이트 신호선에 입력되는 신호의 타이밍 차트이다. 기입용 게이트 신호선 및 표시용 게이트 신호선이 선택되어 있는 기간, 즉, 이들 신호선에 게이트 전극이 접속되어 있는 모든 TFT가 온(on) 상태에 있는 기간을 도 3(A)에서 'ON'으로 표시한다. 한편, 'OFF'는 기입용 게이트 신호선 및 표시용 게이트 신호선이 선택되어 있지 않은 기간, 즉, 이들 신호선에 게이트 전극이 접속되어 있는 모든 TFT가 오프(off) 상태에 있는 기간을 표시한다.
- <116> 기입 기간(T_a)에서, 기입용 게이트 신호선(Ga1~Gay)이 차례로 선택되고, 표시용 게이트 신호선(Gb1~Gby)은 선택되지 않는다. 소스 신호선 구동회로(110)에 입력되는 디지털 비디오 신호에 의해, 일정 전류(I_c)가 각 소스 신호선(S1~Sx)으로 흐르는지의 여부가 결정된다.
- <117> 도 4(A)는 기입 기간(T_a) 중에 소스 신호선(S_i)으로 일정 전류(I_c)가 흐른 경우의 화소의 개략도이다. 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)가 온 상태에 있으므로, 소스 신호선(S_i)에 일정 전류(I_c)가 흐르면, 그 일정 전류(I_c)는 전류제어용 TFT(104)의 드레인 영역과 소스 영역 사이에서 흐른다.
- <118> 전류제어용 TFT(104)의 소스 영역은 전원공급선(V_i)에 접속되어 있고, 일정 전위(전원 전위)로 유지되어 있다.
- <119> 전류제어용 TFT(104)는 포화 영역에서 동작하므로, 식 2의 I_{D5} 에 I_c 를 대입하면, V_{GS} 가 논리적으로 얻어진다.
- <120> 일정 전류(I_c)가 소스 신호선(S_i)으로 흐르지 않으면, 소스 신호선(S_i)은 전원공급선(V_i)과 동일한 전위로 유지된다. 이 경우, $V_{GS} \approx 0$ 이다.
- <121> 기입 기간(T_a)이 끝나면, 표시 기간(T_d)이 개시된다.
- <122> 도 3(B)는 표시 기간(T_d) 중에 기입용 게이트 신호선 및 표시용 게이트 신호선에 입력되는 신호의 타이밍 차트이다.
- <123> 표시 기간(T_d)에서, 기입용 게이트 신호선(Ga1~Gay)이 전혀 선택되지 않고, 표시용 게이트 신호선(Gb1~Gby)이 모두 선택된다.
- <124> 도 4(B)는 표시 기간(T_d)에서의 화소의 개략도이다. 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)는 오프

상태에 있다. 전류제어용 TFT(104)의 소스 영역은 전원공급선(Vi)에 접속되고, 일정 전위(전원 전위)로 유지된다.

- <125> 기입 기간(Ta)에 설정된 V_{GS} 가 표시 기간(Td) 중에 유지되므로, 식 2에 V_{GS} 를 대입하면, I_{DS} 가 논리적으로 얻어진다.
- <126> 기입 기간(Ta)에서 일정 전류(I_C)가 흐르지 않은 경우는 $V_{GS} \approx 0$ 이므로, 스레시홀드가 0이면 전류가 흐르지 않는다. 따라서, EL 소자(106)는 발광하지 않는다.
- <127> 기입 기간(Ta) 중에 일정 전류(I_C)가 흐른 경우에는, 식 2에 V_{GS} 를 대입하면 전류값 I_{DS} 로서 I_C 가 얻어진다. 표시 기간(Td)에서는, EL 구동용 TFT(105)가 온으로 되므로, EL 소자(106)로 전류(I_C)가 흐르고, 따라서, EL 소자(106)는 발광한다.
- <128> 상기한 바와 같이, 1 프레임 기간 중에 기입 기간(Ta)과 표시 기간(Td)이 교대로 반복되어, 하나의 화상을 표시한다. 하나의 화상을 표시하는데 n비트 디지털 비디오 신호가 사용되는 경우, 1 프레임 기간 내에 적어도 n개의 기입 기간과 n개의 표시 기간이 제공된다.
- <129> 기입 기간(Ta1) 및 표시 기간(Td1)은 1비트 디지털 비디오 신호에 대응하고, 기입 기간(Ta2) 및 표시 기간(Td2)은 2비트 디지털 비디오 신호에 대응하고, 기입 기간(Tan) 및 표시 기간(Tdn)은 n비트 디지털 비디오 신호에 대응한다.
- <130> 도 5는 1 프레임 기간에서 n개의 기입 기간(Ta1~Tan) 및 n개의 표시 기간(Td1~Tdn)이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다.
- <131> 기입 기간(Tam)(m은 1~n 중의 임의의 수) 다음에는, 동일 비트의 디지털 비디오 신호에 대응하는 표시 기간, 이 경우에는 표시 기간(Tdm)이 출현한다. 하나의 기입 기간(Ta)과 하나의 표시 기간(Td)이 서브프레임 기간(SF)을 구성한다. m비트 디지털 비디오 신호에 대응하는 기입 기간(Tam)과 표시 기간(Tdm)은 서브프레임 기간(SFm)을 구성한다.
- <132> 표시 기간(Td1~Tdn)의 길이는 $Td1:Td2: \dots : Tdn = 2^0 : 2^1 : \dots : 2^{n-1}$ 을 만족하도록 설정된다.
- <133> 본 발명의 구동방법에 따르면, 1 프레임 기간 중의 화소의 전체 발광시간을 제어함으로써 계조 표시를 얻는다. 상기 구성에 의해, 본 발명의 발광장치는 온도 변화에 무관하게 일정한 레벨의 휘도를 얻을 수 있다. 또한, 컬러 표시를 위해 상이한 EL 재료가 상이한 색의 EL 소자에 사용된 경우에도, 온도 변화에 의해 상이한 색의 EL 소자들 사이에서 휘도가 여러가지로 변화하여 소망의 색이 얻어지지 않게 되는 것이 방지될 수 있다.
- <134> [실시형태 3]
- <135> 도 1 및 도 2에 도시된 본 발명에 따른 발광장치는 실시형태 2에 설명된 것과 다른 구동방법으로 구동될 수도 있다. 이 구동방법을 도 6~도 9를 참조하여 설명한다.
- <136> 먼저, 첫번째 라인의 화소에서 기입 기간(Ta1)이 개시된다.
- <137> 기입 기간(Ta1)에서, 제1 선택신호(기입용 선택신호)가 기입용 게이트 신호선 구동회로(111)로부터 기입용 게이트 신호선(Ga1)에 입력되어, 그 기입용 게이트 신호선(Ga1)이 선택된다. 본 명세서에서, 신호선이 선택된다는 것은, 게이트 전극이 그 신호선에 접속되어 있는 TFT 모두가 온(on) 상태로 된다는 것을 의미한다. 그 다음, 기입용 게이트 신호선(Ga1)을 가지는 화소들(첫번째 라인의 화소들)의 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)가 온 상태로 된다.
- <138> 기입 기간(Ta1) 중에 첫번째 라인의 화소들의 표시용 게이트 신호선(Gb1)은 선택되어 있지 않는다. 따라서, 첫번째 라인의 화소들의 모든 EL 구동용 TFT(105)는 오프 상태에 있다.
- <139> 1비트 디지털 비디오 신호가 소스 신호선 구동회로(110)에 입력되어, 소스 신호선(S1~Sx)으로 흐르는 전류의 양을 결정한다.
- <140> 디지털 비디오 신호는 '0' 또는 '1'의 정보를 포함한다. '0'을 포함하는 디지털 비디오 신호가 Lo(로우) 전압을 가지는 신호이고, '1'을 포함하는 디지털 비디오 신호가 Hi(하이) 전압을 가지는 신호이다. 또는, '0'이 Hi

신호이고, '1'이 Lo 신호일 수도 있다. 디지털 비디오 신호에 포함된 정보, '0' 또는 '1'은 전류제어용 TFT(104)에서 흐르는 드레인 전류를 제어하는데 사용된다.

- <141> 구체적으로는, '0'과 '1'의 정보를 포함하는 디지털 비디오 신호는 전류제어용 TFT(104), 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)를 통한 전원공급선(Vi)과 소스 신호선(Si) 사이에서의 일정 전류(I_c)의 흐름 여부를 결정한다.
- <142> 본 명세서에서, 화소에의 비디오 신호의 입력은 전원공급선(Vi)과 소스 신호선(Si) 사이에서의 일정 전류(I_c)의 흐름 여부를 결정하는 것을 의미한다.
- <143> 도 8(A)는 기입 기간(Ta1)에서의 화소의 개략도이다.
- <144> 기입 기간(Ta1) 중에, 기입용 게이트 신호선(Ga1)이 선택되고, 표시용 게이트 신호선(Gb1)은 선택되지 않는다. 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)가 온으로 되기 때문에, 소스 신호선(Si)에 일정 전류(I_c)가 입력되면, 그 일정 전류(I_c)는 전류제어용 TFT(104)의 드레인 영역과 소스 영역 사이에서 흐른다. 이때, EL 구동용 TFT(105)는 오프 상태에 있다. 따라서, 전원공급선(Vi)의 전위가 EL 소자(106)의 화소 전극에 인가되지 않으므로, EL 소자(106)는 발광하지 않는다.
- <145> 전류제어용 TFT(104)의 소스 영역은 전원공급선(Vi)에 접속되어 있고, 일정 전위(전원 전위)로 유지되어 있다. 전류제어용 TFT(104)는 포화 영역에서 동작하므로, 식 2의 I_{DS}에 I_c를 대입함으로써 전류제어용 TFT(104)의 V_{GS}가 논리적으로 얻어진다.
- <146> 일정 전류(I_c)가 소스 신호선(Si)으로 흐르지 않으면, 그 소스 신호선(Si)은 전원공급선(Vi)과 동일한 전위로 유지된다. 이 경우, 전류제어용 TFT(104)에서의 V_{GS} ≈ 0이 된다.
- <147> 기입용 게이트 신호선(Ga1)의 선택이 종료되면, 첫번째 라인의 화소에서 기입 기간(Ta1)이 종료된다.
- <148> 첫번째 라인의 화소에서 기입 기간(Ta1)이 종료되면, 두번째 라인의 화소에서 기입 기간(Ta1)이 개시된다. 기입용 선택신호가 입력되어 기입용 게이트신호(Ga2)를 선택하고, 첫번째 라인의 화소들과 동일한 동작이 수행된다. 그 후, 기입용 게이트 신호선(Ga3~Gay)이 차례로 선택되어, 모든 화소들에서 기입 기간(Ta1)이 개시되고, 첫번째 라인의 화소들과 동일한 동작이 수행된다.
- <149> 기입 기간(Ta1)이 개시되는 시점은 각 라인의 화소에서 다르고, 기입 기간(Ta1)의 길이는 한 라인의 화소의 기입용 게이트 신호선이 선택되어 있는 기간의 길이에 상당한다. 기입 기간(Ta1)의 개시점은 각 라인의 화소마다 시간차를 가지며, 이것은 기입 기간(Ta2~Tan)에도 적용된다.
- <150> 첫번째 라인의 화소에서 기입 기간(Ta1)이 종료된 후, 두번째 라인 이후의 화소에서 기입 기간(Ta1)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr1)이 개시된다.
- <151> 표시 기간(Tr1)에서는, 제2 선택신호(표시용 선택신호)가 표시용 게이트 신호선 구동회로(112)로부터 표시용 게이트 신호선(Gb1)에 입력되어, 그 표시용 게이트 신호선(Gb1)을 선택한다. 표시용 게이트 신호선(Gb1)의 선택은 기입용 게이트 신호선(Ga2~Gay)의 선택이 종료되기 전에 개시된다. 바람직하게는, 표시용 게이트 신호선(Gb1)의 선택은, 기입용 게이트 신호선(Ga1)의 선택 기간이 종료된 후 기입용 게이트 신호선(Ga2)이 선택됨과 동시에 개시된다.
- <152> 도 8(B)는 표시 기간(Tr1)에서의 화소의 개략도이다.
- <153> 표시 기간(Tr1)에서는, 기입용 게이트 신호선(Ga1)은 선택되어 있지 않고, 표시용 게이트 신호선(Gb1)이 선택된다. 따라서, 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)가 오프로 되고, 첫번째 라인의 화소의 EL 구동용 TFT는 온으로 된다.
- <154> 전류제어용 TFT(104)의 소스 영역은 전원공급선(Vi)에 접속되어 있고, 일정 전위(전원 전위)로 유지된다. 기입 기간(Ta1)에서 설정된 전류제어용 TFT(104)의 V_{GS}는 기입용 게이트 신호선(Ga1)의 선택이 종료된 후에도 커패시터(107) 등에 의해 유지된다. 이 때, 전류제어용 TFT(104)의 소스 영역과 드레인 영역 사이에서 흐르는 전류(I_{DS})는 식 2에 V_{GS}를 대입함으로써 얻어진다. 이 전류(I_{DS})는 온으로 된 EL 구동용 TFT(105)를 통해 EL 소자(106)로 흐르고, 그 결과, EL 소자(106)가 발광한다.

- <155> 기입용 게이트 신호선(Ga1)이 선택되어 있을 때 전류(I_c)가 흐르지 않으면 전류제어용 TFT(104)에서의 $V_{GS} \approx 0$ 이다. 따라서, 전류제어용 TFT(104)의 소스 영역과 드레인 영역 사이에는 전류가 흐르지 않고, EL 소자(106)는 발광하지 않는다.
- <156> 이렇게 하여, 화소에 디지털 비디오 신호가 입력된 다음, 표시용 게이트 신호선이 선택되어, EL 소자(106)의 발광 여부가 결정된다. 따라서, 화소에 의해 하나의 화상이 표시된다.
- <157> 첫번째 라인의 화소에서 표시 기간(Tr1)이 개시된 후, 두번째 라인의 화소에서도 표시 기간(Tr1)이 개시된다. 표시용 선택신호는 표시용 게이트 신호선(Gb2)을 선택하고, 첫번째 라인의 화소와 동일한 동작이 수행된다. 그 후, 표시용 게이트 신호선(Gb3~Gby)이 차례로 선택되어, 모든 화소에서 표시 기간(Tr1)이 개시되고, 첫번째 라인의 화소와 동일한 동작이 수행된다.
- <158> 한 라인의 화소에 대한 표시 기간(Tr1)은 그 라인의 화소의 표시용 게이트 신호선이 선택되어 있는 기간에 상당한다. 표시 기간(Tr1)의 개시점은 각 라인의 화소마다 시간차를 가지며, 이것은 표시 기간(Tr2~Trn)에도 적용된다.
- <159> 두번째 라인 이후의 화소에서 표시 기간(Tr1)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시용 게이트 신호선(Gb1)의 선택이 종료되어, 표시 기간(Tr1)이 종료된다.
- <160> 첫번째 라인의 화소에서, 표시 기간(Tr1)이 종료하면 비표시 기간(Td1)이 개시된다. 표시용 게이트 신호선(Gb1)이 비선택 상태로 되고, 첫번째 라인의 화소의 모든 EL 구동용 TFT(105)가 오프로 된다. 이 때, 기입용 게이트 신호선(Ga1)은 비선택 상태로 유지된다.
- <161> 첫번째 라인의 각 화소의 EL 구동용 TFT(105)가 오프 상태이므로, 전원공급선(Vi)의 전원 전위가 EL 소자(106)의 화소 전극에 인가되지 않는다. 따라서, 첫번째 라인의 화소의 EL 소자(106)는 모두 비발광 상태로 되고, 첫번째 라인의 화소는 표시를 행하지 않게 된다.
- <162> 도 8(C)는 표시용 게이트 신호선(Gb1)과 기입용 게이트 신호선(Ga1)이 선택되어 있지 않은 때의 첫번째 라인의 화소들 중 하나의 개략도이다. 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)는 오프로 되고, EL 구동용 TFT(105)도 오프로 되어 있다. 따라서, EL 소자(106)는 비발광 상태로 되어 있다.
- <163> 첫번째 라인의 화소에서 비표시 기간(Td1)이 개시된 후, 두번째 라인의 화소에서도 표시 기간(Tr1)이 종료되고 비표시 기간(Td1)이 개시된다. 표시용 선택신호가 표시용 게이트 신호선(Gb2)을 선택하고, 첫번째 라인의 화소와 동일한 동작이 두번째 라인의 화소에서 수행된다. 그 후, 표시용 게이트 신호선(Gb3~Gby)이 차례로 선택되어, 전체 화소에서 표시 기간(Tr1)이 종료되고 비표시 기간(Td1)이 개시되어, 첫번째 라인의 화소와 동일한 동작이 수행된다.
- <164> 비표시 기간(Td1)의 개시점은 각 라인의 화소에서 시간차를 가진다. 한 라인의 화소에 대한 비표시 기간(Td1)은 그 라인의 화소에서 기입용 게이트 신호선이 선택되지 않고 표시용 게이트 신호선이 선택되어 있는 기간에 상당한다.
- <165> 두번째 라인 이후의 화소에서 비표시 기간(Td1)이 개시됨과 동시에 또는 모든 화소에서 비표시 기간(Td1)이 개시된 후, 첫번째 라인의 화소에서 기입용 게이트 신호선(Ga2)의 선택이 개시되어, 기입 기간(Ta2)이 개시된다.
- <166> 본 발명에서는, 한 라인 화소의 기입 기간과 다른 라인의 화소의 기입 기간은 겹쳐 있지 않기 때문에, Y번째 라인의 화소에서의 기입 기간이 종료된 후에 첫번째 라인의 화소에서의 기입 기간이 개시된다.
- <167> 여기서의 화소의 동작은, 기입 기간(Ta2)에서는 화소들에 2비트 디지털 비디오 신호가 입력되는 것을 제외하고는 기입 기간(Ta1)에서의 경우와 동일하다.
- <168> 첫번째 라인의 화소에서 기입 기간(Ta2)이 종료된 후, 두번째 라인 이후의 화소에서 차례로 기입 기간(Ta2)이 개시된다.
- <169> 두번째 라인 이후의 화소에서 기입 기간(Ta2)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr2)이 개시된다. 표시 기간(Tr1)과 마찬가지로, 표시 기간(Tr2)에서도 화소들은 2비트 디지털 비디오 신호에 따라 표시를 행한다.
- <170> 첫번째 라인의 화소에서 표시 기간(Tr2)이 개시된 후, 두번째 라인 이후의 화소에서 차례로 기입 기간(Ta2)이

종료되고 표시 기간(Tr_2)이 개시된다. 이렇게 하여, 각 라인의 화소들이 표시를 행한다.

- <171> 두번째 라인 이후의 화소에서 표시 기간(Tr_2)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr_2)이 종료되고 비표시 기간(Td_2)이 개시된다. 비표시 기간(Td_2)이 개시되면, 첫번째 라인의 화소들은 표시를 행하지 않는다.
- <172> 첫번째 라인의 화소에서 비표시 기간(Td_2)이 개시된 후, 두번째 라인 이후의 화소에서 차례로 표시 기간(Tr_2)이 종료되고 비표시 기간(Td_2)이 개시된다. 비표시 기간(Td_2)이 개시되면, 각 라인의 화소들은 표시를 행하지 않는다.
- <173> 상기한 동작은 화소들에 m비트 디지털 비디오 신호가 입력될 때까지 반복된다. 이 동작 중에, 각 라인 화소에서 기입 기간(Ta), 표시 기간(Tr), 및 비표시 기간(Td)이 반복하여 출현한다.
- <174> 도 6은 기입 기간(Ta_1), 표시 기간(Tr_1), 비표시 기간(Td_1)에서 기입용 게이트 신호선($Ga_1 \sim Gay$)과 표시용 게이트 신호선($Gb_1 \sim Gby$)이 서로 관련되어 선택되는 상태를 나타낸다.
- <175> 예를 들어, 첫번째 라인의 화소들에 주목하면, 기입 기간(Ta_1) 및 비표시 기간(Td_1)에 화소들은 표시를 행하지 않는다. 첫번째 라인의 화소들은 표시 기간(Tr_1)에만 표시를 행한다. 도 6은 기입 기간($Ta_1 \sim Ta_{(m-1)}$), 표시 기간($Tr_1 \sim Tr_{(m-1)}$), 및 비표시 기간($Td_1 \sim Td_{(m-1)}$)에서의 화소의 동작을 설명하기 위해 기입 기간(Ta_1), 표시 기간(Tr_1), 및 비표시 기간(Td_1)에서의 화소의 동작을 예시하고 있다. 따라서, 기입 기간($Ta_1 \sim Ta_{(m-1)}$) 및 비표시 기간($Td_1 \sim Td_{(m-1)}$)에서 모든 라인의 화소들이 표시를 행하지 않고, 표시 기간($Tr_1 \sim Tr_{(m-1)}$)에서 모든 라인의 화소들이 표시를 행한다.
- <176> 다음에, m비트 디지털 비디오 신호가 화소에 입력되는 기입 기간(Ta_m)이 개시된 후의 화소의 동작에 대하여 설명한다. 본 발명에서, m은 1~n 중에서 임의로 선택될 수 있다.
- <177> 첫번째 라인의 화소에서 기입 기간(Ta_m)이 개시되면, m비트 디지털 비디오 신호가 첫번째 라인의 화소에 입력된다. 첫번째 라인의 화소에서 기입 기간(Ta_m)이 종료되면, 두번째 라인 이후의 화소에서 차례로 기입 기간(Ta_m)이 개시된다.
- <178> 첫번째 라인의 화소에서 기입 기간(Ta_m)이 종료된 후 두번째 라인 이후의 화소에서 기입 기간(Ta_m)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr_m)이 개시된다. 화소들은 표시 기간(Tr_m)에서 m비트 디지털 비디오 신호에 따라 표시를 행한다.
- <179> 첫번째 라인의 화소에서 표시 기간(Tr_m)이 개시된 후, 두번째 라인 이후의 화소에서 차례로 기입 기간(Ta_m)이 종료되고 표시 기간(Tr_m)이 개시된다.
- <180> 나머지 라인드의 화소에서 표시 기간(Tr_m)이 개시된 후, 첫번째 라인의 화소에서 표시 기간(Tr_m)이 종료되고 기입 기간($Ta_{(m+1)}$)이 개시된다.
- <181> 첫번째 라인의 화소에서 기입 기간($Ta_{(m+1)}$)이 개시되면, (m+1)비트 디지털 비디오 신호가 첫번째 라인의 화소들에 입력된다.
- <182> 그 다음, 첫번째 라인의 화소에서 기입 기간($Ta_{(m+1)}$)이 종료된다. 첫번째 라인의 화소에서 기입 기간($Ta_{(m+1)}$)이 종료된 후, 두번째 라인 이후의 화소에서 차례로 표시 기간(Tr_m)이 종료되고 기입 기간($Ta_{(m+1)}$)이 개시된다.
- <183> 상기한 동작은 최종 라인, 즉, Y번째 라인의 화소에서 n비트 디지털 비디오 신호에 대응한 표시 기간(Tr_n)이 종료될 때까지 반복되어, 각 라인의 화소에서 기입 기간(Ta)과 표시 기간(Tr)이 반복하여 출현한다.
- <184> 도 7은 기입 기간(Ta_m)과 표시 기간(Tr_m)에서 기입용 게이트 신호선($Ga_1 \sim Gay$)과 표시용 게이트 신호선($Gb_1 \sim Gby$)이 서로 관련되어 선택되는 상태를 나타낸다.
- <185> 예를 들어, 첫번째 라인의 화소에 주목하면, 기입 기간(Ta_m)에서 화소들은 표시를 행하지 않는다. 첫번째 라인의 화소들은 표시 기간(Tr_m)에서만 표시를 행한다. 도 7은, 기입 기간($Ta_m \sim Ta_n$) 및 표시 기간($Tr_m \sim Tr_n$)에서의 화소의 동작을 설명하기 위해 기입 기간(Ta_m) 및 표시 기간(Tr_n)에서의 화소의 동작을 예시한다. 따라서, 기입 기간($Ta_m \sim Ta_n$)에서 모든 라인의 화소들이 표시를 행하지 않고, 표시 기간($Tr_m \sim Tr_n$)에서 모든 라인의 화소들이 표시를 행한다.
- <186> 도 9는 본 발명의 구동방법에서 $m = n - 2$ 인 경우, 기입 기간, 표시 기간, 및 비표시 기간이 출현하는 타이밍을

나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소들의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 기입 기간은 짧기 때문에 도 9에 따로 나타내지 않았다. 대신, 도면을 간단히 하기 위해, 1비트~n비트 디지털 비디오 신호에 대응한 기입 기간($Ta_1 \sim Ta_n$)의 개시점을 화살표로 나타내었다. 1비트 디지털 비디오 신호에 대하여 첫번째 라인의 화소의 기입 기간이 개시되고부터 Y번째 라인의 화소의 기입 기간이 종료하기까지의 기간을 ΣTa_1 로 표시하고, 화살표로 나타낸다. 2비트~n비트 디지털 비디오 신호에 대해서는 화살표로 나타낸 유사한 기간($\Sigma Ta_2 \sim \Sigma Ta_n$)을 가진다.

- <187> 첫번째 라인의 화소에서 Tr_n 이 종료된 후, 1 프레임 기간이 종료된다. 그 다음, 다시 첫번째 라인의 화소에서 다음 프레임 기간의 기입 기간(Ta_1)이 개시된다. 상기한 동작이 다시 반복된다. 한 라인의 화소들에 대한 1 프레임 기간의 개시점 및 종료점은 다른 라인의 화소들에 대한 1 프레임 기간의 개시점 및 종료점과 다르다.
- <188> 모든 라인의 화소들에 대해 1 프레임 기간이 종료하면, 하나의 화상이 표시된다.
- <189> 바람직한 발광장치는 1초간에 60 또는 그 이상의 프레임 기간을 가진다. 1초당 표시되는 화상의 수가 60개 미만이면, 화상의 깜빡임(flickering)을 육안으로 볼 수 있다.
- <190> 본 발명에서는, 각 라인의 화소들에 대한 모든 기입 기간의 길이의 합은 1 프레임 기간의 길이보다 짧다. 또한, 표시 기간의 길이는 $Tr_1:Tr_2:Tr_3: \dots:Tr_{(n-1)}:Tr_n = 2^0:2^1:2^2: \dots:2^{(n-2)}:2^{(n-1)}$ 을 만족하도록 설정된다. 화소가 발광하는 표시 기간의 조합을 변화시킴으로써, 화소는 2^n 계조 내에서 소망의 계조를 얻을 수 있다.
- <191> 1 프레임 기간 중에 EL 소자가 발광한 표시 기간의 길이의 합을 구함으로써 해당 프레임 기간에서의 그 화소의 계조가 정해진다. 예를 들어, $n = 8$ 일 때, 모든 표시 기간에 화소가 발광한 경우의 휘도를 100%라 하면, Tr_1 및 Tr_2 에서 화소가 발광한 경우에는, 화소의 휘도가 1%이고, Tr_3, Tr_5 및 Tr_8 에서 화소가 발광한 경우에는, 화소의 휘도가 60%이다.
- <192> 표시 기간(Tr_m)의 길이는, 첫번째 라인의 화소의 기입 기간(Ta_m)이 개시되고부터 Y번째 라인의 화소의 기입 기간(Ta_m)이 종료하기까지의 기간(ΣTa_m)보다는 길어야 한다.
- <193> 표시 기간($Tr_1 \sim Tr_n$)은 어떠한 순서로 출현시켜도 좋다. 예를 들어, 1 프레임 기간 중에, Tr_1 다음에 Tr_3, Tr_5, Tr_2 의 순서로 표시 기간을 출현시키는 것도 가능하다. 그러나, 한 라인의 화소에서의 기입 기간과 다른 라인의 화소에서의 기입 기간이 서로 겹쳐 있지 않도록 하는 것이 필요하다.
- <194> 본 실시형태에서는 EL 구동용 TFT의 게이트 전극에 인가되는 전압을 보유하기 위해 커패시터가 제공되어 있지만, 그 커패시터는 생략될 수도 있다. EL 구동용 TFT가 게이트 절연막을 사이에 두고 게이트 전극과 겹쳐 있는 LDD 영역을 가지는 경우, 그 중첩 영역에는 일반적으로 게이트 용량이라 불리는 기생용량이 형성된다. 이 게이트 용량은 EL 구동용 TFT의 게이트 전극에 인가되는 전압을 보유하기 위한 커패시터로서 적극적으로 활용될 수 있다.
- <195> 이 게이트 용량의 용량값은 LDD 영역과 게이트 전극이 겹치는 중첩 영역의 면적에 따라 변화하므로, 그 중첩 영역에 포함되는 LDD 영역의 부분의 길이에 의해 결정된다.
- <196> 본 실시형태의 구동방법에서는, 각 라인의 화소들의 표시 기간의 길이가, 첫번째 라인의 화소들의 기입 기간(Ta)이 개시되고부터 Y번째 라인의 화소들의 기입 기간(Ta)이 종료하기까지의 기간, 즉, 모든 화소들에 1비트 디지털 비디오 신호를 기입하는데 요구되는 기간보다 짧을 수 있다. 따라서, 디지털 비디오 신호의 비트 수가 증가하여도, 하위 비트의 디지털 비디오 신호에 대한 표시 기간의 길이를 감소시킬 수 있어, 화면의 깜빡임 없이 고정세한 화상이 표시될 수 있다.
- <197> 본 발명의 발광장치는 온도 변화에 무관하게 일정 휘도를 얻을 수 있다. 또한, 컬러 표시를 위해 상이한 색의 EL 소자에 상이한 EL 재료를 사용하는 경우에도, 온도 변화에 따라 각 색의 EL 소자에서 휘도 변화 정도가 각기 다르게 되어 소망의 색이 얻어지지 않는 것을 방지할 수 있다.
- <198> 실시형태 1 및 2에서 설명한 구동방법에서는 화상을 표시하기 위해 디지털 비디오 신호를 사용하지만, 그 대신 아날로그 비디오 신호를 사용할 수도 있다. 화상을 표시하기 위해 아날로그 비디오 신호를 사용하는 경우에는, 소스 신호선으로 흐르는 전류가 아날로그 비디오 신호에 의해 제어된다. 이러한 전류 크기 제어를 통해 화소의 계조를 변경하여, 계조 표시를 얻는다.

- <199> 다음에, 본 발명의 실시예를 설명한다.
- <200> [실시예 1]
- <201> 본 실시예에서는, n비트 디지털 비디오 신호에 대한 실시형태 1의 구동방법에서 서브프레임 기간(SF1~SFn)이 출현하는 순서에 대하여 설명한다.
- <202> 도 10은 1 프레임 기간에서 n개의 기입 기간(Ta1~Tan) 및 n개의 표시 기간(Td1~Tdn)이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 각 화소의 상세한 구동방법에 대해서는 실시형태 1에서 상세히 설명했으므로, 이에 대한 설명은 생략한다.
- <203> 본 실시예의 구동방법에서는, 1 프레임 기간 중에서 가장 긴 표시 기간을 가지는 서브프레임 기간(본 실시예에서는 SFn)이 1 프레임 기간의 처음 또는 마지막에 오지 않는다. 즉, 1 프레임 기간 중에서 가장 긴 표시 기간을 가지는 서브프레임 기간의 전후에, 동일 프레임 기간의 다른 서브프레임 기간이 출현하도록 한다.
- <204> 상기 구성에 의해, 중간 계조의 표시를 행한 때, 불균일한 표시가 육안으로 덜 인식될 수 있다. 이러한 불균일한 표시는 인접한 프레임 기간에 화소가 발광하는 표시 기간이 인접하는 것에 의해 야기된다.
- <205> 본 실시예의 구성은 $n \geq 3$ 인 경우에 효과적이다.
- <206> [실시예 2]
- <207> 본 실시예에서는, 실시형태 1의 구동방법에서 6비트 디지털 비디오 신호를 사용하는 경우를 설명한다.
- <208> 도 11은 1 프레임 기간에서 n개의 기입 기간(Ta1~Tan) 및 n개의 표시 기간(Td1~Tdn)이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소들의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 각 화소의 상세한 구동방법에 대해서는 실시형태 1에서 상세히 설명했으므로, 이에 대한 설명은 생략한다.
- <209> 구동방법에서 6비트 디지털 비디오 신호를 사용하는 경우, 1 프레임 기간은 적어도 6개의 서브프레임 기간(SF1~SF6)을 가진다.
- <210> 서브프레임 기간(SF1)은 1비트 디지털 비디오 신호에 대응하고, SF2는 2비트 디지털 비디오 신호에 대응하며, 동일한 것이 나머지 서브프레임 기간들에도 적용된다. 서브프레임 기간(SF1~SF6)은 6개의 기입 기간(Ta1~Ta6) 및 6개의 표시 기간(Td1~Td6)을 가진다.
- <211> m(m은 1~n 중의 임의의 수)비트 디지털 비디오 신호에 대응한 기입 기간(Tam) 및 표시 기간(Tdm)이 서브프레임 기간(SFm)을 구성한다. 기입 기간(Tam) 다음에는, 동일 비트의 디지털 비디오 신호에 대응한 표시 기간, 이 경우에는, 표시 기간(Tdm)이 출현한다.
- <212> 1 프레임 기간 중에 기입 기간(Ta)과 표시 기간(Td)이 반복하여 출현함으로써, 하나의 화상을 표시한다.
- <213> 표시 기간(Td1~Td6)의 길이는 $Td1 : Td2 : \dots : Td6 = 2^0 : 2^1 : \dots : 2^5$ 을 만족하도록 설정된다.
- <214> 본 실시예의 구동방법에서는, 1 프레임 기간 중의 화소의 총 발광 시간, 즉, 1 프레임 기간 중에 화소가 발광하는 표시 기간의 길이의 합을 제어함으로써 계조 표시가 얻어진다.
- <215> 본 실시예의 구성은 실시예 1과 자유롭게 조합될 수 있다.
- <216> [실시예 3]
- <217> 본 실시예에서는, 실시형태 1에서 설명한 것과 상이하고 n비트 디지털 비디오 신호를 사용하는 구동방법의 일 예에 대하여 설명한다.
- <218> 도 12는 1 프레임 기간에서 (n+1)개의 기입 기간(Ta1~Tan(n+1)) 및 n개의 표시 기간(Td1~Td(n+1))이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소들의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 각 화소의 상세한 구동방법에 대해서는 실시형태 1에서 상세히 설명했으므로, 이에 대한 설명은 생략한다.
- <219> 본 실시예에서는, 1 프레임 기간이 n비트 디지털 비디오 신호에 대응하여 (n+1)개의 서브프레임 기간(SF1~SF(n+1))을 가진다. 이 서브프레임 기간(SF1~SF(n+1))은 (n+1)개의 기입 기간(Ta1~Tan(n+1))과 n개의 표시

기간(Td1~Td(n+1))을 가진다.

- <220> 기입 기간(Tam)(m은 1~(n+1) 중의 임의의 수) 및 표시 기간(Tdm)이 서브프레임 기간(SFm)을 구성한다. 기입 기간(Tam) 다음에는, 동일 비트의 디지털 비디오 신호에 대응한 표시 기간, 이 경우에는, 표시 기간(Tdm)이 출현한다.
- <221> 서브프레임 기간(SF1~SF(n-1))은 1비트 내지 (n-1)비트 디지털 비디오 신호에 각각 대응하고, 서브프레임 기간(SF_n, SF(n+1))은 n비트 디지털 비디오 신호에 대응한다.
- <222> 본 실시예에서는, 동일 비트의 디지털 비디오 신호에 대응한 서브프레임 기간(SF_n, SF(n+1))이 연속하여 출현하지 않는다. 즉, 동일 비트의 디지털 비디오 신호에 대응한 서브프레임 기간(SF_n, SF(n+1)) 사이에 다른 서브프레임 기간이 개재되어 있다.
- <223> 1 프레임 기간 중에 기입 기간(Ta)과 표시 기간(Td)이 반복하여 출현함으로써, 하나의 화상을 표시한다.
- <224> 표시 기간(Td1~Td(n+1))의 길이는 Td1 : Td2 : ... : (Tdn+Td(n+1)) = 2⁰ : 2¹ : ... : 2ⁿ⁻¹을 만족하도록 설정된다.
- <225> 본 발명의 구동방법에서는, 1 프레임 기간 중의 화소의 총 발광 시간, 즉, 1 프레임 기간 중에 화소가 발광하는 표시 기간의 길이의 합을 제어함으로써 계조 표시가 얻어진다.
- <226> 상기 구성에 의해, 중간 계조의 표시를 행한 때, 불균일한 표시가 실시형태 1 및 2에서보다 육안으로 덜 인식될 수 있다. 이러한 불균일한 표시는 인접한 프레임 기간에 화소가 발광하는 표시 기간이 인접하는 것에 의해 야기된다.
- <227> 본 실시예에서는, 동일 비트의 디지털 비디오 신호에 대응하는 서브프레임 기간이 2개인 경우를 설명하였으나, 본 발명은 이것에 한정되지 않는다. 1 프레임 기간 내에 동일 비트의 디지털 비디오 신호에 대응하는 서브프레임 기간이 3개 이상 제공될 수도 있다.
- <228> 본 실시예에서는, 최상위 비트의 디지털 비디오 신호에 대응하는 서브프레임 기간이 다수 제공되었지만, 본 발명은 이것에 한정되지 않는다. 최상위 비트 이외의 비트의 디지털 비디오 신호에 대응하는 서브프레임 기간을 다수 마련할 수도 있다. 다수의 서브프레임 기간을 가질 수 있는 디지털 비디오 신호 비트의 수를 하나로 한정할 필요는 없다. 어떤 비트의 디지털 비디오 신호와 다른 비트의 디지털 비디오 신호가 각각 다수의 서브프레임 기간을 가질 수 있다.
- <229> 본 실시예의 구성은 n≥2인 경우에 효과적이다. 본 실시예는 실시예 1 및 2와 자유롭게 조합될 수 있다.
- <230> [실시예 4]
- <231> 본 실시예는 실시형태 2의 구동방법에서 6비트 디지털 비디오 신호를 사용하여 2⁶ 계조의 표시를 행하는 경우에 대하여 설명한다. 본 실시예에서는, m = 5인 경우에 대하여 설명한다. 그러나, 본 실시예에서는 단지 본 발명의 구동방법의 일 예에 대하여 설명하고 있고, 디지털 비디오 신호의 비트 수와 m의 값에 대해서는 본 발명이 본 실시예의 구성에 한정되지 않는다.
- <232> 도 13은 본 실시예의 구동방법에서 기입 기간, 표시 기간, 및 비표시 기간이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소들의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 기입 기간은 짧기 때문에 도 13에 따로 나타내지 않았다. 그 대신, 도면을 간단히 하기 위해, 1비트~6비트 디지털 비디오 신호에 대응하는 기입 기간(Ta1~Ta6)의 개시점을 화살표로 나타낸다. 1비트 디지털 비디오 신호에 대응하여, 첫번째 라인의 화소에서 기입 기간의 개시되고부터 Y번째 라인의 화소에서 기입 기간이 종료하기까지의 기간을 $\sum Ta_1$ 로 표시하고, 화살표로 나타낸다. 2비트~6비트 디지털 비디오 신호에 대해서는, 화살표로 나타내는 유사한 기간($\sum Ta_2 \sim \sum Ta_n$)을 가진다.
- <233> 화소의 상세한 동작에 대해서는 실시형태 1에서 설명하였으므로, 여기서는 설명을 생략한다.
- <234> 먼저, 첫번째 라인의 화소에서 기입 기간(Ta1)이 개시된다. 기입 기간(Ta1)이 개시되면, 실시형태 1에서 설명한 바와 같이 1비트 디지털 비디오 신호가 첫번째 라인의 화소에 기입된다.
- <235> 첫번째 라인의 화소에서 기입 기간(Ta1)이 종료된 후, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta1)이 개시된다. 첫번째 라인의 화소들과 마찬가지로, 나머지 라인의 화소들에 1비트 디지털 비디오 신호가

입력된다.

- <236> 두번째 라인 이후의 화소에서 기입 기간(Ta1)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr1)이 개시된다. 표시 기간(Tr1)이 개시되면, 1비트 디지털 비디오 신호에 따라 첫번째 라인의 화소들이 표시를 행한다.
- <237> 첫번째 라인의 화소에서 표시 기간(Tr1)이 개시된 후, 두번째 라인 이후의 화소에서 차례로 기입 기간(Ta1)이 종료되고 표시 기간(Tr1)이 개시된다. 그리하여, 1비트 디지털 비디오 신호에 따라 각 라인의 화소들이 표시를 행한다.
- <238> 두번째 라인 이후의 화소에서 표시 기간(Tr1)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr1)이 종료되고 비표시 기간(Td1)이 개시된다.
- <239> 비표시 기간(Td1)이 개시되면, 첫번째 라인의 화소들은 표시를 행하지 않게 된다.
- <240> 첫번째 라인의 화소에서 비표시 기간(Td1)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 표시 기간(Tr1)이 종료되고 비표시 기간(Td1)이 개시된다. 따라서, 각 라인의 화소들이 표시를 행하지 않게 된다.
- <241> 두번째 라인 이후의 화소에서 비표시 기간(Td1)이 개시됨과 동시에 또는 모든 화소들에서 비표시 기간(Td1)이 개시된 후, 첫번째 라인의 화소에서 기입 기간(Ta2)이 개시된다.
- <242> 첫번째 라인의 화소에서, 기입 기간(Ta2)이 개시되면, 2비트 디지털 비디오 신호가 입력된다.
- <243> 상기한 동작은 5비트 디지털 비디오 신호가 화소에 입력될 때까지 반복된다. 이 동작 중에, 각 라인 화소에서 기입 기간(Ta), 표시 기간(Tr), 비표시 기간(Td)이 반복하여 출현한다.
- <244> 다음에, 5비트 디지털 비디오 신호가 화소들에 입력되는 기입 기간(Ta5)이 개시된 후의 화소들의 동작에 대하여 설명한다.
- <245> 첫번째 라인의 화소에서 기입 기간(Ta5)이 개시되면, 5비트 디지털 비디오 신호가 첫번째 라인의 화소들에 입력된다. 첫번째 라인의 화소에서 기입 기간(Ta5)이 종료되면, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta5)이 개시된다.
- <246> 첫번째 라인의 화소에서 기입 기간(Ta5)이 종료된 후 두번째 라인 이후의 화소에서 기입 기간(Ta5)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr5)이 개시된다. 표시 기간(Tr5)에서 5비트 디지털 비디오 신호에 따라 화소들이 표시를 행한다.
- <247> 첫번째 라인의 화소에서 표시 기간(Tr5)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta5)이 종료되고 표시 기간(Tr5)이 개시된다.
- <248> 모든 라인의 화소에서 표시 기간(Tr5)이 개시된 후, 첫번째 라인의 화소에서 표시 기간(Tr5)이 종료되고 기입 기간(Ta6)이 개시된다.
- <249> 첫번째 라인의 화소에서 기입 기간(Ta6)이 개시되면, 첫번째 라인의 화소에 6비트 디지털 비디오 신호가 입력된다.
- <250> 그 다음, 첫번째 라인의 화소에서 기입 기간(Ta6)이 종료된다. 첫번째 라인의 화소에서 기입 기간(Ta6)이 종료된 후, 두번째 라인 이후의 화소에서도 차례로 표시 기간(Tr5)이 종료되고 기입 기간(Ta6)이 개시된다.
- <251> 두번째 라인 이후의 화소에서 기입 기간(Ta6)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr6)이 개시된다. 표시 기간(Tr6)이 개시되면, 6비트 디지털 비디오 신호에 따라 첫번째 라인의 화소들이 표시를 행한다.
- <252> 첫번째 라인의 화소에서 표시 기간(Tr6)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta6)이 종료되고 표시 기간(Tr6)이 개시된다. 따라서, 6비트 디지털 비디오 신호에 따라 각 라인들의 화소들이 표시를 행한다.
- <253> 첫번째 라인의 화소에서 Tr6이 종료된 후, 1 프레임 기간이 종료된다. 그 다음, 첫번째 라인의 화소에서 다음 프레임 기간의 기입 기간(Ta1)이 다시 개시된다. 첫번째 라인의 화소에서 Tr6이 종료된 후, 두번째 라인 이후의 화소에서도 Tr6이 종료되어, 1 프레임 기간을 종료한다. 그 다음, 두번째 라인 이후의 화소에서 다음 프레임 기간의 Ta1이 개시된다.

- <254> 상기한 동작이 다시 반복된다. 한 라인의 화소들에 대한 1 프레임 기간의 개시점 및 종료점은 다른 라인의 화소들에 대한 1 프레임 기간의 개시점 및 종료점과 다르다.
- <255> 모든 라인의 화소들에 대해 1 프레임 기간이 종료되면, 하나의 화상이 표시된다.
- <256> 본 실시예에서, 표시 기간의 길이는 $Tr1:Tr2:\dots:Tr5:Tr6 = 2^0:2^1:\dots:2^4:2^5$ 을 만족하도록 설정된다. 화소에서 발광하는 표시 기간의 조합을 변경함으로써, 화소가 2^6 계조 내에서 소망의 계조를 얻을 수 있다.
- <257> 1 프레임 기간 중에 EL 소자가 발광한 표시 기간의 길이의 합을 구함으로써 해당 프레임 기간에서의 그 화소의 계조가 정해진다. 예를 들어, 본 실시예에서 모든 표시 기간에 화소가 발광한 경우의 휘도를 100%라 하면, Tr1과 Tr2에서 화소가 발광한 경우에는, 화소의 휘도가 5%이고, Tr3과 Tr5에서 화소가 발광한 경우에는, 화소의 휘도가 32%이다.
- <258> 본 발명에서, 한 라인의 화소들의 기입 기간은 다른 라인의 화소들의 기입 기간과 겹치지 않는다. 따라서, 첫 번째 라인의 화소에서의 기입 기간은 Y번째 라인의 화소에서의 기입 기간이 종료된 후에 개시된다.
- <259> 각 라인의 화소에서의 표시 기간(Tr5)의 길이는, 첫 번째 라인의 화소에서 기입 기간(Ta5)이 개시되고부터 Y번째 라인의 화소에서 기입 기간(Ta5)이 종료하기까지의 기간($\sum Ta5$)보다 길어야 한다.
- <260> 표시 기간(Tr1~Tr6)은 어떠한 순서로 출현하여도 좋다. 예를 들어, 1 프레임 기간에서 Tr1 다음에 Tr3, Tr5, Tr2의 순서로 표시 기간을 출현시키는 것도 가능하다. 그러나, 한 라인 화소에서의 기입 기간이 다른 라인 화소에서의 기입 기간과 서로 겹치지 않도록 하는 것일 필요하다.
- <261> 본 발명의 구동방법에서는, 각 라인의 화소의 표시 기간의 길이는, 첫 번째 라인의 화소의 기입 기간(Ta)이 개시되고부터 Y번째 라인의 화소의 기입 기간(Ta)이 종료하기까지의 기간, 즉, 모든 화소들에서 1비트 디지털 비디오 신호를 기입하는데 요구되는 기간보다 짧을 수 있다. 따라서, 디지털 비디오 신호의 비트 수가 증가하여도, 하위 비트의 디지털 비디오 신호에 대응하는 표시 기간의 길이를 짧게 할 수 있으므로, 화면의 깜빡임 없이 고 정세한 화상이 표시될 수 있다.
- <262> 본 발명의 발광장치는 온도 변화에 무관하게 일정한 휘도를 얻을 수 있다. 또한, 컬러를 표시하기 위해 상이한 색의 EL 소자에 상이한 EL 재료를 사용한 경우에도, 온도 변화에 따라 각 색의 EL 소자에서 휘도 변화 정도가 각기 다르게 되어 소망의 색이 얻어지지 않는 것을 방지할 수 있다.
- <263> [실시예 5]
- <264> 본 실시예에서는, 실시형태 2의 구동방법에서 6비트 디지털 비디오 신호를 사용한 경우 표시 기간(Tr1~Tr6)이 출현하는 순서에 대하여 설명한다. 본 실시예에서는, $m = 5$ 인 경우를 설명하지만, 본 실시예는 단지 실시형태 2의 구동방법의 일 예를 설명하는 것이고, 디지털 비디오 신호의 비트 수와 m 의 값에 대하여 본 발명이 본 실시예의 구성에 한정되지 않는다. 본 실시예의 구성은 디지털 비디오 신호의 비트 수가 3 이상인 경우에 효과적이다.
- <265> 도 14는 본 발명의 구동방법에서 기입 기간, 표시 기간, 및 비표시 기간이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 기입 기간이 짧기 때문에 도 14에는 띠로 나타내지 않았다. 그 대신, 도면을 간단히 하기 위해, 1비트~6비트 디지털 비디오 신호에 대응한 기입 기간(Ta1~Ta6)의 개시점을 화살표로 나타낸다. 1비트 디지털 비디오 신호에 대하여 첫 번째 라인의 화소에서 기입 기간이 개시되고부터 Y번째 라인의 화소에서 기입 기간이 종료하기까지의 기간을 $\sum Ta1$ 로 표시하고, 화살표로 나타낸다. 2비트~6비트 디지털 비디오 신호는 화살표로 나타낸 유사한 기간($\sum Ta2 \sim \sum Ta6$)을 가진다.
- <266> 화소의 상세한 동작에 대해서는 실시형태 2에서 설명하였으므로, 여기서는 설명을 생략한다.
- <267> 먼저, 첫 번째 라인의 화소에서 기입 기간(Ta4)이 개시된다. 기입 기간(Ta4)이 개시되면, 첫 번째 라인의 화소에 4비트 디지털 비디오 신호가 기입된다.
- <268> 첫 번째 라인의 화소에서 기입 기간(Ta4)이 종료되면, 두 번째 라인 이후의 화소에서도 차례로 기입 기간(Ta4)이 개시된다. 첫 번째 라인의 화소의 경우와 마찬가지로, 나머지 라인의 화소들에 4비트 디지털 비디오 신호가 입

력된다.

- <269> 두번째 라인 이후의 화소에서 기입 기간(Ta4)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr4)이 개시된다. 표시 기간(Tr4)이 개시되면, 4비트 디지털 비디오 신호에 따라 첫번째 라인의 화소들이 표시를 행한다.
- <270> 첫번째 라인의 화소에서 표시 기간(Tr4)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta4)이 종료되고 표시 기간(Tr4)이 개시된다. 따라서, 4비트 디지털 비디오 신호에 따라 각 라인의 화소들이 표시를 행한다.
- <271> 두번째 라인 이후의 화소에서 표시 기간(Tr4)이 개시된 후, 첫번째 라인의 화소에서 표시 기간(Tr4)이 종료되고 비표시 기간(Td4)이 개시된다. 또는, 두번째 라인 이후의 화소에서 표시 기간(Tr4)이 개시됨과 동시에 첫번째 라인의 화소에서 표시 기간(Tr4)이 종료되고 비표시 기간(Td4)이 개시될 수도 있다.
- <272> 비표시 기간(Td4)이 개시되면, 첫번째 라인의 화소들은 표시를 행하지 않게 된다.
- <273> 첫번째 라인의 화소에서 비표시 기간(Td4)이 개시된 후, 두번째 라인 이후의 화소에서 표시 기간(Tr4)이 종료되고 비표시 기간(Td4)이 개시된다. 따라서, 각 라인의 화소들은 표시를 행하지 않게 된다.
- <274> 두번째 라인 이후의 화소에서 비표시 기간(Td4)이 개시됨과 동시에 또는 모든 화소들에서 비표시 기간(Td4)이 개시된 후, 첫번째 라인의 화소에서 기입 기간(Ta5)이 개시된다.
- <275> 첫번째 라인의 화소에서 기입 기간(Ta5)이 개시되면, 5비트 디지털 비디오 신호가 첫번째 라인의 화소들에 입력된다. 첫번째 라인의 화소에서 기입 기간(Ta5)이 종료되면, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta5)이 개시된다.
- <276> 첫번째 라인의 화소에서 기입 기간(Ta5)이 종료된 후, 두번째 라인 이후의 화소에서 기입 기간(Ta5)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr5)이 개시된다. 표시 기간(Tr5)에 5비트 디지털 비디오 신호에 따라 화소들이 표시를 행한다.
- <277> 첫번째 라인의 화소에서 표시 기간(Tr5)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta5)이 종료되고 표시 기간(Tr5)이 개시된다.
- <278> 모든 라인의 화소에서 표시 기간(Tr5)이 개시된 후, 첫번째 라인의 화소에서 표시 기간(Tr5)이 종료되고 기입 기간(Ta2)이 개시된다.
- <279> 첫번째 라인의 화소에서 기입 기간(Ta2)이 개시됨이면, 첫번째 라인의 화소들에 2비트 디지털 비디오 신호가 입력된다.
- <280> 그 다음, 첫번째 라인의 화소에서 기입 기간(Ta2)이 종료된다. 그 후, 두번째 라인 이후의 화소에서 차례로 기입 기간(Ta2)이 개시된다. 첫번째 라인의 화소의 경우와 마찬가지로, 나머지 라인의 화소들에 2비트 디지털 비디오 신호가 입력된다.
- <281> 두번째 라인 이후의 화소에서 기입 기간(Ta2)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr2)이 개시된다. 표시 기간(Tr2)이 개시되면, 2비트 디지털 비디오 신호에 따라 첫번째 라인의 화소들이 표시를 행한다.
- <282> 첫번째 라인의 화소에서 표시 기간(Tr2)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 기입 기간(Ta2)이 종료되고 표시 기간(Tr2)이 개시된다. 따라서, 2비트 디지털 비디오 신호에 따라 각 라인의 화소들이 표시를 행한다.
- <283> 두번째 라인 이후의 화소에서 표시 기간(Tr2)이 개시됨과 동시에, 첫번째 라인의 화소에서 표시 기간(Tr2)이 종료되고 비표시 기간(Td2)이 개시된다.
- <284> 비표시 기간(Td2)이 개시되면, 첫번째 라인의 화소들은 표시를 행하지 않게 된다.
- <285> 첫번째 라인의 화소에서 비표시 기간(Td2)이 개시된 후, 두번째 라인 이후의 화소에서도 차례로 표시 기간(Tr2)이 종료되고 비표시 기간(Td2)이 개시된다. 따라서, 각 라인의 화소들은 표시를 행하지 않게 된다.
- <286> 두번째 라인 이후의 화소에서 비표시 기간(Td2)이 개시됨과 동시에 또는 모든 화소들에서 비표시 기간(Td2)이 개시된 후, 첫번째 라인의 화소에서 기입 기간(Ta3)이 개시된다.

- <287> 상기한 동작은 1비트~6비트 디지털 비디오 신호 모두가 화소들에 입력될 때까지 반복된다. 이 동작 중에, 각 라인 화소에서 기입 기간(T_a), 표시 기간(T_r), 비표시 기간(T_d)이 반복하여 출현한다.
- <288> 첫번째 라인의 화소에서 모든 표시 기간($T_{r1} \sim T_{r6}$)이 종료한 후, 첫번째 라인의 화소에 대한 1 프레임 기간은 종료된다. 그 다음, 첫번째 라인의 화소에서 다음 프레임 기간의 첫번째 기입 기간(본 실시예에서는 T_{a4})이 다시 개시된다. 첫번째 라인의 화소에서 1 프레임 기간이 종료된 후, 두번째 라인 이후의 화소에서도 1 프레임 기간이 종료한다. 그 다음, 두번째 라인 이후의 화소에서 다음 프레임 기간의 기입 기간(T_{a4})이 개시된다.
- <289> 상기한 동작이 다시 반복된다. 한 라인의 화소들에 대한 1 프레임 기간의 개시점 및 종료점은 다른 라인의 화소들에 대한 1 프레임 기간의 개시점 및 종료점과 다르다.
- <290> 모든 라인의 화소들에 대해 1 프레임 기간이 종료하면, 하나의 화상이 표시된다.
- <291> 본 실시예에서, 표시 기간의 길이는 $T_{r1}:T_{r2}:\dots:T_{r5}:T_{r6} = 2^0:2^1:\dots:2^4:2^5$ 을 만족하도록 설정된다. 화소에서 발광하는 표시 기간의 조합을 변화시킴으로써, 화소는 2^6 계조 내에서 소망의 계조를 얻을 수 있다.
- <292> 1 프레임 기간 중에 EL 소자가 발광한 표시 기간의 길이의 합을 구함으로써 해당 프레임 기간에서의 그 화소의 계조가 정해진다. 예를 들어, 본 실시예에서 모든 표시 기간에 화소가 발광한 경우의 휘도를 100%라 하면, T_{r1} 과 T_{r2} 에서 화소가 발광한 경우에는, 화소의 휘도가 5%이고, T_{r3} 과 T_{r5} 에서 화소가 발광한 경우에는, 화소의 휘도가 32%이다.
- <293> 본 발명에서, 한 라인의 화소의 기입 기간이 다른 라인의 화소의 기입 기간과 겹치지 않는다. 따라서, 첫번째 라인의 화소에서의 기입 기간은 Y번째 라인의 화소에서의 기입 기간이 종료된 후에 개시된다.
- <294> 본 실시예에서는, 각 라인의 화소의 표시 기간(T_{r5})의 길이는, 첫번째 라인의 화소에서 기입 기간(T_{a5})이 개시되고부터 Y번째 라인의 화소에서 기입 기간(T_{a5})이 종료하기까지의 기간($\sum T_{a5}$)보다 길어야 한다.
- <295> 표시 기간($T_{r1} \sim T_{r6}$)은 어떠한 순서로 출현시켜도 좋다. 예를 들면, 1 프레임 기간에서 T_{r1} 다음에 T_{r3} , T_{r5} , T_{r2} 의 순서로 표시 기간을 출현시키는 것도 가능하다. 그러나, 한 라인의 화소의 기입 기간이 다른 라인의 화소의 기입 기간과 서로 겹치지 않도록 하는 것이 필요하다.
- <296> 본 실시예의 구동방법에서는, 각 라인의 화소의 표시 기간의 길이가, 첫번째 라인의 화소에서 기입 기간(T_a)이 개시되고부터 Y번째 라인의 화소에서 기입 기간(T_a)이 종료하기까지의 기간, 즉, 모든 화소들에 1 비트 디지털 비디오 신호를 기입하는데 요구되는 기간보다 짧을 수 있다. 따라서, 디지털 비디오 신호의 비트 수가 증가하여도, 하위 비트의 디지털 비디오 신호에 대응한 표시 기간의 길이를 짧게 할 수 있으므로, 화면의 깜빡임 없이 고정세한 화상이 표시될 수 있다.
- <297> 본 발명의 발광장치는 온도 변화에 무관하게 일정한 휘도를 얻을 수 있다. 또한, 컬러를 표시하기 위해 상이한 색의 EL 소자에 상이한 EL 재료를 사용한 경우에도, 온도 변화에 따라 각 색의 EL 소자에서 휘도 변화 정도가 각기 다르게 되어 소망의 색이 얻어지지 않는 것을 방지할 수 있다.
- <298> 본 실시예의 구동방법에서는, 1 프레임 기간 중에서 가장 긴 표시 기간(본 실시예에서는 T_{r6})이 1 프레임 기간의 처음 또는 마지막에 오지 않는다. 즉, 1 프레임 기간 중에서 가장 긴 표시 기간의 전후에, 동일 프레임 기간의 다른 표시 기간이 개재된다.
- <299> 상기 구성에 의해, 중간 계조의 표시를 행한 때 불균일한 표시가 육안으로 덜 인식될 수 있다. 이러한 불균일한 표시는 인접한 프레임 기간에서 화소가 발광하는 표시 기간이 인접함으로써 야기된다.
- <300> 본 실시예의 구성은 실시예 4와 자유롭게 조합될 수 있다.
- <301> [실시예 6]
- <302> 본 실시예에서는, 실시형태 2에서 설명한 것과는 상이하고 n비트 디지털 비디오 신호를 사용한 구동방법의 일 예에 대하여 설명한다. 본 실시예에서는, $m = n - 2$ 인 경우에 대하여 설명한다.
- <303> 본 실시예의 구동방법에서는, 최상위 비트의 디지털 비디오 신호에 대응한 표시 기간(T_{rn})을 제1 표시 기간(T_{rn_1})과 제2 표시 기간(T_{rn_2})으로 분할한다. 제1 표시 기간(T_{rn_1}) 및 제2 표시 기간(T_{rn_2}) 각각에 대응하여 제1 기입 기간(T_{an_1}) 및 제2 기입 기간(T_{an_2})이 마련되어 있다.

- <304> 도 15는 본 실시예의 구동방법에서 기입 기간, 표시 기간, 비표시 기간이 출현하는 타이밍을 나타낸다. 수평 축은 시간을 나타내고, 수직 축은 화소의 기입용 게이트 신호선 및 표시용 게이트 신호선의 위치를 나타낸다. 기입 기간은 짧기 때문에 도 15에는 따로 나타내지 않았다. 그 대신, 도면을 간단히 하기 위해, 1비트~n비트 디지털 비디오 신호에 대한 기입 기간($Ta_1 \sim Ta_{(n-1)}$, Ta_{n_1} , Ta_{n_2})의 개시점을 화살표로 나타내었다. 1비트 디지털 비디오 신호에 대해 첫번째 라인의 화소에서 기입 기간이 개시되고부터 Y번째 라인의 화소에서 기입 기간이 종료하기까지의 기간을 ΣTa_1 로 표시하고, 화살표로 나타낸다. 2비트~n비트 디지털 비디오 신호는 화살표로 나타낸 유사한 기간($\Sigma Ta_2 \sim \Sigma Ta_{(n-1)}$, ΣTa_{n_1} , ΣTa_{n_2})을 가진다.
- <305> 화소의 상세한 동작에 대해서는 실시형태 2에서 설명하였으므로, 여기서는 설명을 생략한다.
- <306> 본 실시예에서는, 동일 최상위 비트의 디지털 비디오 신호에 대응한 제1 표시 기간(Trn_1)과 제2 표시 기간(Trn_2) 사이에 최상위 비트 외의 다른 비트의 디지털 비디오 신호에 대응한 표시 기간이 개재되어 있다.
- <307> 표시 기간($Tr_1 \sim Tr_{(n-1)}$, Trn_1 , Trn_2)의 길이는 $Tr_1:Tr_2:\dots:Tr_{(n-1)}:(Trn_1+Trn_2) = 2^0:2^1:\dots:2^{n-2}:2^{n-1}$ 을 만족하도록 설정된다.
- <308> 본 발명의 구동방법에서는, 1 프레임 기간에서의 화소의 총 발광 시간, 즉, 1 프레임 기간 중에 화소가 발광하는 표시 기간의 길이의 합을 제어함으로써, 계조 표시가 얻어진다.
- <309> 상기 구성에 의해, 중간 계조의 표시를 행한 때 불균일한 표시가 실시형태 4 및 5에서보다 육안으로 덜 인식될 수 있다. 이러한 불균일한 표시는 인접한 프레임 기간에서 화소가 발광하는 표시 기간이 인접함으로써 야기된다.
- <310> 본 실시예에서는 동일 비트의 디지털 비디오 신호에 대응하는 표시 기간이 2개인 경우에 대하여 설명하였지만, 본 발명은 이것에 한정되지 않는다. 1 프레임 기간 내에 동일 비트의 디지털 비디오 신호에 대응하는 표시 기간이 3개 이상 제공될 수도 있다.
- <311> 본 실시예에서는 최상위 비트의 디지털 비디오 신호에 대응하는 표시 기간을 다수 마련하였으나, 본 발명은 이것에 한정되지 않는다. 최상위 비트 이외의 다른 비트의 디지털 비디오 신호에 대응하는 표시 기간을 다수 마련하여도 좋다. 대응하는 표시 기간이 다수 마련된 디지털 비디오 신호 비트의 수를 하나로 제한할 필요는 없다. 어떤 비트의 디지털 비디오 신호와 다른 비트의 디지털 비디오 신호가 각각 다수의 표시 기간을 가질 수도 있다.
- <312> 본 실시예의 구성은 $n \geq 2$ 인 경우에 효과적이다. 본 실시예는 실시예 4 또는 5와 자유롭게 조합될 수 있다.
- <313> [실시예 7]
- <314> 본 실시예에서는, 본 발명에 따른 발광장치의 구동회로(소스 신호선 구동회로 및 게이트 신호선 구동회로)의 구성에 대하여 설명한다.
- <315> 도 16은 소스 신호선 구동회로(601)의 구성을 나타내는 블록도이다. 부호 602는 시프트 레지스터, 부호 603은 메모리 회로 A, 부호 604는 메모리 회로 B, 부호 605는 정전류 회로를 나타낸다.
- <316> 시프트 레지스터(602)에는 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력된다. 메모리 회로 A(603)에는 디지털 비디오 신호가 입력되고, 메모리 회로 B(604)에는 래치 신호가 입력된다. 정전류 회로(605)로부터 출력되는 일정 전류(I_c)는 소스 신호선에 입력된다.
- <317> 도 17은 소스 신호선 구동회로(601)의 더 상세한 구성을 나타낸다.
- <318> 시프트 레지스터(602)에 소정의 배선으로부터 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되어, 타이밍 신호가 생성된다. 타이밍 신호는 메모리 회로 A(603)의 다수의 래치 A($LATA_1 \sim LATA_x$)에 각각 입력된다. 시프트 레지스터(602)에서 생성된 타이밍 신호는 버퍼 등에 의해 완충 증폭되어, 메모리 회로 A(603) 내의 다수의 래치 A($LATA_1 \sim LATA_x$)에 각각 입력될 수 있다.
- <319> 타이밍 신호가 메모리 회로 A(603)에 입력되면, 그 타이밍 신호에 동기하여 비디오 신호선(610)에 입력되는 1비트 디지털 비디오 신호가 차례로 다수의 래치 A($LATA_1 \sim LATA_x$) 각각에 기입되어 보유된다.
- <320> 본 실시예에서는, 메모리 회로 A(603)의 다수의 래치 A($LATA_1 \sim LATA_x$)에 차례로 디지털 비디오 신호를 입력함

으로써, 디지털 비디오 신호가 메모리 회로 A(603)에 입력되지만, 본 발명이 이것에 한정되지 않는다. 본 발명에서는, 메모리 회로 A(603) 내의 다수의 래치 단(스테이지)이 몇 개의 그룹으로 분할되고, 각 그룹에 디지털 비디오 신호가 동시에 입력되는, 소위 분할 구동을 이용할 수도 있다. 분할 구동에서의 그룹의 수를 분할수라 부른다. 예를 들어, 4개의 래치 단이 1개의 그룹을 구성하는 경우, 4분할로 분할구동한다고 말한다.

- <321> 메모리 회로 A(603)의 모든 래치 단에 디지털 비디오 신호의 기입을 1회 종료하는데 요구되는 시간을 라인 기간이라 부른다. 그러나, 앞에서 정의된 라인 기간에 수평 귀선(歸線)기간을 더한 기간을 라인 기간에 포함시키도 한다.
- <322> 1 라인 기간이 종료하면, 래치 신호선(609)을 통해 메모리 회로 B(604)의 다수의 래치 B(LATB_1~LATB_x)에 래치 신호가 공급된다. 이 때, 메모리 회로 A(603)의 다수의 래치 A(LATA_1~LATA_x)에 보유되어 있는 디지털 비디오 신호가 메모리 회로 B(604)의 다수의 래치 B(LATB_1~LATB_x)에 한꺼번에 기입되어 보유된다.
- <323> 메모리 회로 B(604)로의 디지털 비디오 신호의 송출을 끝낸 메모리 회로 A(603)에는, 시프트 레지스터(602)로부터의 타이밍 신호에 응답하여, 다음의 1비트 디지털 비디오 신호의 기입이 순차로 행해진다.
- <324> 그리하여, 두 번째의 1 라인 기간이 개시된 후, 메모리 회로B(604)에 기입되고 보유된 디지털 비디오 신호가 정전류 회로(605)에 입력된다.
- <325> 정전류 회로(605)는 다수의 전류설정회로(C1~Cx)를 가지고 있다. 각 전류설정회로(C1~Cx)에 디지털 비디오 신호가 입력되면, 그 디지털 비디오 신호가 가지는 '1' 또는 '0'의 정보에 따라 소스 신호선에 일정 전류(I_c)가 흐르거나 또는 전원공급선(V1~Vx)의 전위가 주어진다.
- <326> 도 18은 전류설정회로(C1)의 구체적인 구성의 일 예를 나타낸다. 이 구성은 전류설정회로(C2~Cx)에도 이용될 수 있다.
- <327> 전류설정회로(C1)는 정전류원(631), 4개의 전달 게이트(SW1~SW4), 및 2개의 인버터(Inb1, Inb2)를 가지고 있다.
- <328> 메모리 회로 B(604)의 LATB_1로부터 출력된 디지털 비디오 신호는 SW1~SW4의 스위칭을 제어하는데 사용된다. SW1 및 SW3에 입력되는 디지털 비디오 신호와 SW2 및 SW4에 입력되는 디지털 비디오 신호는 Inb1과 Inb2에 의해 반전되어 있다. 따라서, SW1 및 SW3이 온일 때는 SW2 및 SW4는 오프이고, SW1 및 SW3이 오프일 때는 SW2 및 SW4가 온이 되어 있다.
- <329> SW1 및 SW3이 온일 때, 정전류원(631)으로부터 전류(I_c)가 SW1 및 SW3을 통해 소스 신호선(S1)에 입력된다.
- <330> 반대로, SW2 및 SW4가 온일 때는, 정전류원(631)으로부터의 전류(I_c)가 SW2를 통해 접지로 흐르고, 전원공급선(V1~Vx)의 전위가 SW4를 통해 소스 신호선(S1)에 부여된다.
- <331> 도 17을 다시 참조하면, 상기 동작은 1 라인 기간 내에 정전류 회로(605)의 모든 전류설정회로(C1~Cx)에서 동시에 수행된다. 따라서, 디지털 비디오 신호에 의해, 모든 소스 신호선에 일정 전류(I_c)가 인가될 지 또는 전원 전위가 인가될 지가 결정된다.
- <332> 디지털 비디오 신호를 래치 회로에 순차적으로 기입하기 위해, 시프트 레지스터가 디코더와 같은 다른 회로로 대체될 수도 있다.
- <333> 다음에, 기입용 게이트 신호선 구동회로 및 표시용 게이트 신호선 구동회로의 구성에 대하여 설명한다. 그러나, 기입용 게이트 신호선 구동회로 및 표시용 게이트 신호선 구동회로는 거의 동일한 구성을 가지기 때문에, 여기서는 대표로 기입용 게이트 신호선 구동회로에 대해서만 설명한다.
- <334> 도 19는 기입용 게이트 신호선 구동회로(641)의 구성을 나타내는 블록도이다.
- <335> 기입용 게이트 신호선 구동회로(641)는 시프트 레지스터(642)와 버퍼(643)를 가지고 있다. 필요에 따라 레벨 시프터를 가질 수도 있다.
- <336> 기입용 게이트 신호선 구동회로(641)에서, 시프트 레지스터(642)에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되어, 타이밍 신호가 생성된다. 생성된 타이밍 신호는 버퍼(643)에 의해 완충 증폭되어, 선택된 기입용 게이트 신호선에 공급된다.
- <337> 각 기입용 게이트 신호선에는, 1 라인분의 화소의 제1 스위칭용 TFT 및 제2 스위칭용 TFT의 게이트 전극이 접속

되어 있다. 1 라인분의 화소의 제1 스위칭용 TFT와 제2 스위칭용 TFT가 동시에 온으로 되어야 하므로, 버퍼(643)는 큰 전류가 흐를 수 있는 것이어야 한다.

- <338> 표시용 게이트 신호선 구동회로에서는, 모든 표시용 게이트 신호선에 접속된 EL 구동용 TFT들이 각 표시 기간에서 동시에 온으로 된다. 따라서, 기입용 게이트 신호선 구동회로의 시프트 레지스터에 입력되는 클럭 신호(CLK)와 스타트 펄스 신호(SP)는 표시용 게이트 신호선 구동회로의 시프트 레지스터에 입력되는 CLK 및 SP와는 다른 파형을 가진다.
- <339> 게이트 신호선을 선택하고, 선택된 게이트 신호선에 타이밍 신호를 공급하기 위해, 시프트 레지스터가 디코더와 같은 다른 회로로 대체될 수도 있다.
- <340> 본 발명에서 사용되는 구동회로의 구성은 본 실시예에서 나타난 것에 한정되지 않는다.
- <341> 본 실시예의 구성은 실시예 1~6과 자유롭게 조합될 수 있다.
- <342> [실시예 8]
- <343> 본 실시예에서는, 도 1에 도시된 것과 같은 구성을 가지는 화소의 상면도의 일 예를 설명한다.
- <344> 도 20은 본 실시예의 화소의 상면도이다. 화소는 소스 신호선(Si), 전원공급선(Vi), 기입용 게이트 신호선(Gaj), 및 표시용 게이트 신호선(Gbj)을 가지고 있다. 소스 신호선(Si)은 기입용 게이트 신호선(Gaj) 및 표시용 게이트 신호선(Gbj)과 교차하지만, 소스 신호선(Si)과 게이트 신호선(Gj)과의 접촉을 피하기 위해 접속 배선(182)에 의해 인출되어 있다.
- <345> 부호 102는 제1 스위칭용 TFT, 부호 103은 제2 스위칭용 TFT, 부호 104는 전류제어용 TFT, 부호 105는 EL 구동용 TFT를 나타낸다.
- <346> 제1 스위칭용 TFT(102)는 소스 영역 및 드레인 영역을 가지고 있고, 그 소스 영역과 드레인 영역 중 한쪽 영역이 접속 배선(190)을 통해 소스 신호선(Si)에 접속되고, 다른 한쪽 영역은 접속 배선(183)을 통해 전류제어용 TFT(104)의 드레인 영역에 접속되어 있다. 제2 스위칭용 TFT(103)는 소스 영역 및 드레인 영역을 가지고 있고, 그 소스 영역과 드레인 영역 중 한쪽 영역이 접속 배선(183)을 통해 전류제어용 TFT(104)의 드레인 영역에 접속되고, 다른 한쪽 영역은 접속 배선(184)과 게이트 배선(185)에 접속되어 있다. 게이트 배선(185)의 일부가 전류제어용 TFT의 게이트 전극으로서 기능한다.
- <347> 기입용 게이트 신호선(Gaj)의 일부는 제1 스위칭용 TFT(102) 및 제2 스위칭용 TFT(103)의 게이트 전극으로서 기능한다.
- <348> 전원공급선(Vi)의 일부는 층간절연막 사이에 두고 게이트 배선(185)의 일부와 겹쳐 있다. 그 겹침부분이 커패시터(107)로서 작용한다.
- <349> 전류제어용 TFT(104)의 소스 영역이 전원공급선(Vi)에 접속되고, 드레인 영역이 접속 배선(186)을 통해 EL 구동용 TFT(105)의 소스 영역에 접속되어 있다. EL 구동용 TFT(105)의 드레인 영역은 화소 전극(181)에 접속되어 있다. 표시용 게이트 신호선(Gbj)의 일부가 EL 구동용 TFT(105)의 게이트 전극으로서 기능한다.
- <350> 본 발명에 따른 발광장치의 화소의 구성은 도 20에 나타난 것에 한정되지 않는다. 본 실시예의 구성은 실시예 1~7과 자유롭게 조합될 수 있다.
- <351> [실시예 9]
- <352> 본 실시예에서는, 본 발명에 따른 발광장치의 화소부의 TFT를 제작하는 방법에 대하여 설명한다. 화소부의 주변에 제공되는 구동회로(소스 신호선 구동회로, 기입용 게이트 신호선 구동회로, 및 표시용 게이트 신호선 구동회로)의 TFT가, 화소부의 TFT가 배치되는 동일 기판 상에 화소부의 TFT와 동시에 형성될 수 있다.
- <353> 먼저, 도 21(A)에 도시된 바와 같이, 유리 기판(5001)상에 산화규소막, 질화규소막, 산화질화규소막과 같은 절연막으로 된 하지막(下地膜)(5002)을 형성한다. 기판(5001)은 코닝 #7059 유리 또는 #1737 유리(코닝사 제품)로 대표되는 붕규산 바륨 유리, 또는 붕규산 알루미늄 유리로 형성된다. 하지막(5002)은, 예를 들어, 플라즈마 CVD법에 의해 SiH₄, NH₃ 및 N₂O로 형성되고 10~200 nm(바람직하게는, 50~100 nm)의 두께를 가지는 산화질화규소막(5002a)과, 플라즈마 CVD법에 의해 SiH₄ 및 N₂O로 형성되고 50~200 nm(바람직하게는, 100~150 nm)의 두께를 가지는 산화질화수소화규소막(5002b)의 적층체이다. 본 실시예에서는, 하지막(5002)이 2층 구조를

가지지만, 상기한 절연막들 중 하나로 된 단일 층 또는 상기 절연막의 2층 이상으로 된 적층체일 수도 있다.

- <354> 그 다음, 레이저 결정화법 또는 공지의 열 결정화법에 의해 비정질 구조를 가지는 반도체막을 결정화하여 결정성 반도체막을 형성한다. 이 결정성 반도체막은 섬 모양의 반도체층(5004~5006)을 형성한다. 섬 모양의 반도체층(5004~5006) 각각은 25~80 nm(바람직하게는, 30~60 nm)의 두께를 가진다. 결정성 반도체막의 재료 선택에 제한은 없지만, 규소 또는 규소 게르마늄(SiGe) 합금을 사용하는 것이 바람직하다.
- <355> 결정성 반도체막이 레이저 결정화법에 의해 형성되는 경우, 펄스 발진형 또는 연속 발진형 엑시머 레이저, YAG 레이저, 또는 YVO₄ 레이저가 사용될 수 있다. 상기한 레이저로부터 방사된 레이저광을 광학계에 의해 선형 빔으로 집속하여 반도체막에 조사(照射)하는 것이 바람직하다. 결정화의 조건은 실시자에 의해 적절히 설정되는 것이지만, 엑시머 레이저를 사용하는 경우, 펄스 발진 주파수를 300 Hz로 하고, 레이저 에너지 밀도를 100~400 mJ/cm²(대표적으로는, 200~300 mJ/cm²)로 한다. YAG 레이저를 사용하는 경우에는, 그의 제2 고조파를 사용하고, 펄스 발진 주파수를 30~300 kHz로 하고, 레이저 에너지 밀도를 300~600 mJ/cm²(대표적으로는, 350~500 mJ/cm²)로 한다. 100~1000 μm, 예를 들어, 400 μm의 폭을 가지는 선형 빔으로 집속한 레이저광을 기관의 전면(全面)에 조사한다. 이때, 선형 빔의 중첩비율(overlap ratio)을 50~90%로 하여 선형 레이저광을 기관에 조사한다.
- <356> 다음에, 섬 모양의 반도체층(5004~5006)을 덮도록 게이트 절연막(5007)을 형성한다. 게이트 절연막(5007)은 플라즈마 CVD법 또는 스퍼터링법에 의해 규소 함유 절연막으로부터 40~150 nm의 두께로 형성된다. 본 실시예에서는, 두께 120 nm의 산화질화규소막을 사용한다. 물론, 게이트 절연막은 산화질화규소막에 한정되지 않고, 규소를 함유하는 다른 절연막의 단층 또는 적층일 수도 있다. 예를 들어, 게이트 절연막에 산화규소막을 사용하는 경우, 게이트 절연막은, TEOS(테트라 에틸 오소실리케이트)와 O₂를 혼합하고 반응 압력을 40 Pa로 하고, 기관 온도를 300~400℃로 하고, 주파수를 13.56 MHz로 높게 하고, 전기 방전을 위한 전력 밀도를 0.5~0.8 W/cm²로 하여 플라즈마 CVD법에 의해 형성된다. 그렇게 하여 형성된 산화규소막은 이후에 400~500℃에서 열 어닐을 행한 때 우수한 특성을 가지는 게이트 절연막을 제공할 수 있다.
- <357> 게이트 절연막(5007) 위에, 게이트 전극을 형성하기 위한 제1 도전막(5008)과 제2 도전막(5009)을 형성한다. 본 실시예에서는, 제1 도전막(5008)이 두께 50~100 nm의 Ta막이고, 제2 도전막(5009)이 두께 100~300 nm의 W막이다.
- <358> Ta막은 스퍼터링법에 의해 Ta를 타겟으로 하여 Ar에서 스퍼터링함으로써 형성된다. 이 경우, Ar에 적절한 양의 Xe 또는 Kr을 첨가하면, Ta막의 내부 응력이 완화되어, Ta막의 벗겨짐을 방지할 수 있다. α상의 Ta막은 그의 저항률이 약 20 μΩcm이고, 게이트 전극에 사용 가능하다. 반면, β상의 Ta막의 저항률은 약 180 μΩcm이고, 게이트 전극에 적합하지 않다. α상의 Ta막의 것과 유사한 결정 구조를 가지는 질화탄탈로부터 두께 10~50 nm 정도의 하지를 형성하는 경우, α상의 Ta막을 용이하게 얻을 수 있다.
- <359> W막은 W를 타겟으로 하여 스퍼터링법에 의해 형성된다. 또는, W막은 6불화 텅스텐(WF₆)을 사용하여 열 CVD법에 의해 형성될 수도 있다. 어느 경우에도, W막을 게이트 전극으로 사용하기 위해서는, W막은 낮은 저항률을 가져야 한다. W막의 바람직한 저항률은 20 μΩcm 이하이다. 결정립의 크기를 증대시킴으로써 W막의 저항률을 감소시킬 수 있지만, W막에 산소와 같은 불순물 원소가 많이 함유되는 경우에는, 결정화가 저해되어 저항률을 상승시킨다. 따라서, W막을 스퍼터링법으로 형성하는 경우, 순도 99.9999%의 W 타겟을 사용하고, 형성되는 W막에 대기 중의 불순물이 혼입되지 않도록 충분한 주의를 한다. 그 결과, W막은 9~20 μΩcm의 저항률을 가질 수 있다.
- <360> 본 실시예에서는, 제1 도전막(5008)이 Ta막이고, 제2 도전막(5009)이 W막이지만, 특별한 제한은 없다. 그 도전막들은 Ta, W, Ti, Mo, Al, Cu로 이루어진 군에서 선택된 원소, 또는 상기 원소들을 주성분으로 하는 합금 재료 또는 화합물 재료로 형성될 수도 있다. 그 대신, 인과 같은 불순물 원소가 도핑된 다결정 규소막으로 대표되는 반도체막이 사용될 수도 있다. 본 실시예에서 나타난 것 외의 제1 및 제2 도전막을 위한 재료의 다른 바람직한 조합으로는, 제1 도전막(5008)을 질화탄탈(TaN)로 형성하고 제2 도전막(5009)을 W으로 형성하는 조합; 제1 도전막(5008)을 질화탄탈(TaN)로 형성하고 제2 도전막(5009)을 Al으로 형성하는 조합; 제1 도전막(5008)을 질화탄탈(TaN)로 형성하고 제2 도전막(5009)을 Cu로 형성하는 조합을 들 수 있다.(도 21(A))
- <361> 다음에, 레지스트 마스크(5010)를 형성하고, 전극 및 배선을 형성하기 위한 제1 에칭 처리를 행한다. 본 실시

예에서는, 에칭 가스로서 CF₄와 Cl₂의 혼합 가스를 사용하고, 1 Pa의 압력에서 코일형 전극에 500 W의 RF(13.56 MHz) 전력을 인가하여 플라즈마를 생성하는 ICP(유도 결합형 플라즈마) 에칭법을 사용한다. 기관측(샘플 스테이지)에도 100 W의 RF(13.56 MHz) 전력을 인가하여, 실질적으로 부(負)의 셀프바이어스 전압을 인가한다. CF₄와 Cl₂의 혼합 가스를 사용되는 경우, W막과 Ta막이 동일한 정도로 에칭된다.

<362> 상기 에칭 조건에서, 레지스트 마스크를 적절한 형상으로 하면, 기관측에 인가되는 바이어스 전압의 효과에 의해 제1 및 제2 도전막의 엣지가 테이퍼(taper) 형상으로 된다. 테이퍼부의 각도는 15~45°이다. 게이트 절연막 위에 어떠한 잔사(殘渣)도 남기지 않고 도전막을 에칭하기 위해서는, 에칭 시간을 약 10~20%만큼 연장시킨다. W막 대 산화질화규소막의 선택비는 2~4(대표적으로는, 3)이므로, 산화질화규소막이 노출된 영역이 오버에칭 처리에 의해 약 20~50 nm만큼 에칭된다. 이렇게 하여, 제1 에칭 처리를 통해, 제1 도전막 및 제2 도전막으로부터 제1 형상의 도전층(5011~5015)(제1 도전층(5011a~5015a) 및 제2 도전층(5011b~5015b))이 형성된다. 이 때, 제1 형상의 도전층(5011~5015)으로 덮이지 않은 게이트 절연막(5007)의 영역이 약 20~50 nm만큼 에칭되어 얇게 된다.

<363> 그 다음, n형 도전성을 부여하는 불순물 원소의 도핑을 위한 제1 도핑 처리를 행한다. 이온 도핑법 또는 이온 주입법이 사용된다. 이온 도핑법에서는, 도즈량을 $1 \times 10^{13} \sim 5 \times 10^{14}$ 원자/cm², 가속 전압을 60~100 keV로 한다. n형 도전성을 부여하는 불순물 원소는 주기율표 15족에 속하는 원소, 전형적으로는 인(P) 또는 비소(As)이다. 여기서는 인(P)이 사용된다. 이 경우, 도전층(5012~5015)이 n형 도전성을 부여하는 불순물 원소에 대해 마스크로서 작용하고, 제1 불순물 영역(5017~5023)이 자기정합적으로 형성된다. 제1 불순물 영역(5017~5023) 각각은 n형 도전성을 부여하는 불순물 원소를 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³의 농도로 함유한다.(도 21(B))

<364> 그 다음, 도 21(C)에 도시된 바와 같이, 레지스트 마스크를 그 대로 남겨두고 제2 에칭 처리를 행한다. 에칭 가스로서 CF₄, Cl₂, 및 O₂를 사용하여 W막을 선택적으로 에칭한다. 제2 에칭 처리를 통해, 제2 형상의 도전층(5025~5029)(제1 도전층(5025a~5029a) 및 제2 도전층(5025b~5029b))이 형성된다. 이 때, 제2 형상의 도전층(5025~5029)으로 덮이지 않은 게이트 절연막(5007)의 영역이 약 20~50 nm만큼 추가로 에칭되어 얇게 된다.

<365> CF₄와 Cl₂의 혼합 가스에 의한 에칭에 대한 W막 및 Ta막의 반응은 발생하는 라디칼(radical) 또는 이온 종(種)의 증기압 및 반응 생성물의 증기압으로부터 추론될 수 있다. W와 Ta의 불화물 및 염화물 간의 증기압을 비교하면, W의 불화물인 WF₆이 매우 높은 증기압을 가지고, 그 외의 WCl₅, TaF₅, TaCl₅은 대략 동일한 정도의 증기압을 가진다. 따라서, W막과 Ta막 모두가 CF₄와 Cl₂의 혼합 가스에 의해 에칭된다. 그러나, 이 혼합 가스에 적절한 양의 O₂가 첨가되면, CF₄와 O₂가 서로 반응하여 CO 및 F로 변화하여, 다량의 F 라디칼 또는 F 이온을 발생한다. 그 결과, 불화물의 증기압이 높은 W막이 높은 에칭 속도로 에칭된다. 한편, F 이온의 수가 증가하더라도, Ta막의 에칭 속도는 그다지 증가하지 않는다. Ta은 W보다 용이하게 산화되므로, O₂의 첨가로 인해 Ta막 표면이 산화된다. Ta의 산화물은 불소 또는 염소와 반응하지 않기 때문에, Ta막의 에칭 속도는 더욱 감소한다. 따라서, W막과 Ta막 사이에 에칭 속도의 차이를 두어, W막의 에칭 속도가 Ta막의 에칭 속도보다 빠르게 할 수 있다.

<366> 그 다음, 도 22(A)에 도시된 바와 같이 제2 도핑 처리를 행한다. 제2 도핑 처리에서는, 제1 도핑 처리에서보다 적은 도즈량과 높은 가속 전압으로 막에 n형 도전성을 부여하는 불순물 원소를 도핑한다. 예를 들어, 가속 전압을 70~120 keV로 하고, 도즈량을 1×10^{13} 원자/cm³으로 하여, 도 21(B)의 섬 모양의 반도체층에 형성된 제1 불순물 영역 내측에 새로운 불순물 영역을 형성한다. 제2 형상의 도전층(5026~5029)이 불순물 원소에 대한 마스크로서 사용되어, 제1 도전층(5026a~5029a) 아래의 영역도 불순물 원소로 도핑된다. 그리하여, 제3 불순물 영역(5032~5035)이 형성된다. 제3 불순물 영역(5032~5035)은 제1 도전층(5026a~5029a)의 테이퍼부의 두께에 따라 완만한 농도 구배로 인(P)을 함유한다. 제1 도전층(5026a~5029a)의 테이퍼부와 겹치는 반도체층에서, 제1 도전층(5026a~5029a)의 테이퍼부의 엣지에서보다 중앙에서 불순물 농도가 약간 더 낮게 되어 있지만, 이 차이는 매우 미약하고, 전체 반도체층에 걸쳐 거의 동일한 불순물 농도를 유지한다.

<367> 그 다음, 도 22(B)에 도시된 바와 같이 제3 에칭 처리를 행한다. 에칭 가스로서 CHF₃이 사용되고, 반응성 이온 에칭(RIE)법이 이용된다. 제3 에칭 처리를 통해, 제1 도전층(5026a~5029a)의 테이퍼부가 부분적으로 에칭되어, 제1 도전층이 반도체층과 겹치는 영역을 축소시킨다. 그리하여, 제3 형상의 도전층(5036~5040)(제1

도전층(5036a~5040a) 및 제2 도전층(5036b~5040b)이 형성된다. 이 때, 제3 형상의 도전층(5036~5040)으로 덮이지 않은 게이트 절연막(5007)의 영역이 약 20~50 nm만큼 더 에칭되어 얇게 된다.

- <368> 제3 에칭 처리를 통해 제3 불순물 영역(5032~5035)이 형성된다. 제3 불순물 영역(5032~5035)은 제1 도전층(5037a~5040a)과 각각 겹치는 제3 불순물 영역(5032a~5035a)과, 제1 불순물 영역과 제2 불순물 영역 사이에 각각 형성되는 제3 불순물 영역(5032b~5035b)으로 구성된다.
- <369> 그 다음, 도 22(C)에 도시된 바와 같이, 제1 도전형과 반대의 도전형을 가지는 제4 불순물 영역(5043~5054)이 p채널형 TFT를 형성하기 위해 섬 모양의 반도체층(5005, 5006) 내에 형성된다. 제3 형상의 도전층(5039b~5040b)이 불순물 원소에 대한 마스크로서 사용되어, 자기정합적으로 불순물 영역이 형성된다. 이 때, n 채널형 TFT를 형성하기 위한 섬 모양의 반도체층(5004)과 배선(5036)이 레지스트 마스크(5200)로 완전히 덮인다. 불순물 영역(5043~5054)에는 상이한 농도로 인니 이미 도핑되어 있다. 불순물 영역(5043~5054)에는, 각 영역에서 디보란(B₂H₆)이 인보다 우세하고 각 영역이 불순물 원소를 $2 \times 10^{20} \sim 2 \times 10^{21}$ 원자/cm³ 농도로 함유하도록 이온 도핑법에 의해 디보란이 도핑된다.
- <370> 상기 공정들을 거쳐, 각각의 섬 모양 반도체층에 불순물 영역들이 형성된다. 섬 모양의 반도체층과 겹치는 제3 형상의 도전층(5037~5040)은 게이트 전극으로서 기능한다. 층(5036)은 섬 모양의 소스 신호선으로서 기능한다.
- <371> 레지스트 마스크(5200)를 제거한 후, 도전형을 제어하기 위해 섬 모양의 반도체층을 도핑하는데 사용된 불순물 원소를 활성화하는 공정을 행한다. 활성화 공정은 어닐 노(furnace)를 이용한 열 어닐법에 의해 행해진다. 채택될 수 있는 다른 활성화법으로는, 레이저 어닐법 및 급속 열 어닐(RTA)법이 적용될 수도 있다. 열 어닐은 산소 농도가 1 ppm 이하, 바람직하게는, 0.1 ppm 이하인 질소분위기에서 400~700℃, 대표적으로는 500~600℃로 행해진다. 본 실시예에서는, 500℃로 4시간 기판에 열 처리를 행하였다. 그러나, 제3 형상의 도전층(5036~5040)에 사용되는 배선 재료가 열에 약한 경우, 배선 등을 보호하기 위해 층간절연막(규소를 주성분으로 하는)을 형성한 후, 활성화를 행하는 것이 바람직하다.
- <372> 또한, 3~100%의 수소를 함유하는 분위기에서 300~450℃로 1~12시간 행하여, 섬 모양의 반도체층을 수소화하는 공정을 행한다. 수소화 공정은 열적으로 여기된 수소를 사용하여 섬 모양의 반도체층 중의 땀글링 결합(dangling bond)을 중단시키는 것이다. 또는, 플라즈마 수소화(플라즈마로 여기된 수소를 사용)가 사용될 수도 있다.
- <373> 그 다음, 도 23(A)에 도시된 바와 같이, 두께 100~200 nm의 산화질화규소막으로 된 제1 층간절연막(5055)을 형성하고, 그 위에, 유기 절연 재료로 된 제2 층간절연막(5056)을 형성한다. 그 후, 제1 층간절연막(5055), 제2 층간절연막(5056) 및 게이트 절연막(5007)에 콘택트 홀을 형성하고, 패터닝에 의해 접속 배선(5057~5062)을 형성한다. 접속 배선(드레인 배선)(5062)은 패터닝에 의해 형성되는 화소전극(5064)과 접하여 있다. 접속 배선은 소스 배선 및 드레인 배선을 포함한다. 소스 배선은 활성층의 소스 영역에 접속되는 배선이고, 드레인 배선은 활성층의 드레인 영역에 접속되는 배선이다.
- <374> 제2 층간절연막(5056)은 유기 수지로 된 막이다. 사용 가능한 유기 수지의 예로서는, 폴리이미드, 폴리아미드, 아크릴 수지, BCB(벤조시클로부텐)가 있다. 제2 층간절연막(5056)은 평탄화의 역할이 강하므로, 평탄성이 우수한 아크릴 수지가 특히 바람직하다. 본 실시예에서는, 아크릴막이 TFT들에 의한 단차를 제거하기에 충분한 두께를 가진다. 적당한 막 두께는 1~5 μm(바람직하게는, 2~4 μm)이다.
- <375> 콘택트 홀은 건식 에칭 또는 습식 에칭에 의해 형성되고, n형 도전성을 가지는 불순물 영역(5017~5019) 또는 p형 도전성을 가지는 불순물 영역(5043, 5048, 5049, 5054)에 도달하는 콘택트 홀, 배선(5036)에 도달하는 콘택트 홀, 전원공급선에 도달하는 콘택트 홀(도시하지 않음), 및 게이트 전극에 도달하는 콘택트 홀(도시하지 않음)을 포함한다.
- <376> 접속 배선(5057~5062)은 3층 구조의 적층막체를 소망의 형태로 패터닝함으로써 얻어진다. 이 적층체는 두께 100 nm의 Ti막, 두께 300 nm의 Ti 함유 알루미늄막, 두께 150 nm의 Ti막을 스퍼터링법에 의해 연속적으로 형성하여 이루어진 것이다. 물론, 다른 도전막을 사용할 수도 있다.
- <377> 본 실시예에서의 화소 전극(5064)은 두께 110 nm의 ITO 막을 패터닝함으로써 얻어진다. 접속 배선(5062)과 겹치도록 화소 전극(5064)을 배열함으로써 콘택트가 이루어진다. 화소 전극은 2~20%의 산화아연(ZnO)을 산화인듐에 혼합한 투명 도전막으로 형성될 수도 있다. 화소 전극(5064)은 EL 소자의 양극으로서 작용한다.(도

23(A)

- <378> 다음에, 도 23(B)에 도시된 바와 같이, 규소를 함유하는 절연막(본 실시예에서는 산화규소막)을 500 nm의 두께로 형성하고, 화소 전극(5064)의 위치에 대응하는 위치에 상기 막에 개구부를 형성한다. 그리하여, 뱅크(bank)로서 기능하는 제 3 층간절연막(5065)이 형성된다. 습식 에칭법을 이용하여 개구부를 형성하면, 테이퍼진 측벽들을 쉽게 형성할 수 있다. 개구부의 측벽들이 충분히 완만하지 않으면, 단차로 인한 EL 층의 열화가 현저한 문제로 되므로, 주의가 필요하다.
- <379> 기관을 대기에 노출시키지 않고 연속적으로 진공증착법에 의해 EL 층(5066) 및 음극(MgAg 전극)(5067)을 형성한다. EL 층(5066)의 두께는 80~200 nm(전형적으로는 100~120 nm)로 하고, 음극(5067)의 두께는 180~300 nm(전형적으로는, 200~250 nm)로 한다.
- <380> 이 공정에서, EL 층과 음극이 적색, 녹색, 청색에 각각 대응하는 화소들에 형성된다. EL 층은 용액에 대한 내성이 낮으므로 포토리소그래피 기술의 사용을 저해한다. 따라서, 한 색의 EL 층이 다른 색의 EL 층과 함께 형성될 수 없다. 그래서, EL 층 및 음극은 다른 2가지 색의 화소를 금속 마스크로 덮은 상태에서 한 색의 화소에 선택적으로 형성된다.
- <381> 즉, 먼저, 적색에 대응하는 화소를 제외한 모든 화소를 덮는 마스크를 셋트하고, 이 마스크를 이용하여 적색 광을 발광하는 EL 층을 선택적으로 형성한다. 그 다음, 녹색에 대응하는 화소를 제외한 모든 화소를 덮는 마스크를 셋트하고, 이 마스크를 이용하여 녹색 광을 발광하는 EL 층을 선택적으로 형성한다. 마지막으로, 청색에 대응하는 화소를 제외한 모든 화소를 덮는 마스크를 셋트하고, 이 마스크를 이용하여 청색 광을 발광하는 EL 층을 선택적으로 형성한다. 여기서는 모두 상이한 마스크를 사용하는 것으로 설명하였으나, 3가지 색의 EL 층을 형성하는데 있어서 동일한 마스크를 3번 사용할 수도 있다.
- <382> 여기서는 R,G,B에 대응한 3종류의 EL 소자를 형성하는 방식을 사용하였지만, 그 대신, 백색 발광 EL 소자와 컬러 필터를 조합시킨 방식, 청색 또는 청녹색 발광 EL 소자와 형광체(형광성 색 변환층: CCM)를 조합시킨 방식, 또는 음극(대향 전극)에 투명 전극을 이용하여 RGB에 대응한 EL 소자를 중첩시키는 방식이 사용될 수도 있다.
- <383> EL 층(5066)에는 공지의 재료가 사용될 수 있다. 공지의 재료로서는, 구동전압을 고려하면 유기 재료를 사용하는 것이 바람직하다. 예를 들어, EL 층은 정공주입층, 정공수송층, 발광층 및 전자주입층으로 구성되는 4층 구조를 가진다.
- <384> 다음에, 음극(5067)이 형성된다. 본 실시예에서는 음극(5067)에 MgAg가 사용되지만, 본 발명이 이것에 한정되지 않는다. 음극(5067)에 다른 공지의 재료를 사용할 수도 있다.
- <385> 마지막으로, 두께 300 nm의 질화규소막으로 된 패시베이션막(5068)을 형성한다. 패시베이션막(5068)은 수분 등으로부터 EL 층(5066)을 보호하여, EL 소자의 신뢰성을 더욱 증대시킨다. 그러나, 패시베이션막(5068)이 반드시 형성될 필요는 없다.
- <386> 이렇게 하여, 도 23(B)에 도시된 구조를 가지는 발광장치가 완성된다. 본 발명에 따른 발광장치의 제조공정에서는, 회로 구성 및 공정 관계 상, 소스 신호선이 게이트 전극의 재료인 Ta 및 W으로 형성되고, 게이트 신호선이 소스 전극 및 드레인 전극을 형성하기 위한 배선 재료인 Al으로 형성되지만, 다른 재료가 사용될 수도 있다.
- <387> 본 실시예의 발광장치는 화소부 뿐만 아니라 구동회로에도 최적의 구조의 TFT를 배치함으로써 매우 높은 신뢰성과 향상된 동작 특성을 나타낸다. 결정화 공정에서, 결정성을 증대시키기 위해 Ni와 같은 금속 촉매를 막에 첨가할 수도 있다. 결정성을 증대시킴으로써, 소스 신호선 구동회로의 구동 주파수를 10 MHz 이상으로 할 수 있다.
- <388> 실제로는, 도 23(B)의 상태까지 완성한 후, 외기에 더욱 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(예를 들어, 라미네이트 필름, 자외선 경화 수지 필름) 또는 투광성의 밀봉재를 사용하여 장치를 패키징(봉입(封入))한다. EL 소자의 신뢰성을 향상시키기 위해, 밀봉재의 내측 공간을 불활성 분위기하거나 또는 흡습 물질(예를 들어 산화바륨)을 배치할 수도 있다.
- <389> 패키징 등의 처리를 통해 기밀성을 확보한 후, 기관 상에 형성된 소자 또는 회로로부터 인출되는 단자와 외부 신호단자를 접속하기 위한 커넥터(가요성 인쇄회로: FPC)를 부착한다.
- <390> 본 실시예에서 나타내는 공정에 따르면, 발광장치의 제조에 필요한 포토마스크의 수가 감소될 수 있다. 그 결과, 공정이 단축되어, 제조비용의 저감과 생산수율의 향상에 기여할 수 있다.

<391> 본 실시예의 구성은 실시예 1~8과 자유롭게 조합될 수 있다.

<392> [실시예 10]

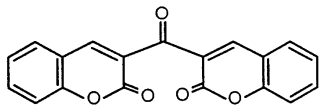
<393> 본 발명에서 3중항 여기자로부터의 인광을 발광에 이용할 수 있는 EL 재료를 사용하면, 외부 발광 양자 효율을 비약적으로 향상시킬 수 있다. 이것에 의해, EL 소자의 소비전력을 감소시키고, EL 소자의 수명을 연장시키고, EL 소자의 중량을 감소시키는 것이 가능하게 된다.

<394> 아래에, 삼중항 여기자를 이용하여 외부 발광 양자 효율을 향상시킨 보고를 나타낸다.

<395> T. Tsutsui, C. Adachi 및 S. Saito의 문헌 [Photochemical Processes in Organized Molecular Systems, ed. K. Honda (Elsevier Sci. Pub., Tokyo, 1991), p. 437]

<396> 상기 논문에 보고된 EL 재료(쿠마린)의 분자식은 하기와 같다.

화학식 1

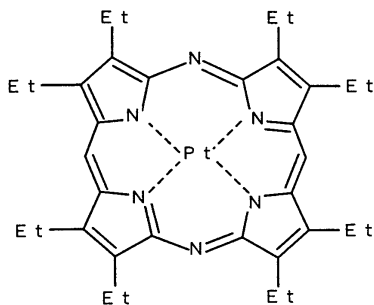


<397>

<398> M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson 및 S. R. Forrest의 문헌 [Nature 395 (1998), p. 151]

<399> 상기 논문에 보고된 EL 재료(Pt 착체)의 분자식은 하기와 같다.

화학식 2

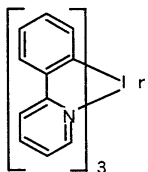


<400>

<401> M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson 및 S. R. Forrest의 문헌 [Appl. Phys. Lett., 75 (1999), p.4] 및 T. Tsutsui, M. J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto 및 S. Mayaguchi의 문헌 [Jpn. Appl. Phys., 38(12B)(1999) L1502]

<402> 상기 논문에 보고된 EL 재료(Ir 착체)의 분자식은 하기와 같다.

화학식 3



<403>

<404> 상기와 같이, 삼중항 여기자로부터의 인광 발광을 이용할 수 있으면, 원리적으로는, 일중항 여기자로부터의 형광 발광을 이용하는 경우보다 3~4배 높은 외부 발광 양자 효율을 실현할 수 있다.

- <405> 본 실시예의 구성은 실시예 1~9의 어느 구성과도 자유롭게 조합될 수 있다.
- <406> [실시예 11]
- <407> 본 실시예에서는, 본 발명의 발광장치에 사용되는 TFT의 활성층을 형성하기 위해 유기(有機) 반도체를 사용하는 경우에 대하여 설명한다. 이하, 활성층에 유기 반도체를 사용한 TFT를 유기 TFT라 부른다.
- <408> 도 27(A)는 플레인너(planar)형 유기 TFT의 단면도이다. 기판(8001) 상에 게이트 전극(8002)이 형성되고, 게이트 전극(8002)을 덮도록 기판(8001) 상에 게이트 절연막(8003)이 형성되어 있다. 게이트 절연막(8003) 상에 소스 전극(8005) 및 드레인 전극(8006)이 형성되고, 소스 전극(8005) 및 드레인 전극(8006)을 덮도록 게이트 절연막(8003) 상에 유기 반도체막(8004)이 형성되어 있다.
- <409> 도 27(B)는 역 스테퍼형 유기 TFT의 단면도이다. 기판(8101) 상에 게이트 전극(8102)이 형성되고, 게이트 전극(8102)을 덮도록 기판(8101) 상에 게이트 절연막(8103)이 형성되어 있다. 게이트 절연막(8103) 상에 유기 반도체막(8104)이 형성되고, 유기 반도체막(8104) 상에 소스 전극(8105) 및 드레인 전극(8106)이 형성되어 있다.
- <410> 도 27(C)는 스테퍼형 유기 TFT의 단면도이다. 기판(8201) 상에 소스 전극(8205) 및 드레인 전극(8206)이 형성되고, 소스 전극(8205) 및 드레인 전극(8206)을 덮도록 기판(8201) 상에 유기 반도체막(8204)이 형성되어 있다. 유기 반도체막(8204) 상에 게이트 절연막(8203)이 형성되고, 게이트 절연막(8203) 상에 게이트 전극(8202)이 형성되어 있다.
- <411> 유기 반도체는 고분자계와 저분자계로 분류된다. 대표적인 고분자계 재료의 예로서는, 폴리티오펜, 폴리아세틸렌, 폴리(N-메틸피롤), 폴리(3-알킬티오펜), 폴리알릴렌비닐렌이 있다.
- <412> 폴리티오펜을 함유하는 유기 반도체막은 전계 중합법 또는 진공증착법에 의해 형성될 수 있다. 폴리아세틸렌을 함유하는 유기 반도체막은 화학 중합법 또는 도포법에 의해 형성될 수 있다. 폴리(N-메틸피롤)를 함유하는 유기 반도체막은 화학 중합법에 의해 형성될 수 있다. 폴리(3-알킬티오펜)를 함유하는 유기 반도체막은 도포법 또는 LB법에 의해 형성될 수 있다. 폴리알릴렌비닐렌을 함유하는 유기 반도체막은 도포법에 의해 형성될 수 있다.
- <413> 대표적인 저분자계 재료의 예로서는, 쿼터 티오펜, 디메틸 쿼터 티오펜, 디프탈로시아닌, 안트라센 및 테트라센이 있다. 이들 저분자계 재료를 함유하는 유기 반도체막은 주로 증착법 또는 용제를 사용한 캐스팅에 의해 형성될 수 있다.
- <414> 본 실시예의 구성은 실시예 1~10의 어느 구성과도 자유롭게 조합될 수 있다.
- <415> [실시예 12]
- <416> EL 소자를 사용한 발광장치는 자기발광형이므로, 액정 표시장치에 비해 밝은 장소에서 시인성(視認性)이 높고, 넓은 시야각을 가진다. 따라서, 이 발광장치는 다양한 전자 장치의 표시부로서 사용될 수 있다.
- <417> 본 발명에 따른 발광장치를 탑재하는 전자 장치로서는, 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 자동차 내비게이션 시스템, 음향재생장치(자동차 오디오, 오디오 콤포넌트 등), 노트북 컴퓨터, 게임기, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기, 전자 책 등), 및 기록 매체를 구비한 화상재생장치(구체적으로는, 기록 매체(DVD(digital versatile disc) 등)를 재생하고 그 화상을 표시하는 표시장치를 구비한 장치) 등을 들 수 있다. 특히, 휴대형 정보 단말기는 비스듬한 방향에서 보는 일이 있기 때문에, 넓은 시야각이 강조된다. 따라서, 이 발광장치를 사용하는 것이 바람직하다. 그러한 전자 장치의 구체 예를 도 24에 나타낸다.
- <418> 도 24(A)는 하우징(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력단자(2005)로 구성되는 EL 표시장치를 나타낸다. 본 발명의 발광장치는 표시부(2003)에 적용될 수 있다. 발광장치는 자기발광형이므로, 백라이트를 필요로 하지 않는다. 그 결과, 액정 표시장치의 표시부보다 얇은 표시부가 얻어질 수 있다. EL 표시장치는 퍼스널 컴퓨터, TV 방송용 수신기, 광고용 디스플레이 등에 내장되는 모든 정보 표시장치를 포함한다.
- <419> 도 24(B)는 본체(2101), 표시부(2102), 수상부(2103), 조작 키(2104), 외부 접속부(2105) 및 서터(2106) 등으로 구성되는 디지털 스틸 카메라를 나타낸다. 본 발명의 발광장치는 표시부(2102)에 적용될 수 있다.
- <420> 도 24(C)는 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204), 외부 접속포트(2205), 마우스(2206) 등으

로 구성되는 노트북 컴퓨터를 나타낸다. 본 발명의 발광장치는 표시부(2203)에 적용될 수 있다.

- <421> 도 24(D)는 본체(2301), 표시부(2302), 스위치(2303), 조작 키(2304), 적외선 포트(2305) 등으로 구성되는 모바일 컴퓨터를 나타낸다. 본 발명의 발광장치는 표시부(2302)에 적용될 수 있다.
- <422> 도 24(E)는 기록 매체를 구비한 휴대형 화상재생장치(구체적으로는 DVD 재생장치)를 나타내는 것으로, 이 장치는 본체(2401), 하우징(2402), 표시부 A(2403), 표시부 B(2404), 기록 매체(DVD 등) 판독부(2405), 조작 키(2406), 스피커부(2407) 등으로 구성된다. 표시부 A(2403)는 주로 화상정보를 표시하고, 표시부 B(2404)는 주로 문자정보를 표시한다. 본 발명의 발광장치는 표시부 A(2403) 및 표시부 B(2404)에 적용될 수 있다. 기록 매체를 구비한 화상재생장치는 가정용 게임기를 포함한다.
- <423> 도 24(F)는 본체(2051), 표시부(2052), 아암(arm)부(2053)로 구성되는 고글형 디스플레이(헤드 장착형 디스플레이)를 나타낸다. 본 발명의 발광장치는 표시부(2502)에 적용될 수 있다.
- <424> 도 24(G)는 본체(2601), 표시부(2602), 하우징(2603), 외부 접속부(2604), 원격제어 수신부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작 키(2609) 등으로 구성되는 비디오 카메라를 나타낸다. 본 발명의 발광장치는 표시부(2602)에 적용될 수 있다.
- <425> 도 26(H)는 본체(2701), 하우징(2702), 표시부(2703), 음성 입력부(2704), 음성 출력부(2705), 조작 키(2706), 외부 접속 포트(2707), 안테나(2708) 등으로 구성되는 휴대 전화를 나타낸다. 본 발명의 발광장치는 표시부(2703)에 적용될 수 있다. 표시부(2703)는 검은색 배경에 흰색 글자를 표시함으로써 휴대 전화기의 소비전력을 감소시킬 수 있다.
- <426> 장래, EL 재료의 발광 휘도가 높아지면, 출력된 화상정보를 포함하는 광을 렌즈 등으로 확대 투영함으로써 프론트형 또는 리어형 프로젝터에 EL 재료를 사용하는 것이 가능할 것이다.
- <427> 또한, 상기한 전자 장치는 인터넷 및 케이블 텔레비전(CATV)과 같은 전자 통신 회선을 통해 배신(配信)되는 정보를 표시하는데 사용되는 일이 증대되고 있다. 특히, 동화상을 표시하는 경우가 증가하고 있다. EL 재료의 응답 속도가 매우 빠르기 때문에, 발광장치는 동화상을 표시하는데 바람직하게 사용된다.
- <428> 또한, 발광장치에서는, 발광하는 부분이 전력을 소비하므로, 발광부가 가능한 한 작게 되도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대형 정보 단말기, 특히 휴대 전화기 또는 음향재생장치와 같이 주로 문자정보를 표시하는 표시부에 발광장치가 사용되는 경우에는, 비발광부를 배경으로 하고 발광부에 문자 정보를 표시하도록 표시장치를 구동하는 것이 바람직하다.
- <429> 상기한 바와 같이, 본 발명의 적용범위는 넓어, 모든 분야의 전자 장치에 적용 가능하다. 본 실시예의 전자 장치는 실시예 1~11의 조합으로부터 얻어지는 어떠한 구성으로도 실현될 수 있다.

발명의 효과

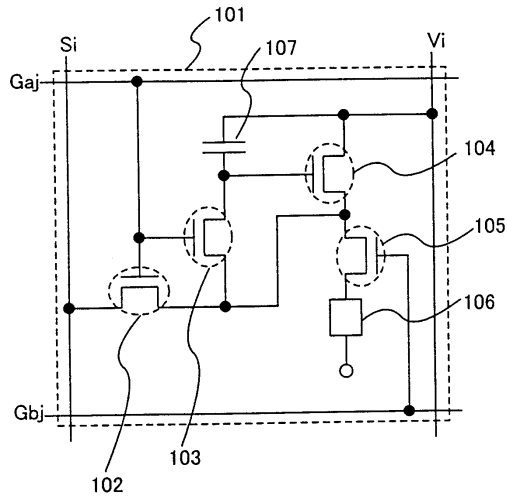
- <430> 본 발명의 발광장치는 온도 변화에 무관하게 일정한 휘도를 얻을 수 있다. 또한, 컬러 표시를 위해 상이한 색의 EL 소자에 상이한 EL 재료를 사용한 경우에도, 온도 변화에 따라 각 색의 EL 소자에서 휘도 변화 정도가 각기 다르게 되어 소망의 색이 얻어지지 않는 것을 방지할 수 있다.

도면의 간단한 설명

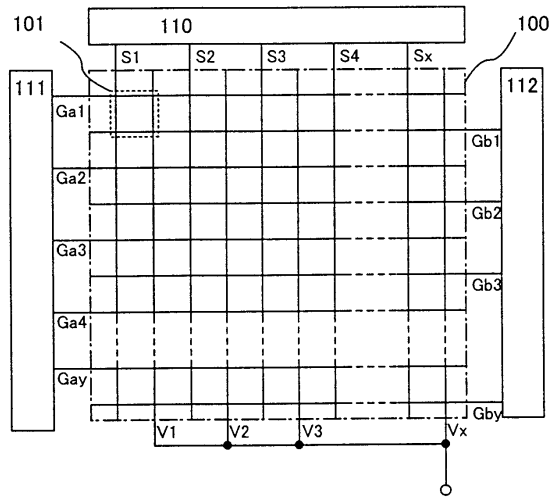
- <1> 도 1은 본 발명에 따른 발광장치의 화소의 회로도.
- <2> 도 2는 본 발명에 따른 발광장치의 상면을 나타내는 블록도.
- <3> 도 3(A) 및 도 3(B)는 기입용 게이트 신호선 및 표시용 게이트 신호선에 입력되는 신호의 타이밍 차트.
- <4> 도 4(A) 및 도 4(B)는 구동되는 화소의 개략도.
- <5> 도 5는 기입 기간 및 표시 기간의 타이밍 차트.
- <6> 도 6은 기입용 게이트 신호선 및 표시용 게이트 신호선에 입력되는 신호의 타이밍 차트.
- <7> 도 7은 기입용 게이트 신호선 및 표시용 게이트 신호선에 입력되는 신호의 타이밍 차트.
- <8> 도 8(A)~도 8(C)는 구동되는 화소의 개략도.

도면

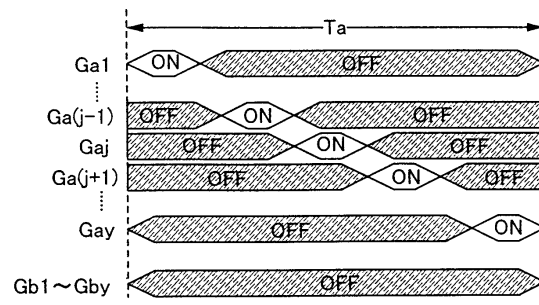
도면1



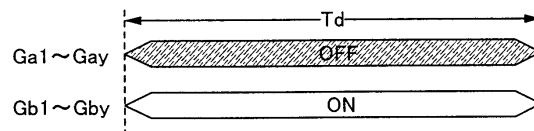
도면2



도면3

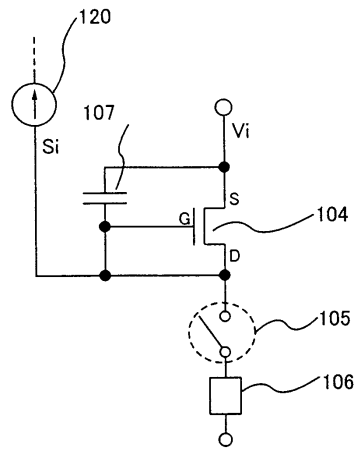


A

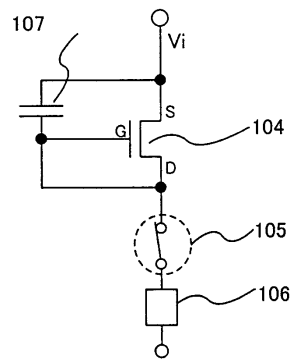


B

도면4

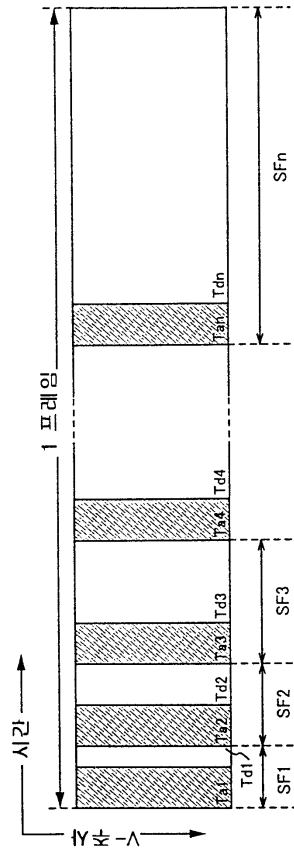


A

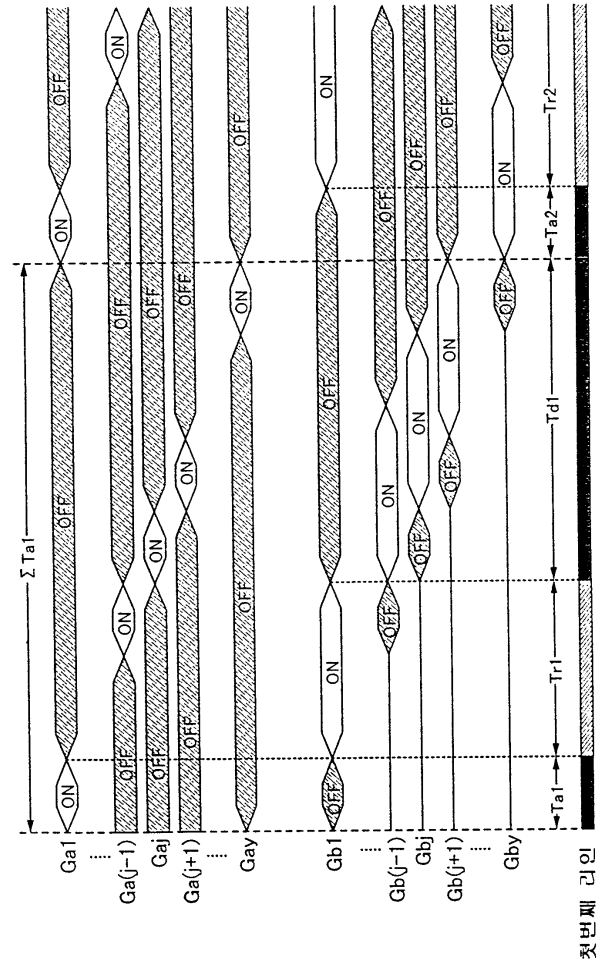


B

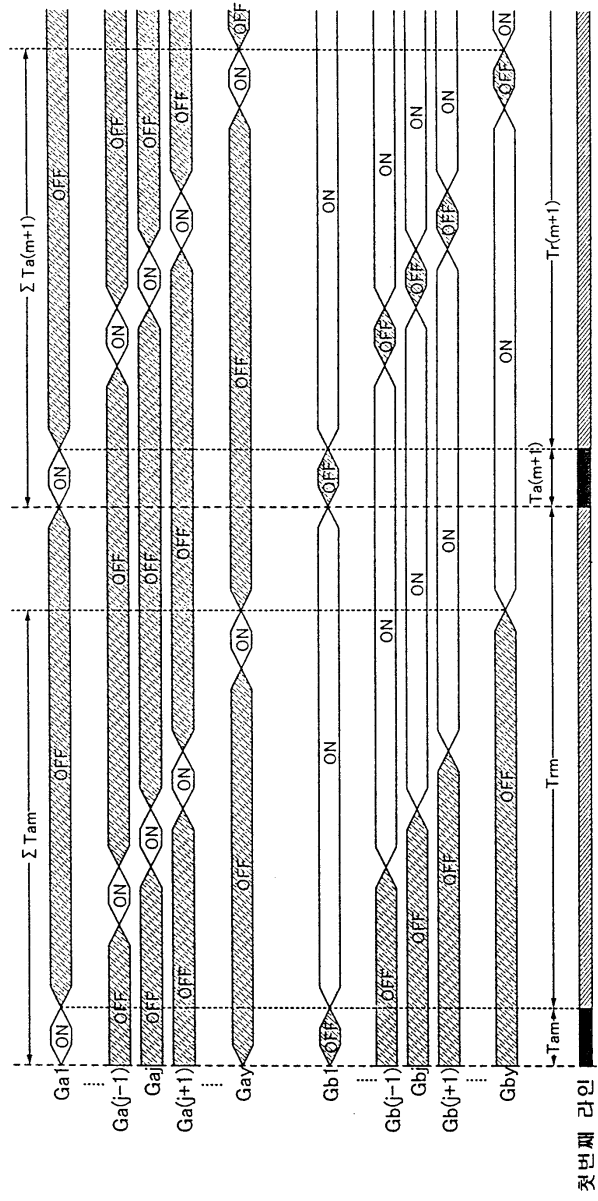
도면5



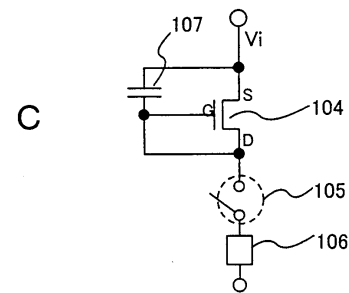
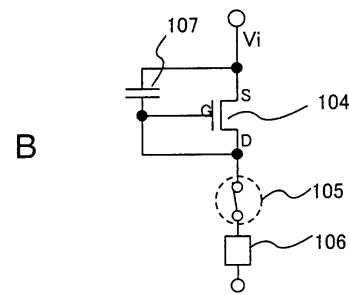
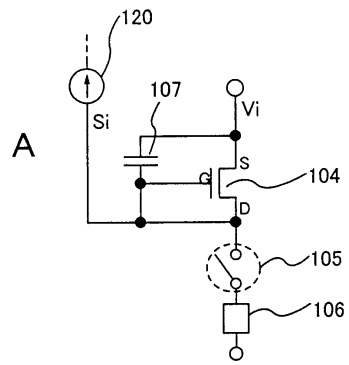
도면6



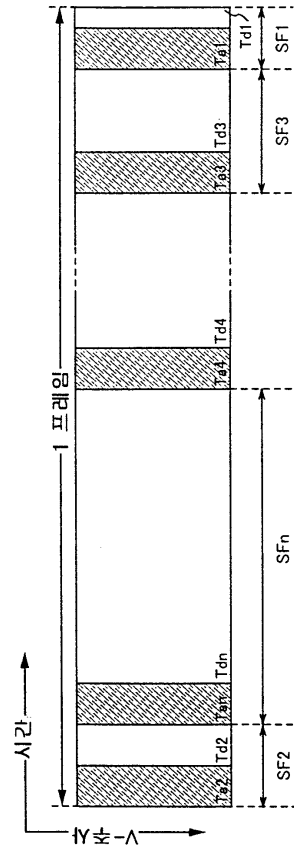
도면7



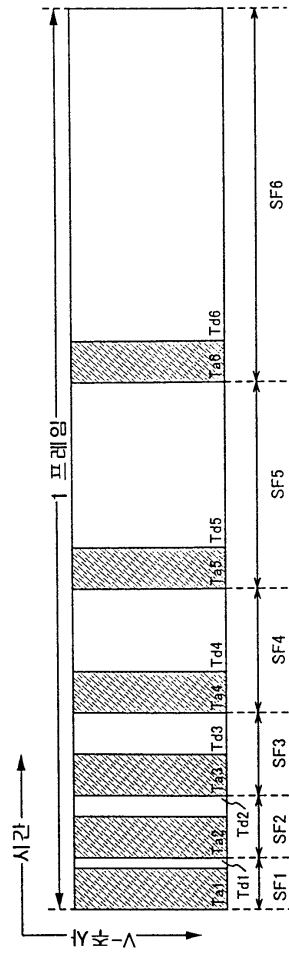
도면8



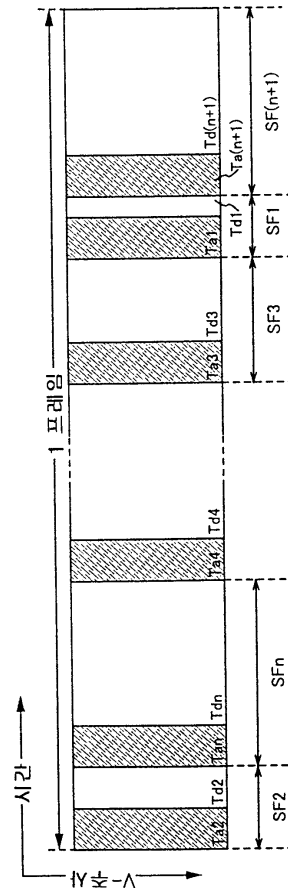
도면10



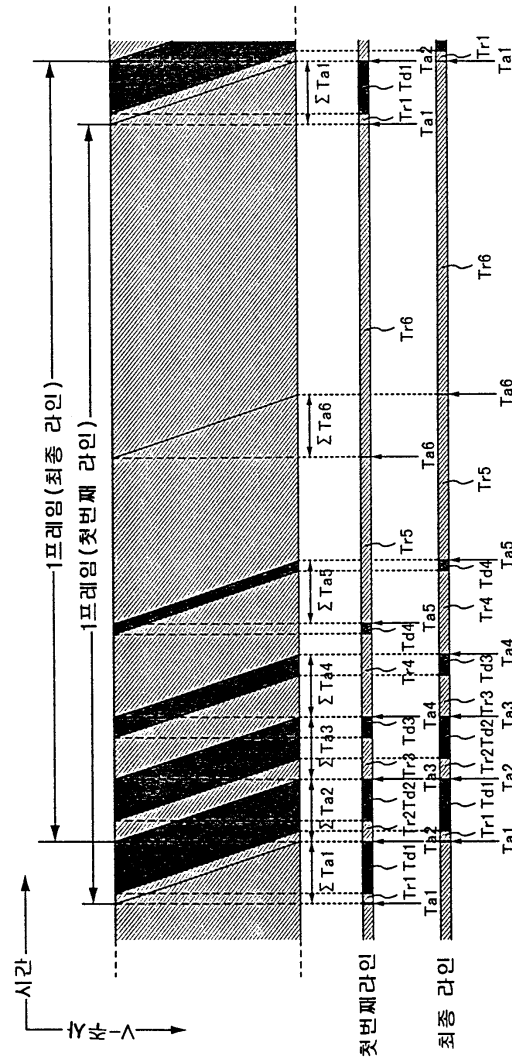
도면11



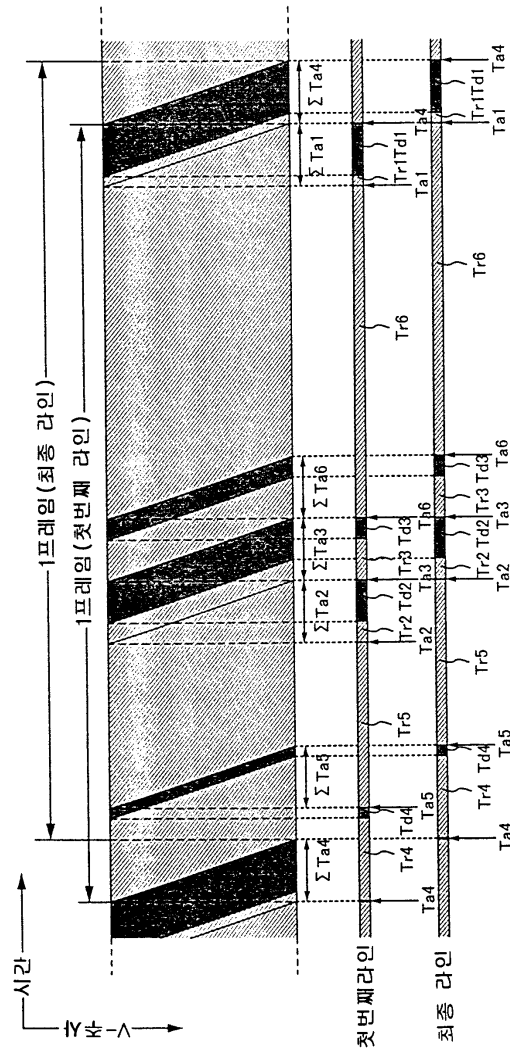
도면12



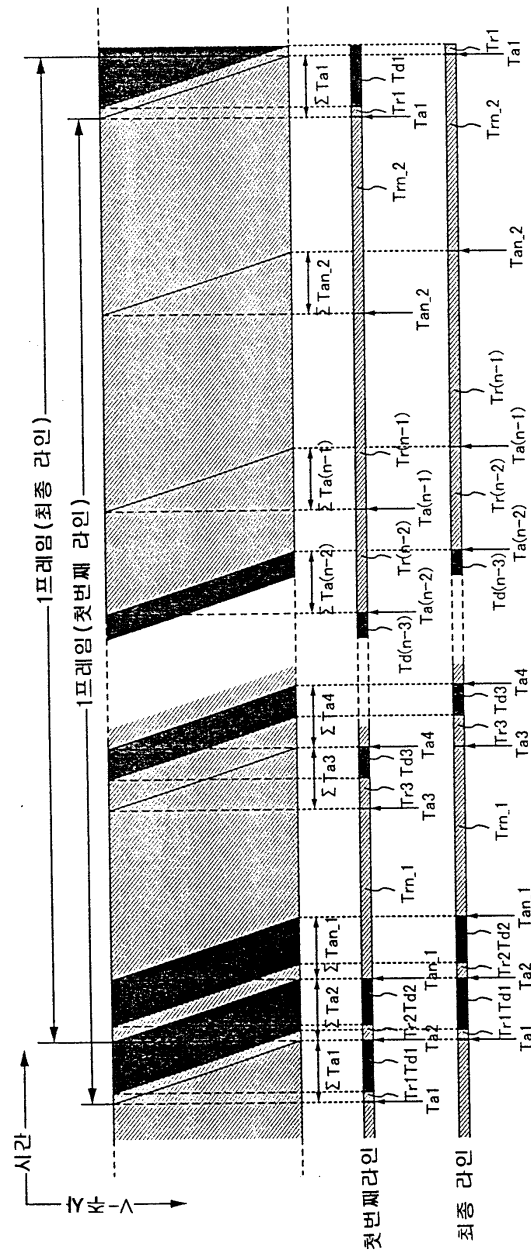
도면13



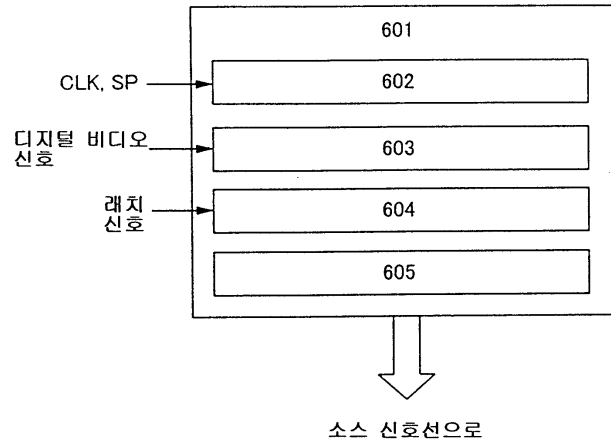
도면14



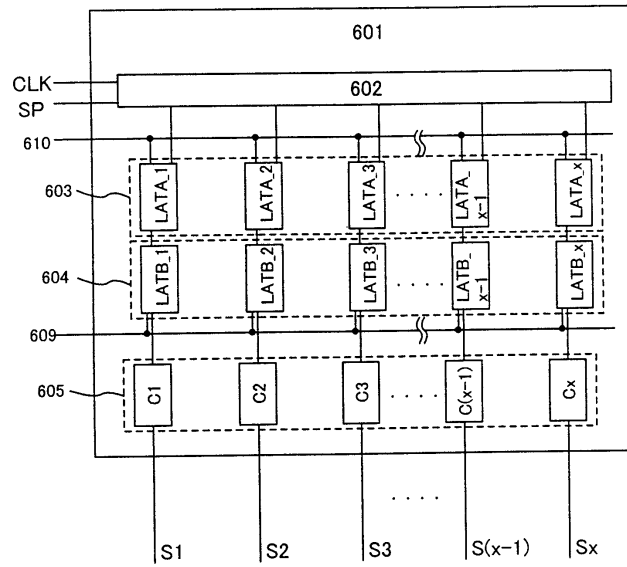
도면15



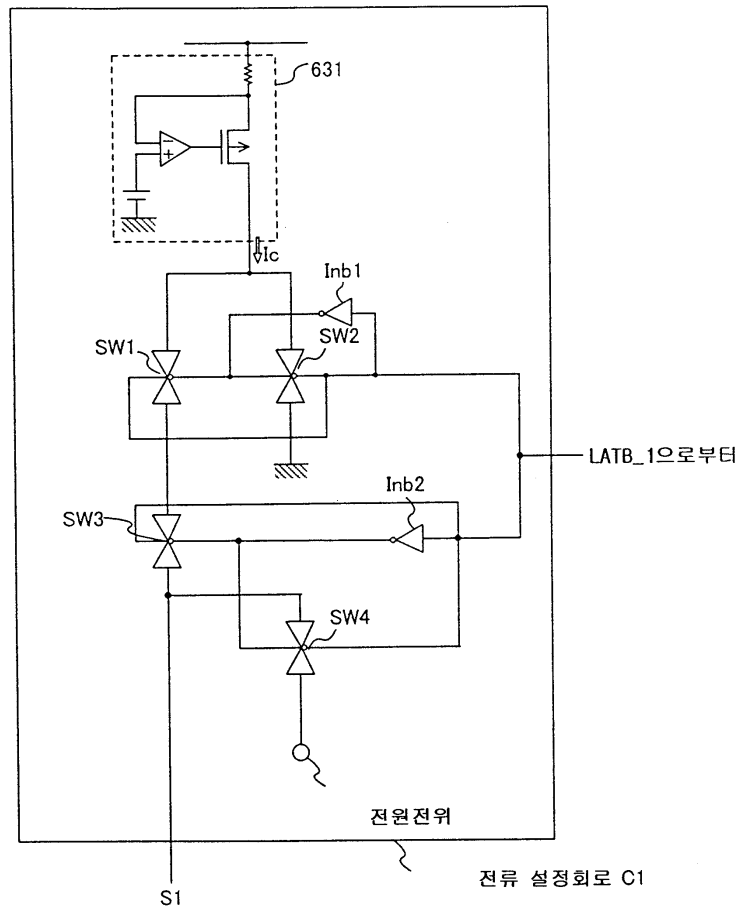
도면16



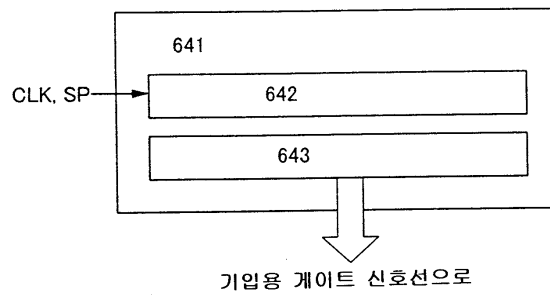
도면17



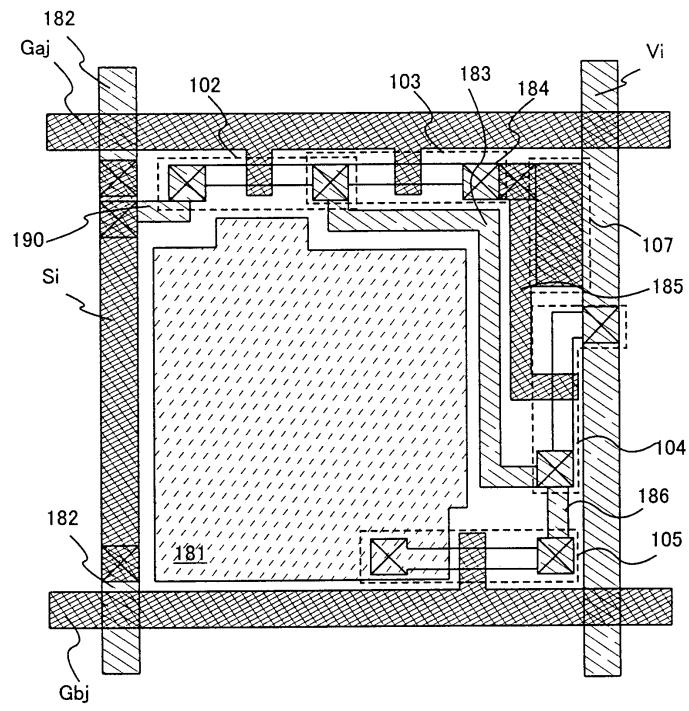
도면18



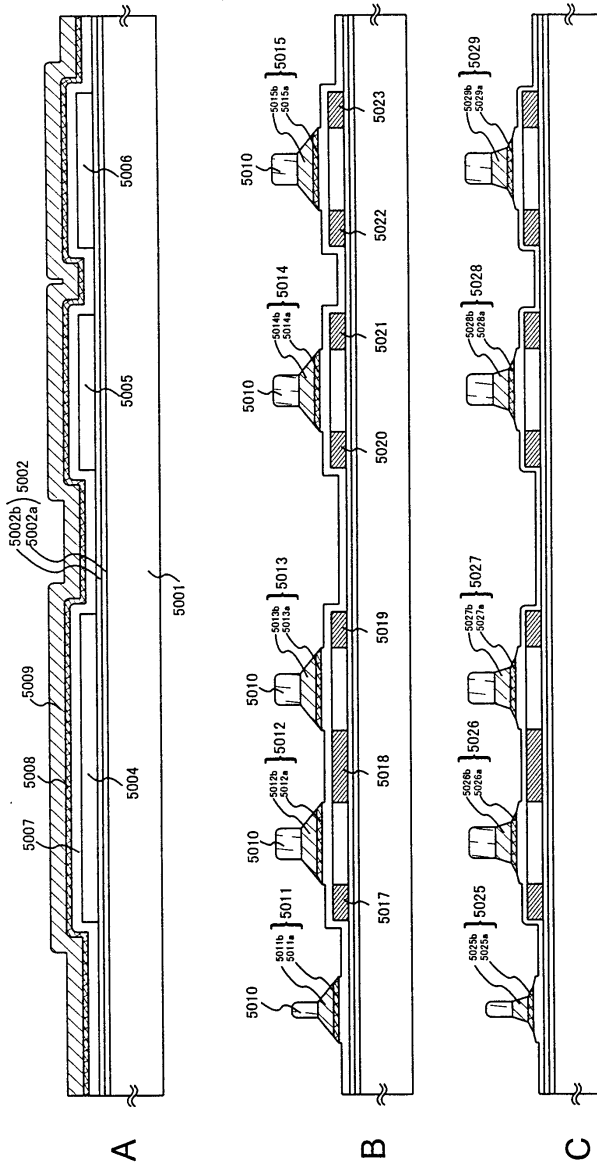
도면19



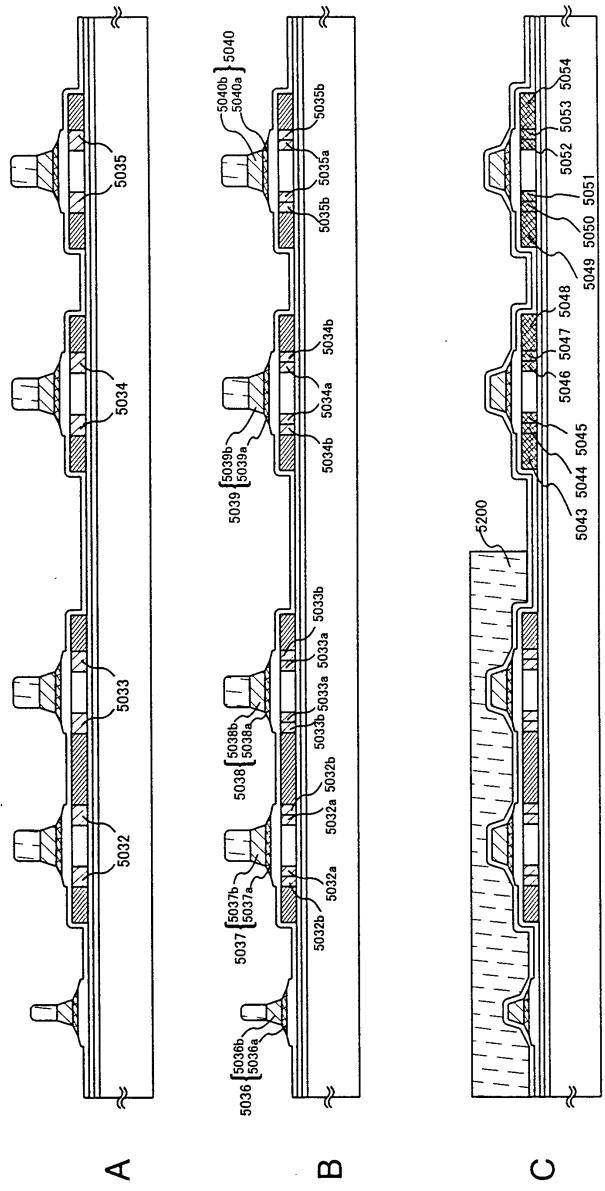
도면20



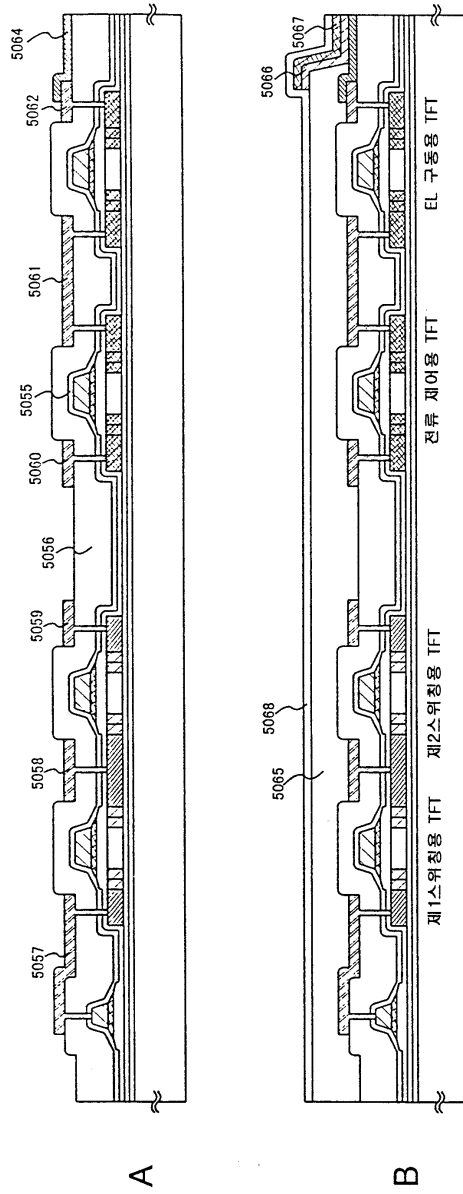
도면21



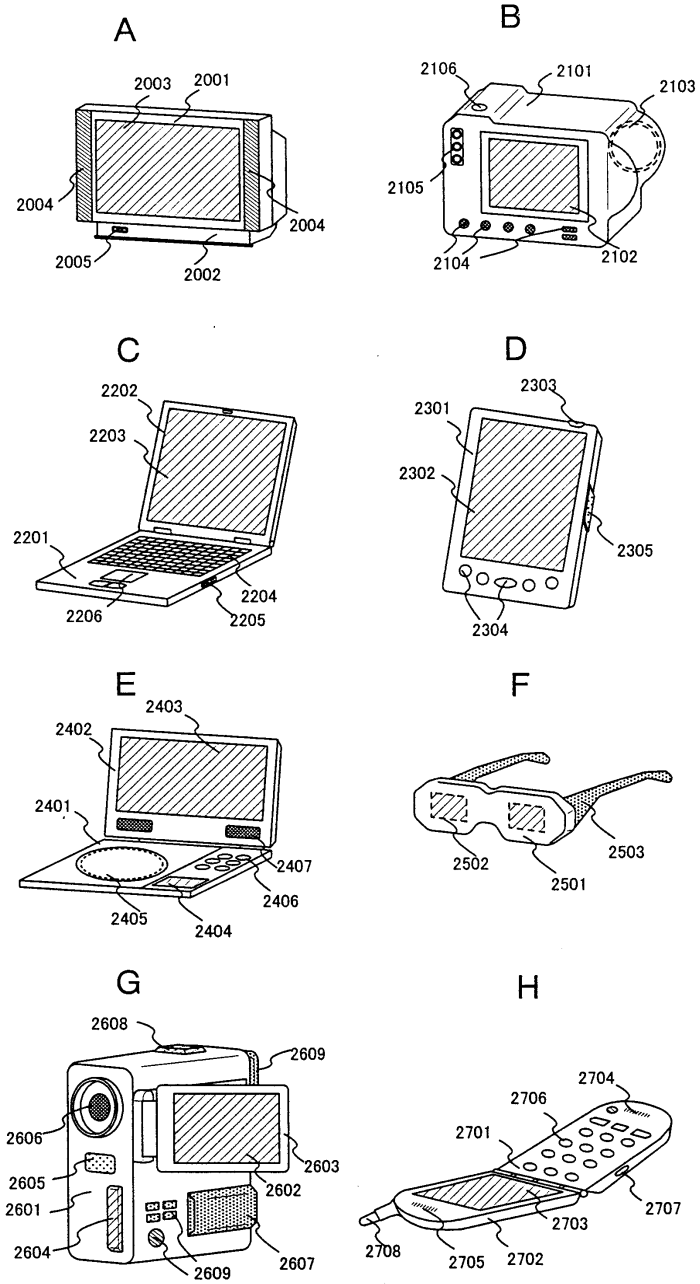
도면22



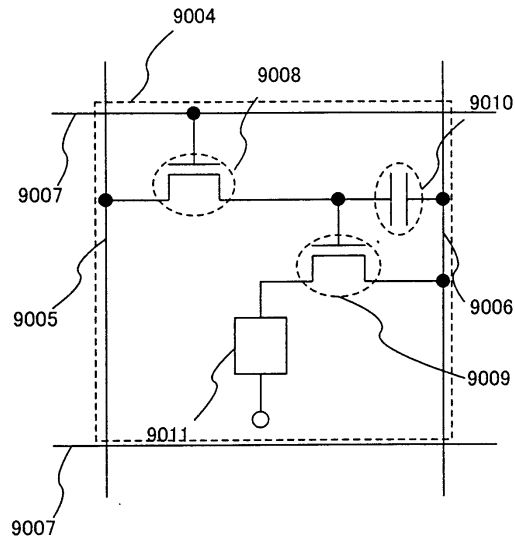
도면23



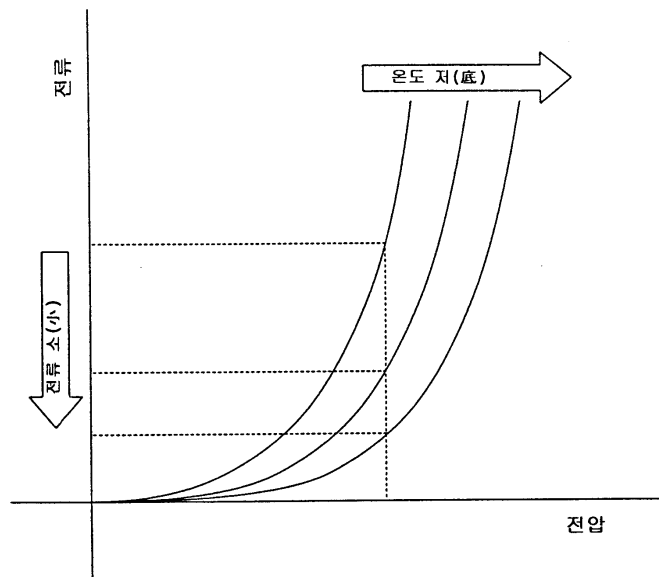
도면24



도면25



도면26



도면27

