

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，  
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

日本 2003.05.21 特願 2003-142830

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是關於半導體封裝結構及其製造方法。

### 【先前技術】

在習知的半導體封裝結構有被稱為 CSP(Chip Size Package:晶片尺寸封裝)。此 CSP 係在形成有複數個外部連接用的連接墊之半導體基板的頂面配設有絕緣膜，在對應絕緣膜的各連接墊的部分設有開口部，由經由開口部露出的連接墊的頂面到絕緣膜的頂面的預定的位置配設有配線(例如參照專利文獻 1)。此情形在包含經由開口部露出的連接墊的頂面的絕緣膜的頂面全體形成底層金屬層，藉由以底層金屬層當作電鍍電流路徑的銅的電解電鍍，在底層金屬層的頂面的預定位置形成配線，以配線作為罩幕(mask)蝕刻除去底層金屬層的不要的部分，僅在配線下使底層金屬層殘存。

專利文獻 1:日本特開 2000-195890 號公報(第 8 圖~第 10 圖)

### 【發明內容】

但是，在上述習知的半導體封裝結構由於是在對應絕緣膜的各連接墊的部分形成開口部，藉由濺鍍(sputter)法或無電解電鍍法形成當作電鍍電流路徑的底層金屬層，藉由電解電鍍形成配線的方法，故為絕緣膜與底層金屬層的附著強度弱，特別是在開口部的側壁中斷線等容易發生的構造，進而連接墊與配線的電性連接的可靠度低。

因此，本發明係以提供可提高外部連接用的電極與配線的電性連接的可靠度之半導體封裝結構及其製造方法為目的。

如果依照本發明，提供一種半導體封裝結構，其特徵包含：

至少一個半導體構成體(2)，具有配設於半導體基板(4)上的複數個外部連接用電極(12)；

絕緣膜(15)，覆蓋前述半導體構成體(2)；以及

配線(16)，具有突起電極(17)，形成於前述絕緣膜(15)上，其中

前述配線(16)的突起電極(17)係深入對應前述外部連接用電極(12)的前述絕緣膜(15)的部分，連接於前述外部連接用電極(12)。

而且，如果依照本發明，提供一種半導體封裝結構的製造方法，其特徵包含：

以絕緣膜(15)覆蓋具有複數個外部連接用電極(12)的半導體構成體(2)的頂面之製程；

在前述絕緣膜(15)上配置具有對應前述各外部連接用電極(12)的突起電極(17)的金屬板(16a)之製程；

使前述金屬板(16a)的各突起電極(17)深入前述絕緣膜(15)，連接於前述各外部連接用電極(12)之製程；以及

形成前述金屬板(16a)的圖案，形成配線(16)之製程。

如果依照本發明，因在由金屬板構成的配線配設突起電極，在使此突起電極深入形成於外部連接用電極上的絕

緣膜的狀態下連接於外部連接用電極，故突起電極與絕緣膜的附著強度提高，配線與外部連接用的電極的電性連接的可靠度提高。

### 【實施方式】

第 1 圖是顯示作為本發明的實施形態的半導體封裝結構的剖面圖。此半導體封裝結構係具備由矽、玻璃、陶瓷、樹脂、金屬等構成的平面矩形形狀的基板 1。

在基板 1 的頂面中央部，比基板 1 的尺寸稍為小某種程度的尺寸的平面矩形形狀的半導體構成體 2 的底面係經由由晶粒接合 (die bond) 材構成的接著層 3 而被接著。此情形半導體構成體 2 具有後述的配線、柱狀電極、密封膜，一般係稱為 CSP，如後述，在矽晶圓上形成配線、柱狀電極、密封膜後，因採用藉由切割 (dicing) 得到各個半導體構成體 2 的方法，故也特別稱為晶圓級 (wafer level) CSP (W-CSP)。以下針對半導體構成體 2 的構成來說明。

半導體構成體 2 具備矽基板 (半導體基板) 4。矽基板 4 經由接著層 3 接著於基板 1。在矽基板 4 的頂面中央部配設有積體電路 (未圖示)，在矽基板 4 的頂面中的積體電路的週邊部，由鋁系金屬等構成的複數個連接墊 5 係分別連接於構成積體電路的積體電路元件而配設。在除了連接墊 5 的中央部的矽基板 4 的頂面配設有由氧化矽等的無機材料構成的絕緣膜 6，連接墊 5 的中央部係經由設於絕緣膜 6 的開口部 7 露出。

在絕緣膜 6 的頂面配設有由環氧系樹脂或聚醯亞胺 (polyimide)系樹脂等的有機樹脂材料構成的保護膜 (絕緣膜)8。此情形在對應絕緣膜 6 的開口部 7 的部分中的保護膜 8 設有開口部 9。由經由兩開口部 7、9 露出的連接墊 5 的頂面到保護膜 8 的頂面配設有延伸到矽基板 4 的中央側的底層金屬層 10。在底層金屬層 10 的頂面全體配設有由銅構成的配線 11。

在配線 11 的連接墊部頂面配設有由銅構成的柱狀電極 (外部連接用電極)12。在包含配線 11 的保護膜 8 的頂面，由環氧系樹脂或聚醯亞胺系樹脂等的熱硬化性樹脂材料構成的密封膜 (絕緣膜)13 係使其頂面與柱狀電極 12 的頂面面一致而配設。如此，稱為 W-CSP 的半導體構成體 2 包含矽基板 4、連接墊 5、絕緣膜 6，更包含保護膜 8、配線 11、柱狀電極 12、密封膜 13 而構成。

在半導體構成體 2 的周圍中的基板 1 的頂面，由環氧系樹脂或聚醯亞胺系樹脂等構成的矩形框狀的絕緣層 14 係使其頂面大致與半導體構成體 2 的頂面一致而配設。在半導體構成體 2 以及絕緣層 14 的頂面，絕緣膜 15 係使其頂面被平坦而配設。絕緣膜 15 例如由加熱硬化使環氧系樹脂含浸於玻璃纖維的預浸 (prepreg)材之熱硬化性樹脂材料構成。

在絕緣膜 15 的頂面配設有形成由銅系金屬材料構成的金屬板的圖案而形成的上層配線 16。此情形在上層配線 16 的底面中，在對應柱狀電極 12 的頂面中央部的部分一體地

形成有截頭圓錐形狀的突起電極 17。突起電極 17 係在深入絕緣膜 15 的狀態下壓接於柱狀電極 12 的頂面中央部。

在包含上層配線 16 的絕緣膜 15 的頂面配設有由抗銲劑 (solder resist) 等構成的上層絕緣膜 18。在對應上層配線 16 的連接墊部的部分中的上層絕緣膜 18 設有開口部 19。在開口部 19 內以及其上方，錫球 (solder ball) 20 係連接於上層配線 16 的連接墊部而配設。複數個錫球 20 係在上層絕緣膜 18 上配置成矩陣狀。

但是，基板 1 的尺寸比半導體構成體 2 的尺寸稍大某種程度乃因依照矽基板 4 上的連接墊 5 的數目的增加，使錫球 20 的配置區域比半導體構成體 2 的尺寸稍大某種程度，據此，使上層配線 16 的連接墊部 (上層絕緣膜 18 的開口部 19 內的部分) 的尺寸以及間距 (pitch) 比柱狀電極 12 的尺寸以及間距還大。

因此，配置成矩陣狀的上層配線 16 的連接墊部不僅配置於對應半導體構成體 2 的區域，也配置於對應配設於半導體構成體 2 的周側面的外側的絕緣層 14 的區域上。即配置成矩陣狀的錫球 20 之中至少最外周的錫球 20 係配置於比半導體構成體 2 還位於外側的周圍。

如此，在此半導體封裝結構中其特徵為在矽基板 4 上不僅具有連接墊 5、絕緣膜 6，也在形成保護膜 8、配線 11、柱狀電極 12、密封膜 13 等的半導體構成體 2 的周圍以及這些構件的頂面配設絕緣層 14 以及絕緣膜 15，在絕緣膜 15 的頂面配設經由形成於該絕緣膜 15 的突起電極 17 連接於

柱狀電極 12 之形成金屬板的圖案而成的上層配線 16 的構成。

此情形藉由絕緣膜 15 的頂面為平坦，如後述，使在以後的製程形成的上層配線 16 或錫球 20 的頂面的高度位置均等，可提高結合(bonding)時的可靠度。而且如後述，可使形成金屬板的圖案而形成的上層配線 16 的厚度均勻，並且可使上層配線 16 不發生層差。而且，半導體構成體 2 因以保護膜 8 被覆積體電路上後，也包含形成於該保護膜 8 上的上層配線 16 上，以密封膜 13 密封除了形成有柱狀電極 12 的部分之保護膜 8 全面，故成為對保管時以及搬運時的內部損傷絕對的可靠度被確保的 KGD(Known Good Die: 已知好的晶粒)。因此，如以下的說明，埋入此 KGD 的半導體構成體 2 構成半導體封裝結構的情形，幾乎沒有像半導體構成體 2 故障這種情形，可得到可靠度極高的半導體封裝結構。

其次，針對此半導體封裝結構的製造方法的一例來說明，首先針對半導體構成體 2 的製造方法的一例來說明。此情形首先如第 2 圖所示，準備在晶圓狀態的矽基板(半導體基板)4 上配設有由鋁系金屬等構成的連接墊 5、由氧化矽等構成的絕緣膜 6 以及由環氧系樹脂或聚醯亞胺系樹脂等構成的保護膜 8，連接墊 5 的中央部係經由形成於絕緣膜 6 以及保護膜 8 的開口部 7、9 而露出者。在上述中，在晶圓狀態的矽基板 4 於形成有各半導體構成體的區域形成有預定功能的積體電路，連接墊 5 係分別電性連接於形成於

所對應的區域的積體電路。

其次如第 3 圖所示，在包含經由兩開口部 7、9 露出的連接墊 5 的頂面的保護膜 8 的頂面全體形成底層金屬層 10。此情形底層金屬層 10 為僅藉由無電解電鍍形成的銅層也可以，而且為僅藉由濺鍍(sputter)形成的銅層者也可以，再者，在藉由濺鍍形成的鈦等的薄膜層上利用濺鍍形成銅層也可以。

其次，在底層金屬層 10 的頂面形成電鍍光阻膜 21 的圖案(pattern)。此情形在對應配線 11 形成區域的部分中的電鍍光阻膜 21 形成有開口部 22。其次，藉由以底層金屬層 10 作為電鍍電流路徑進行銅的電解電鍍，在電鍍光阻膜 21 的開口部 22 內的底層金屬層 10 的頂面形成配線 11。其次，剝離電鍍光阻膜 21。

其次，如第 4 圖所示在包含配線 11 的底層金屬層 10 的頂面形成電鍍光阻膜 23 的圖案。此情形在對應柱狀電極 12 形成區域的部分中的電鍍光阻膜 23 形成有開口部 24。其次，藉由以底層金屬層 10 作為電鍍電流路徑進行銅的電解電鍍，在電鍍光阻膜 23 的開口部 24 內的配線 11 的連接墊部頂面形成柱狀電極 12。

其次，剝離電鍍光阻膜 23，其次，若以柱狀電極 12 以及配線 11 作為罩幕(mask)蝕刻除去底層金屬層 10 的不必要的部分，則如第 5 圖所示僅在配線 11 下殘存有底層金屬層 10。

其次如第 6 圖所示，藉由網版印刷(screen print)法、



旋塗 (spin coating) 法、晶粒塗佈 (die coat) 法等，在包含柱狀電極 12 以及配線 11 的保護膜 8 的頂面全體，使由環氧系樹脂或聚醯亞胺系樹脂等的熱硬化性樹脂其厚度比柱狀電極 12 的高度還厚而形成，藉由加熱使其硬化以形成密封膜 13。因此在此狀態下，柱狀電極 12 的頂面被密封膜 13 覆蓋。

其次，研磨密封膜 13 以及柱狀電極 12 的頂面側，如第 7 圖所示使柱狀電極 12 的頂面露出，且平坦化包含此露出的柱狀電極 12 的頂面之密封膜 13 的頂面。其中，適宜地研磨柱狀電極 12 的頂面側乃因藉由電解電鍍形成的柱狀電極 12 的高度有誤差，故消除此誤差使柱狀電極 12 的高度均等。

其次如第 8 圖所示，在矽基板 4 的底面全體接著接著層 3。接著層 3 係由環氧系樹脂、聚醯亞胺系樹脂等的晶粒接合材構成，藉由加熱以及加壓在半硬化狀態下固著於矽基板 4。其次，將固著於矽基板 4 的接著層 3 貼附於切割膠帶 (dicing tape) (未圖示)，在經過第 9 圖所示的切割製程後，若由切割膠帶剝離，則如第 1 圖所示可得到複數個在矽基板 4 的底面具有接著層 3 的半導體構成體 2。

在如此得到的半導體構成體 2 中因在矽基板 4 的底面具有接著層 3，故無須在切割製程後於各半導體構成體 2 的矽基板 4 的底面分別配設接著層這種極為麻煩的作業。此外，在切割製程後由切割膠帶剝離的作業若與在切割製程後於各半導體構成體 2 的矽基板 4 的底面分別配設接著層

的作業比較，則極為簡單。

其次，針對使用如此得到的半導體構成體 2，製造第 1 圖所示的半導體封裝結構的情形的一例來說明。首先，如第 10 圖所示並非以可採取複數片如第 1 圖所示的基板 1 的大小來限定的意思，而是準備平面形狀為矩形形狀的基板 1。其次，在基板 1 的頂面的預定的複數個位置分別接著於半導體構成體 2 的矽基板 4 的底面之接著層 3。此處的接著係藉由加熱加壓使接著層 3 正式硬化。

其次如第 11 圖所示，藉由網版印刷法、旋塗法、晶粒塗佈法等，在包含半導體構成體 2 的基板 1 的頂面全體，使由環氧系樹脂或聚醯亞胺系樹脂等的熱硬化性樹脂材料構成的絕緣層 14 其厚度比半導體構成體 2 的高度還厚而形成，藉由加熱使其硬化。因此在此狀態下，半導體構成體 2 的頂面被絕緣層 14 覆蓋。

其次，藉由至少適宜地研磨絕緣層 14 的頂面側，如第 12 圖所示使柱狀電極 12 的頂面露出，且平坦化包含此露出的柱狀電極 12 的頂面之密封膜 13 的頂面(即半導體構成體 2 的頂面)以及絕緣層 14 的頂面。

其次如第 13 圖所示，在半導體構成體 2 以及絕緣層 14 的頂面載置薄片狀的絕緣材料 15a。此情形絕緣材料 15a 為預浸材較佳，此預浸材例如為使環氧系樹脂等的熱硬化性樹脂材料含浸於由玻璃等的無機材料構成的纖維，令該熱硬化性樹脂材料為半硬化狀態。此外，絕緣材料 15a 為了得到平坦性最好為薄片狀，但未必限於預浸材，為僅由不

包含有纖維的熱硬化性樹脂構成者也可以。

其次，在絕緣材料 15a 的頂面、底面於至少對應柱狀電極 12 的位置對位具有頭圓錐形狀的突起電極 17 的金屬板 16a 而配置。即配置於絕緣材料 15a 的頂面，俾位於突起電極 17 的前端部所對應的柱狀電極 12 的頂面中央部上。此情形係未圖示，以附有真空吸附機構的熱壓接板吸附金屬板 16a 的頂面，使該熱壓接板移動於 X 方向、Y 方向以及 Z 方向(依照需要為  $\theta$ )而定位的話佳。此外，針對具有突起電極 17 的金屬板 16a 的形成方法，在之後說明。

其次，若藉由附有真空吸附機構的熱壓接板加熱以及加壓金屬板 16a，則截頭圓錐形狀的突起電極 17 會侵入絕緣材料 15a 內，如第 14 圖所示在深入絕緣材料 15a 且金屬板 16a 的底面由絕緣材料 15a 的頂面多少深入內面的狀態下對接於柱狀電極 12 的頂面中央部。而且，此時隔著金屬板 16a 加熱絕緣材料 15a，使該絕緣材料 15a 中的熱硬化性樹脂材料正式硬化。據此，金屬板 16a 的突起電極 17 由絕緣材料 15a 的頂面側到底面側深入其厚度方向全體，且在金屬板 16a 的底面附著於絕緣材料 15a 的頂面的狀態下使絕緣材料 15a 硬化，故金屬板 16a 與絕緣材料 15a 的附著強度大，據此，金屬板 16a 的各突起電極 17 與柱狀電極 12 的電性連接的可靠度提高。

其次，若藉由微影 (photolithography) 法形成金屬板 16a 的圖案，則如第 15 圖所示在絕緣膜 15 的頂面形成有上層配線 16，如上述在此狀態下，上層配線 16 係經由深入絕緣

膜 15 的突起電極 17 確實地電性連接於柱狀電極 12 的頂面。

其次，如第 16 圖所示藉由網版印刷法或旋塗法等，在包含上層配線 16 的絕緣膜 15 的頂面全體形成由抗銲劑構成的上層絕緣膜 18。此情形在對應上層配線 16 的連接墊部的部分中的上層絕緣膜 18 形成有開口部 19。其次，在開口部 19 內及其上方使錫球 20 連接於上層配線 16 的連接墊部而形成。

其次，如第 17 圖所示在互相接鄰的半導體構成體 2 間若切斷上層絕緣膜 18、絕緣膜 15、絕緣層 14 以及基板 1，則可得到複數個第 1 圖所示的半導體封裝結構。

如以上，在上述製造方法中因使形成於金屬板 16a 的突起電極 17 深入絕緣膜 15，連接於半導體構成體 2 的柱狀電極 12，然後形成金屬板 16a 的圖案，形成上層配線 16，故無須在絕緣膜 15 形成層間連接用的開口部，而且，由於不是電解電鍍，故無須形成底層金屬層，或除去其不要的部分，因此，可降低製程數，提高生產性。

而且，藉由絕緣膜 15 的頂面為平坦，使在以後的製程形成的上層配線 16 或錫球 20 的頂面的高度位置均等，可提高結合時的可靠度。而且，可使形成金屬板的圖案而形成的上層配線 16 的厚度均勻，並且可使上層配線 16 不發生層差。

再者，在基板 1 上隔著接著層 3 配置複數個半導體構成體 2，對複數個半導體構成體 2 總括地進行絕緣層 14

、絕緣膜 15、上層配線 16、上層絕緣膜 18 以及錫球 20 的形成，然後進行分割以得到複數個半導體封裝結構，故可使製程簡略化。而且，在第 12 圖所示的製程以後中，因可與基板 1 一起傳送複數個半導體構成體 2，故據此也可使製程簡略化。

其次，針對具有突起電極 17 的金屬板 16a 的形成方法來說明。此情形首先如第 18 圖所示在厚度一樣的金屬板 16b 的頂面全體形成頂面光阻膜 31，並且在底面的預定位置(即突起電極 17 形成區域)形成平面圓形狀的底面光阻膜 32。其次，如第 19 圖所示若進行半濕式蝕刻(half wet etching)，則藉由蝕刻等向地(isotropically)進行，在不存在底面光阻膜 32 的區域形成有厚度變薄的金屬板 16a，且在此厚度變薄的金屬板 16a 的底面中於存在底面光阻膜 32 的區域形成有截頭圓錐形狀的突起電極 17。其次，若除去兩光阻膜 31、32，則如第 20 圖所示得到具有突起電極 17 的金屬板 16a。

其次，針對具有突起電極 17 的金屬板 16a 的尺寸的一例來說明。若令當初的金屬板 16b 的厚度為  $100\ \mu\text{m}$  左右，令突起電極 17 的高度為  $80\ \mu\text{m}$  左右，則具有突起電極 17 的金屬板 16a 的厚度為  $20\ \mu\text{m}$  左右。而且，令突起電極 17 的根部的直徑為  $50\ \mu\text{m}$  左右，令頭部的直徑為  $20\ \mu\text{m}$  左右。

對於如此的情形，第 13 圖所示的絕緣材料 15a 係使用使環氧系樹脂含浸於玻璃纖維之例如等級 FR-4 的預浸材，

並且若令其厚度對應突起電極 17 的高度為  $80\ \mu\text{m}$  左右，則在加熱溫度  $95\sim 115^\circ\text{C}$  的範圍中，可使突起電極 17 良好地深入此絕緣材料 15a。

突起電極 17 的其他形成方法係在金屬板的一面印刷由銀膏 (silver paste) 等構成的導電膏，使其硬化以形成突起電極也可以。在依照任何一個方法的情形中金屬板的厚度 (配線部分的厚度) 為  $10\sim 50\ \mu\text{m}$ ，突起電極 17 的高度 (由金屬板面突出的高度) 為  $20\sim 150\ \mu\text{m}$  左右較佳。而且，並非限定的意思，突起電極令其根部的直徑為  $50\sim 400\ \mu\text{m}$ ，頭部的直徑為  $10\sim 200\ \mu\text{m}$  左右 (但是比根部的直徑還小) 較佳。

在以上中，絕緣材料 15a 的厚度若與突起電極 17 的高度相同，或比其稍小的話佳。而且，金屬板 16a 不限於由銅的單層構成者，例如由鎳等的基板與銅等的突起電極形成板構成的兩層疊層構造者也可以。

而且，在上述實施形態中雖然對應半導體構成體 2 上及其周圍的絕緣層 14 上的全面排列成矩陣狀而配設錫球 20，惟僅在對應半導體構成體 2 的周圍的絕緣層 14 上的區域上配設錫球 20 也可以。此情形配設錫球 20 於半導體構成體 2 的四邊之中僅一~三邊的側方，而不是半導體構成體 2 的全周圍也可以。而且，對於這種情形無須令絕緣層 14 為矩形框狀，僅配置於配設錫球 20 的邊的側方也可以。

(變形例)

在上述實施形態中，例如如第 1 圖所示係針對在絕緣膜 15 上各形成一層上層配線 16 以及上層絕緣膜 18 的情形

來說明，惟不限於此以各兩層以上也可以，例如如第 21 圖所示的變形例，以各兩層也可以。

即在半導體構成體 2 以及絕緣層 14 的頂面配設有由預浸材等構成的第一上層絕緣膜 41。在第一上層絕緣膜 41 的頂面，第一上層配線 42 係經由深入第一上層絕緣膜 41 的突起電極 43 連接於柱狀電極 12 的頂面而配設。在包含第一上層配線 42 的第一上層絕緣膜 41 的頂面配設有由預浸材等構成的第二上層絕緣膜 44。在第二上層絕緣膜 44 的頂面，第二上層配線 45 係經由深入第二上層絕緣膜 44 的突起電極 46 連接於第一上層配線 42 的連接墊部頂面而配設。

在包含第二上層配線 45 的第二上層絕緣膜 44 的頂面配設有由抗銲劑等構成的第三上層絕緣膜 47。在對應第二上層配線 45 的連接墊部的部分中的第三上層絕緣膜 47 設有開口部 48。在開口部 48 內及其上方，錫球 49 係連接於第二上層配線 45 的連接墊部而配設。

(其他變形例)

而且，在第 17 圖所示的情形雖然是在互相接鄰的半導體構成體 2 間切斷，但不限於此，以兩個或兩個以上的半導體構成體 2 為一組切斷，例如如第 22 圖所示的其他變形例，以兩個半導體構成體 2 為一組切斷，以得到多晶片模組 (multichip module) 型的半導體封裝結構也可以。此情形以兩個為一組的半導體構成體 2 為同種或異種的任一個均可。

(其他的實施形態)

在上述各實施形態中半導體構成體 2 係外部連接用電極除了連接墊 5 外，以具有配線 11、柱狀電極 12 者，但本發明可適用於半導體構成體 2 的外部連接用電極僅具有連接墊 5 者，或具有連接墊 5 以及具有連接墊部的配線 11 者。

## 【發明的功效】

如以上的說明，如果依照本發明因在由金屬板構成的配線配設突起電極，在使此突起電極深入形成於外部連接用電極上的絕緣膜的狀態下連接於外部連接用電極，故突起電極與絕緣膜的附著強度提高，配線與外部連接用的電極的電性連接的可靠度提高。

## 【圖式簡單說明】

第 1 圖是作為本發明的第一實施形態的半導體封裝結構的擴大剖面圖。

第 2 圖是在第 1 圖所示的半導體封裝結構的製造方法的一例中，當初準備的擴大剖面圖。

第 3 圖是接著第 2 圖的製程的擴大剖面圖。

第 4 圖是接著第 3 圖的製程的擴大剖面圖。

第 5 圖是接著第 4 圖的製程的擴大剖面圖。

第 6 圖是接著第 5 圖的製程的擴大剖面圖。

第 7 圖是接著第 6 圖的製程的擴大剖面圖。

第 8 圖是接著第 7 圖的製程的擴大剖面圖。

第 9 圖是接著第 8 圖的製程的擴大剖面圖。



第 10 圖是接著第 9 圖的製程的擴大剖面圖。

第 11 圖是接著第 10 圖的製程的擴大剖面圖。

第 12 圖是接著第 11 圖的製程的擴大剖面圖。

第 13 圖是接著第 12 圖的製程的擴大剖面圖。

第 14 圖是接著第 13 圖的製程的擴大剖面圖。

第 15 圖是接著第 14 圖的製程的擴大剖面圖。

第 16 圖是接著第 15 圖的製程的擴大剖面圖。

第 17 圖是接著第 16 圖的製程的剖面圖。

第 18 圖是當具有突起電極的銅板的形成時，當初的製程的擴大剖面圖。

第 19 圖是接著第 18 圖的製程的擴大剖面圖。

第 20 圖是接著第 19 圖的製程的擴大剖面圖。

第 21 圖是作為本發明的變形例的半導體封裝結構的擴大剖面圖。

第 22 圖是作為本發明的其他變形例的半導體封裝結構的擴大剖面圖。

## 【符號說明】

1: 基底板

2: 半導體構成體

3: 接著層

4: 矽基板

5: 連接墊

6: 絕緣膜

7、9、19、22、24、48: 開口部

- 8: 保護膜
- 10: 底層金屬層
- 11: 再配線
- 12: 柱狀電極
- 13: 密封膜
- 14: 絕緣層
- 15: 絕緣膜
- 15a: 絕緣材料
- 16: 上層再配線
- 16a、16b: 金屬板
- 17、43、46: 突起電極
- 18: 上層絕緣膜
- 20、49: 錫球
- 21、23: 電鍍光阻膜
- 31: 頂面光阻膜
- 32: 底面光阻膜
- 41: 第一上層絕緣膜
- 42: 第一上層配線
- 44: 第二上層絕緣膜
- 45: 第二上層配線
- 47: 第三上層絕緣膜

## 五、中文發明摘要：

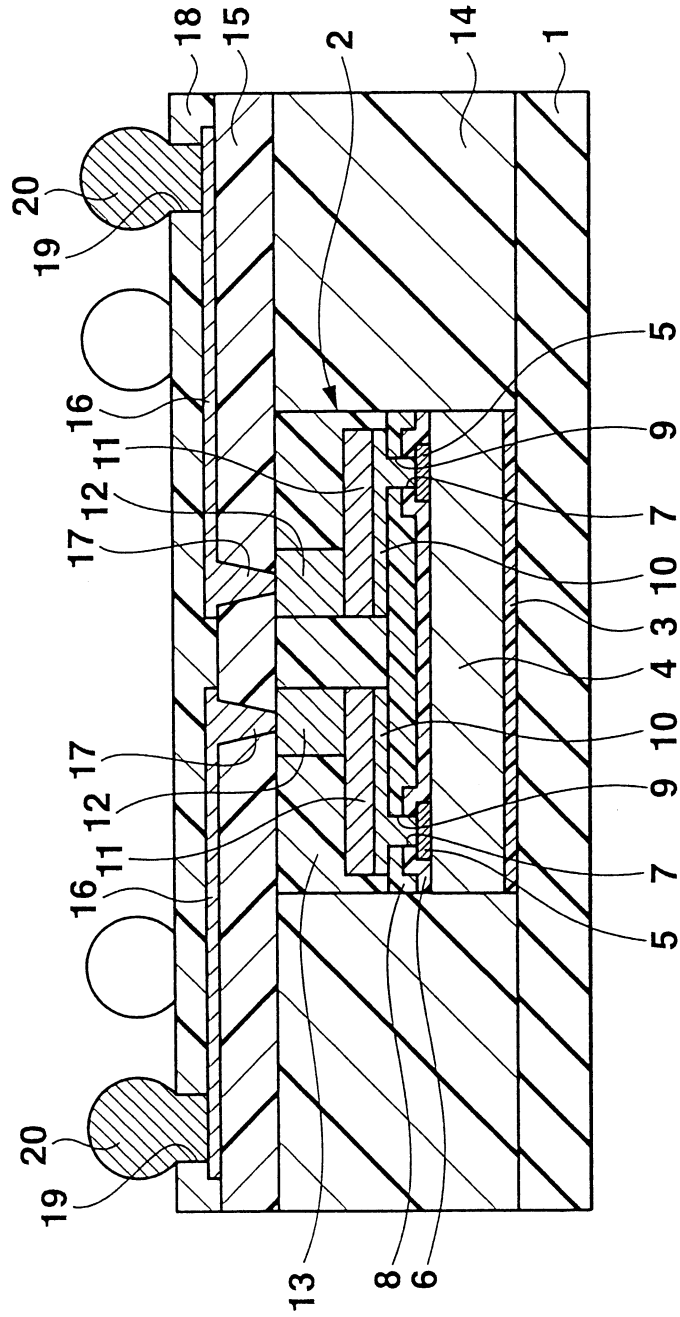
在基板 1 的頂面中央部，稱為 CSP 的半導體構成體 2 係經由接著層 3 而被接著。在基板 1 的頂面，由樹脂構成的矩形框狀的絕緣層 14 係使其頂面大致與半導體構成體 2 的頂面一致而配設。在半導體構成體 2 以及絕緣層 14 的頂面，使預浸材正式硬化而形成的絕緣膜 15 係其頂面被平坦而配設。在絕緣膜 15 的頂面配設有形成金屬板的圖案而成的上層再配線 16。在此場合，一體形成於上層再配線 16 底面的截頭圓錐形狀的突起電極 17 係在深入絕緣膜 15 的狀態下連接於柱狀電極 12 的頂面中央部。

## 六、英文發明摘要：

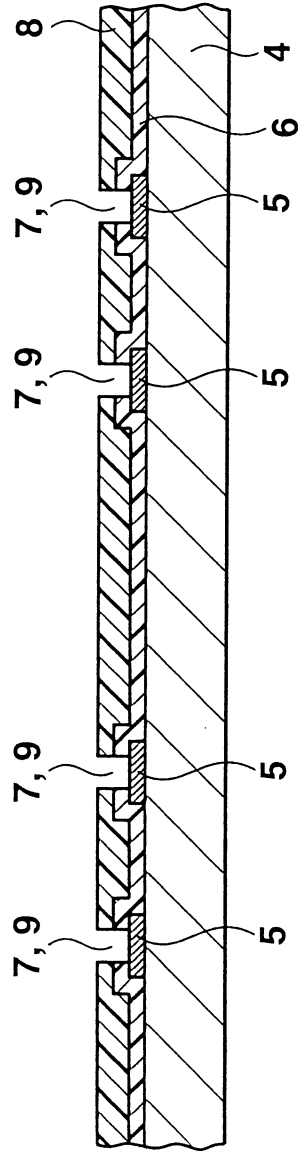
On the centre portion of the top face of a substrate 1, a semiconductor formation 2 referred to as CSP is attached through a conjugation layer 3. On the top face of the substrate 1 a rectangular frame shaped insulation layer 14 of resin is arranged such that the top face of the insulation layer 14 is corresponded to the top surface of the semiconductor formation 2. On the top faces of the semiconductor formation 2 and insulation layer 14, an insulation film 15 formed from real curing a prepreg is arranged such that its top face is flattened. On the top surface of the insulation film 15 there is arranged an upper-layered rewiring 16 formed of forming pattern on a metal plate. In this instance, a truncate conic shaped protruding electrode 17 integrally formed on the bottom face of the upper-layered rewiring 16 is connected to the center portion of the top face of a columnar electrode in a condition deep's embed into the insulation film 15.

十一、圖式：

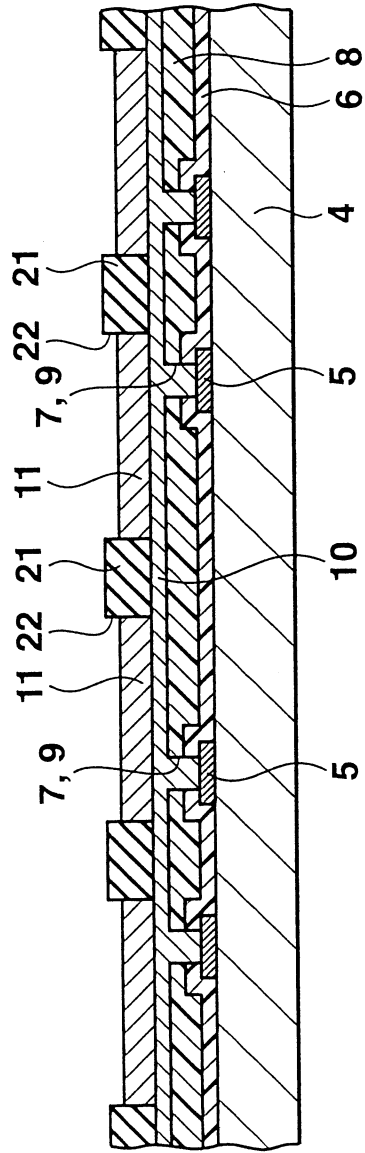
第 1 圖



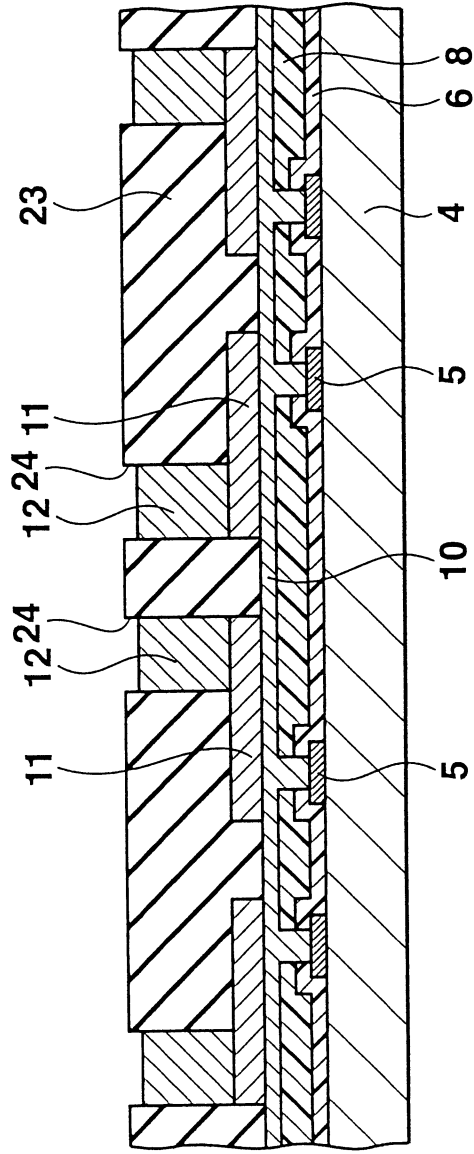
第 2 圖



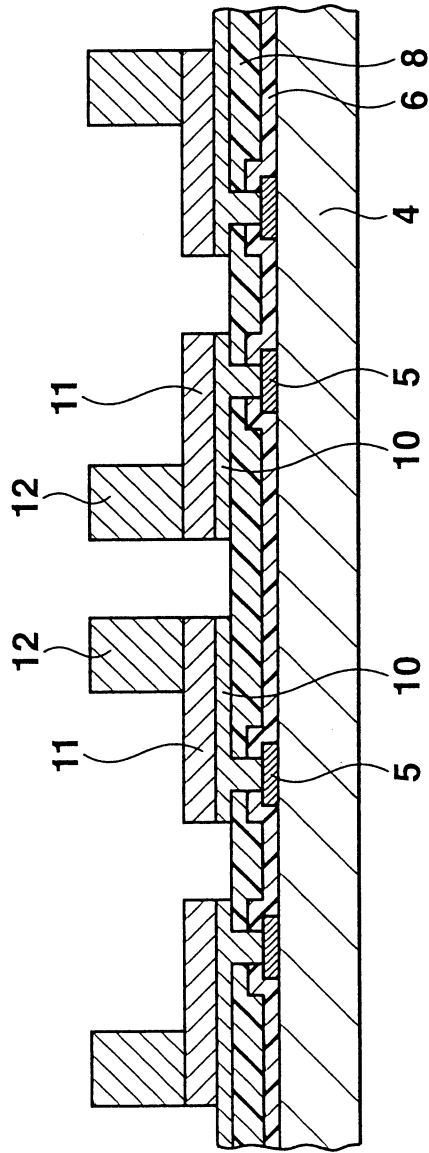
第 3 圖



第 4 圖

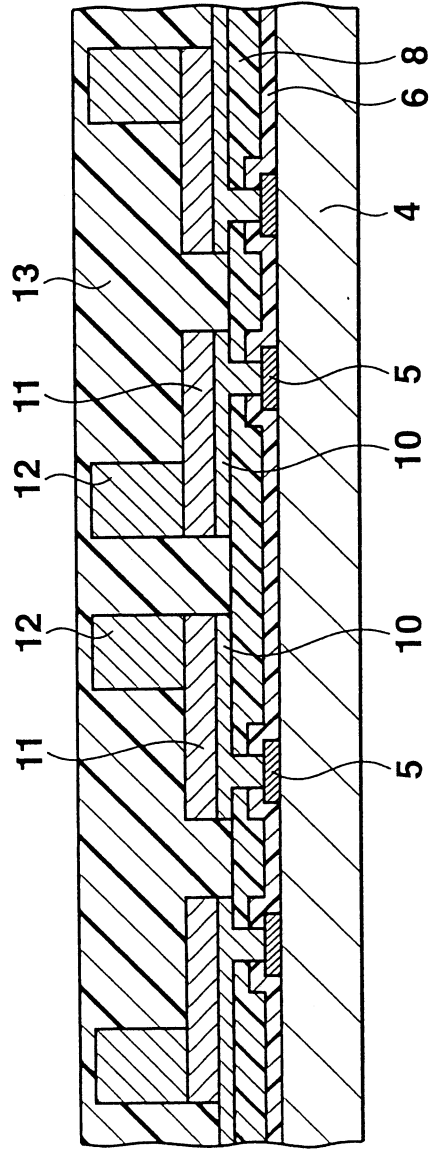


第 5 圖

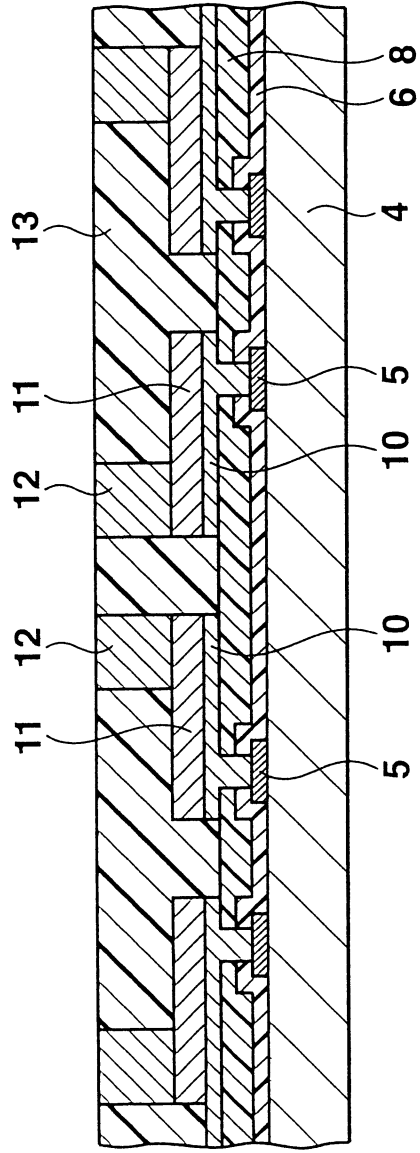




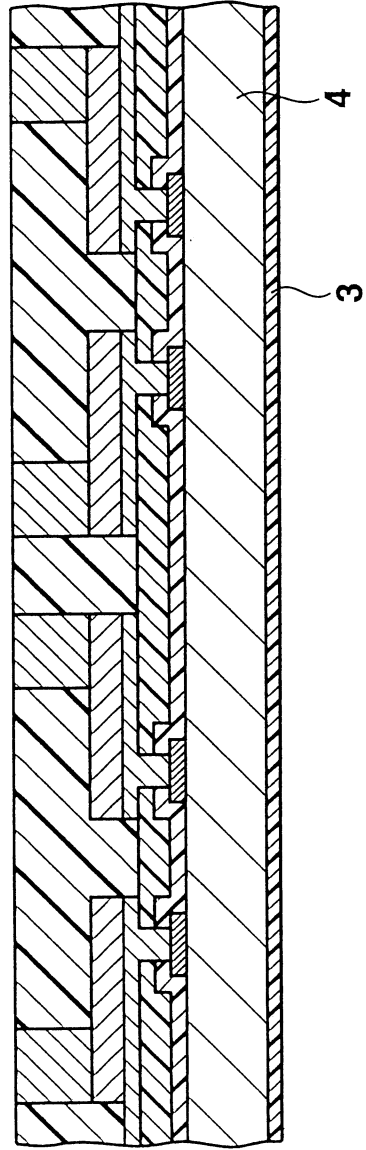
第 6 圖



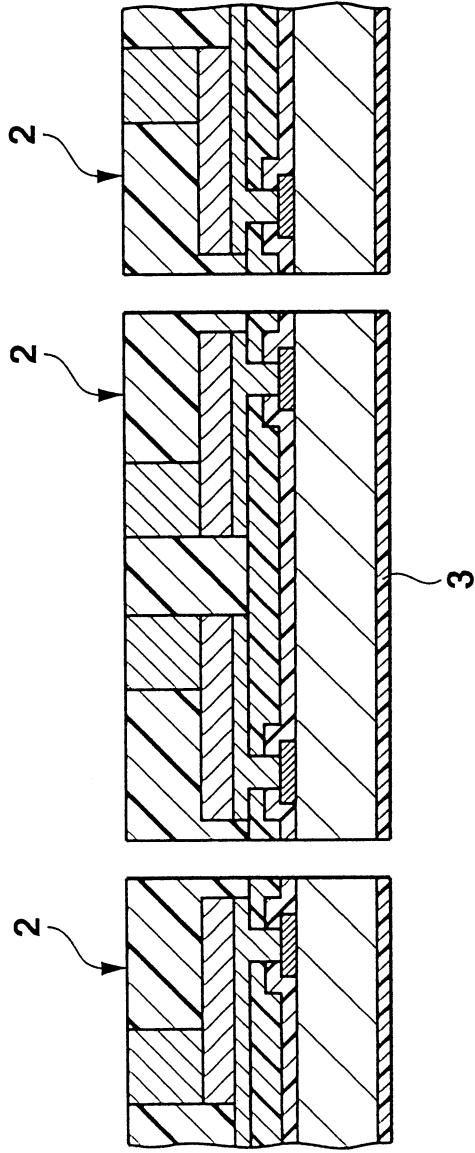
第 7 圖



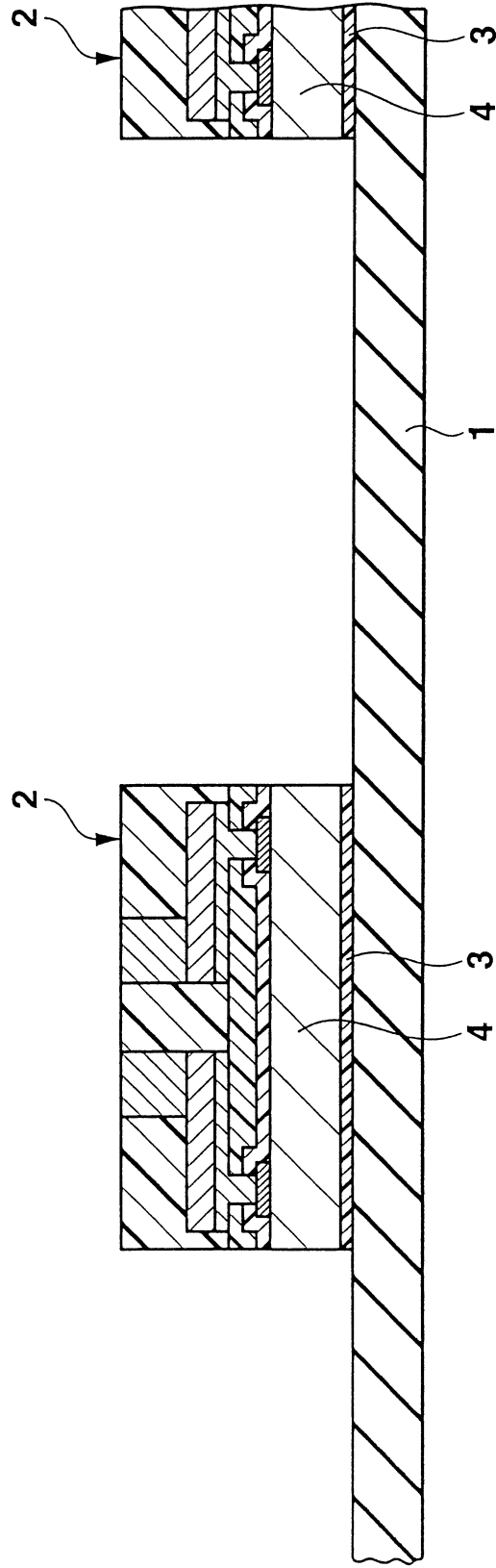
第 8 圖



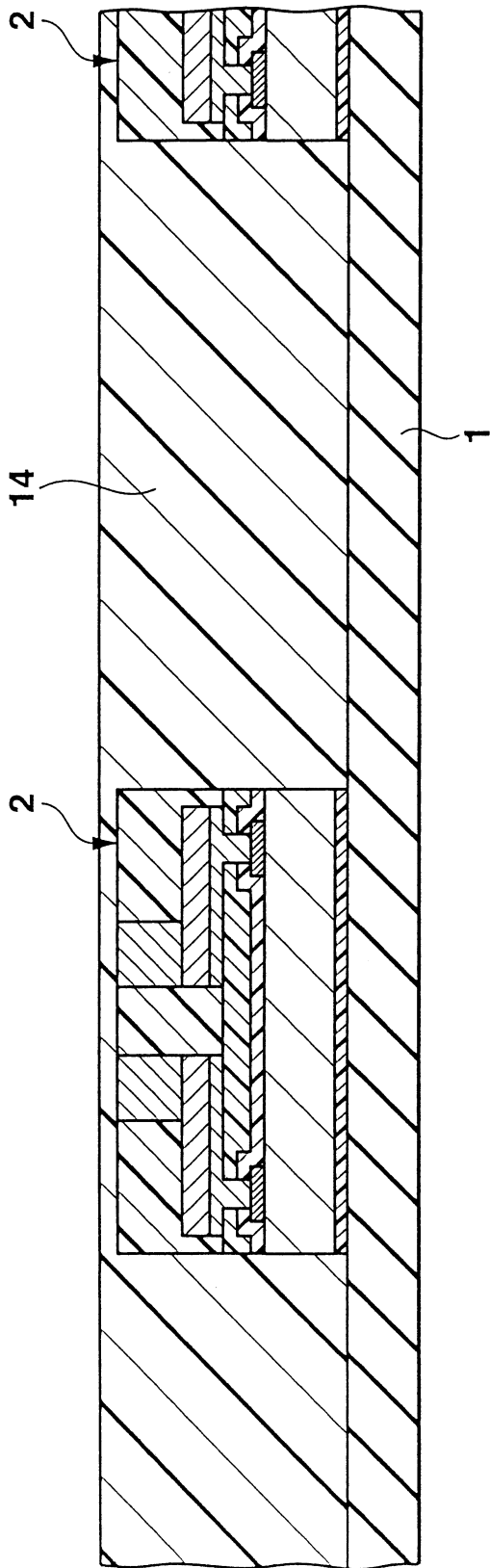
第 9 圖



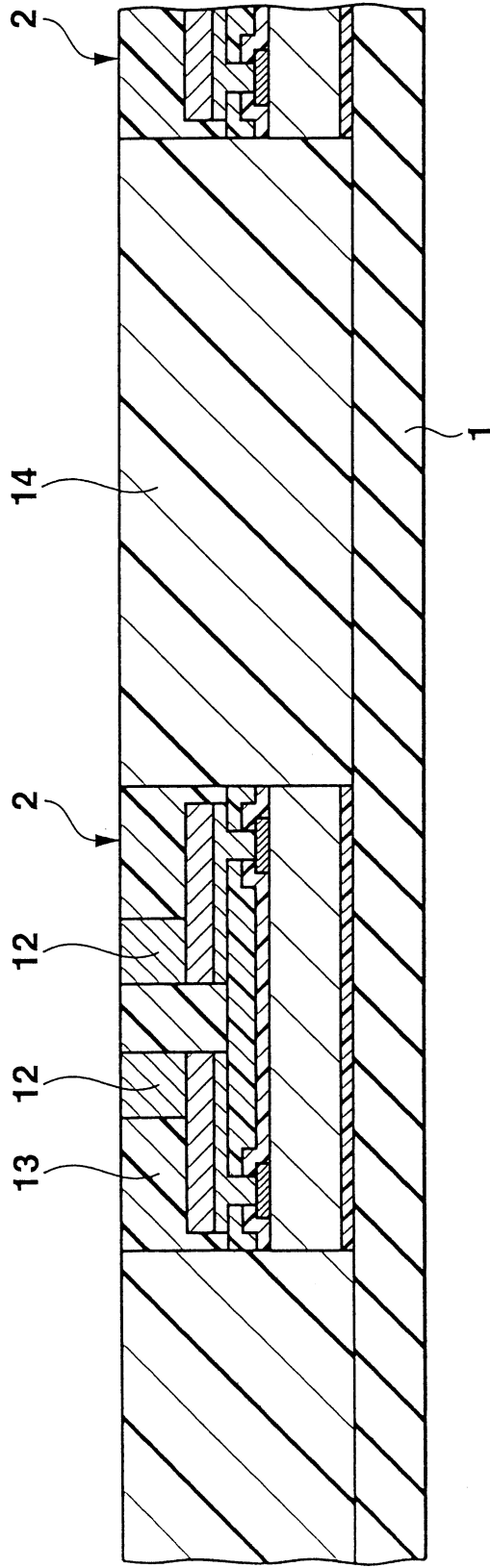
第 10 圖



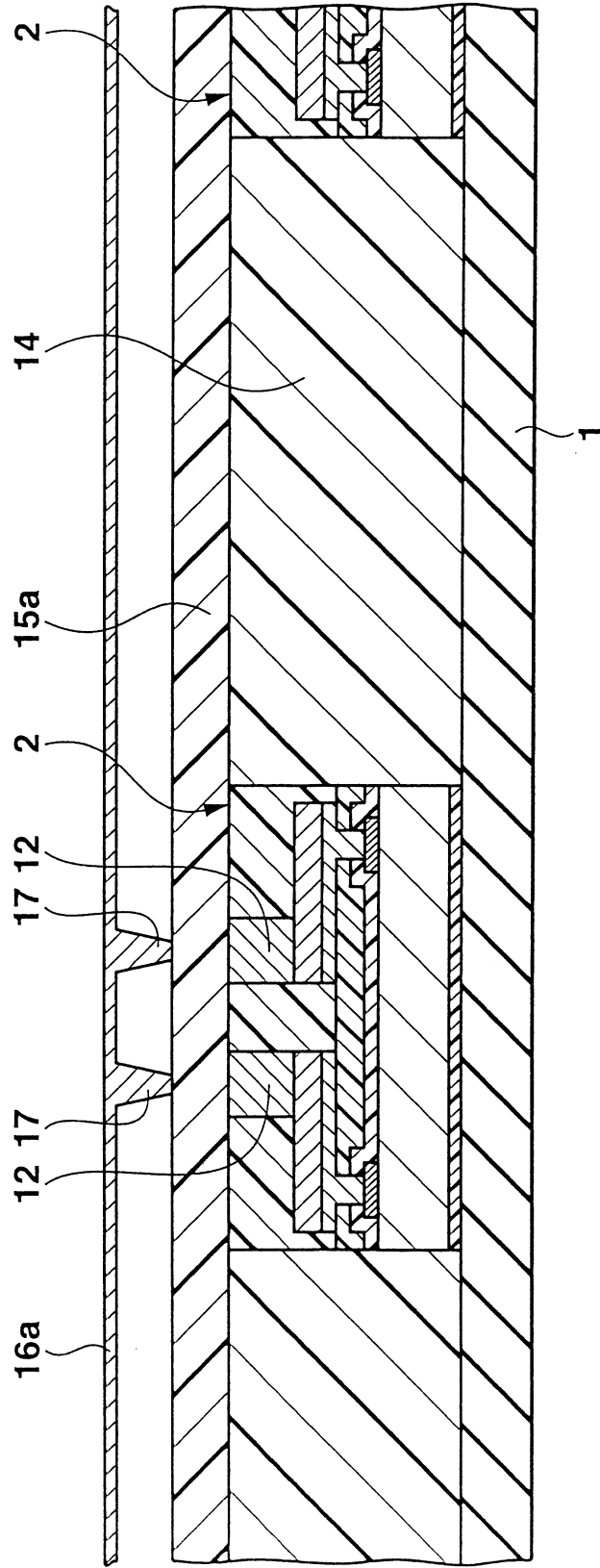
第 11 圖



第 12 圖

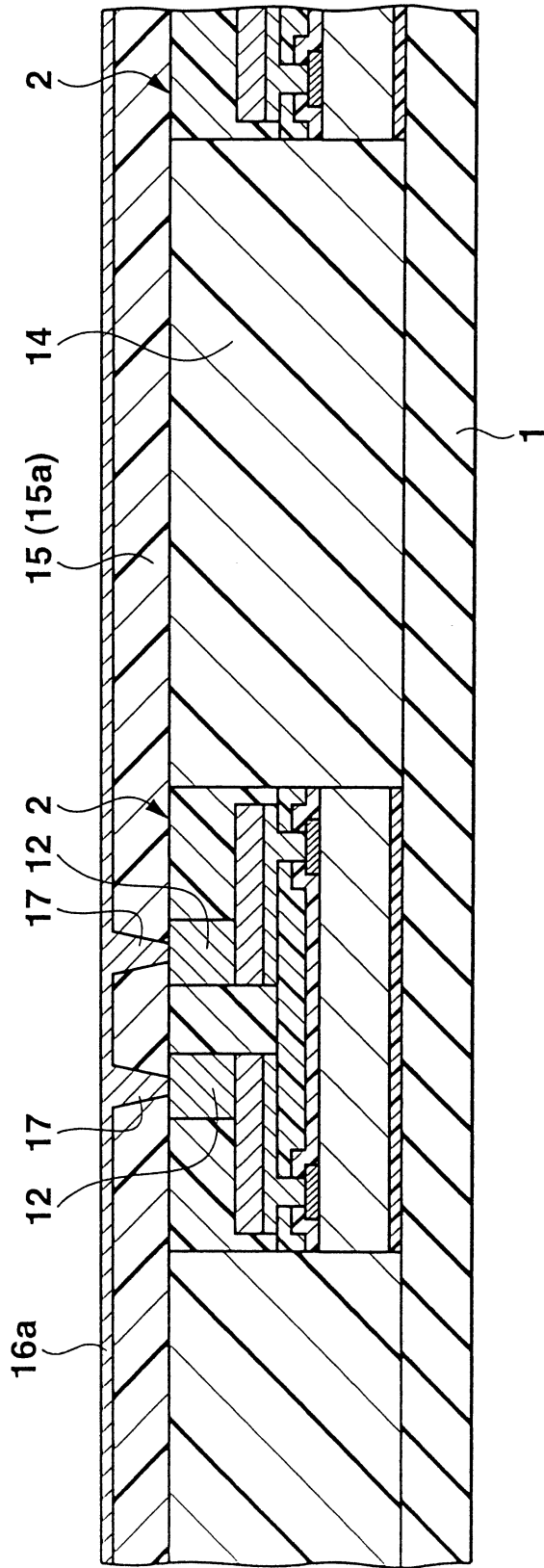


第 13 圖

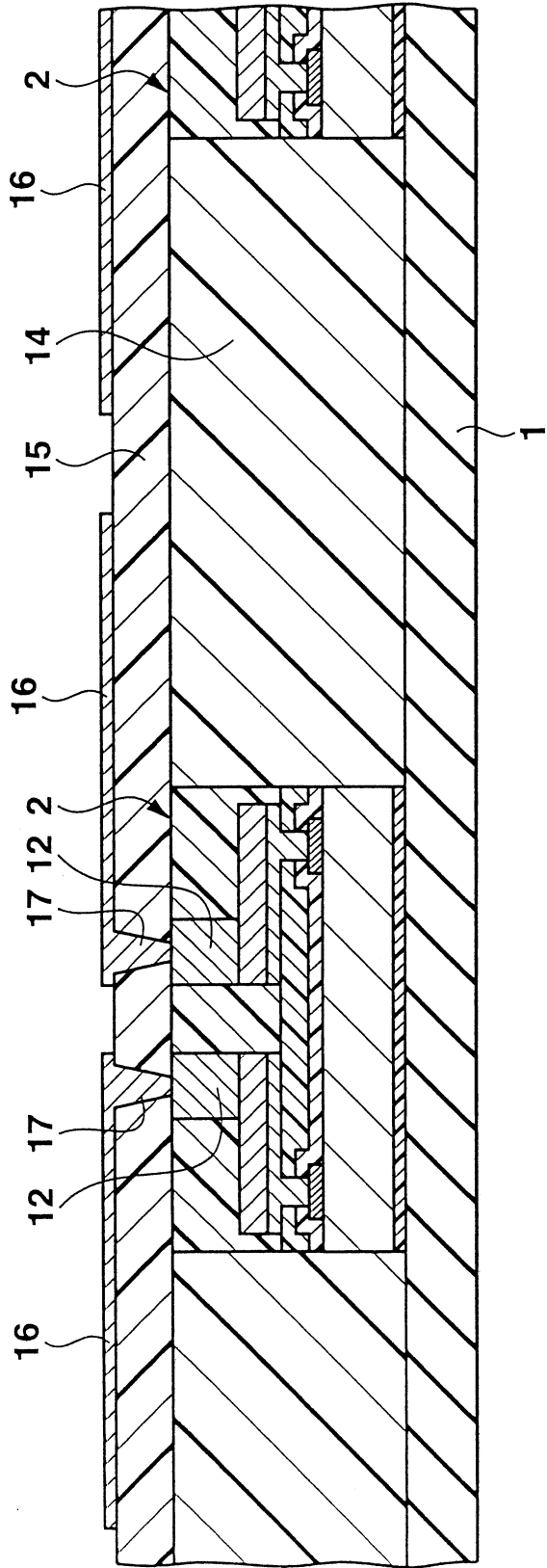




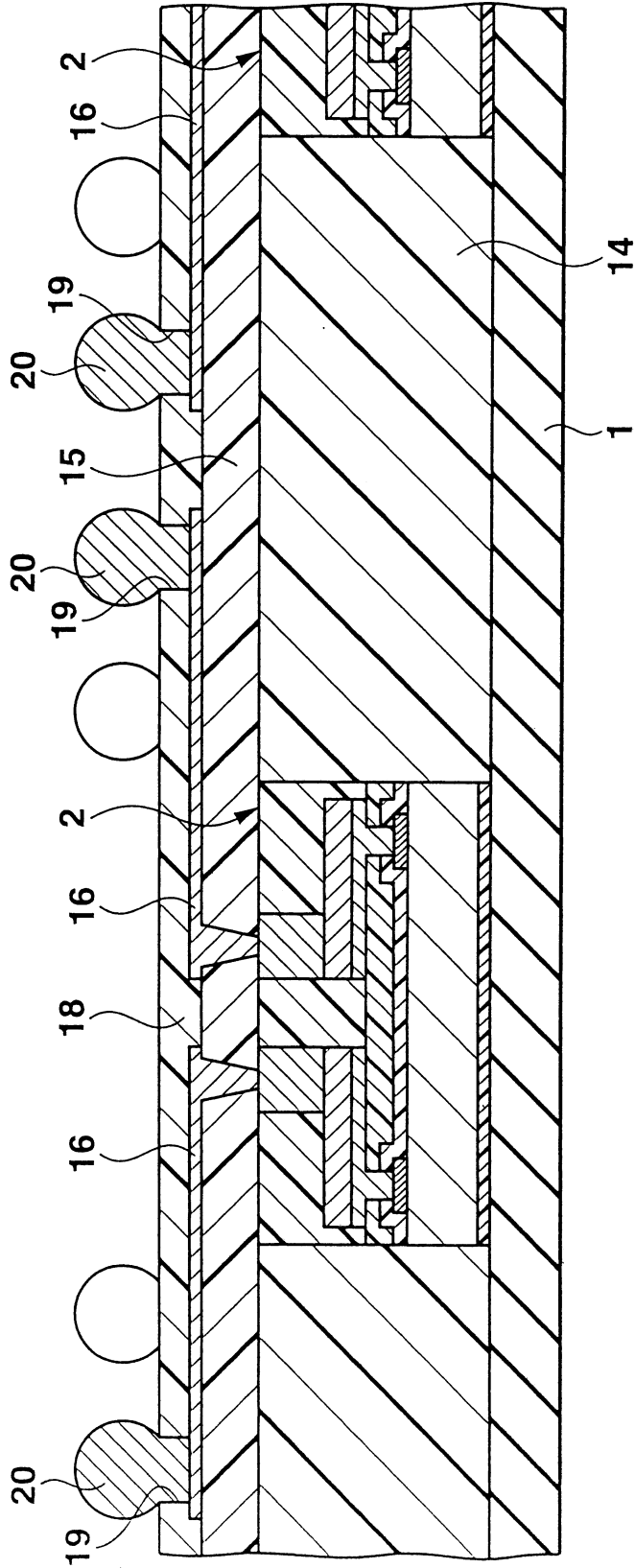
第 14 圖



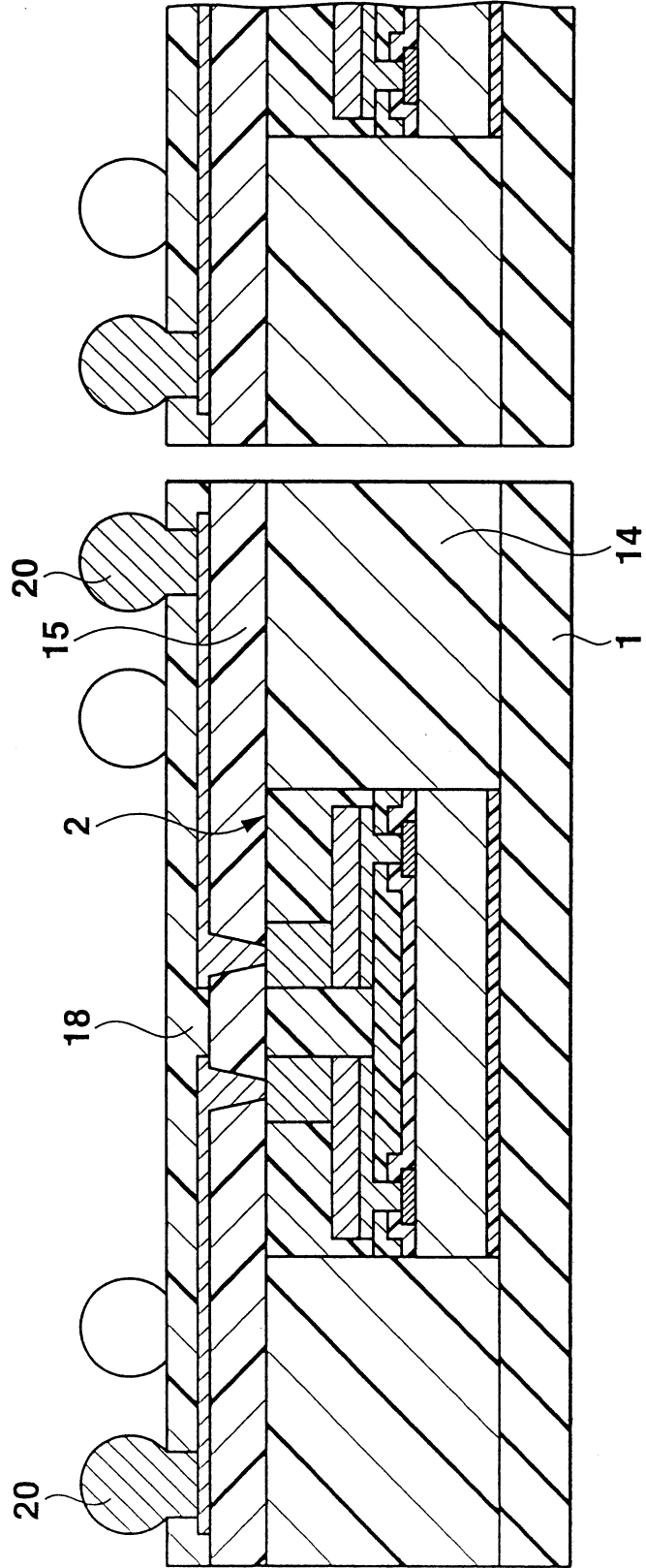
第 15 圖



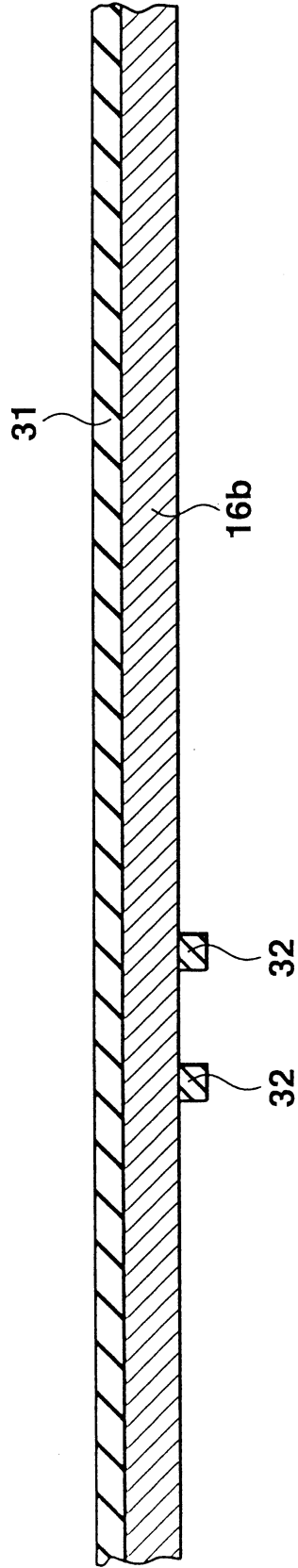
第 16 圖



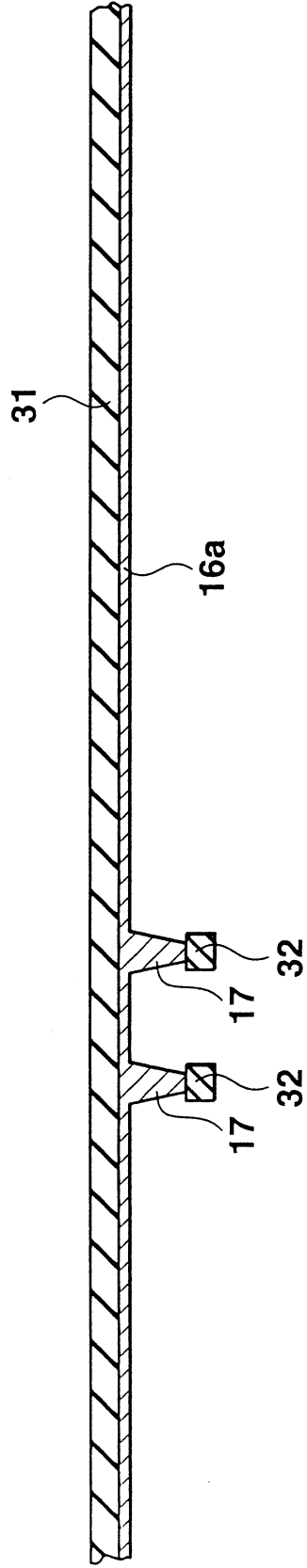
第 17 圖



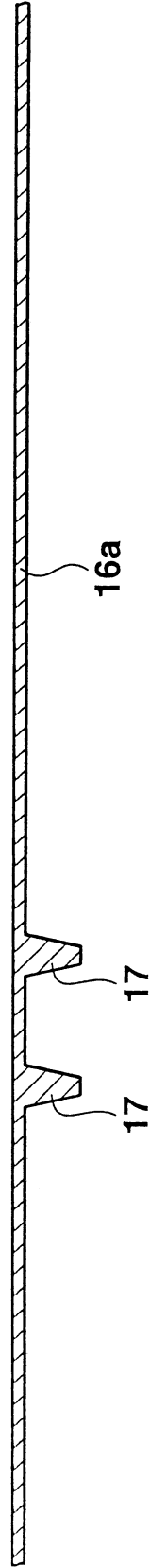
第 18 圖



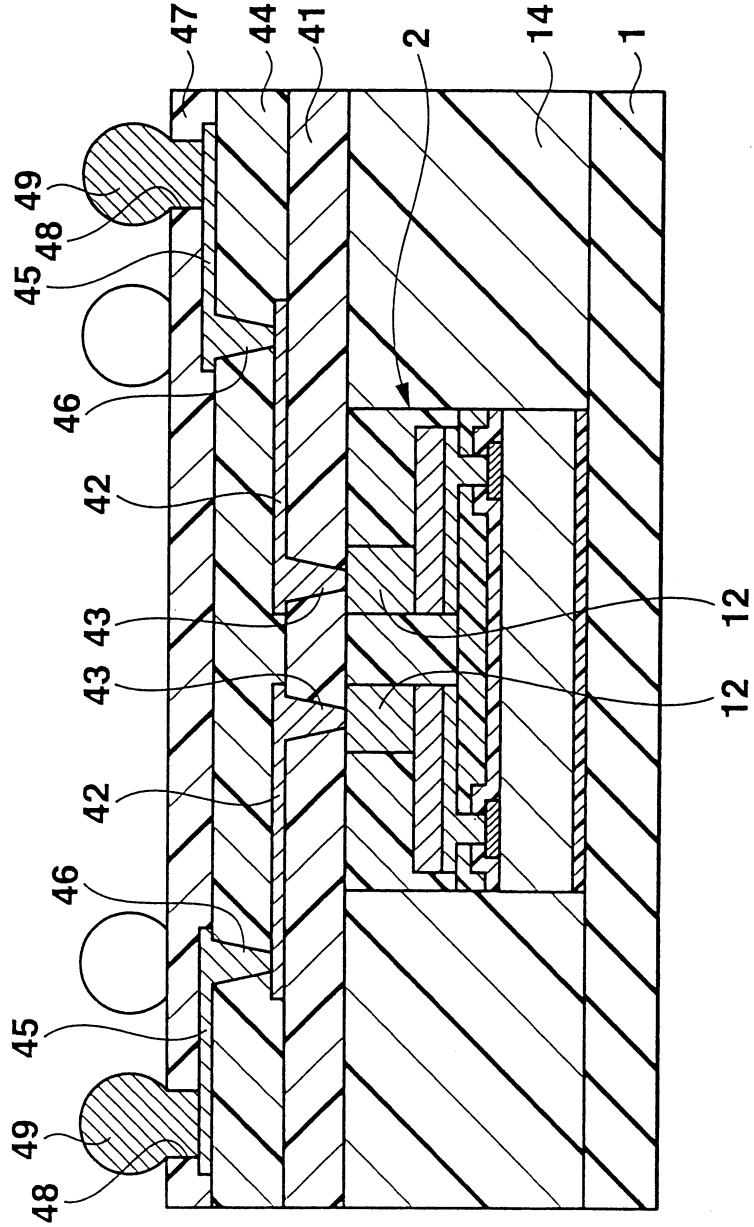
第 19 圖



第 20 圖

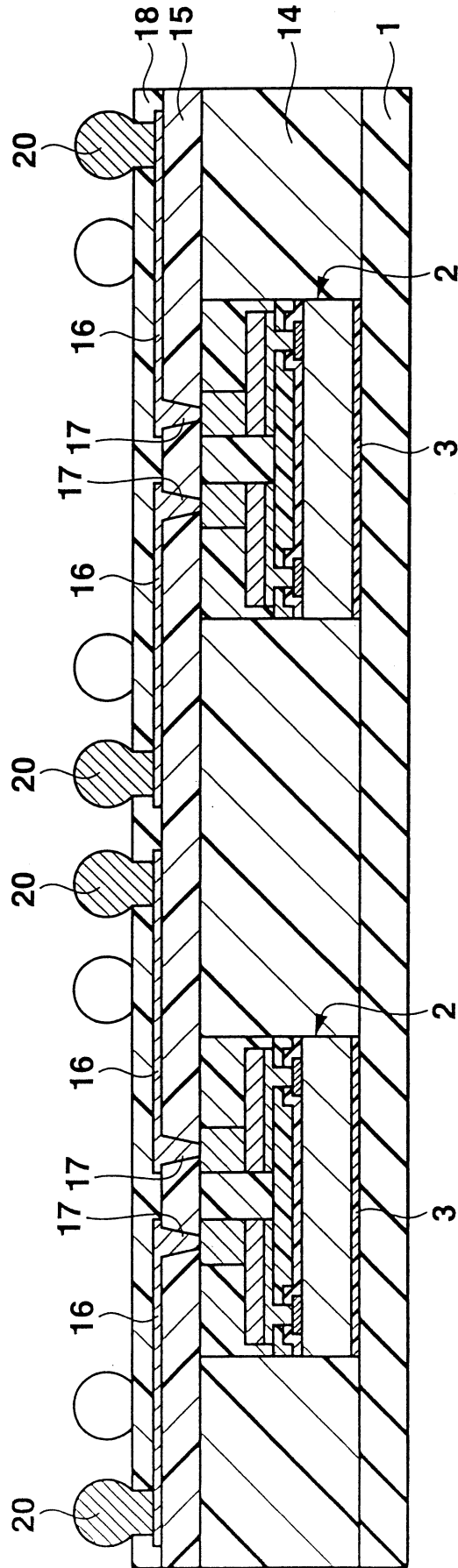


第 21 圖





第 22 圖



**七、指定代表圖：**

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

- 1: 基板
- 2: 半導體構成體
- 3: 接著層
- 4: 矽基板
- 5: 連接墊
- 6: 絕緣膜
- 7、9: 開口部
- 8: 保護膜
- 10: 底層金屬層
- 11: 再配線
- 12: 柱狀電極
- 13: 密封膜
- 14: 絕緣層
- 15: 絕緣膜
- 16: 上層再配線
- 17: 突起電極
- 18: 上層絕緣膜
- 20: 錫球

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**



94 年 月 日 (受) 正本

I248654

# 發明專利說明書

(2005 年 7 月 1 日 修正)

※ 申請案號：93114195

※ 申請日期：93.5.20

※ IPC 分類：H01L<sup>1</sup>/<sub>60</sub>

## 一、發明名稱：(中文/英文)

半導體封裝結構及其製造方法

SEMICONDUCTOR PACKAGE AND METHOD FOR MANUFACTURING THE SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

櫛尾計算機股份有限公司(カシオ計算機株式会社)

CASIO COMPUTER CO., LTD.

代表人：(中文/英文)

櫛尾和雄

KASHIO, KAZUO

住居所或營業所地址：(中文/英文)

日本國東京都渋谷區本町 1 丁目 6 番 2 號

國籍：(中文/英文)

日本/Japan

## 三、發明人：(共 2 人)

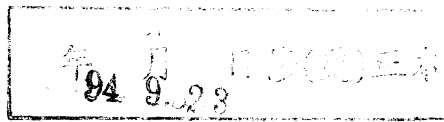
姓名：(中文/英文)

1. 若林猛/WAKABAYASHI, TAKESHI

2. 脇坂伸治/WAKISAKA, SHINJI

國籍：(中文/英文)

1. ~ 2. 日本/Japan



## 十、申請專利範圍：

第 93114195 「半導體封裝結構及其製造方法」專利案

(2005 年 9 月 23 日修正)

1. 一種半導體封裝結構，其特徵包含：

至少一個半導體構成體(2)，具有配設於半導體基板(4)上的複數個外部連接用電極(12)；

絕緣膜(15)，覆蓋該半導體構成體(2)；以及

配線(16)，具有突起電極(17)，形成於該絕緣膜(15)上，其中

該配線(16)的突起電極(17)係以深入對應該外部連接用電極(12)的該絕緣膜(15)的部分而連接於該外部連接用電極(12)。

2. 如申請專利範圍第 1 項之半導體封裝結構，其中具備複數個該半導體構成體(2)。

3. 如申請專利範圍第 1 項之半導體封裝結構，其中該半導體構成體(2)包含：

連接墊(5)；

連接於該連接墊(5)的柱狀的外部連接用電極(12)；  
以及

配設於該外部連接用電極(12)的周圍的密封膜(13)。

4. 如申請專利範圍第 3 項之半導體封裝結構，其中該半導體構成體(2)包含有用以連接該連接墊(5)與該外部連接用電極(12)的配線(11)。

5. 如申請專利範圍第 1 項之半導體封裝結構，其中該絕緣膜

(15)為薄片。

- 6.如申請專利範圍第 5 項之半導體封裝結構，其中該絕緣膜(15)的頂面為平坦。
- 7.如申請專利範圍第 1 項之半導體封裝結構，其中該突起電極(17)係由一體形成於該配線(16)的突起電極(17)所構成。
- 8.如申請專利範圍第 1 項所述之半導體封裝結構，其中該突起電極(17)係由藉由固著於該配線(16)的金屬膏形成的突起電極(17)所構成。
- 9.如申請專利範圍第 1 項之半導體封裝結構，其中該突起電極(17)係截頭圓錐形狀。
- 10.如申請專利範圍第 1 項之半導體封裝結構，其中該配線(16)具有連接墊部，且具有覆蓋除了該連接墊部的部分的上層絕緣膜(18)。
- 11.如申請專利範圍第 1 項之半導體封裝結構，其中在該絕緣膜(15)以及該配線(16)上具有：
  - 一層以上的上層的絕緣膜(44)；以及
  - 上層的配線(45)，形成於該各上層的絕緣膜(44)上，連接於下層的配線(42)的連接墊部。
- 12.如申請專利範圍第 11 項之半導體封裝結構，其中具有覆蓋除了該最上層的配線(45)的連接墊部的部分的上層的絕緣膜(47)。
- 13.如申請專利範圍第 11 項之半導體封裝結構，其中該上層的配線(45)的至少一部分具有突起電極(46)，該突起電極

(46)係深入該下層的絕緣膜(44)且連接於該下層的配線(42)的連接墊部。

14.如申請專利範圍第 11 項之半導體封裝結構，其中在該最上層的配線(45)的連接墊部上配設有錫球(49)。

15.如申請專利範圍第 1 項之半導體封裝結構，其中在該半導體構成體(2)的周側面配設有絕緣層(14)。

16.如申請專利範圍第 15 項之半導體封裝結構，其中在該半導體構成體(2)以及該絕緣層(14)的底面配設有基板(1)

17.一種半導體封裝結構的製造方法，其特徵包含：

以絕緣膜(15)覆蓋具有複數個外部連接用電極(12)的半導體構成體(2)的頂面之製程；

在該絕緣膜(15)上配置具有對應該各外部連接用電極(12)的突起電極(17)的金屬板(16a)之製程；

使該金屬板(16a)的各突起電極(17)深入該絕緣膜(15)，連接於該各外部連接用電極(12)之製程；以及

將該金屬板(16a)圖案化，形成配線(16)之製程。

18.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中該半導體構成體(2)包含：

連接墊(5)；

連接於該連接墊(5)的柱狀的外部連接用電極(12)；

以及

配設於該外部連接用電極(12)的周圍的密封膜(13)。

19.如申請專利範圍第 18 項之半導體封裝結構的製造方法，

其中該半導體構成體(2)包含用以連接該連接墊(5)與該外部連接用電極(12)的配線(11)。

20.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中該絕緣膜(15)為薄片。

21.如申請專利範圍第 20 項之半導體封裝結構的製造方法，其中該絕緣膜(15)的頂面為平坦。

22.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中使該金屬板(16a)的突起電極(17)深入該絕緣膜(15)的製程係在該絕緣膜(15)為半硬化的狀態下進行，然後藉由加熱使該絕緣膜(15)正式硬化，並且使該金屬板(16a)附著於該絕緣膜(15)上。

23.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中藉由半蝕刻該金屬板(16a)的底面，一體地且形成該突起電極(17)為截頭圓錐形狀於該金屬板(16a)下。

24.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中於該金屬板(16a)下印刷金屬膏，形成該突起電極(17)為截頭圓錐形狀。

25.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中在以該絕緣膜(15)覆蓋該半導體構成體(2)的頂面之製程前係具有：

在基板(1)上使分別配設於半導體基板(4)上的具有複數個外部連接用電極(12)的複數個半導體構成體(2)相互分離而配置的製程；以及

在該各半導體構成體(2)的周側面形成絕緣層(14)的

製程，

然後，以該絕緣膜(15)覆蓋該半導體構成體(2)以及該絕緣層(14)的頂面。

26.如申請專利範圍第 25 項之半導體封裝結構的製造方法，其中在將該金屬板(16a)圖案化以形成該配線(16)的製程後，切斷該半導體構成體(2)間的該絕緣膜(15)以及該絕緣層(14)，分離成至少包含有一個該半導體構成體(2)的半導體封裝結構。

27.如申請專利範圍第 26 項之半導體封裝結構的製造方法，其中該切斷係包含有複數個該半導體構成體(2)而切斷。

28.如申請專利範圍第 26 項之半導體封裝結構的製造方法，其中在該切斷製程切斷該絕緣膜(15)以及該絕緣層(14)，並且切斷該基板(1)，該半導體封裝結構係得到具備該基板(1)者。

29.如申請專利範圍第 17 項之半導體封裝結構的製造方法，其中在將該金屬板(16a)圖案化以形成配線(16)的製程之後係具有在該絕緣膜(15)以及該配線(16)上形成一層以上的上層的絕緣膜(44)，與形成於該上層的絕緣膜(44)上，連接於下層的配線(42)的連接墊部的上層的配線(45)之製程。

30.如申請專利範圍第 29 項之半導體封裝結構的製造方法，其中具有形成覆蓋除了該最上層的配線(45)的連接墊部的部分的上層的絕緣膜(47)之製程。

31.如申請專利範圍第 29 項之半導體封裝結構的製造方法，其中具有該上層的配線(45)的至少一部分具有突起電極



(46)，該突起電極(46)係深入該下層的絕緣膜(44)，連接於該下層的配線(42)的連接墊部之製程。

32.如申請專利範圍第 29 項之半導體封裝結構的製造方法，其中具有在該最上層的配線(45)的連接墊部上形成錫球(49)之製程。