

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4041054号
(P4041054)

(45) 発行日 平成20年1月30日(2008.1.30)

(24) 登録日 平成19年11月16日(2007.11.16)

(51) Int.Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 H
H O 1 L 21/8246 (2006.01) H O 1 L 27/10 4 4 4 Z
H O 1 L 27/105 (2006.01)

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2003-377155 (P2003-377155)	(73) 特許権者	000003078
(22) 出願日	平成15年11月6日(2003.11.6)		株式会社東芝
(65) 公開番号	特開2005-141835 (P2005-141835A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年6月2日(2005.6.2)	(74) 代理人	100058479
審査請求日	平成16年4月23日(2004.4.23)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

強誘電体キャパシタとセルトランジスタとをそれぞれ有し、複数のグループに分けられた複数のメモリセルと、

前記セルトランジスタのゲートにそれぞれつながる複数のワード線と、

前記複数のワード線に接続されたワード線ドライバと、

前記ワード線ドライバに接続されたワード線デコーダと、

複数のリファレンス電位を発生するリファレンス電位発生回路と、

前記リファレンス電位発生回路と前記ワード線デコーダとにそれぞれ接続され、前記複数のリファレンス電位から前記グループ毎に異なるリファレンス電位を選択するリファレンス電位選択回路と、

前記リファレンス電位選択回路から出力された前記リファレンス電位が入力されるセンスアンプと

を具備し、

前記メモリセルは、強誘電体キャパシタとセルトランジスタとをそれぞれ有し、

前記セルトランジスタのソース/ドレイン間に前記強誘電体キャパシタの両端をそれぞれ接続してユニットセルを構成し、このユニットセルを複数個直列に接続したブロックであり、

前記ブロックの一端にビット線が接続され、前記ブロックの他端にプレート線が接続されていることを特徴とする半導体集積回路装置。

【請求項 2】

複数のグループに分けられた複数のメモリセルと、
前記グループ毎に異なるリファレンス電位を設定するリファレンス電位選択回路と
を具備し、
前記メモリセルは、強誘電体キャパシタとセルトランジスタとをそれぞれ有し、
前記セルトランジスタのソース/ドレイン間に前記強誘電体キャパシタの両端をそれぞれ
接続してユニットセルを構成し、このユニットセルを複数個直列に接続したブロックで
あり、
前記ブロックの一端にビット線が接続され、前記ブロックの他端にプレート線が接続さ
れており、
前記複数のグループは、
前記強誘電体キャパシタの上部電極が前記ビット線につながる第 1 のグループと、
前記強誘電体キャパシタの下部電極が前記ビット線につながる第 2 のグループと
を具備することを特徴とする半導体集積回路装置。

10

【請求項 3】

複数のグループに分けられた複数のメモリセルと、
前記グループ毎に異なるリファレンス電位を設定するリファレンス電位選択回路と
を具備し、
前記メモリセルは、強誘電体キャパシタとセルトランジスタとをそれぞれ有し、
前記セルトランジスタのソース/ドレイン間に前記強誘電体キャパシタの両端をそれぞれ
接続してユニットセルを構成し、このユニットセルを複数個直列に接続したブロックで
あり、
前記ブロックの一端にビット線が接続され、前記ブロックの他端にプレート線が接続さ
れており、
前記複数のグループは、
前記ビット線側の端部に位置するセルからなる第 1 のグループと、
前記プレート線側の端部に位置するセルからなる第 2 のグループと、
前記ブロックの中央部に位置するセルからなる第 3 のグループと
を具備することを特徴とする半導体集積回路装置。

20

【請求項 4】

前記複数のグループは、前記ビット線側の端部に位置するセルから、前記プレート線側
の端部に位置するセルまで、各セル毎に分かれていることを特徴とする請求項 1 に記載の
半導体集積回路装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体メモリにおける読み出し時のリファレンス電位を調整するための半導体集積回路装置に関する。

【背景技術】

【0002】

近年、不揮発性の半導体メモリとして、強誘電体キャパシタ (Ferro-electric Capacitor) を用いた強誘電体メモリ (FeRAM) が注目されている。

40

【0003】

図 1 1 は、従来技術による強誘電体メモリのセル部の概略的な回路図を示す。図 1 1 示すように、セル部は、セルトランジスタ T_n のソースドレイン間にキャパシタ C_n の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した構造となっている。このような構造の強誘電体メモリは、「TC 並列ユニット直列接続型強誘電体メモリ」という。

【0004】

ここでは、この TC 並列ユニット直列接続型強誘電体メモリを例にあげて、従来技術の

50

問題点を説明する。

【0005】

このTC並列ユニット直列接続型強誘電体メモリのレイアウトパターンでは、(a)上部電極がビット線BLに接続されているようなセル(以下セルAと称す)と、(b)下部電極がビット線BLに接続されているようなセル(以下セルBと称す)との、2種類のセルが存在する(図2参照)。

【0006】

ところで、強誘電体キャパシタには、上部電極の界面状態と下部電極の界面状態との違いなどから、一般に、キャパシタの分極特性が印加電界の向きによって異なる可能性がある。この現象は、例えばヒステリシスループの左右非対称性として観測される。

10

【0007】

例えば、セルAの場合、図12に示すように、左右が非対称のヒステリシス曲線になり、セルBの場合、図13に示すように、左右が非対称のヒステリシス曲線になる。尚、図12及び図13において、直線L1, L2はビット線容量Cbの特性を示す線であり、ビット線容量Cbの値が小さくなるとこの直線L1, L2の傾きは小さくなる。

【0008】

上記のようなヒステリシスループが左右非対称となる現象が起きると、セルAとセルBとでは、ビット線BLの信号量の絶対値に差が生じてしまう。

【0009】

図14及び図15に示すように、セルAの場合もセルBの場合も、それぞれのセルタイプにおける信号量の分布では、“1”データと“0”データとの信号量のマージンが十分に確保できている。しかしながら、図16に示すように、セルAとセルBとを合わせて、全体の信号分布を見た場合には、“1”データと“0”データとの信号量のマージンはほぼ0になってしまう。

20

【0010】

尚、この出願の発明に関連する先行技術文献情報としては次のようなものがある。

【特許文献1】特開2003-7095号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

以上のように、例えばTC並列ユニット直列接続型強誘電体メモリでは、セルAとセルBとからなる2種類の信号分布が存在する。このように、信号量分布が複数のグループに分かれる場合には、個々のグループ内で信号量のマージンが十分にあったとしても、各グループをまとめて全体として考えると、信号量のマージンが減少し、最悪の場合にはマージンが無くなってしまう可能性がある。このような信号量のマージンの減少は、不良ビットの原因となるため、信頼性の向上や製品歩留まりの向上を考える上で非常に問題になっていた。

30

【0012】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、信号マージンの向上を図ることが可能な半導体集積回路装置を提供することにある。

40

【課題を解決するための手段】

【0013】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0014】

本発明の一の視点による半導体集積回路装置は、強誘電体キャパシタとセルトランジスタとをそれぞれ有し、複数のグループに分けられた複数のメモリセルと、前記セルトランジスタのゲートにそれぞれつながる複数のワード線と、前記複数のワード線に接続されたワード線ドライバと、前記ワード線ドライバに接続されたワード線デコーダと、複数のリファレンス電位を発生するリファレンス電位発生回路と、前記リファレンス電位発生回路と前記ワード線デコーダとにそれぞれ接続され、前記複数のリファレンス電位から前記ゲ

50

ループ毎に異なるリファレンス電位を選択するリファレンス電位選択回路と、前記リファレンス電位選択回路から出力された前記リファレンス電位が入力されるセンスアンプとを具備し、前記メモリセルは、強誘電体キャパシタとセルトランジスタとをそれぞれ有し、前記セルトランジスタのソース/ドレイン間に前記強誘電体キャパシタの両端をそれぞれ接続してユニットセルを構成し、このユニットセルを複数個直列に接続したブロックであり、前記ブロックの一端にビット線が接続され、前記ブロックの他端にプレート線が接続されている。

【発明の効果】

【0015】

以上説明したように本発明によれば、信号マージンの向上を図ることが可能な半導体集積回路装置を提供できる。

【発明を実施するための最良の形態】

【0016】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0017】

[第1の実施形態]

第1の実施形態では、信号量分布が複数のグループに分かれる場合、この複数のグループ毎に作動式センスアンプのリファレンス電位を設けることにより、信号マージンの向上を図る。

【0018】

図1は、本発明の第1の実施形態に係る半導体集積回路装置の概略的な回路図を示す。図2は、本発明の第1の実施形態に係るメモリセルの断面図を示す。図3は、本発明の第1の実施形態に係るリファレンス電位選択回路の構成を示す。ここでは、上述した「TC並列ユニット直列接続型強誘電体メモリ」の1ブロック分を例にあげて説明する。

【0019】

図1に示すように、半導体集積回路装置は、TC並列ユニット直列接続型のメモリセル10と、プレート線ドライバ11と、ワード線ドライバ12と、ワード線デコーダ13と、リファレンス電位選択回路14と、第1及び第2のリファレンス電位発生回路15, 16と、センスアンプ(S/A)17とを有している。

【0020】

TC並列ユニット直列接続型のメモリセル10は、トランジスタT1のソース/ドレインに強誘電体キャパシタC1の両端が接続され、トランジスタT2のソース/ドレインに強誘電体キャパシタC2の両端が接続され、トランジスタT3のソース/ドレインに強誘電体キャパシタC3の両端が接続され、トランジスタT4のソース/ドレインに強誘電体キャパシタC4の両端が接続されている。そして、これらの4つのセルが直列に接続され、1つのセルブロックが構成されている。このセルブロックの一端はビット線BLに接続され、セルブロックの他端はプレート線PLに接続されている。プレート線PLは、プレート線ドライバ11に接続されている。

【0021】

トランジスタT1, T2, T3, T4の各ゲートは、ワード線WL1, WL2, WL3, WL4につながっている。これらのワード線WL1, WL2, WL3, WL4にはワード線ドライバ12が接続され、このワード線ドライバ12にはワード線デコーダ13が接続されている。

【0022】

ワード線デコーダ13には、リファレンス電位選択回路14が接続されている。このリファレンス電位選択回路14には、第1及び第2のリファレンス電位Vref1, Vref2を発生させるための第1及び第2のリファレンス電位発生回路15, 16がそれぞれ接続されている。

【0023】

10

20

30

40

50

センスアンプ17には、ビット線BLの出力とリファレンス電位選択回路14の出力とが入力される。そして、センスアンプ17の出力は、ビット線デコーダに接続される。

【0024】

ここで、上記メモリセル10は、TC並列ユニット直列接続型の構造をとっているため、従来技術でも述べたように、強誘電体キャパシタの電極とビット線BLとの接続方法に関して、2種類のセルが存在する。つまり、図2に示すように、(a)上部電極がビット線BLに接続されているようなセルAと、(b)下部電極がビット線BLに接続されているようなセルBとが存在する。

【0025】

このため、図1の回路構成では、セルA,セルBとからなる2種類の信号分布に対して、リファレンス電位Vref1, Vref2をそれぞれ発生させるためのリファレンス電位発生回路15, 16が設けられている。

10

【0026】

そして、リファレンス電位選択回路14は、図3に示すように、2つのトランジスタTref1, Tref2と、入力の反転データを出力するインバータINVとを有している。トランジスタTref1において、ソース/ドレインの一端は第1のリファレンス電位発生回路15に接続され、ソース/ドレインの他端はセンスアンプ17に接続され、ゲートはインバータINVを介してワード線デコーダ13に接続される。トランジスタTref2において、ソース/ドレインの一端は第2のリファレンス電位発生回路16に接続され、ソース/ドレインの他端はセンスアンプ17に接続され、ゲートはワード線デコーダ13に接続される。

20

【0027】

このようなリファレンス電位選択回路14では、信号量の絶対値が異なる2種類のセルA,セルBは、ワード線デコーダ13の最下位ビットが“1”, “0”のどちらかで分類できるため、このワード線デコーダ13の最下位ビットによって、Vref1とVref2のいずれかのリファレンス電位が選択されるようになっている。

【0028】

例えば、セルAに対して、第1のリファレンス電位Vref1を設定し、セルBに対して、第2のリファレンス電位Vref2を設定する。このように設定した場合、図5に示すように、セルAとセルBとで信号分布が異なっている場合でも、セル毎にリファレンス電位を設定できるため、信号マージンを十分確保することができている。

30

【0029】

上記第1の実施形態によれば、信号量分布が複数のグループに分かれる場合において、この分けられたグループの数だけリファレンス電位Vrefを発生させるためのリファレンス電位発生回路を設け、リファレンス電位選択回路14を用いてグループ毎にリファレンス電位Vrefを選択することができる。従って、異なる信号量分布が複数存在する場合であっても、従来技術よりも大きな余裕を持って信号マージンを確保することができる。このように、信号マージンを向上することができるため、不良ビットの問題を回避することができ、信頼性の向上や製品歩留まりの向上を図ることが可能となる。

【0030】

40

尚、第1の実施形態では、TC並列ユニット直列接続型強誘電体メモリを例にあげた。このTC並列ユニット直列接続型のセルでは、レイアウト上、セルの信号量が原理的に2つのグループに分けられるため、上記のような効果が大きい構造といえるが、この構造に限定されない。つまり、セルの信号量が原理的に2つ以上のグループに分けられる場合にも、第1の実施形態を適用することも可能である。この場合、グループの数だけリファレンス電位を用意し、リファレンス電位選択回路の構成も、これに合わせて複数のリファレンス電位が選択できるように変更すればよい。

【0031】

[第2の実施形態]

第1の実施形態では、複数のリファレンス電位に対して、このリファレンス電位の数と

50

同じ数のリファレンス電位発生回路を用意した。これに対して、第2の実施形態では、1つのリファレンス電位発生回路で、複数のリファレンス電位を発生させる。

【0032】

通常、リファレンス電位発生回路には、テスト用に複数の電位を発生させる機能をつけている場合が多い。すなわち、1つのリファレンス回路で、複数の電位を同時に発生させることも可能である。これを利用して、第2の実施形態では、第1の実施形態におけるリファレンス電位発生回路の構成を変更する。

【0033】

図6は、本発明の第2の実施形態に係る半導体集積回路装置の概略的な回路図を示す。図7は、本発明の第2の実施形態に係るリファレンス電位選択回路の構成を示す。ここで、第1の実施形態と同様、「TC並列ユニット直列接続型強誘電体メモリ」を例にあげて説明する。

10

【0034】

図6に示すように、半導体集積回路装置は、TC並列ユニット直列接続型のメモリセル10と、プレート線ドライバ11と、ワード線ドライバ12と、ワード線デコーダ13と、リファレンス電位選択回路21と、リファレンス電位発生回路22と、センスアンプ17とを有している。

【0035】

ここで、図7に示すように、リファレンス電位発生回路22は、電位1から電位4の4つの電位を発生させる機能を有している。これらの電位は、例えば、電位1を最も低い電位に設定し、この電位1から順に高い電位を電位2、電位3に設定し、電位4には最も高い電位を設定する。

20

【0036】

また、図7に示すように、リファレンス電位選択回路21は、電位1から電位4に対応して、トランジスタ T_{ref1} 、 T_{ref2} 、 T_{ref3} 、 T_{ref4} 、 T_{ref5} 、 T_{ref6} 、 T_{ref7} 、 T_{ref8} がそれぞれ設けられている。

【0037】

このような第2の実施形態では、電位1から電位4は、出力の先に接続されているトランジスタ T_{ref1} 、 T_{ref2} 、 T_{ref3} 、 T_{ref4} 、 T_{ref5} 、 T_{ref6} 、 T_{ref7} 、 T_{ref8} によって選択されて、最終的に V_{ref1} と V_{ref2} の2つの電位になっている。どのトランジスタ T_{ref1} 、 T_{ref2} 、 T_{ref3} 、 T_{ref4} 、 T_{ref5} 、 T_{ref6} 、 T_{ref7} 、 T_{ref8} を開くか、すなわちどの電位を選択するかは、例えばフューズ23の切断の情報で決定される。

30

【0038】

上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。さらに、第2の実施形態では、リファレンス電位発生回路22が1つでよいので、第1の実施形態に比べて、チップ面積の増大を抑制することができるという利点がある。

【0039】

[第3の実施形態]

第3の実施形態は、信号量分布が複数のグループに分かれる場合のグループの分け方についていくつか例示する。

40

【0040】

第1の例では、TC並列ユニット直列接続型のメモリセルの1ブロックにおいて、ビット線BL側の端部のセルとプレート線PL側の端部のセルと中央部のセルとによって、信号分布が異なることに着目している。

【0041】

具体的には、図8に示すように、ビット線BLに最も近い端のセルを第1のグループG1とし、ビット線BLから最も遠い端のセル(プレート線PLに最も近いセル)を第2のグループG2とし、これら第1及び第2のグループG1、G2に入らない中央の7つのセルを第3のグループG3とすることで、メモリセル部10の1ブロックを3つのグループ

50

に分けている。この場合、3つのグループG1, G2, G3に分けているため、リファレンス電位は3つ用意される。

【0042】

第2の例では、TC並列ユニット直列接続型のメモリセルの1ブロックにおいて、各セルがビット線BLからどのくらい遠いかによって、信号分布が異なることに着目している。

【0043】

具体的には、図9に示すように、ビット線BLに最も近い端のセルを第1のグループG1とし、ビット線BLから遠ざかるセルを順に第1乃至第7のグループG2, G3, G4, G5, G6, G7とし、ビット線BLから最も遠い端のセルを第8のグループG8とすることで、メモリセル部10の1ブロックを8つのグループに分けている。この場合、8つのグループG1, G2, G3, G4, G5, G6, G7, G8に分けているため、リファレンス電位は8つ用意される。

10

【0044】

第3の例では、メモリセル部10の平面パターンの位置によって、信号分布が異なることに着目している。

【0045】

具体的には、図10に示すように、メモリセル部10において、中央部を第1のグループG1とし、周辺部を第2のグループG2とすることで、メモリセル部10の平面パターンを2つのグループに分けている。この場合、2つのグループG1, G2に分けているため、リファレンス電位は2つ用意される。

20

【0046】

第4の例では、チップ内のセルアレイ毎に信号分布が異なることに着目し、各セルアレイに対して1つずつリファレンス電位を設定する。各セルアレイは、レイアウト的には全く同じに作られているが、チップ内の物理的な位置が異なるため、例えば周辺回路からの距離などが微妙に異なってくる。この差異により、各セルアレイの信号量分布には微妙な差が生じるので、セルアレイ毎にグループを分けてリファレンス電位を設定することも有効である。

【0047】

上記第3の実施形態によれば、第1の実施形態と同様に、各グループに対して1つずつリファレンス電位を設けることで、グループ毎の信号量分布の差異を吸収し、従来技術よりも大きな余裕を持ったリファレンス電位の設定が可能になる。

30

【0048】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

40

【図面の簡単な説明】

【0049】

【図1】本発明の第1の実施形態に係わる半導体集積回路装置を示す概略的な回路図。

【図2】本発明の第1の実施形態に係わる半導体集積回路装置のセル部を示す断面図。

【図3】本発明の第1の実施形態に係わるリファレンス電位選択回路の構成を示す回路図。

【図4】本発明の第1の実施形態に係わる半導体集積回路装置のセルAの信号分布を示す図。

【図5】本発明の第1の実施形態に係わる半導体集積回路装置のセルBの信号分布を示す図。

50

【図6】本発明の第2の実施形態に係わる半導体集積回路装置を示す概略的な回路図。

【図7】本発明の第2の実施形態に係わるリファレンス電位選択回路の構成を示す回路図

【図8】本発明の第3の実施形態に係わる第1のグループ分けを示す図。

【図9】本発明の第3の実施形態に係わる第2のグループ分けを示す図。

【図10】本発明の第3の実施形態に係わる第3のグループ分けを示す図。

【図11】従来技術によるTC並列ユニット直列接続型強誘電体メモリを示す回路図。

【図12】従来技術による強誘電体メモリのセルAのヒステリシス曲線を示す図。

【図13】従来技術による強誘電体メモリのセルBのヒステリシス曲線を示す図。

【図14】従来技術による強誘電体メモリのセルAの信号分布を示す図。

【図15】従来技術による強誘電体メモリのセルBの信号分布を示す図。

【図16】従来技術による強誘電体メモリのセルAとセルBとを合わせた場合の信号分布を示す図。

10

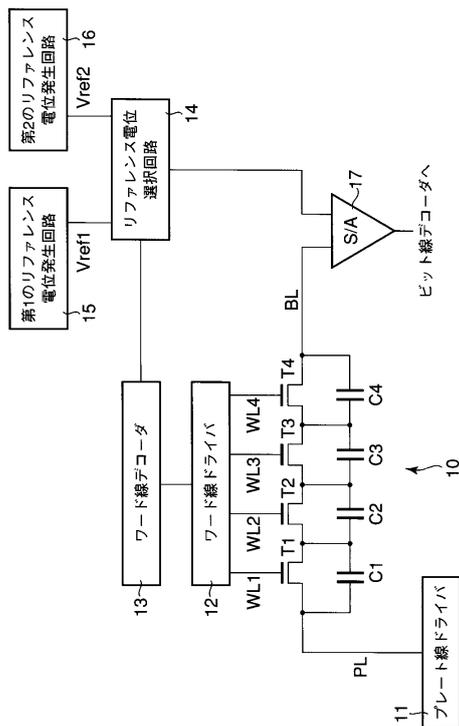
【符号の説明】

【0050】

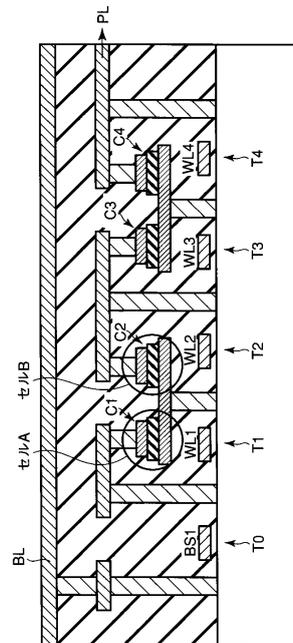
10...メモリセル、11...プレート線ドライバ、12...ワード線ドライバ、13...ワード線デコーダ、14、21...リファレンス電位選択回路、15、16、22...リファレンス電位発生回路、17...センスアンプ(S/A)、23...フューズ、Tn...セルトランジスタ、Cn...強誘電体キャパシタ、BL...ビット線、PL...プレート線、WLn...ワード線、Vrefn...リファレンス電位、Trefn...リファレンス電位選択回路のトランジスタ、INV...インバータ。

20

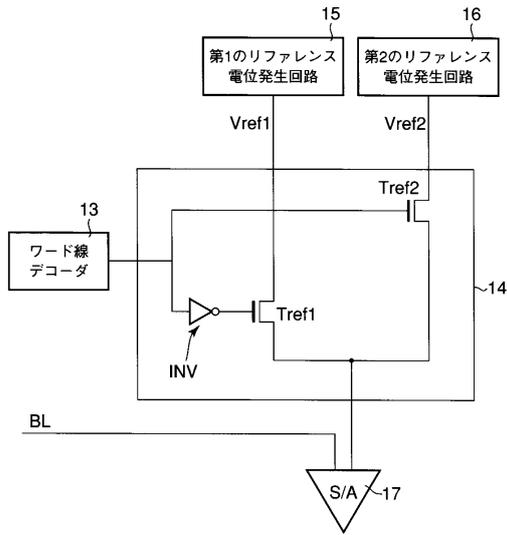
【図1】



【図2】

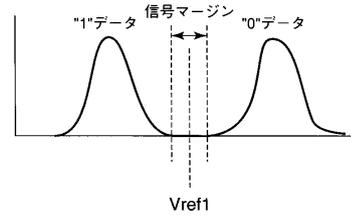


【図3】



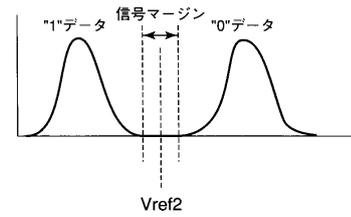
【図4】

セルAの信号分布

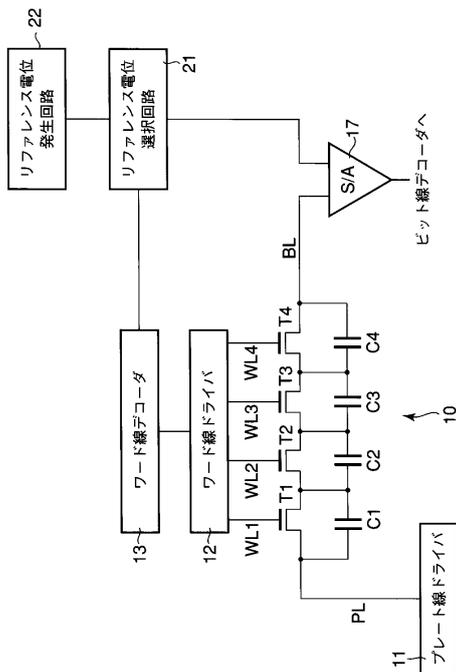


【図5】

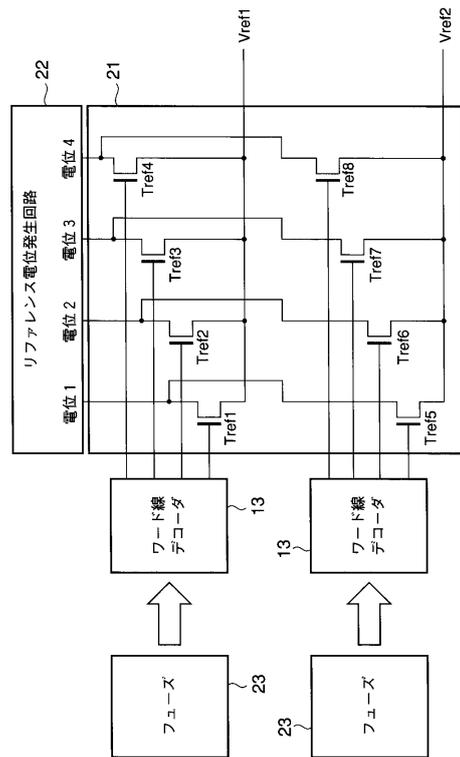
セルBの信号分布



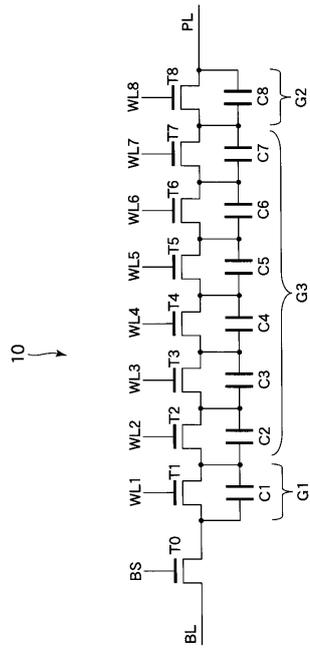
【図6】



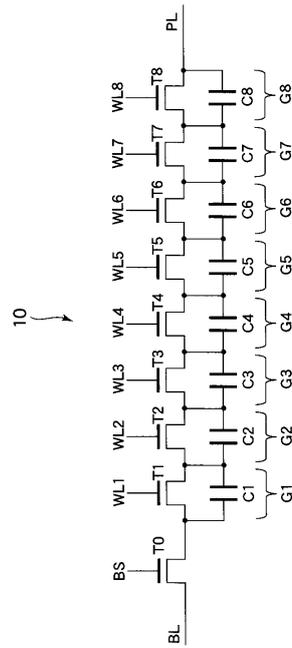
【図7】



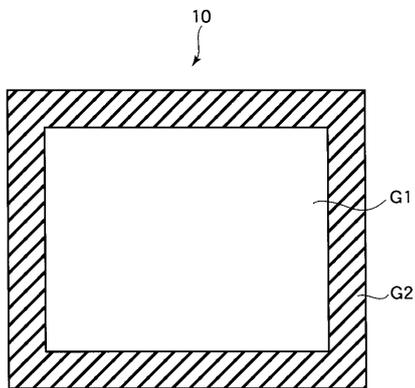
【 図 8 】



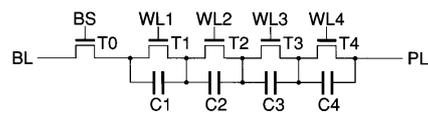
【 図 9 】



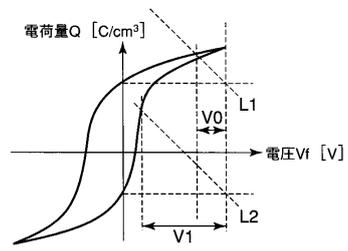
【 図 10 】



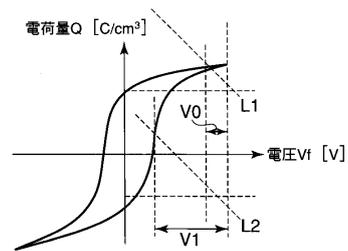
【 図 11 】



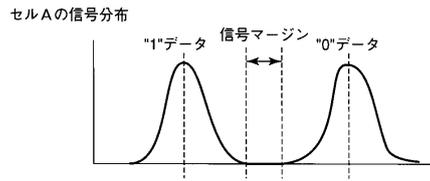
【 図 12 】



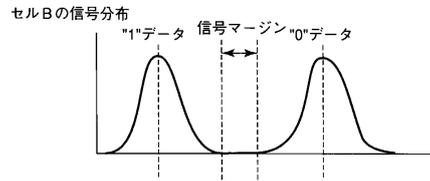
【 図 13 】



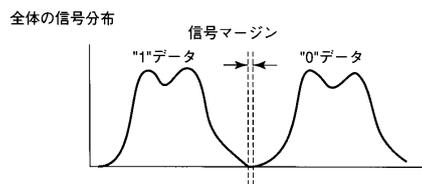
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 首藤 晋

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 加藤 俊哉

(56)参考文献 特開2003-060171(JP,A)

特開昭63-090096(JP,A)

特開平10-255483(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/22

H01L 21/8246

H01L 27/105