

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4860249号
(P4860249)

(45) 発行日 平成24年1月25日(2012.1.25)

(24) 登録日 平成23年11月11日(2011.11.11)

(51) Int.Cl.		F I	
HO 1 L 27/105 (2006.01)		HO 1 L 27/10	4 4 8
HO 1 L 21/768 (2006.01)		HO 1 L 21/90	C
HO 1 L 45/00 (2006.01)		HO 1 L 45/00	A

請求項の数 16 (全 34 頁)

(21) 出願番号	特願2005-341291 (P2005-341291)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成17年11月26日(2005.11.26)	(74) 代理人	100123788 弁理士 官崎 昭夫
(65) 公開番号	特開2007-149900 (P2007-149900A)	(74) 代理人	100106138 弁理士 石橋 政幸
(43) 公開日	平成19年6月14日(2007.6.14)	(74) 代理人	100127454 弁理士 緒方 雅昭
審査請求日	平成20年9月18日(2008.9.18)	(72) 発明者	早川 努 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内
		(72) 発明者	飯島 晋平 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 相変化メモリ装置および相変化メモリ装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

拡散層を有するMOSトランジスタを表面に備えた半導体基板と、
前記MOSトランジスタを覆って前記半導体基板上に形成された第1層間絶縁膜と、
前記拡散層の表面を露出させるように前記第1層間絶縁膜に形成された第1コンタクトホールと、

第1の導電材料からなる第1の導電材料プラグと、前記第1の導電材料プラグの下に接触して位置すると共にその底面が前記拡散層に接続して前記第1の導電材料よりも比抵抗が小さい第2の導電材料からなる第2の導電材料プラグとが、前記第1コンタクトホール内に積み重ねられて埋設された異種材料コンタクトプラグと、

前記第1層間絶縁膜上に設けられた第2層間絶縁膜と、
前記第1の導電材料プラグの表面を露出させるように前記第2層間絶縁膜に形成された第2コンタクトホールと、

前記第2コンタクトホールに埋設され、その底面が前記第1の導電材料プラグの上面と接触して接続されると共に前記第2の導電材料プラグに対して平面視で重なりを有するヒータ電極と、

前記ヒータ電極の上面に接続される相変化層と、
を有することを特徴とする相変化メモリ装置。

【請求項2】

請求項1記載の相変化メモリ装置であって、

前記第2の導電材料プラグの体積は、前記第1の導電材料プラグの体積よりも大きいことを特徴とする相変化メモリ装置。

【請求項3】

請求項1記載の相変化メモリ装置であって、

前記異種材料コンタクトプラグにおける前記第1の導電材料プラグは、前記ヒータ電極を構成する主成分の金属材料を含むことを特徴とする相変化メモリ装置。

【請求項4】

請求項1記載の相変化メモリ装置であって、

前記第1の導電材料プラグを構成する前記第1の導電材料は、前記ヒータ電極を構成する金属材料と同じ金属材料からなることを特徴とする相変化メモリ装置。

10

【請求項5】

請求項1記載の相変化メモリ装置であって、

前記第1の導電材料プラグを構成する前記第1の導電材料は、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニオブ(Nb)、ジルコニウム(Zr)、タングステン(W)のいずれかの金属、または前記金属の窒化物、あるいは前記金属のシリサイドを含むことを特徴とする相変化メモリ装置。

【請求項6】

請求項1記載の相変化メモリ装置であって、

前記第1の導電材料プラグを構成する前記第1の導電材料は、チタン窒化物(TiN)、タンタル窒化物(TaN)、モリブデン窒化物(MoN)、ニオブ窒化物、チタンシリコン窒化物、チタンアルミニウム窒化物、チタンボロン窒化物、ジルコニウム-シリコン窒化物、タングステン-シリコン窒化物、タングステン-ボロン窒化物、ジルコニウム-アルミニウム窒化物、モリブデン-シリコン窒化物、モリブデン-アルミニウム窒化物、タンタル-シリコン窒化物、タンタル-アルミニウム窒化物、チタン酸窒化物、チタンアルミニウム酸窒化物、タングステン酸窒化物、タンタル酸窒化物、タンタルシリサイド(TaSi)、タングステンシリサイド(WSi)またはモリブデンシリサイド(MoSi)のいずれかを含むことを特徴とする相変化メモリ装置。

20

【請求項7】

請求項1記載の相変化メモリ装置であって、

前記第2の導電材料プラグを構成する前記第2の導電材料は、タングステン(W)、アルミニウム(Al)、モリブデン(Mo)、銅(Cu)のいずれかの金属、または、前記金属のシリサイドを含むことを特徴とする相変化メモリ装置。

30

【請求項8】

請求項1記載の相変化メモリ装置であって、

前記第1の導電材料の比抵抗は、前記第2の導電材料の10倍以上であることを特徴とする相変化メモリ装置。

【請求項9】

請求項1記載の相変化メモリ装置であって、

前記第1の導電材料プラグは、第1層間絶縁膜に設けられた第1コンタクトホールの上側の空間に埋め込まれた窒化チタン(TiN)を含む金属材料により形成されたプラグであり、

40

前記第2の導電材料プラグは、前記第1コンタクトホールの下側の空間に埋め込まれた、タングステン(W)を含む金属材料にて形成されたプラグであることを特徴とする相変化メモリ装置。

【請求項10】

請求項1記載の相変化メモリ装置であって、

メモリセル選択用のスイッチング素子をさらに有し、前記スイッチング素子の一極が、前記異種材料コンタクトプラグを構成する前記第2の導電材料プラグに電氣的に接続されることを特徴とする相変化メモリ装置。

【請求項11】

50

半導体基板内または半導体基板上に設けられ、拡散層を有するメモリセル選択用のスイッチング素子と、

前記スイッチング素子を覆って前記半導体基板上に形成された第1層間絶縁膜と、
前記拡散層の表面を露出させるように前記第1層間絶縁膜に形成された第1コンタクトホールと、

第1の導電材料からなる第1の導電材料プラグと、前記第1の導電材料プラグの下に接触して位置すると共にその底面が前記拡散層に接続して前記第1の導電材料よりも導電率、熱伝導率が共に高い第2の導電材料からなる第2の導電材料プラグとが、前記第1コンタクトホール内に積み重ねられて埋設された異種材料コンタクトプラグと、

前記第1層間絶縁膜上に設けられた第2層間絶縁膜と、
前記第1の導電材料プラグの表面を露出させるように前記第2層間絶縁膜に形成された第2コンタクトホールと、

前記第2コンタクトホールに埋設され、その底面が前記第1の導電材料プラグの上面と接触して接続されると共に前記第2の導電材料プラグに対して平面視で重なりを有するヒータ電極と、

前記ヒータ電極の上面に接続される相変化層と、
を有することを特徴とする相変化メモリ装置。

【請求項12】

請求項1または11に記載の相変化メモリ装置において、
前記ヒータ電極の上面に接続される前記相変化層は、チタン膜からなる密着層を介して前記ヒータ電極と接触していることを特徴とする相変化メモリ装置。

【請求項13】

請求項1に記載される相変化メモリ装置の製造方法であって、
半導体基板上に形成される層間絶縁膜の一部を選択的にパターンニングしてコンタクトホールを形成する第1の工程と、

前記コンタクトホール内に、前記第2の導電材料を埋め込み、さらにエッチバックすることによって、前記第2の導電材料の上面が前記コンタクトホールの上面よりも低くなるようにし、これによって、前記第2の導電材料プラグを形成する第2の工程と、

前記コンタクトホール内の前記第2の導電材料プラグ上に、前記第1の導電材料を埋め込み、これによって、前記第1の導電材料プラグを形成する第3の工程と、
を含むことを特徴とする相変化メモリ装置の製造方法。

【請求項14】

請求項1記載の相変化メモリ装置の製造方法であって、
半導体基板内または半導体基板上にメモリセル選択用のスイッチング素子を形成する第1の工程と、

請求項13に記載される異種材料コンタクトプラグの製造方法を用いて、前記第2の導電材料プラグが前記スイッチング素子の一極に電気的に接触するように、前記異種材料コンタクトプラグを形成する第2の工程と、

ヒータ電極の下面が、前記第1の導電材料プラグの上面に接触するように前記ヒータ電極を形成する第3の工程と、

前記ヒータ電極の上面に、相変化層の下面が接触するように前記相変化層を形成する第4の工程と、

前記相変化層の上面の少なくとも一部に接続される電極層を形成する第5の工程と、
を含むことを特徴とする相変化メモリ装置の製造方法。

【請求項15】

請求項14記載の相変化メモリ装置の製造方法であって、
前記第2の工程において、異種材料コンタクトプラグを形成する際、前記スイッチング素子の他極を接地電位とするための接地電位用プラグも形成することを特徴とする相変化メモリ装置の製造方法。

【請求項16】

10

20

30

40

50

請求項 1 4 記載の相変化メモリ装置の製造方法であって、

前記スイッチング素子は、絶縁ゲート型電界効果トランジスタであり、この絶縁ゲート型電界効果トランジスタのゲート電極を形成する際、そのゲート電極を構成する導電材料層の上面ならびに側面に電氣的絶縁層を形成することを特徴とする相変化メモリ装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、相変化メモリ装置およびその製造方法に関する。

【背景技術】

10

【0002】

相変化メモリ装置は、結晶状態によって電氣的抵抗が変わる相変化層（カルコゲナイド半導体薄膜等）をメモリセルに利用する素子である。カルコゲナイド半導体とは、カルコゲン元素を含む非晶質（アモルファス）半導体である。

【0003】

図 1 2 は、カルコゲン元素について説明するための周期律表の一部を示す図である。

【0004】

図示されるように、カルコゲン元素とは、6 族元素の S（硫黄）、Se（セレン）、Te（テルル）のことである。カルコゲナイド半導体の利用分野は、光ディスクと電氣的メモリに大別される。電氣的メモリの分野で使用されるカルコゲナイド半導体としては、Ge（ゲルマニウム）、Te（テルル）および Sb（アンチモン）の化合物である GeSbTe（以下、GST という）、あるいは、AsSbTe や SeSbTe 等が知られている。

20

【0005】

図 1 3（a）、（b）は各々、相変化メモリの原理を説明するための図である。

【0006】

カルコゲナイド半導体は、図 1 3（a）に示すように、非晶質半導体の状態 1 0 と、結晶状態 3 0 の 2 つの安定した状態をとることができ、非晶質状態 1 0 から結晶状態 3 0 に移行させるためには、エネルギー障壁 2 0 を超える熱を供給する必要がある。

【0007】

30

図 1 3（b）に示すように、非晶質状態は高抵抗を示し、これをデジタル値の "1" に対応させ、結晶状態は低抵抗を示し、これをデジタル値の "0" に対応させることにより、デジタル情報の記憶が可能となる。そして、カルコゲナイド半導体を介して流れる電流量（あるいは電圧降下）の差を検出することによって、記憶情報が "1" であるか、"0" であるかを判定することが可能となる。

【0008】

カルコゲナイド半導体の相変化のために供給される熱としては、ジュール熱が利用される。すなわち、ピーク値ならびに時間幅が異なるパルスカルコゲナイド半導体に供給することによって、電極とカルコゲナイド半導体との接触面近傍においてジュール熱を生じさせ、このジュール熱により相変化を生じさせる。

40

【0009】

具体的には、カルコゲナイド半導体に、その溶融点の付近の熱を短時間供給した後に、急速に冷却すれば、カルコゲナイド半導体は非晶質状態になる。一方、カルコゲナイド半導体に溶融点に比べて低い結晶化温度を長時間にかけて供給した後に冷却すれば、カルコゲナイド半導体は結晶状態になる。例えば、GST に融点（約 610）の付近の熱を短時間（1 ~ 10 ns）に供給した後に、急速に冷却（約 1 ns）すれば、GST は非晶質状態になる。一方、GST に結晶化温度（約 450）の熱を長時間（30 ~ 50 ns）印加した後に冷却すれば、GST は結晶状態になる。

【0010】

図 1 3（b）に示すように、非晶質状態から結晶状態に移行させることを「セット（結

50

晶化過程)」といい、このときカルコゲナイド半導体に与えられるパルスを「セットパルス」という。ここで、結晶化に最低限必要な温度（結晶化温度）を T_c とし、結晶化に最低限必要な時間（結晶化時間）を t_r とする。その逆に、結晶状態から非晶質状態に移行させることを「リセット（非晶質化過程）」といい、このときカルコゲナイド半導体に与えられるパルスを「リセットパルス」という。このとき、カルコゲナイド半導体に与えられる熱は融点 T_m 付近の熱であり、カルコゲナイド半導体は溶融後に急冷される。

【0011】

図14(a)～(d)は、相変化メモリ装置の基本的構造と相変化メモリ装置のセット/リセット動作について説明するための図である。

【0012】

図14(a)に示すように、相変化メモリ装置は基本的に、カルコゲナイド半導体層（相変化層）44を、上下の電極（42, 48）で挟み込んだ構造をしている。なお、参照符号40は基板であり、参照符号44は電氣的絶縁膜である。上側の電極48には、セットパルス等が印加される端子Pが接続され、下側の電極42は、グランド（基準電位）に固定されている。

【0013】

図14(b)に示すように、図14(a)の相変化メモリ装置は抵抗 R_1 と等価であり、上記のとおり、この抵抗 R_1 の抵抗値が、アモルファス状態であるか結晶状態であるかによって異なる。図14(b)の左側に示すように、端子Pには、セットパルス S_1 （ピーク値が閾値 V_{th} を超えるパルス）、リセットパルス S_2 （ S_1 よりもピーク値が大きく、かつ幅の短いパルス）、ならびに、リードパルス（ピーク値が閾値 V_{th} 未満で、 S_1 よりも幅広のパルス）が入力される。ここで、 V_{th} は、結晶化に必要なジュール熱を発生しうる下限電圧である。

【0014】

図14(c)は、セットパルス S_1 と、このセットパルス S_1 の供給によって発生するジュール熱による温度上昇との対応を示しており、上側の図が電圧波形を示し、下側の図が、ジュール熱による温度上昇の様子を示している。

【0015】

セットパルス S_1 の電圧値は所定の閾値 V_{th} を超えており、その時間幅は、 t_{cry} である。 t_{cry} は、結晶化時間 t_r （カルコゲナイド半導体の結晶化に最低限必要な時間）以上である。ジュール熱による温度上昇は、融点 T_m よりかなり低く、かつ、結晶化に最低限必要な温度（結晶化温度） T_c よりも高い。

【0016】

同様に、図14(d)は、リセットパルス S_2 と、このセットパルス S_2 の供給によって発生するジュール熱による温度上昇との対応を示しており、上側の図が電圧波形を示し、下側の図が、ジュール熱による温度上昇の様子を示している。

【0017】

図示されるように、リセットパルス S_2 のピーク値は、結晶化のための閾値 V_{th} をはるかに超え、かつ、その幅は十分に狭い。これにより、ジュール熱による温度上昇は、カルコゲナイド半導体の融点 T_m を超えている。また、温度上昇がピークとなる時点から結晶化温度 T_c に至るまでの時間 t_{am} は十分に短い。これにより、カルコゲナイド半導体は一旦、溶融した後、急冷されることになり、この結果として、カルコゲナイド半導体はアモルファス状態に復帰する。

【0018】

以上の説明では、端子Pからセットパルス S_1 /リセットパルス S_2 を供給する回路方式を採用しているが、回路方式としては、図15に示すような回路方式でもよい。

【0019】

図15は、相変化メモリ装置の回路方式の一例を示す回路図である。

【0020】

図15において、抵抗 R_1 は、相変化メモリ装置と等価な抵抗であり、端子Pは、V D

10

20

30

40

50

D (電源電位) に接続されている。M1 ~ M3 は、サイズが調整された MOS トランジスタであり、P1, P2, P3 はそれぞれ、セットパルス用端子、リセットパルス用端子およびリードパルス用端子である。

【0021】

P1 ~ P3 の各々によって、MOS トランジスタ M1 ~ M3 のどれをオンさせるかを選択すると共に、MOS トランジスタ M1 ~ M3 の導通時間を制御する。これによって、セット、リセットならびにリードの各動作を実現することができる。

【0022】

図16は、相変化メモリ装置 (相変化メモリ IC) における、リード動作を説明するための回路図である。図16では、前掲の図と共通する部分には同じ参照符号を付してある。

10

【0023】

図16において、Wはワード線を示し、Gはグラウンド線を示し、Bはビット線 (セットパルス S1, リセットパルス S2, リードパルス S3 を入力するための端子 P に接続されるパルス入力線である) を示し、R1 は相変化メモリ装置 (カルコゲナイド半導体層 60 からなる) の等価抵抗を示す。

【0024】

また、M4 はメモリセル選択のための NMOS トランジスタ (スイッチング素子) を示し、R2 は電流 / 電圧変換抵抗を示し、A1 はセンスアンプを示し、参照符号 62 は、センスアンプ A1 の基準電圧源を示す。また、I1 は、リード動作時にメモリセルを流れる電流を示し、Vout はセンスアンプ A1 の出力電圧 (センシング出力) を示す。

20

【0025】

セット動作時 (リセット動作時やリード動作時も同じ) には、ワード線 W をアクティブレベルとして NMOS トランジスタ M4 をオンさせ、その後、端子 P から、必要なパルス (S1 ~ S3 のいずれか) を入力する。リード動作時には、リードパルス S3 が入力される。

【0026】

メモリセルを構成するカルコゲナイド半導体層 60 がアモルファス状態であるか、結晶状態であるかによって抵抗 R1 の抵抗値が異なり、これに対応して、電流 I1 の電流量が異なる。したがって、その電流量を電圧値に変換して読み取ることによって、記憶されている情報が "1" であるか "0" であるかを判定することができる。

30

【0027】

図17は、相変化メモリ装置 (相変化メモリ IC) における、メモリセル部の具体的な構造の一例を示す断面図である。

【0028】

図17において、p型の半導体基板 70 には、n型層 71, 72 (ソース層 71, ドレイン層 72) が形成されており、ゲート絶縁膜 73 上にゲート電極 74 (ワード線 WL に接続される) が設けられている。

【0029】

参照符号 75, 79 は層間絶縁膜である。n型層 71 には電極 (層間絶縁膜 75 を貫通するコンタクトプラグ 76 ならびに1層目の導体層からなる電極 78) が接続されており、この電極はグラウンド線 G に接続されている。

40

【0030】

また、n型層 72 には、層間絶縁膜 75 を貫通するコンタクトプラグ 77 (例えば、タングステン (W) からなる) が接続され、このコンタクトプラグ 77 には、層間絶縁膜 79 を貫通するコンタクトプラグ 80 (ヒータ電極: TiN からなる) が接続されている。

【0031】

参照符号 82 はカルコゲナイド半導体からなる相変化層である。参照符号 81 は、極薄い金属膜からなる密着層である。カルコゲナイド半導体層 82 と層間絶縁膜 79 との密着性は良好とは言えないため、両者の密着強度を向上させるため、密着層 81 が設けられて

50

いる。

【 0 0 3 2 】

参照符号 8 3 は、相変化層 8 2 の上面を覆うように設けられている、2 層目の導体層からなる上部電極である。参照符号 8 4 は層間絶縁膜である。上部電極 8 3 には、層間絶縁膜 8 4 を貫通するコンタクト電極 8 5 が設けられており、このコンタクト電極 8 5 には、3 層目の導体層からなる電極 8 6 (この電極 8 6 がパルス供給用端子 P となる) が接続されている。

【 0 0 3 3 】

図 1 7 中、相変化層 8 2 内の太い点線 X で囲まれて示される領域が、相変化が生じる領域である。層間絶縁膜 7 9 に埋め込まれている電極 8 0 (例えば、チタン窒化物 (TiN) からなる) は、相変化層 8 2 を流れる電流を絞り込んで電流密度を増大させ、結果的に、相変化領域 X においてジュール熱を効率的に発生させるのに寄与する働きをするため、ヒータ電極 (加熱電極) と呼ばれる (以下、ヒータ電極という)。

10

【 0 0 3 4 】

相変化層 8 2 を流れる電流の電流密度は、ヒータ電極 8 0 と相変化層 8 2 との接触面積が減少すればするほど増加し、これに伴い、発生するジュール熱は増大する。よって、ヒータ電極 8 0 と相変化層 8 2 との接触面積は十分に狭く (例えば、フォトリソグラフィの最小の設計寸法で決まる面積) に設定される。

【 0 0 3 5 】

図 1 4 (a) に記載したような、相変化層を上下の電極で挟み込んだ構造の相変化メモリ装置は、例えば、特許文献 1 に記載されている。また、この特許文献 1 には、電極を介して熱が逃げ、相変化メモリ装置の相変化過程における熱効率が低下するのを抑制するために、下側の電極 (ヒータ電極) を先端が尖った形状として、その電極と相変化層との間の接触面積を最小化する技術が示されている。

20

【特許文献 1】特開 2 0 0 3 - 3 3 2 5 2 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 3 6 】

本発明の発明者は、図 1 7 に示すような構造の相変化メモリ装置について種々、検討したが、その結果、以下のような不都合が生じ得ることがわかった。

30

【 0 0 3 7 】

すなわち、図 1 7 の相変化メモリ装置では、相変化層 8 2 の相変化領域 X において発生した熱が、ヒータ電極 8 0 を介して下方に伝達され、コンタクトプラグ 7 7 に達し、そして、このコンタクトプラグ 7 7 から放熱される、という放熱ルートが存在する。この放熱ルートは、相変化メモリ装置の構造上、必然的に生じるものである。

【 0 0 3 8 】

但し、ここで注目すべき点は、コンタクトプラグ 7 7 とヒータ電極 8 0 の材料が相違し、この材料の相違に起因して、コンタクトプラグ 7 7 の放熱性が必然的に高くなる、という点である。

【 0 0 3 9 】

つまり、コンタクトプラグ 7 7 は、電気抵抗を減少させるという観点から低抵抗の材料 (例えば、タングステン (W)) で構成され、一方、ヒータ電極 8 0 は、ジュール熱を効率的に発生させるという観点から、高抵抗の材料 (例えば、チタン窒化物 (TiN)) によって構成されている。そして、金属材料の場合、導電率 (抵抗率の逆数) が大きい材料は、同様に熱伝導率も大きいという特性があるため、低抵抗 (つまり、導電率が大) のコンタクトプラグ 7 7 は、高抵抗 (つまり、導電率が小さい) のヒータ電極 8 0 に比べて、熱伝導率も高くなり、ゆえに、コンタクトプラグ 7 7 が、放熱性が良好なヒートシンク (放熱フィン) として機能してしまうことになる。

40

【 0 0 4 0 】

上記のとおり、カルコゲナイド半導体層の相変化は、電流を流すことによるジュール熱

50

を利用して実現されるため、ジュール熱が、ヒータ電極、ならびに、その下に位置するコンタクトプラグや配線を介して放熱されてしまうことは、熱効率の低下につながり、好ましくない。

【0041】

そのような熱効率の低下は、単体の相変化メモリ装置や集積度の低い相変化メモリICを試作する段階では、さほど問題とならないが、微細化プロセスを利用して、高集積度の相変化メモリ装置を、実際に量産しようとする段階では、大きな問題となり得る。

【0042】

すなわち、相変化メモリ装置の大容量化のためには、メモリセルのサイズを小さくする必要があり、そのため、リセット電流（相変化層を結晶状態からアモルファス状態にするための電流）の低減が重要な課題となっている。したがって、相変化層の底面に接触しているコンタクト電極層が、放熱性に優れたヒートシンク（放熱フィン）として機能してしまう構造は、熱効率を低下させ、リセット電流の電流量の低減を阻む要因となる。

10

【0043】

かといって、コンタクトプラグからの放熱の抑制（発熱効率の増大）を重視し、コンタクトプラグを高抵抗の材料で形成すると、今度は、半導体基板とのコンタクト抵抗が増大して電流が減少してしまう。この場合、メモリセル選択用のトランジスタのサイズ（W/L）を大きくする必要があり、素子の微細化（相変化メモリ装置の大容量化）の妨げとなる。

【0044】

このように、ヒータ電極の直下においては放熱を抑制し、半導体基板との接触抵抗は小さくするという、メリハリのあるデバイス設計をしづらいという問題がある。

20

【0045】

この対策としては、NMOSトランジスタのドレイン層に接触するタングステン（W）からなるコンタクトプラグ77を、直接にヒータ電極80に接触させるのではなく、ヒータ電極80と同じ材料（TiN）からなる新たなコンタクトプラグを介して接触させる構造を採用することが考えられる。

【0046】

つまり、半導体基板とヒータ電極とを電気的に接続するために、半導体基板との接触抵抗を低減した低抵抗のコンタクトプラグ（例えば、Wからなる）を形成し、この低抵抗のコンタクトプラグ上に、ヒータ電極と同じ材料（例えば、TiN）からなるコンタクトプラグを形成し、この高抵抗のコンタクトプラグ上にヒータ電極（例えば、TiNからなる）を形成するものである。

30

【0047】

しかし、この場合、半導体基板とヒータ電極との間に、異なる層に属する2段のコンタクトプラグが存在することになり、デバイスの階層が増え、製造工数が増大する。また、2段のコンタクトプラグの間に位置ずれが発生する可能性もある。したがって、大規模な相変化メモリ装置の量産化の妨げとなる。

【0048】

なお、特許文献1記載の技術では、相変化層とヒータ電極との接触界面における放熱を問題としており、本発明が解決しようとする、「ヒータ電極を介して伝達された熱が下地の電極を介して放熱される」という課題については、何らの言及、示唆もなく、したがって、特許文献1の技術は、上記課題に対する解決策を提示しない。また、特許文献1記載の技術は、ヒータ電極の先端部の形状を鋭角形状に加工する必要があり、この点、相変化メモリ装置の製造方法が複雑化するの否めない。

40

【0049】

本発明はこのような考察に基づいてなされたものであり、その目的は、相変化メモリ装置における良好な電気特性と良好な熱特性を両立させ、大規模な相変化メモリ装置の量産を可能とすることにある。

【課題を解決するための手段】

50

【 0 0 5 0 】

本発明の相変化メモリ装置は、相変化層と、この相変化層に一端が接触するヒータ電極と、このヒータ電極の他端に接触する第1の導電材料からなる第1の導電材料プラグと、前記第1の導電材料よりも導電率、熱伝導率が共に高い第2の導電材料からなる第2の導電材料プラグとが、両プラグが一つのコンタクトホール内で積み重ねられ、かつ、前記ヒータ電極と前記第2の導電材料プラグとが重なりを有する態様にて接触して構成される異種材料コンタクトプラグと、この異種材料コンタクトプラグの前記第2の導電材料プラグに電氣的に接続される導電体層と、を有する。

【 0 0 5 1 】

「異種材料コンタクトプラグ」を用いて、放熱の抑制と、良好な導電性の確保と、を両立させるものである。ここで、「コンタクトプラグ」とは、「一つの電子回路要素と他の電子回路要素とを電氣的に接続するために使用される電極」のことであり、一般的には、絶縁膜に埋め込まれて形成される。また、「異種材料コンタクトプラグ」とは、「少なくとも2種類の導電材料層（導電材料プラグ）を面により接触させて構成される複合型のコンタクトプラグ」である。従来のコンタクトプラグとして、薄いバリアメタル（例えば、下地のシリコン基板との良好な電氣的接続を確保するために補助的に設けられるチタン層など）を堆積した後、比抵抗の小さな金属（例えば、タングステン）を絶縁膜中に埋め込んだ構造をもつものがあるが、この従来構造のプラグは、本発明でいう「異種材料コンタクトプラグ」には該当しない。その理由は、従来のコンタクトプラグにおいて、電子回路要素同士を接続するための電極として積極的に機能する部分（つまり、電流経路を提供する部分）は、あくまで比抵抗の小さな金属（タングステン等）からなる部分のみであり、バリアメタルは、半導体装置の良好な製造を可能とするために設けられているにすぎないからである。本発明でいう「異種材料コンタクトプラグ」は、電子回路要素同士を接続するための電極として積極的に機能する部分（つまり、コンタクトプラグとして機能する部分）が少なくとも2つ存在し、その2つのコンタクトプラグが異なる導電材料で構成され、かつ、各コンタクトプラグが一体化されて複合型のコンタクトプラグを構成しているものである。但し、本発明でいう「異種材料コンタクトプラグ」に含まれる導電材料が、上記のバリアメタルとしての機能を兼ね備える場合もあり得る。そして、「本発明の異種材料コンタクトプラグ」は、ヒータ電極と、導電体層（半導体基板に設けられる拡散層、拡散層上に設けられる金属やポリシリコン層等、その他、電子回路の一部を構成する導電体層を広く含む）とを電氣的に接続するために使用される。そして、ヒータ電極と接触する部分には、比抵抗が大きい（熱伝導率が小さく、導電率も小さい）第1の材料からなる第1の導電材料プラグを使用しているため、ヒータ電極を伝わってくる熱の放熱を抑制することができる。一方、第2の導電材料プラグは、比抵抗が小さい（導電率および熱伝導率が共に大きい）第2の導電材料により構成し、この第2の導電材料プラグによって、異種材料コンタクトプラグ全体の電気抵抗を十分に低減する。導電体層は、第2の導電材料プラグに電氣的に接続される。各プラグは一つのコンタクトホール内に積層形成され、第1の導電材料プラグの底面と第2の導電材料プラグの上面が接触し、各プラグの側面同士は接触しない。また、ヒータ電極と第2の導電材料プラグとが重なりを有している。つまり、ヒータ電極の直下に第2の導電材料プラグが存在する。上記のとおり、第1の導電材料プラグは、高抵抗であり、放熱が抑制されるため、相変化メモリ装置における書き込み時（特にリセット時）の熱効率が改善される。また、第1の導電材料プラグの下には、低抵抗の第2の導電材料プラグが存在するため、コンタクトプラグ全体の抵抗は低く抑えることができる。したがって、メモリセル選択素子としてのトランジスタのサイズ（W/L）を大きくしなくても、必要な電流を確保することができ、相変化メモリ装置（相変化メモリIC）の微細化、大容量化が可能となる。また、本発明の異種材料コンタクトプラグでは、一つのコンタクトホール内に2種類のプラグ（第1および第2の導電材料プラグ）が積層形成されているのであり、異なる層に属する第1および第2のプラグ同士を接続しているのではないため、本発明によって層の数が増えて製造工程が複雑化することがない。また、両プラグ同士が積み重ねられているため、占有面積が増大せず、したがって、相変

10

20

30

40

50

化メモリの集積度の向上に貢献するという利点がある。また、ヒータ電極の下側における放熱の問題が解消されるため、その他の部分では、電極や配線材料として、比抵抗の小さい材料をより自由に選択することができるようになり、材料選択の自由度が増加するという利点もある。また、両コンタクトプラグが積層形成されているため、異種材料コンタクトプラグを使用したとしても占有面積が増大しないという利点もある。

【 0 0 5 2 】

また、本発明の相変化メモリの一態様では、前記第 2 の導電材料プラグの体積は、前記第 1 の導電材料プラグの体積よりも大きい。

【 0 0 5 3 】

第 1 の導電材料プラグは、ヒータから伝達されてくる熱の放熱の抑制を優先させて設けられているが、この部分において、電気抵抗が若干、上昇するのは否めない。ただし、第 1 の導電材料プラグの体積に比べて、良導電性の材料からなる第 2 の導電材料プラグの体積が大きければ、異種材料コンタクトプラグにおける電気抵抗は、第 2 の導電材料プラグによって支配的に決定される。したがって、異種材料コンタクトプラグ全体としての抵抗値は、十分低く抑えることが可能となり、回路動作上の問題は、何ら生じない。

【 0 0 5 4 】

また、本発明の相変化メモリ装置の他の態様では、前記異種材料コンタクトプラグにおける前記第 1 の導電材料プラグは、前記ヒータ電極を構成する主成分の金属材料を含み、また、前記第 2 の導電材料プラグは、前記相変化メモリ装置における接地電位用の電極または配線を構成する主成分の金属材料を含む。

【 0 0 5 5 】

第 1 の導電材料プラグは、このプラグに接触されるヒータ電極の主成分の金属材料を含んでいる点（つまり、第 1 の導電材料プラグはヒータ電極と同種の金属材料からなる点）を明らかとし、同様に、第 2 の導電材料プラグは、低抵抗が要求される接地電極や接地配線の主成分の金属材料を含んでいる点（つまり、第 2 の導電材料プラグは、接地電極や接地配線と同種の金属材料からなる点）を明らかとしたものである。

【 0 0 5 6 】

また、本発明の相変化メモリ装置の他の態様では、前記第 1 の導電材料プラグを構成する前記第 1 の導電材料は、前記ヒータ電極を構成する金属材料と同じ金属材料からなり、また、前記第 2 の導電材料プラグは、前記相変化メモリ装置における接地電位用の電極または配線を構成する主成分の金属材料と同じ金属材料からなる。

【 0 0 5 7 】

第 1 の導電材料プラグは、このプラグに接触されるヒータ電極と同じ金属材料からなる点（つまり、第 1 の導電材料プラグはヒータ電極と同じ金属材料からなる点）を明らかとし、同様に、第 2 の導電材料プラグは、低抵抗が要求される接地電極や接地配線と同じ金属材料からなる点（つまり、第 2 の導電材料プラグは、接地電極や接地配線と同じ金属材料からなる点）を明らかとしたものである。

【 0 0 5 8 】

また、本発明の相変化メモリ装置の他の態様では、前記第 1 の導電材料プラグを構成する前記第 1 の導電材料は、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニオブ（Nb）、ジルコニウム（Zr）、タングステン（W）のいずれかの金属、または前記金属の窒化物、あるいは前記金属のシリサイドを含む。

【 0 0 5 9 】

第 1 の導電材料プラグの材料として使用可能な、主成分となり得る金属材料を列記したものである。これらの金属材料は、ヒータ電極としても使用可能な材料である。いずれの金属材料も、シリコン系LSIで使用されているアルミニウム（Al）や銅（Cu）と比べて、導電率、熱伝導率が共に小さい。但し、これらの金属材料の中には、第 2 の導電材料プラグの材料としても使用できるものも含まれている。

【 0 0 6 0 】

また、本発明の相変化メモリ装置の他の態様では、前記第 1 の導電材料プラグを構成す

10

20

30

40

50

る前記第1の導電材料は、チタン窒化物(TiN)、タンタル窒化物(TaN)、モリブデン窒化物(MoN)、ニオブ窒化物、チタンシリコン窒化物、チタンアルミニウム窒化物、チタンボロン窒化物、ジルコニウム-シリコン窒化物、タングステン-シリコン窒化物、タングステン-ボロン窒化物、ジルコニウム-アルミニウム窒化物、モリブデン-シリコン窒化物、モリブデン-アルミニウム窒化物、タンタル-シリコン窒化物、タンタル-アルミニウム窒化物、チタン酸窒化物、チタンアルミニウム酸窒化物、タングステン酸窒化物、タンタル酸窒化物、タンタルシリサイド(TaSi)、タングステンシリサイド(WSi)またはモリブデンシリサイド(MoSi)のいずれかをを含む。

【0061】

第1の導電材料プラグとして使用可能な金属材料を、具体的に例示列記したものである。これらは、ヒータ電極の材料となり得る金属材料である。

10

【0062】

本発明の相変化メモリ装置の他の態様では、前記第2の導電材料プラグを構成する前記第2の導電材料は、タングステン(W)、アルミニウム(Al)、モリブデン(Mo)、銅(Cu)のいずれかの金属、または、前記金属のシリサイドを含む。

【0063】

第2の導電材料プラグの材料となり得る金属材料を、例示列挙したものである。上記のとおり、これらの金属材料は、基本的に接地電極や接地配線の材料として使用可能である。ただし、これらの金属材料の中には、第1の導電材料プラグの材料としても使用可能なものが含まれている。

20

【0064】

また、本発明の相変化メモリ装置の他の態様では、前記第1の導電材料の比抵抗は、前記第2の導電材料の比抵抗の10倍以上である。

【0065】

第1/第2の導電材料プラグの構成材料(第1/第2の導電材料)間の比抵抗のオーダーの相違を例示したものである。第1/第2の導電材料間では、導電率、熱伝導率共に、概ね10倍程度の差があるのが好ましい(ただし、これに限定されるものではない)。そして、材料を適切に選択すれば、導電率、熱伝導率共に、その程度の差を実現するのは、それほどむずかしいことではない。

【0066】

また、本発明の相変化メモリ装置の他の態様では、前記第1の導電材料プラグは、層間絶縁膜に設けられたコンタクトホールの上側の空間に埋め込まれた窒化チタン(TiN)を含む金属材料により形成されたプラグであり、前記第2の導電材料プラグは、前記コンタクトホールの下側の空間に埋め込まれた、タングステン(W)を含む金属材料にて形成されたプラグである。

30

【0067】

窒化チタン(TiN)を含む第1の導電材料プラグと、タングステン(W)を含む第2の導電材料プラグとを、共通のコンタクトホール内で上下関係をもたせて埋め込むことによって、異種材料コンタクトプラグを形成したものである。窒化チタン(TiN)とタングステン(W)の組み合わせは相性が良く、良導電性の確保と放熱の抑制の双方に関して、安定した特性を得ることができる。

40

【0068】

また、本発明の相変化メモリ装置の他の態様では、メモリセル選択用のスイッチング素子をさらに有し、前記スイッチング素子の一極が、前記異種材料コンタクトプラグを構成する前記第2の導電材料プラグに電氣的に接続される。

【0069】

メモリセル選択用のスイッチング素子(絶縁ゲート型電界効果トランジスタ、バイポーラトランジスタ、PN接合ダイオード、ショットキーバリアダイオード等)の一極が、異種材料コンタクトプラグを介してヒータ電極に電氣的に接続され、これによって、メモリセルが構成されている点を明らかとしたものである。

50

【 0 0 7 0 】

また、本発明の相変化メモリ装置は、半導体基板内または半導体基板上に設けられるメモリセル選択用のスイッチング素子と、第1の導電材料プラグと、この第1の導電材料よりも導電率、熱伝導率が共に高い第2の導電材料プラグとが、積み重ねられて構成される異種材料コンタクトプラグと、前記第1の導電材料プラグに接続され、かつ、前記第2の導電材料プラグと重なりを持つヒータ電極と、このヒータ電極に接続される相変化層と、この相変化層に接続される電極層と、を有する。

【 0 0 7 1 】

本発明の相変化メモリ装置の全体の基本的な構成を明らかとしたものである。すなわち、半導体製造プロセス技術により、スイッチング素子、異種材料コンタクトプラグ、ヒータ電極、相変化層、電極端子を順次、形成して構成される相変化メモリ装置（相変化メモリIC）である。

10

【 0 0 7 2 】

また、本発明の異種材料コンタクトプラグの製造方法は、半導体基板上に形成される層間絶縁膜の一部を選択的にパターニングしてコンタクトホールを形成する第1の工程と、前記コンタクトホール内に、前記第2の導電材料を埋め込み、さらにエッチバックすることによって、前記第2の導電材料の上面が前記コンタクトホールの上面よりも低くなるようにし、これによって、前記第2の導電材料プラグを形成する第2の工程と、前記コンタクトホール内の前記第2の導電材料プラグ上に、前記第1の導電材料を埋め込み、これによって、前記第1の導電材料プラグを形成する第3の工程と、を含む。

20

【 0 0 7 3 】

金属材料の埋め込み技術ならびにエッチング技術を用いて、コンタクトホール内の下側の空間に第2の導電材料を埋め込んだ後、そのコンタクトホール内の上側の空間に第1の導電材料を埋め込んで、異種材料コンタクトプラグを形成するものである。

【 0 0 7 4 】

また、本発明の相変化メモリ装置の製造方法は、半導体基板内または半導体基板上にメモリセル選択用のスイッチング素子を形成する第1の工程と、本発明の異種材料コンタクトプラグの製造方法を用いて、前記第2の導電材料プラグが前記スイッチング素子の一極に電気的に接触するように、前記異種材料コンタクトプラグを形成する第2の工程と、ヒータ電極の下面が、前記第1の導電材料プラグの上面に接触するように前記ヒータ電極を形成する第3の工程と、前記ヒータ電極の上面に、相変化層の下面が接触するように前記相変化層を形成する第4の工程と、前記相変化層の上面の少なくとも一部に接続される電極層を形成する第5の工程と、を含む。

30

【 0 0 7 5 】

スイッチング素子、異種材料コンタクトプラグ、ヒータ電極、相変化層、電極層を順次、形成して、相変化メモリ装置（相変化メモリIC）を製造するものである。異種材料コンタクトプラグは、上述した本発明の異種材料コンタクトプラグの製造方法により製造される。この製造方法によって、汎用的な製造技術を使用して（特別な製造工程を設けることなく）、放熱の抑制と電気抵抗の低減という、相反する要求を共に満足させて、大規模な相変化メモリ装置を実現することができる。

40

【 0 0 7 6 】

また、本発明の相変化メモリ装置の製造方法の一態様では、前記第2の工程において、異種材料コンタクトプラグを形成する際、前記スイッチング素子の他極を接地電位とするための接地電位用プラグも形成する。

【 0 0 7 7 】

製造工程の共用化を図り、異種材料コンタクトプラグと接地電位用プラグを同時に形成するものである。これにより、製造工程数を減らすことができる。

【 0 0 7 8 】

また、本発明の相変化メモリ装置の製造方法の他の態様では、前記スイッチング素子は、絶縁ゲート型電界効果トランジスタであり、この絶縁ゲート型電界効果トランジスタの

50

ゲート電極を形成する際、そのゲート電極を構成する導電材料層の上面ならびに側面に電氣的絶縁層を形成する。

【0079】

本発明の相変化メモリ装置では、異種材料コンタクトプラグが、メモリセル選択用絶縁ゲート型電界効果トランジスタ(MOSTランジスタ)の近傍に形成されることから、相変化メモリ装置の集積度が高まると、異種材料コンタクトプラグとMOSTランジスタのゲート電極とがショートするような場合も想定されるため、ゲート電極を構成する導電材料層(ドーフトポリシリコン層等)の上面ならびに側面を絶縁膜で覆って、問題が生じないようにするものである。ゲート電極を構成する導電材料層の側面は、例えばCVD法によって絶縁膜のサイドウォールを形成することにより被覆することができ、その導電材料層の上面は、例えば、ゲート電極形成時に窒化膜を積層形成してパターンニングすることによって被覆することができる。

10

【発明の効果】

【0080】

本発明では、異種材料コンタクトプラグを使用して、ヒータに接触する第1の導電材料プラグは熱伝導率が小さい材料(比抵抗が大きい材料)により構成し、一方、スイッチング素子や電極、配線(すなわち導電層)に接続される第2の導電材料プラグは低抵抗の材料により構成し、これによって、ヒータ電極の近傍における放熱の抑制(すなわち、相変化メモリ装置における書き込み時(特にリセット時)の熱効率の改善)と、電気回路の抵抗値の低減とを両立させることができる。

20

【0081】

すなわち、ヒータ電極の直下には、高抵抗の第1の導電材料プラグが存在することから、放熱を抑えることができる。一方、第1の導電材料プラグの下には、低抵抗の第2の導電材料プラグが存在するため、コンタクトプラグ全体の等価抵抗(コンタクト抵抗)は上昇しない。したがって、メモリセル選択素子としてのトランジスタのサイズ(W/L)を大きくしなくても、必要な電流を確保することができ、相変化メモリ装置(相変化メモリIC)の微細化、大容量化が可能となる。

【0082】

また、本発明の異種材料コンタクトプラグでは、一つのコンタクトホール内に2種類のプラグ(第1および第2の導電材料プラグ)が積層形成されているのであり、異なる層に属する第1および第2のプラグ同士を接続しているのではない。したがって、本発明によって層の数が増えて、製造工程が複雑化することがない。

30

【0083】

また、両プラグ同士が積み重ねられているため、異種材料コンタクトプラグを使用したとしても占有面積が増大せず、したがって、相変化メモリの集積度の向上に貢献するという利点がある。

【0084】

また、ヒータ電極を介して伝達される熱の放熱対策がなされているため、その他の電極や配線の材料として、導電率が低い金属材料(タングステン(W)の他、シリコン系のLSIで使用されているアルミニウム(Al)、銅(Cu)など)を安心して使用することができるようになり、材料選択の自由度が増大し、大規模な相変化メモリの製造が可能となる。

40

【0085】

また、第1の導電材料プラグの体積に比べて、良導電性の材料からなる第2の導電材料プラグの体積が大きければ、異種材料コンタクトプラグにおける電気抵抗は、第2の導電材料プラグによって支配的に決定され、異種材料コンタクトプラグ全体としての抵抗値は、十分低く抑えることが可能となり、配線長が長くなっても、回路動作上の問題は生じない。

【0086】

また、第1の導電材料プラグの材料としては、ヒータ電極と同種あるいは同じ金属材料

50

を使用すればよく、第2の導電材料プラグの材料としては、接地電位用配線や電極と同種あるいは同じ金属材料を使用すればよく、したがって、本発明は、製造プロセスに負担をかけずに実現することができる。

【0087】

また、第1/第2の導電材料プラグの構成材料(第1/第2の導電材料)における、導電率と熱伝導率は、共に、概ね10倍程度の差があるのが好ましい。この程度の差であれば、例えば、第1の導電材料としてTiN(窒化チタン)を使用し、第2の導電材料としてW(タングステン)を使用することによって、概ね実現することが可能である。

【0088】

また、本発明によれば、金属材料の埋め込み技術ならびにエッチング技術を用いて、コンタクトホール内の下側の空間に第2の導電材料を埋め込んだ後、そのコンタクトホール内の上側の空間に第1の導電材料を埋め込んで、異種材料コンタクトプラグを形成することができる。

10

【0089】

また、本発明によれば、汎用的な製造技術を使用して(特別な製造工程を設けることなく)、放熱の抑制と電気抵抗の低減という、相反する要求を共に満足させて、大規模な相変化メモリ装置(メモリセル選択用のスイッチング素子、異種材料コンタクトプラグ、ヒータ電極、相変化層、電極端子を有する相変化メモリIC)を製造することが可能となる。

【0090】

また、製造工程の共用化して、異種材料コンタクトプラグと接地電位用プラグを同時に形成することにより、製造工程数を減らすことができる。

20

【0091】

また、ゲート電極を構成する導電材料層(ドーフトポリシリコン層等)の上面ならびに側面を電氣的絶縁膜で被覆することによって、ゲート電極と異種材料コンタクトプラグとのショートを防止できる。

【0092】

本発明によれば、特別な技術を用いることなく、汎用的な半導体製造技術のみを用いて、相変化メモリ装置における良好な電気特性と良好な熱特性を両立させ、電極や配線の材料選択の自由度も高めて、大規模な相変化メモリ装置の量産を可能とすることができる。

30

【発明を実施するための最良の形態】

【0093】

次に、本発明の実施形態について、図面を参照して説明する。

(第1の実施形態)

【0094】

以下の説明において、「コンタクトプラグ」とは、「一つの電子回路要素と他の電子回路要素とを電氣的に接続するために使用される電極」のことであり、一般的には、絶縁膜に埋め込まれて形成される。

【0095】

また、「異種材料コンタクトプラグ」とは、「少なくとも2種類の導電材料層(導電材料プラグ)を面により接触させて構成される複合型のコンタクトプラグ」である。従来のコンタクトプラグとして、薄いバリアメタル(例えば、下地のシリコン基板との良好な電氣的接続を確保するために補助的に設けられるチタン層など)を堆積した後、比抵抗の小さな金属(例えば、タングステン)を絶縁膜中に埋め込んだ構造をもつものがあるが、この従来構造のプラグは、本発明でいう「異種材料コンタクトプラグ」には該当しない。その理由は、従来のコンタクトプラグにおいて、電子回路要素同士を接続するための電極として積極的に機能する部分(つまり、電流経路を提供する部分)は、あくまで比抵抗の小さな金属(タングステン等)からなる部分のみであり、バリアメタルは、半導体装置の良好な製造を可能とするために設けられているにすぎないからである。

40

【0096】

50

本発明でいう「異種材料コンタクトプラグ」は、電子回路要素同士を接続するための電極として積極的に機能する部分（つまり、コンタクトプラグとして機能する部分）が少なくとも2つ存在し、その2つのコンタクトプラグが異なる導電材料で構成され、かつ、各コンタクトプラグが一体化されて複合型のコンタクトプラグを構成しているものである。但し、本発明でいう「異種材料コンタクトプラグ」に含まれる導電材料が、上記のバリアメタルとしての機能を兼ね備える場合もあり得る。

【0097】

また、本発明でいう「異種材料コンタクトプラグ」は、ヒータ電極と、導電体層（すなわち、シリコン基板に形成された拡散層、金属電極や配線、あるいは他のコンタクトプラグ等）とを電気的に接続するために使用される。

10

【0098】

以下、具体的に説明する。

【0099】

図1は、本発明の相変化メモリ装置の特徴的な構造の一例を説明するための図であり、(a)は、本発明の相変化メモリ装置の要部構成の一例を示す図であり、(b)は、比較例としての、ヒータ電極とコンタクトプラグとの接続構造の従来例を示す図である。

【0100】

図1(a)において、NMOSトランジスタ(Nチャネル絶縁ゲート型電界効果トランジスタ)Mは、メモリセルを選択するためのスイッチング素子であり、そのゲートは、ワード線WL1に接続されている。

20

【0101】

そして、NMOSトランジスタ(M)のソースは、接地電位用金属プラグ100(材料からなる)ならびに接地電位用配線(グランド配線:同様に材料からなる)102を介して接地電位(GND:基準電位)に接続されている。

【0102】

また、NMOSトランジスタ(M)のドレインは、異種材料コンタクトプラグ104の第2の導電材料プラグ108に電気的に接続されている。

【0103】

異種材料コンタクトプラグ104は、図示されるように、第1の導電材料プラグ(第1の導電材料からなる)106と、第2の導電材料プラグ(第2の導電材料からなる)108とで構成され、両プラグ(106,108)は積み重ねられている。つまり、各プラグは積層形成され、第1の導電材料プラグ106の底面と第2の導電材料プラグ108の上面が接触し、各プラグの側面同士は接触しない。また、ヒータ電極110と第2の導電材料プラグ108とが重なりを有している。つまり、ヒータ電極110の直下に第2の導電材料プラグ108が存在する。

30

【0104】

また、第1の導電材料プラグ106の比抵抗をR11とし、第2の導電材料プラグ108の比抵抗をR10とした場合、 $R11 < R10$ の関係にある。

【0105】

ここで、比抵抗()は、電気抵抗率、体積抵抗率とも呼ばれ、その逆数(1/)が導電率(電気伝導率、比電気伝導度とも呼ばれる)である。本発明では、「比抵抗」と「導電率」という用語を採用する。金属材料において、電流が流れ易い材料は、熱も伝達し易いという性質があるため、「比抵抗が大きな材料」は、すなわち、「導電率ならびに熱伝導率が共に大きな材料」ということができる。したがって、図1の導電材料 と を比較すると、導電率、熱伝導率に関しては、 $<$ の関係にある。

40

【0106】

第1の導電材料プラグ106(第1の導電材料からなる)の上面には、ヒータ電極(下部電極:第1の導電材料からなる)110の底面が接触している。つまり、ヒータ電極110と第1の導電材料プラグ106とは、同じ材料(この は、具体的にはヒータ電極として使用可能な材料ということが出来る)で構成されている。したがって、ヒータ

50

電極 110 を下方に伝わってくる熱が逃げにくい構造となっている。

【0107】

この点に関し、図1(b)の従来構造の場合、ヒータ電極110は、第2の導電材料プラグ108(良導電性で、かつ熱伝導率も高い第2の導電材料からなる)と接触していることになり、したがって、ヒータ電極110を下方に伝わってくる熱が逃げ易い構造となっている。

【0108】

一方、第2の導電材料プラグ108は、接地電位用プラグ100や接地配線102と同じ、あるいは同種の低抵抗の材料にて形成されており、これによって、異種材料コンタクトプラグ104全体としての抵抗値は、小さく保つことができる。

【0109】

また、図1(a)において、ヒータ電極110の上面は、相変化層(ここではGSTとする)114の底面に接触している。ヒータ電極110と相変化層114との接触面112の近傍が、相変化が生じる相変化領域となる。

【0110】

相変化層114の上面には、上部電極(電極層)116が形成されている。この上部電極116は、コンタクトプラグ(コンタクトプラグ)118を介して電極端子119に接続されている。

【0111】

このような構造をもつ本実施形態の相変化メモリ装置によれば、書き込み時(特にリセット時)の熱効率の改善と、低抵抗な回路の実現と、を両立することができる。この効果は、異種材料コンタクトプラグ104を採用することによって得られる。

【0112】

すなわち、第1の導電材料プラグ106は、高抵抗であり、放熱が抑制されるため、相変化メモリ装置における書き込み時(特にリセット時)の熱効率が改善される。また、第1の導電材料プラグの下には、低抵抗の第2の導電材料プラグ108が存在するため、コンタクトプラグ全体の抵抗は低く抑えることができる。したがって、メモリセル選択素子としてのトランジスタ(M)のサイズ(W/L)を大きくしなくても、必要な電流を確保することができ、相変化メモリ装置(相変化メモリIC)の微細化、大容量化が可能となる。

【0113】

また、本発明の異種材料コンタクトプラグ104では、一つのコンタクトホール内に2種類のプラグ(第1および第2の導電材料プラグ)が積層形成されているのであり、異なる層に属する第1および第2のプラグ同士を接続しているのではないため、本発明によって層の数が増えて製造工程が複雑化することがない。

【0114】

また、両プラグ(106, 108)同士が積み重ねられているため、占有面積が増大せず、したがって、相変化メモリの集積度の向上に貢献するという利点がある。また、ヒータ電極の下側における放熱の問題が解消されるため、その他の部分では、電極や配線材料として、比抵抗の小さい材料をより自由に選択することができるようになり、材料選択の自由度が増加するという利点もある。

【0115】

また、両コンタクトプラグが積層形成されているため、異種材料コンタクトプラグを使用したとしても占有面積が増大しないという利点もある。

【0116】

以下、異種材料プラグ104の好ましい態様と、その特徴を列記する。

【0117】

(1) 異種材料プラグ104は、第1の導電材料プラグ106と第2の導電材料プラグ108とで構成され、第1の導電材料プラグ106を構成する第1の導電材料と、第2の導電材料プラグ108を構成する第2の導電材料とは、以下の関係がある。すなわち

10

20

30

40

50

、先に説明したように、「比抵抗」に関しては、 $>$ の関係にある。また、「導電率」および「熱導電率」に関しては、 $<$ の関係を満たす。

【0118】

例えば、第1の導電材料としてTi（チタン：導電率 $2.34 \times 10^6 / m$ ，熱伝導率 $21.9 W / m \cdot K$ ）を使用する場合には、第2の導電材料として、導電率、熱伝導率が共により大きなタングステン（W：導電率 $18.9 \times 10^6 / m$ ，熱伝導率 $17.4 W / m \cdot K$ ）を使用する。

【0119】

なお、以下の(2)，(3)にて、第1および第2の導電材料として使用可能な材料名を例示列挙するが、一つの金属材料が、(2)，(3)のいずれにも記載されるものがある（タングステン、モリブデンなど）。つまり、タングステンやモリブデンは、第1および第2の導電材料のいずれにもなり得る。本発明の場合、材料自体というよりは、材料の組合せに特徴があり、比抵抗に関しては、 $>$ の関係を満たすこと（すなわち「導電率」および「熱導電率」に関しては、 $<$ の関係を満たすこと）が重要である。

10

【0120】

(2)第1の導電材料プラグ106は、導電率よりも熱伝導率を重視し、熱伝導を抑制するという観点から選ばれる第1の導電材料（例えば、窒化チタン（TiN））からなる。第1の導電材料は、ヒータ電極110と同じ材料、あるいは同種の材料（主成分が同じ材料）からなるのが好ましい。

【0121】

具体的には、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニオブ（Nb）、ジルコニウム（Zr）、タングステン（W）のいずれかの金属、または前記金属の窒化物、あるいは前記金属のシリサイドを含む材料を使用することができる。さらに具体的には、チタン窒化物（TiN）、タンタル窒化物（Ta₂N₅）、モリブデン窒化物（Mo₂N₃）、ニオブ窒化物、チタンシリコン窒化物、チタンアルミニウム窒化物、チタンボロン窒化物、ジルコニウム-シリコン窒化物、タングステン-シリコン窒化物、タングステン-ボロン窒化物、ジルコニウム-アルミニウム窒化物、モリブデン-シリコン窒化物、モリブデン-アルミニウム窒化物、タンタル-シリコン窒化物、タンタル-アルミニウム窒化物、チタン酸窒化物、チタンアルミニウム酸窒化物、タングステン酸窒化物、タンタル酸窒化物、タンタルシリサイド（TaSi）、タングステンシリサイド（WSi）またはモリブデンシリサイド（MoSi）のいずれかを含む材料を使用することができる。

20

30

【0122】

(3)一方、第2の導電材料プラグ108は、熱伝導率よりも導電率を重視し、回路の低抵抗化を実現できるという観点から選ばれる第2の導電材料（例えば、タングステン（W））からなる。

【0123】

第2の導電材料は、低抵抗性が要求される接地電位用プラグ100や接地電位用配線（グラウンド配線）102と同じ材料、あるいは同種の材料（主成分が同じ材料）からなるのが好ましい。具体的には、タングステン（W）、アルミニウム（Al）、モリブデン（Mo）、銅（Cu）のいずれかの金属、または、前記金属のシリサイドを使用することができる。

40

【0124】

(4)第1および第2の導電材料（ \square ， \square ）の主成分となり得る金属材料の導電率、熱伝導率の数値オーダーは、概ね、以下のとおりである（ただし、これに限定されるものではなく、好ましい態様の例示である）。

【0125】

すなわち、第1の導電材料プラグ106を構成する主成分の金属材料（第1の導電材料）は、 $1.0 \times 10^6 / m$ オーダーの導電率ならびに $10.0 W / m \cdot K$ オーダーの熱伝導率を有し、一方、第2の導電材料プラグ108を構成する主成分の金属材料（第2の導電材料）は、 $10.0 \times 10^6 / m$ オーダーの導電率ならびに $100.0 W / m$

50

・ K オーダーの熱伝導率を有し、導電材料 と では、導電率、熱伝導率共に、概ね 10 倍（好ましくはそれ以上）の差があるのが望ましい。

【 0 1 2 6 】

ちなみに、第 1 および第 2 の導電材料 , の主成分の候補となり得る金属材料の導電率と熱伝導率は、以下のとおりである。以下の記載では、導電率を C , 熱伝導率を P と略記する。

（第 1 の導電材料 の主成分の候補）

T i (チタン) : $C = 2.34 \times 10^6 / m$, $P = 21.9 W / m \cdot K$

N b (ニオブ) : $C = 6.93 \times 10^6 / m$, $P = 53.7 W / m \cdot K$

T a (タンタル) : $C = 7.61 \times 10^6 / m$, $P = 57.5 W / m \cdot K$

Z r (ジルコニウム) : $C = 2.36 \times 10^6 / m$, $P = 22.7 W / m \cdot K$

T i N (窒化チタン) : 金属の窒化物は、その金属の性質を引き継ぐため、T i (チタン) の特性に準じる特性をもつと考えられる。なお、金属窒化物の薄膜を C V D 法で形成する場合、原材料ガスによって特性が変化し、また、特性を変動させることができる範囲も異なる。本発明の発明者の実験によると、T i N 薄膜の比抵抗（抵抗率（導電率の逆数）を示す指標）は、原材料ガスとして T i C l 4 を使用した場合、 $500 \mu \cdot cm \sim 900 \mu \cdot cm$ の範囲で変更することが可能であった。M O C V D 法を使用した場合（原材料ガス T i [N (C 2 H 5) 2] 4 ）の場合、 $1000 \mu \cdot cm \sim 6000 \mu \cdot cm$ の範囲で変更可能であった。いずれにしろ、T i N 薄膜のシート抵抗はかなり大きいことがわかる。

（第 2 の導電材料 の主成分の候補）

W (タングステン) : $C = 18.9 \times 10^6 / m$, $P = 174 W / m \cdot K$

また、本発明の発明者は、W (タングステン) の薄膜を C V D 法により作成し、その比抵抗を測定したが、比抵抗 = $10 \mu \cdot cm$ であった。上記した、T i N の比抵抗の $1 / 10$ 以下であることがわかる。

A l (アルミニウム) : $C = 37.7 \times 10^6 / m$, $P = 237 W / m \cdot K$

M o (モリブデン) : $C = 18.7 \times 10^6 / m$, $P = 138 W / m \cdot K$

C u (銅) : $C = 59.6 \times 10^6 / m$, $P = 401 W / m \cdot K$

各金属材料の導電率（ならびに薄膜の比抵抗）と熱伝導率の数値から、第 1 の導電材料の主成分となり得る金属材料は、 $1.0 \times 10^6 / m$ オーダーの導電率ならびに $10.0 W / m \cdot K$ オーダーの熱伝導率を有し、一方、第 2 の導電材料 の主成分となり得る金属は、 $10.0 \times 10^6 / m$ オーダーの導電率ならびに $100.0 W / m \cdot K$ オーダーの熱伝導率を有し、導電材料 と では、導電率、熱伝導率共に、概ね 10 倍程度の差は認められることがわかる。したがって、導電率、熱伝導率に関し、この程度の差を設けるのは、材料選択を適切に行えば、それほどむずかしいことではない。

（ 5 ）好ましい導電材料の一例としては、チタン窒化物（T i N）と、タングステン（W）があげられる。すなわち、第 1 の導電材料（ ）として、チタン窒化物（T i N）の薄膜を使用し、第 2 の導電材料（ ）としてタングステン（W）を使用することができる。ここでは、チタン窒化物（T i N）の薄膜と、タングステン（W）の薄膜の比抵抗について比較する。

但し、金属窒化物の薄膜を C V D 法で形成する場合、原材料ガスに依存して比抵抗が変化し、また、原材料ガスに応じて、比抵抗の値を変動幅も異なる。本発明の発明者の実験によると、T i N 薄膜の比抵抗は、原材料ガスとして T i C l 4 を使用した場合、 $500 \mu \cdot cm \sim 900 \mu \cdot cm$ の範囲で変更することが可能であった。M O C V D 法を使用した場合（原材料ガス T i [N (C 2 H 5) 2] 4 ）の場合、 $1000 \mu \cdot cm \sim 6000 \mu \cdot cm$ の範囲で変更可能であった。いずれにしろ、T i N 薄膜の比抵抗はかなり大きいことがわかる。

一方、本発明の発明者は、W (タングステン) の薄膜を C V D 法により作成し、その比抵抗を測定したが、比抵抗 = $10 \mu \cdot cm$ であった。上記した、T i N の比抵抗の $1 / 10$ 以下であることがわかる。

【 0 1 2 7 】

(6) 図 1 の第 1 の導電材料プラグ 1 0 6 と第 2 の導電材料プラグの体積を比較した場合、第 2 の導電材料プラグ 1 0 8 の体積の方が大きいのが望ましい。すなわち、第 1 の導電材料プラグ 1 0 6 は、ヒータ電極 1 1 0 から伝達されてくる熱の放熱の抑制を優先させて設けられているが、この部分において、電気抵抗が若干、上昇するのは否めない。ただし、第 1 の導電材料プラグ 1 0 6 の体積に比べて、良導電性の材料からなる第 2 の導電材料プラグ 1 0 8 の体積が大きければ、異種材料コンタクトプラグ 1 0 4 における電気抵抗は、第 2 の導電材料プラグによって支配的に決定される。したがって、異種材料コンタクトプラグ 1 0 4 全体としての抵抗値は、十分低く抑えることが可能となり、したがって、回路動作上の問題は生じない。

10

【 0 1 2 8 】

(7) 第 1 の導電材料プラグ 1 0 6 と第 2 の導電材料プラグ 1 0 8 は、積み重なって構成される(つまり、存在する位置が上下に分かれている。表現を変えれば、第 1 の導電材料の底面と、第 2 の導電材料の上面とが接触している、ということになる。この結果、ヒータ電極 1 1 0 と第 2 の導電材料プラグ 1 0 8 は、平面的に見て、重なりを有することになる。つまり、ヒータ電極 1 1 0 の直下に、第 2 に導電材料プラグ 1 0 8 が存在することになる。両プラグ同士が積み重ねられているため、占有面積が増大せず、したがって、相変化メモリの集積度の向上に貢献するという利点がある。

(第 2 の実施形態)

【 0 1 2 9 】

本実施形態では、異種材料コンタクトプラグの製造方法の例について説明する。

20

【 0 1 3 0 】

図 2 (a) ~ (e) は、本発明の異種材料コンタクトプラグの製造方法の一例を説明するための、主要工程毎のデバイスの断面図である。

【 0 1 3 1 】

図 2 (a) に示すように、p 型半導体基板に n 型層 (N M O S トランジスタのドレイン層を構成するものとする) 1 5 2 を形成した後、層間絶縁膜 1 5 4 を形成し、さらに、シリコン窒化膜 ($S i_3 N_4$) 1 5 6 を形成してパターンニングする。そして、このシリコン窒化膜 ($S i_3 N_4$) 1 5 6 をエッチングマスクとして用いて、異方性のドライエッチングにより、コンタクトホール 1 5 8 を形成する。

30

【 0 1 3 2 】

さらに、バリアメタルとなるチタン (T i) 膜 1 7 7 ならびにチタン窒化物 (T i N) 膜 1 7 8 を連続的に成膜する。T i 膜 1 7 7 の厚みは、例えば、1 5 n m であり、T i N 膜の厚みは 5 0 n m である。バリアメタルは、コンタクトプラグと下地のシリコン基板 2 0 0 との間の良好なオーミックコンタクトを確保する働きをする。

【 0 1 3 3 】

図中、チタン (T i) 膜 1 7 7 とチタン窒化物 (T i N) 膜 1 7 8 を併せて、参照符号 1 7 9 を付している。以下の説明では、「バリアメタル 1 7 9 」と表記する場合がある。

【 0 1 3 4 】

次に、図 2 (b) に示すように、半導体基板 1 5 0 上に、第 2 の導電材料としてのタングステン (W) 膜 1 6 0 を 2 5 0 n m 程度の厚みで、C V D 法により堆積する。

40

【 0 1 3 5 】

次に、図 2 (c) に示すように、N H 3 系混合ガスを用いた R I E (リアクティブイオンエッチング) によって、タングステン (W) 1 6 0 膜をエッチバックし (3 0 0 n m 程度エッチバックする) 、タングステン (W) 膜 1 6 0 の上面が、層間絶縁膜 1 5 4 の上面よりも低くなるようにする。すなわち、コンタクトホール 1 5 8 の下側の空間にタングステン (W) が充填され、これによって、第 2 の導電材料からなる第 2 の導電材料プラグ 1 6 0 (図 1 の参照符号 1 0 8) が形成される。

【 0 1 3 6 】

次に、図 2 (d) に示すように、半導体基板 1 5 0 上に、第 1 の導電材料としての窒化

50

チタン (TiN) 膜 162 を堆積する。

【0137】

次に、図2(e)に示すように、層間絶縁膜154の上面を基準として、CMP(ケミカルメカニカルエッチング)による平坦化処理を実施し、窒化チタン膜162を、コンタクトホール158の上側の空間に埋め込む。これによって、第1の導電材料プラグ162(図1の参照符号106)が形成される。第1の導電材料プラグ162(図1の参照符号106)の厚みは、例えば、50nm程度である。

【0138】

その後、第1の導電材料プラグ162(図1の参照符号106)上に、ヒータ電極110(図2中、点線で示される)が形成される。

10

【0139】

ヒータ電極の110の直下には、高抵抗の第1の導電材料プラグ162が存在することから、放熱を抑えることができる。一方、第1の導電材料プラグ162の下には、低抵抗の第2の導電材料プラグ160が存在するため、コンタクトプラグ全体の等価抵抗(半導体基板とのコンタクト抵抗)は上昇しない。したがって、メモリセル選択素子としてのトランジスタのサイズ(W/L)を大きくしなくても、必要な電流を確保することができ、相変化メモリ装置(相変化メモリIC)の微細化、大容量化が可能となる。

【0140】

また、本発明の異種材料コンタクトプラグでは、一つのコンタクトホール内に2種類のプラグ(第1および第2のプラグ)162, 160が積層形成されており、異なる層に属する第1および第2のプラグ同士を接続しているのではない。したがって、本発明によ

20

って層の数が増えて、製造工程が複雑化することがない。

(第3の実施形態)

【0141】

本実施形態では、相変化メモリの高集積化に適したデバイス構造について説明する。

【0142】

図3は、相変化メモリの高集積化に適したデバイス構造を説明するための断面図である。

【0143】

図3に示されるように、p型半導体基板170には、シャロートレンチアイソレーション(STI)170が形成され、さらに、NMOSトランジスタの構成要素であるn型拡散層172a, 172bが形成されている。

30

【0144】

また、p型半導体基板170上にはゲート絶縁膜173が形成され、その上に、ゲート電極の構成要素である、ドーパドポリシリコン層175, タングステンシリサイド層176が積層形成されている。

【0145】

そして、タングステンシリサイド層176の上にシリコン窒化膜177が形成されている。また、ゲート電極の側面には、サイドウォール174が形成されている。シリコン窒化膜177, サイドウォール174は、異種材料コンタクトプラグとゲート電極とのショート

40

を防止するために設けられている。

【0146】

また、層間絶縁膜178には、コンタクトホールCNが設けられている。このコンタクトホールCNの内表面には、バリアメタルとしてのTiN/Ti膜(下地に薄いチタン(Ti)を堆積し、その上に窒化チタン(TiN)を堆積して形成される)179が形成されている。

【0147】

そして、コンタクトホール(CN)の下側の空間にタングステン(W)が埋め込まれ、タングステンの上面に接して窒化チタン(TiN)が埋め込まれ、これにより、異種材料コンタクトプラグ104が構成されている。

50

【 0 1 4 8 】

さらに、層間絶縁膜 1 7 8 の上には、さらに層間絶縁膜 1 8 2 が形成されており、この層間絶縁膜 1 8 2 には、ヒータ電極として機能する窒化チタン〔TiN〕からなるコンタクトプラグ 1 8 3 が形成されている。

【 0 1 4 9 】

また、層間絶縁膜 1 8 2 上に絶縁膜 1 9 0 が形成されている。この絶縁膜 1 9 0 はパターンニングされ、これによってヒータ電極 1 8 3 の上面が露出する。そして、密着層としての薄いTi膜 1 9 2 が形成され、その上に相変化層としてのGST膜 1 8 4 が形成されている。また、GST膜 1 8 4 の上面には、上部電極 1 8 5 が形成されている。

【 0 1 5 0 】

図 3 に示されるデバイス構造の製造方法については、次の実施形態にて説明する。
(第 4 の実施形態)

【 0 1 5 1 】

本実施形態では、相変化メモリ装置（相変化メモリIC）の回路構成、メモリセルのレイアウト構成、ならびに、メモリセルの断面構造とその製造方法について説明する。

【 0 1 5 2 】

図 4 は、本発明の相変化メモリ装置（相変化メモリIC）の全体の回路構成の一例を示す回路図である。

【 0 1 5 3 】

図示されるように、相変化メモリICの中央部には、素子選択用のMOSトランジスタ（M）と、本発明の相変化メモリ装置（図中、等価抵抗Rとして描かれている）と、で構成されるメモリセルをマトリクス状に配置してなるメモリセル部が配置されている。

【 0 1 5 4 】

図中、Gはグラウンド線（接地電位用配線）であり、W1～W4はワード線であり、B1～B3はビット線である。

【 0 1 5 5 】

Xデコーダ120、121と、Yデコーダ122、123は、アドレス回路を構成する。
Xデコーダ120、121は、ワード線W1～W4を駆動する。Yデコーダ122、123は、ビット線B1～B3を駆動する。

【 0 1 5 6 】

制御回路124は、相変化メモリICの動作を統括的に制御する。この制御回路124は、Yデコーダ122、123、Xデコーダ120、121の各々に、制御信号S5～S8の各々を供給し、各デコーダ（120～123）の動作を個別に制御する。

【 0 1 5 7 】

パルス生成回路125は、制御回路124からの制御信号S10に従って、各種のパルス信号（セットパルス、リセットパルス、リードパルス）S20を生成し、Yデコーダ122、123に供給する。

【 0 1 5 8 】

図 4 中、A10a、A10bは、センス回路を構成するオペアンプである。R10a、R10bは、電流I（図 2 中、太い実線の矢印で示される）を電圧に変換するための、電流/電圧変換抵抗である。なお、Vrefは基準電圧であり、Vout1、Vout2は、相変化メモリICの検出信号（読み出し信号）である。

【 0 1 5 9 】

図 5 は、図 4 に示される相変化メモリ装置（相変化メモリIC）の、メモリセル領域における素子や配線のレイアウト配置の一例を示す平面図である。図 5 において、図 3 と共通する部分には同じ参照符号を付してある。

【 0 1 6 0 】

図 5 において、太い実線で囲まれる長方形の領域Fは、シャロートレンチアイソレーション（STI）によって囲まれて形成されたフィールド領域（素子形成領域）である。

10

20

30

40

50

【0161】

また、縦方向に布線される2本の配線(DP)は各々、ワード線(W1, W2)を構成する(かつ、MOSトランジスタのゲート電極を兼ねる)ドーフトポリシリコン層である。

【0162】

また、左右に配置される異種材料コンタクトプラグ104は、TiN/Tiからなるバリアメタル179と、第1のコンタクトプラグを構成するチタン窒化物(TiN)層181と、第2のコンタクトプラグを構成するタングステン(W)層180(図5では不図示、図3を参照)とにより構成される。

【0163】

また、中央に配置される接地電位用プラグ100も同様に、TiN/Tiからなるバリアメタル179と、チタン窒化物(TiN)層181と、タングステン(W)層180(図5では不図示、図8参照)とにより構成される。これは、接地電位用プラグ105が、異種材料コンタクトプラグ104と同じ工程にて製造されるからである。

【0164】

また、図5において、参照符号200は、接地配線(G)である。また、相変化層としてのGST膜184(図中、一点鎖線で囲まれて示されている)が、左右に布線されている。なお、参照符号183は、ヒータ電極を示す。

【0165】

次に、製造方法について説明する。
(第1の工程：図6)

【0166】

図6は、第1の工程における、図5のA-A線に沿うデバイスの断面図である。

【0167】

図示されるように、p型シリコン基板170に、素子分離領域としてシャロートレンチアイソレーション(STI)170を形成した後、ゲート酸化膜173を形成する。

【0168】

次に、ドーフトポリシリコン175を100nm、タングステンシリサイド176を100nm、シリコン窒化膜177を100nmの厚みで順次形成する。

【0169】

続いて、フォトリソグラフィによって加工してエッチングマスクを形成する。

【0170】

次に、RIE(リアクティブイオンエッチング)のような異方性エッチングによって、窒化膜177をエッチングし、レジストマスクを除去する。

【0171】

続いて、窒化膜177をマスクとして、タングステンシリサイド176、175を連続的にエッチングしてゲート電極を形成する。

【0172】

次に、ゲート電極をマスクとしてリン(p)をイオン注入してn型拡散層172a、172bを形成する。

【0173】

続いて、シリコン窒化膜を50nm堆積し、RIEにてエッチバックすることによって、ゲートサイドウォール174を形成する。

【0174】

このようにして形成されるNMOSトランジスタのゲート部分は、図5中の、ワード線DP(W1, W2)に相当する。

(第2の工程：図7)

【0175】

図7は、第2の工程における、図5のA-A線に沿うデバイスの断面図である。

10

20

30

40

50

【 0 1 7 6 】

図示されるように、層間絶縁膜としてTEOS酸化膜178を700nmの厚みで形成し、CMP（ケミカルメカニカルポリッシング）によって平坦化する。

【 0 1 7 7 】

次に、層間絶縁膜（TEOS酸化膜）178の所定位置に、フォトリグラフィによってコンタクトホールCNを形成する。このとき、層間絶縁膜178のエッチングに際しては、シリコン窒化膜をマスクとする（図7では不図示）。

（第3の工程：図8）

【 0 1 7 8 】

図8は、第3の工程における、図5のA-A線に沿うデバイスの断面図である。

10

【 0 1 7 9 】

第3の工程では、まず、バリアメタル179を形成するために、Ti膜を10nm、TiN膜を15nm程度の厚みで連続的に堆積する。続いて、第2の導電材料としてのタングステン（W）膜180を250nm堆積する。

【 0 1 8 0 】

続いて、図2（c）に示したように、SF₆/O₂混合ガスを用いたRIEによって、タングステン（W）180膜をエッチバックし、タングステン（W）膜180の上面が、層間絶縁膜178の上面よりも低くなるようにする。すなわち、コンタクトホールCNの下側の空間にタングステン（W）が充填され、これによって、第2の導電材料からなる第2の導電材料プラグ180が形成される。

20

【 0 1 8 1 】

次に、図2（d）に示したように、第1の導電材料としての窒化チタン（TiN）膜を50nmの厚みで堆積し、図2（e）で示したように、層間絶縁膜178の上面を基準として、CMPによる平坦化処理を実施し、窒化チタン膜181を、コンタクトホールCNの上側の空間に埋め込む。これによって、第1の導電材料からなる第1の導電材料プラグ181が形成される。

【 0 1 8 2 】

このようにして、異種材料コンタクトプラグ104、接地電位用プラグ105が形成される。次に、接地電位用プラグ105上に、タングステン（W）からなる接地配線200（G）を形成する。

30

【 0 1 8 3 】

先に説明したように、異種材料コンタクトプラグ104では、一つのコンタクトホールCN内に2種類のプラグ（第1および第2のプラグ）181、180が積層形成されており、異なる層に属する第1および第2のプラグ同士を接続しているのではない。したがって、本発明によって層の数がが増えて、製造工程が複雑化することがない。また、各コンタクトプラグ（181、180）が積層されているため、異種材料コンタクトプラグを用いた場合でも、占有面積が増大することがない。

（第4の工程：図9）

【 0 1 8 4 】

図9は、第4の工程における、図5のA-A線に沿うデバイスの断面図である。

40

【 0 1 8 5 】

図9に示すように、層間絶縁膜としてのHDP（高密度プラズマ酸化膜）182を形成し、HDP膜182に（ヒータ電極183を埋め込むための）コンタクトホールを形成し、そして、そのコンタクトホールにTiNを埋め込んでヒータ電極183を形成する。ヒータ電極183の底面は、異種材料コンタクトプラグ104を構成する、第1の導電材料プラグ（TiNからなる）181の上面に接続される。

【 0 1 8 6 】

ヒータ電極の183の直下には、高抵抗の第1の導電材料プラグ181が存在することから、ヒータ電極183を伝わってきた熱の放熱を抑えることができる。一方、第1の導電材料プラグ181の下には、低抵抗の第2の導電材料プラグ180が存在するため、コ

50

ンタクトプラグ全体の等価抵抗（コンタクト抵抗）は上昇しない。したがって、メモリセル選択素子としてのNMOStランジスタのサイズ（ W/L ）を大きくしなくても、必要な電流を確保することができ、相変化メモリ装置（相変化メモリIC）の微細化、大容量化が可能となる。

【0187】

また、HDP膜182上に、CVD法により酸化膜183を形成し、パターンングした後、密着層となる薄いチタン（Ti）膜190を形成する。次に、相変化層としてのGST膜184を100nmの厚みで堆積してパターンングする。そして、GST膜184上に、タングステン（W）からなる上部電極層185を形成する。

（第5の工程：図10）

10

【0188】

図10は、第5の工程における、図5のA-A線に沿うデバイスの断面図である。

【0189】

図示されるように、GST膜184上に層間絶縁膜186を形成し、この層間絶縁膜186の一部に、コンタクトホール187を形成する。

（第6の工程：図11）

【0190】

図11は、第6の工程における、図5のA-A線に沿うデバイスの断面図である。

【0191】

図示されるように、層間絶縁膜186に設けられたコンタクトホール187に、タングステン（W）を埋め込んでコンタクトプラグ188を形成する。続いて、タングステン（W）からなる配線層189を形成する。この配線層189は、図4の回路図におけるビット線（B1～B3）を構成する。

20

【0192】

これによって、相変化メモリ装置のメモリセルが形成される。

【0193】

以上、本発明について実施例を参照して説明したが、本発明はこれに限定されるものではなく、本発明の技術思想の範囲内で、種々、変形、応用が可能である。

【0194】

例えば、メモリセルを構成するMOStランジスタの代わりに、バイポーラトランジスタ、接合ダイオード、ショットキーバリアダイオード等のスイッチング素子を使用することもできる。

30

【0195】

相変化層としては、カルコゲナイド半導体以外の材料を使用することもできる。また、相変化メモリICの回路方式として、図15に示されるような回路方式（すなわち、波形の異なるパルスを入力するのではなく、サイズの異なるトランジスタを選択的に導通させて電流を引っぱる方式）を採用することもできる。

【0196】

以上説明したように本発明によれば、本発明では、異種材料コンタクトプラグを使用して、ヒータに接触する第1の導電材料プラグは熱伝導率が小さい材料により構成し、一方、スイッチング素子や電極、配線（すなわち導電層）に接続される第2の導電材料プラグは低抵抗の材料により構成し、これによって、ヒータ電極の近傍における放熱の抑制（すなわち、相変化メモリ装置における書き込み時（特にリセット時）の熱効率の改善）と、電気回路の抵抗値の低減とを両立させることができる。

40

【0197】

すなわち、ヒータ電極の直下には、高抵抗の第1の導電材料プラグが存在することから、放熱を抑えることができる。一方、第1の導電材料プラグの下には、低抵抗の第2の導電材料プラグが存在するため、コンタクトプラグ全体の等価抵抗（コンタクト抵抗）は上昇しない。したがって、メモリセル選択素子としてのトランジスタのサイズ（ W/L ）を大きくしなくても、必要な電流を確保することができ、相変化メモリ装置（相変化メモリ

50

IC)の微細化、大容量化が可能となる。

【0198】

また、本発明の異種材料コンタクトプラグでは、一つのコンタクトホール内に2種類のプラグ(第1および第2の導電材料プラグ)が積層形成されており、異なる層に属する第1および第2のプラグ同士を接続しているのではない。したがって、本発明によって層の数が増えて、製造工程が複雑化することがない。

【0199】

また、両プラグ同士が積み重ねられているため、占有面積が増大せず、したがって、相変化メモリの集積度の向上に貢献するという利点がある。

【0200】

また、ヒータ電極を介して伝達される熱の放熱対策がなされているため、その他の電極や配線の材料として、導電率が低い金属材料(タングステン(W)の他、シリコン系のLSIで使用されているアルミニウム(Al)、銅(Cu)など)を安心して使用することができるようになり、材料選択の自由度が増大し、大規模な相変化メモリの製造が可能となる。

【0201】

また、第1の導電材料プラグの体積に比べて、良導電性の材料からなる第2の導電材料プラグの体積が大きければ、異種材料コンタクトプラグにおける電気抵抗は、第2の導電材料プラグによって支配的に決定され、異種材料コンタクトプラグ全体としての抵抗値は、十分低く抑えることが可能となり、配線長が長くなっても、回路動作上の問題は生じない。

【0202】

また、第1の導電材料プラグの材料としては、ヒータ電極と同種あるいは同じ金属材料を使用すればよく、第2の導電材料プラグの材料としては、接地電位用配線や電極と同種あるいは同じ金属材料を使用すればよく、したがって、本発明は、製造プロセスに負担をかけずに実現することができる。

【0203】

また、第1/第2の導電材料プラグの構成材料(第1/第2の導電材料)における、導電率と熱伝導率は、共に、概ね10倍程度の差があるのが好ましい。この程度の差であれば、例えば、第1の導電材料としてTiN(窒化チタン)を使用し、第2の導電材料としてW(タングステン)を使用することによって、概ね実現することが可能である。

【0204】

また、本発明によれば、金属材料の埋め込み技術ならびにエッチング技術を用いて、コンタクトホール内の下側の空間に第2の導電材料を埋め込んだ後、そのコンタクトホール内の上側の空間に第1の導電材料を埋め込んで、異種材料コンタクトプラグを形成することができる。

【0205】

また、本発明によれば、汎用的な製造技術を使用して(特別な製造工程を設けることなく)、放熱の抑制と電気抵抗の低減という、相反する要求を共に満足させて、大規模な相変化メモリ装置(メモリセル選択用のスイッチング素子、異種材料コンタクトプラグ、ヒータ電極、相変化層、電極端子を有する相変化メモリIC)を製造することが可能となる。

【0206】

また、製造工程の共用化して、異種材料コンタクトプラグと接地電位用プラグを同時に形成することにより、製造工程数を減らすことができる。

【0207】

また、ゲート電極を構成する導電材料層(ドーフトポリシリコン層等)の上面ならびに側面を電氣的絶縁膜で被覆することによって、ゲート電極と異種材料コンタクトプラグとのショートを防止できる。

【0208】

10

20

30

40

50

本発明によれば、特別な技術を用いることなく、汎用的な半導体製造技術のみを用いて、相変化メモリ装置における良好な電気特性と良好な熱特性を両立させ、電極や配線の材料選択の自由度も高めて、大規模な相変化メモリ装置の量産を可能とすることができる。

【産業上の利用可能性】

【0209】

本発明は、異種材料コンタクトプラグを使用して相変化メモリ装置における良好な電気特性と良好な熱特性を両立させ、電極や配線の材料選択の自由度も高めて、大規模な相変化メモリ装置の量産を可能とするという効果を奏し、したがって、カルコゲナイド系相変化膜を使用した相変化メモリ装置（相変化メモリLSI）、ならびに相変化メモリ装置の製造方法として有用である。

10

【図面の簡単な説明】

【0210】

【図1】本発明の相変化メモリ装置の特徴的な構造の一例を説明するための図であり、(a)は、本発明の相変化メモリ装置の要部構成の一例を示す図、(b)は、比較例としての、ヒータ電極とコンタクトプラグとの接続構造の従来例を示す図

【図2】(a)～(e)は、本発明の異種材料コンタクトプラグの製造方法の一例を説明するための、主要工程毎のデバイスの断面図

【図3】相変化メモリの高集積化に適したデバイス構造を説明するための断面図

【図4】本発明の相変化メモリ装置（相変化メモリIC）の一例の全体の回路構成を示す回路図

20

【図5】異種材料コンタクトプラグならびに接地電位用プラグの平面形状と、それらのプラグが形成された相変化メモリ装置の要部の断面構造の一例を示す図

【図6】第1の製造工程における、図5のA-A線に沿うデバイスの断面図

【図7】第2の製造工程における、図5のA-A線に沿うデバイスの断面図

【図8】第3の製造工程における、図5のA-A線に沿うデバイスの断面図

【図9】第4の製造工程における、図5のA-A線に沿うデバイスの断面図

【図10】第5の製造工程における、図5のA-A線に沿うデバイスの断面図

【図11】第6の製造工程における、図5のA-A線に沿うデバイスの断面図

【図12】カルコゲン元素について説明するための周期律表の一部を示す図

30

【図13】(a)、(b)は各々、相変化メモリの原理を説明するための図

【図14】(a)～(d)は各々、相変化メモリ装置の基本的構造と相変化メモリ装置のセット/リセット動作について説明するための図

【図15】相変化メモリ装置の回路方式の一例を示す回路図

【図16】相変化メモリ装置を用いたメモリIC（相変化メモリIC）における、リード動作を説明するための回路図

【図17】相変化メモリICにおける、メモリセル部の具体的な構造の一例と、その問題点を説明するための図

【符号の説明】

【0211】

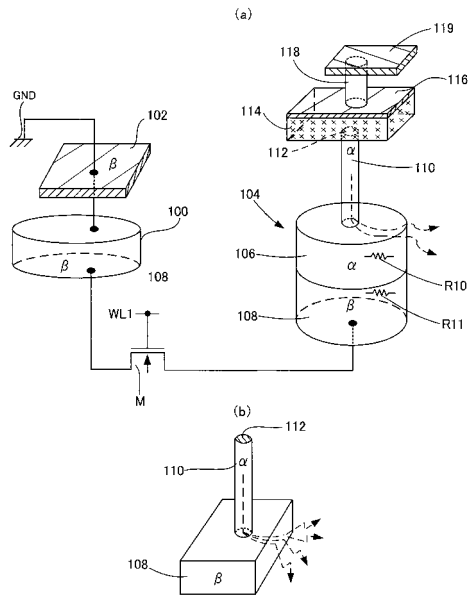
40

- 100 接地電位用プラグ
- 102 接地配線（グラウンド配線）
- 104 異種材料コンタクトプラグ
- 105 接地電位用プラグ（異種材料からなる）
- 106 第1の導電材料プラグ（TiN）
- 108 第2の導電材料プラグ（W）
- 110 ヒータ電極
- 114 相変化層としてのGST（GeSbTe：カルコゲナイド半導体）
- 116 上部電極
- 118 コンタクト電極（コンタクトプラグ）

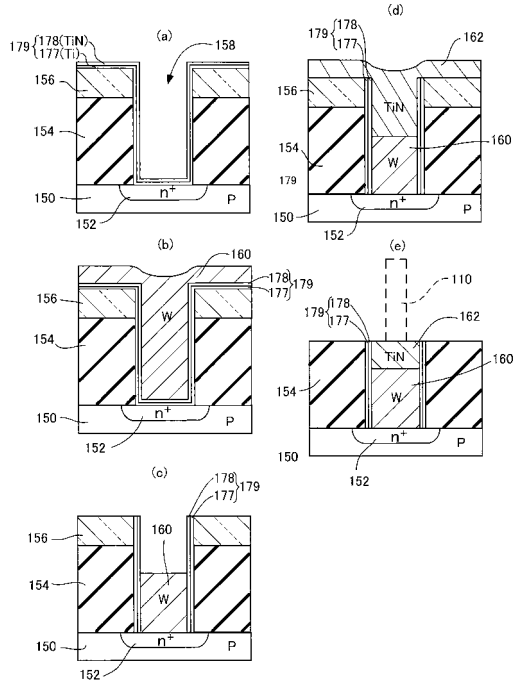
50

1 1 9	電極層 (電極端子)	
1 5 0	p型半導体基板	
1 5 2	n型拡散層	
1 5 4	層間絶縁膜	
1 5 6	シリコン窒化膜からなるエッチングマスク	
1 5 8	コンタクトホール	
1 6 0	タングステン (W) からなる第2の導電材料プラグ	
1 6 2	窒化チタン (TiN) からなる第1の導電材料プラグ	
1 7 1	シャロートレンチアイソレーション (STI)	
1 7 2 a, 1 7 2 b	n型拡散層	10
1 7 3	ゲート絶縁膜	
1 7 4	サイドウォール	
1 7 5	ドーパドポリシリコン	
1 7 6	タングステンシリサイド	
1 7 7	シリコン窒化膜	
1 7 8	層間絶縁膜	
1 7 9	密着層 (TiN/Ti)	
1 8 0	第1の導電材料プラグ (TiN)	
1 8 1	第2の導電材料プラグ (W)	
1 8 3	ヒータ電極	20
1 8 4	相変化層 (GST)	
1 8 5	上部電極	
1 8 6	層間絶縁膜	
1 8 7	コンタクトホール	
1 8 8	コンタクト電極	
1 8 9	電極層 (電極端子)	
C N	コンタクトホール	
P	電極端子	
W (W 1 ~ W 4)	ワード線	
B (B 1 ~ B 3)	ビット線	30
G	グラウンド線	
M	相変化メモリ装置選択用のMOSトランジスタ	
V r e f	基準電圧源	
D P	ワード線WLを構成する導体層	
F	フィールド (素子形成領域)	

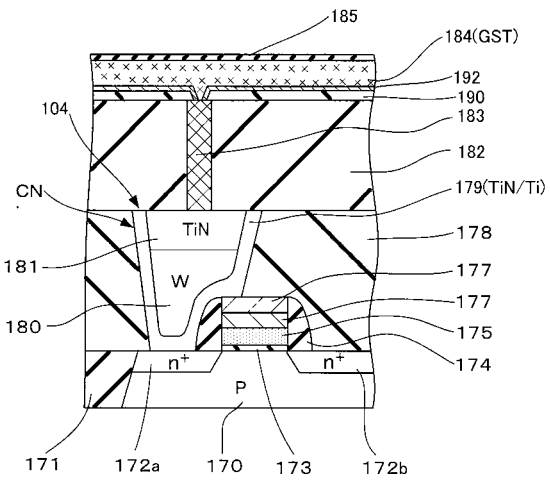
【 図 1 】



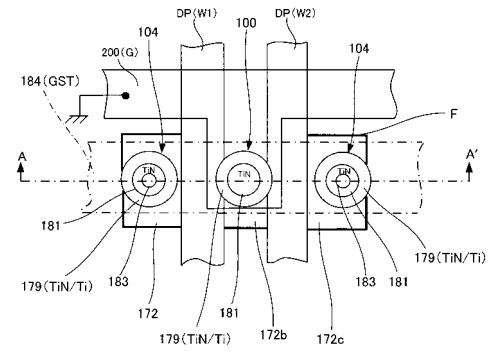
【 図 2 】



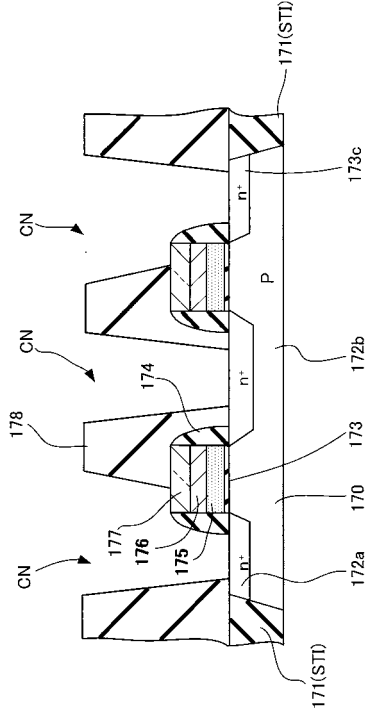
【 図 3 】



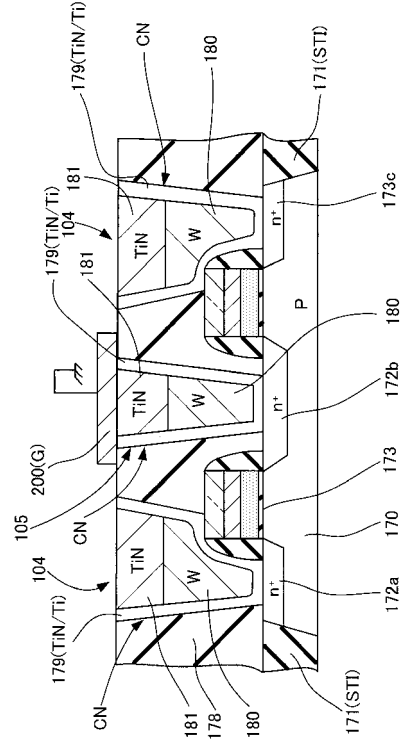
【 図 5 】



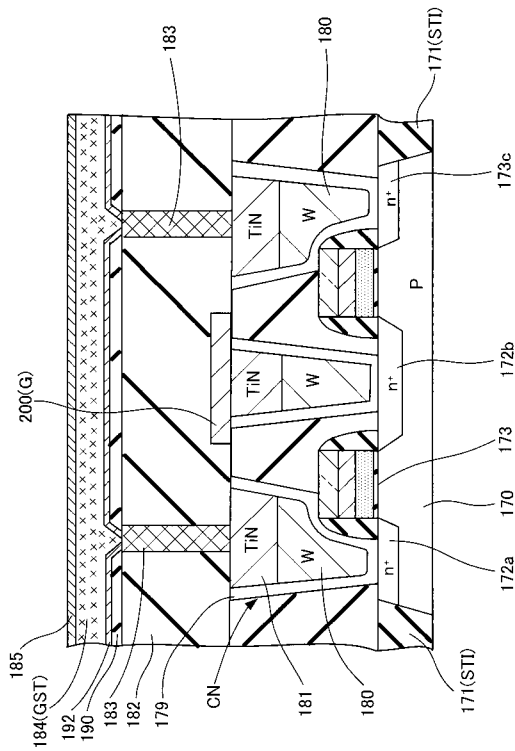
【 図 7 】



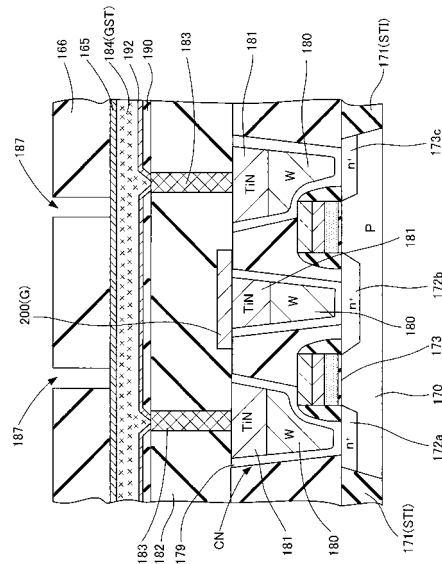
【 図 8 】



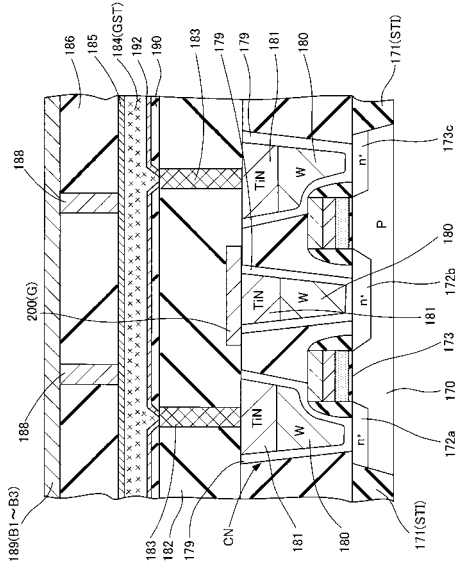
【 図 9 】



【 図 10 】



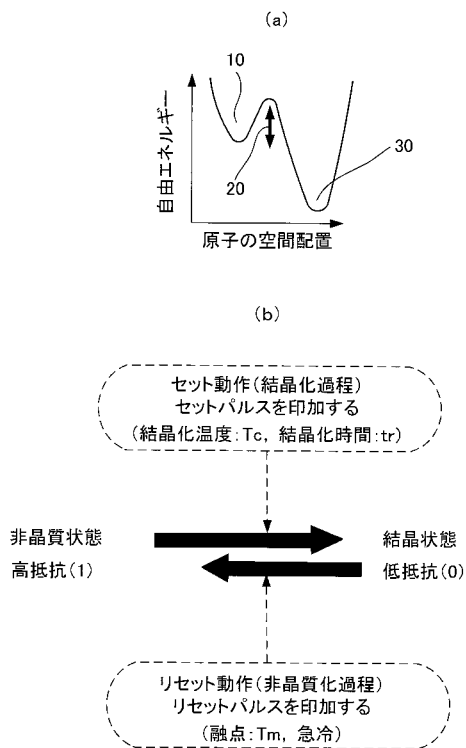
【図11】



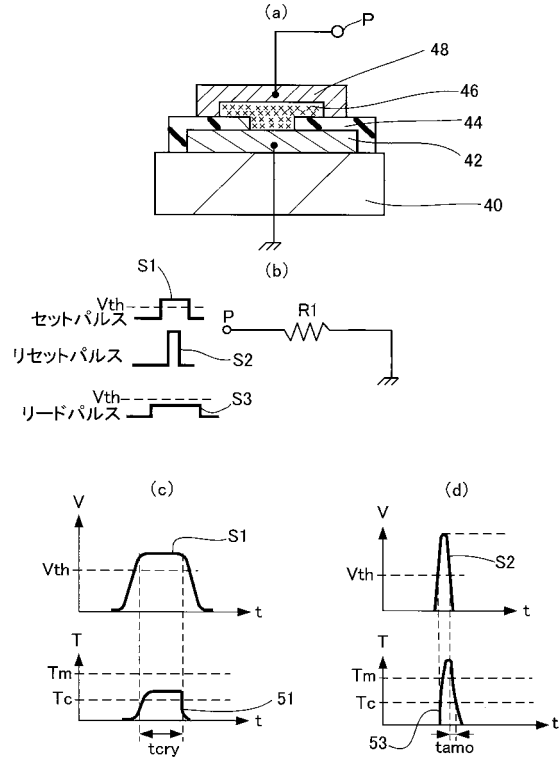
【図12】

	IV	V	VI	VII
1				
2			O	
3	Si	P	S	Cl
4	Ge	As	Se	Br
5	Sn	Sb	Te	I

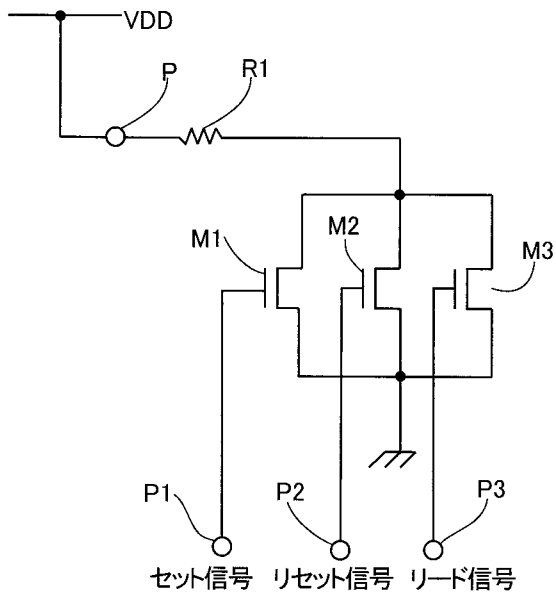
【図13】



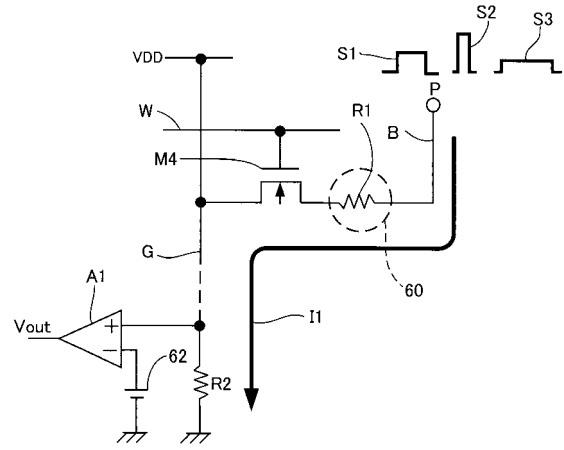
【図14】



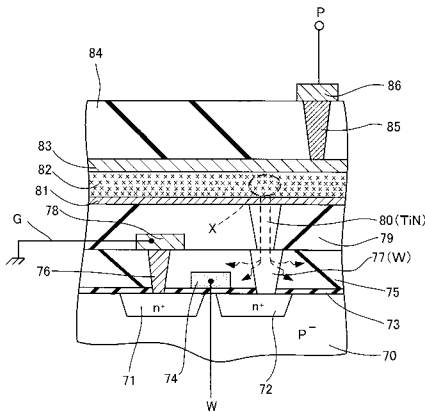
【図15】



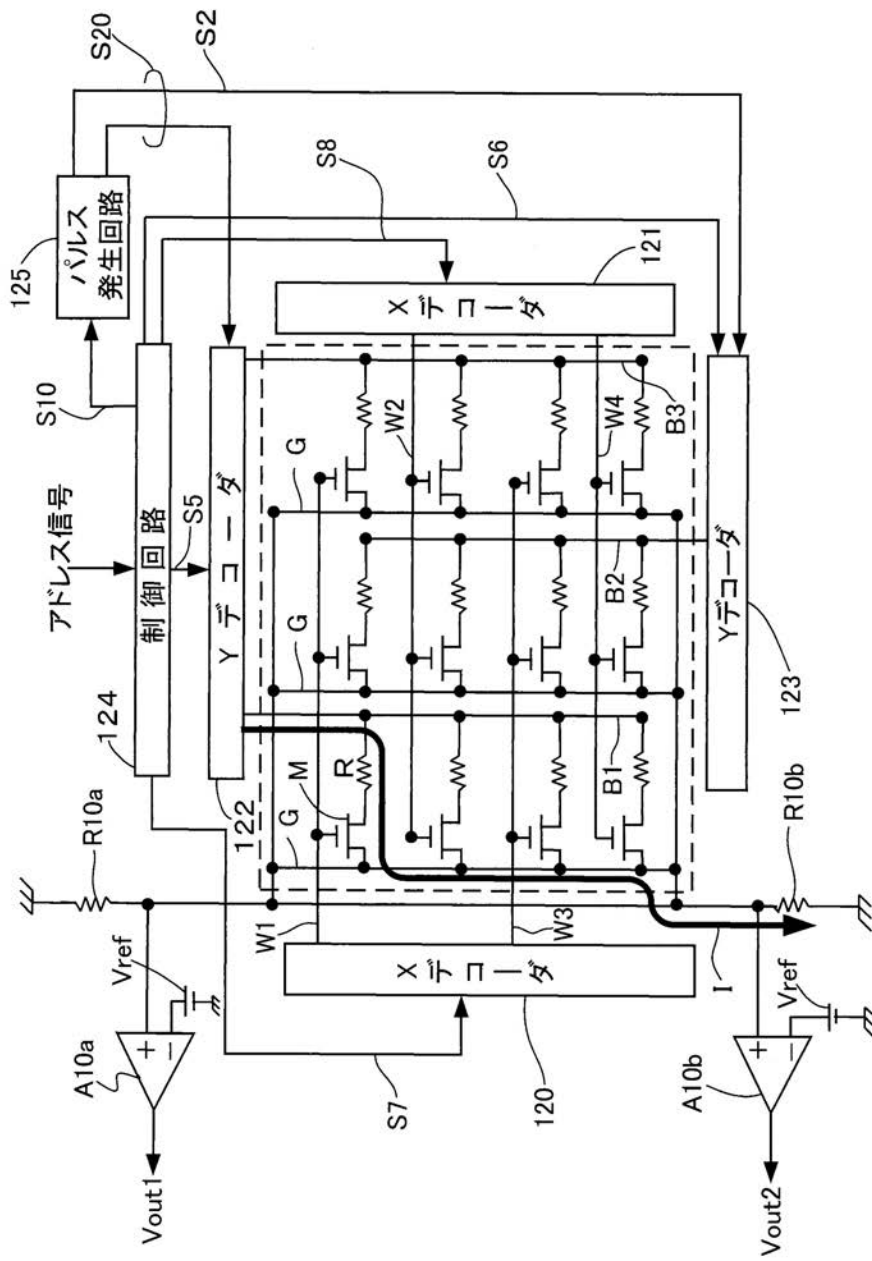
【図16】



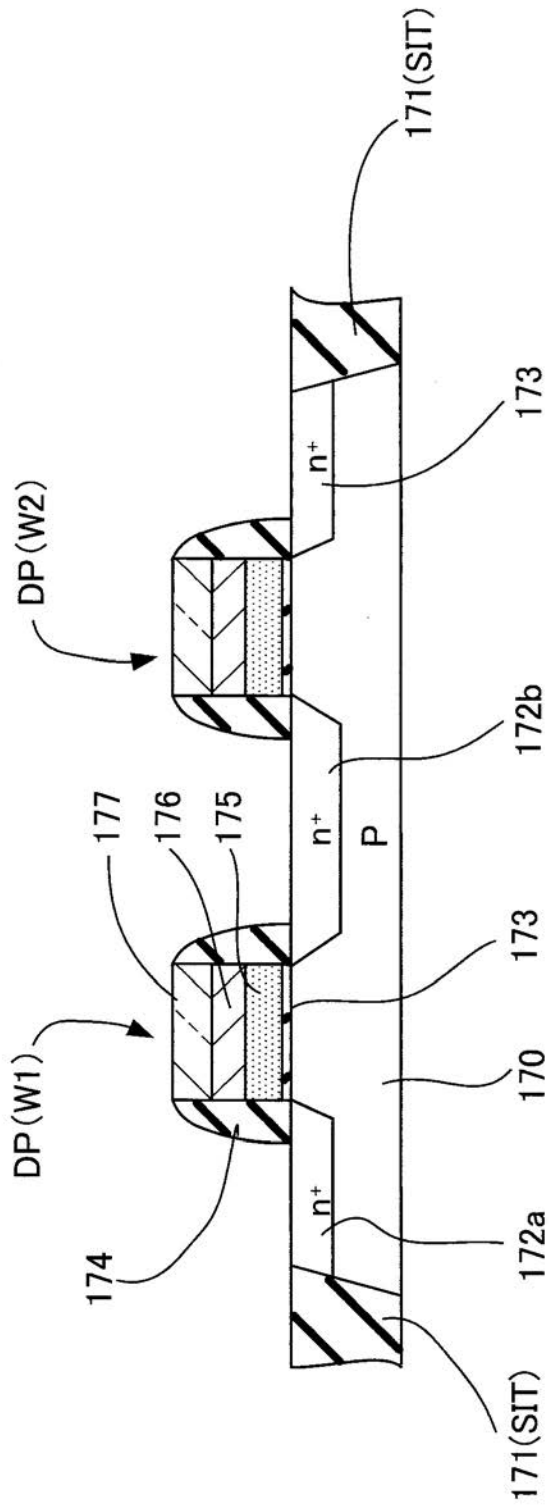
【図17】



【 図 4 】



【 図 6 】



フロントページの続き

審査官 瀧内 健夫

- (56)参考文献 特開2004-349709(JP,A)
特表平11-514150(JP,A)
特開2004-349504(JP,A)
特開2006-173635(JP,A)
米国特許出願公開第2004/0115372(US,A1)
特表2002-540605(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/105
H01L 45/00