

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5197704号
(P5197704)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int.Cl. F I
G 1 1 C 16/06 (2006.01)
 G 1 1 C 17/00 6 3 2 A
 G 1 1 C 17/00 6 3 2 Z

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2010-212628 (P2010-212628)	(73) 特許権者	000003078
(22) 出願日	平成22年9月22日 (2010.9.22)		株式会社東芝
(65) 公開番号	特開2012-69197 (P2012-69197A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成24年4月5日 (2012.4.5)	(74) 代理人	100108855
審査請求日	平成24年8月9日 (2012.8.9)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

一端に第1電圧を供給する第1電圧源が接続された第1トランジスタと、
 前記第1トランジスタによって前記第1電圧に充電される第1ノードと、
 前記第1ノードに電極の一方が接続され、他方の電極に第2電圧を有するクロック信号
 が供給される第1キャパシタと、

一端が前記第1ノードに接続され、前記第1ノードの電位をオン状態とされた第1タイ
 ミングで出力する第1スイッチ素子と、

一端が前記第1ノードに接続され、前記第1ノードの前記電位をオン状態とされた前記
 第1タイミングとは異なる第2タイミングで出力する第2スイッチ素子と
 を具備することを特徴とする半導体装置。

10

【請求項2】

前記第1キャパシタの電極面に平行し、且つこの電極の中心を通る軸に対して線対称の
 位置に前記第1スイッチ素子と前記第2スイッチ素子とが配置され、

前記軸方向に沿って、前記第1キャパシタに隣接するように前記第1トランジスタが配
 置され、

前記軸と直行する方向に沿って、且つ前記第1トランジスタを挟んで前記第1キャパシ
 タの反対側に前記電圧源の第1供給線が配置される

ことを特徴とする請求項1記載の半導体装置。

【請求項3】

20

前記第 1 キャパシタよりも容量の小さな第 2 キャパシタと、
前記第 1 トランジスタよりも電流供給能力の小さな第 2 トランジスタと
を更に備え、

前記第 2 キャパシタは、前記容量が半分とされた第 3 キャパシタ及び第 4 キャパシタに
分割され、前記第 3 キャパシタが前記軸に沿って前記第 1 インバータと前記供給線との間に
配置され、

前記第 4 キャパシタが前記軸に沿って前記第 2 スイッチ素子と前記供給線との間に配置
され、

前記第 2 トランジスタは、前記電流供給能力が半分とされた第 3 トランジスタと第 4 ト
ランジスタとに分割され、前記第 3 トランジスタは前記軸に沿って前記第 1 キャパシタと
前記供給線との間及び前記第 3 キャパシタ及び前記第 1 トランジスタとの間に配置され、

前記第 4 トランジスタは前記軸に沿って前記第 1 キャパシタと前記供給線との間及び前
記第 4 キャパシタ及び前記第 1 トランジスタとの間に配置された

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

一端が前記第 1 電圧よりも小さな第 2 電圧を出力する第 2 電圧源が供給され、前記第 1
トランジスタのゲートに接続される第 2 ノードの電位に応じて前記第 1 電圧よりも小さな
前記第 2 電圧を第 3 ノードに転送する第 3 トランジスタと、

前記第 3 トランジスタが前記第 3 ノードに転送する前記第 2 電圧に応じて前記 2 電圧源
から供給される前記第 2 電圧を前記第 2 ノードに転送する第 4 トランジスタと、

一方の電極が前記第 3 トランジスタの他端に接続され、他方の電極に前記クロック信号
が供給される前記第 1 キャパシタの容量よりも小さい第 6 キャパシタと、

一方の電極が前記第 4 トランジスタの他端に接続され、他方の電極に前記クロック信号
の反転信号が供給される前記第 6 キャパシタと同じ容量の第 7 キャパシタと

を更に具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記第 1 キャパシタの電極面に平行し、且つこの電極の中心を通る軸に対して線対称の
位置に前記第 1 スイッチ素子と前記第 2 スイッチ素子とが配置され、

前記軸方向に沿って、前記第 1 キャパシタに隣接するように前記第 1 トランジスタが配
置され、

前記軸と直行する方向に沿って、且つ前記第 1 トランジスタを挟んで前記第 1 キャパシ
タの反対側に前記第 1 電圧を転送する第 1 供給線が配置され、

前記第 1 供給線に隣接して、前記第 1 トランジスタの反対側に前記第 2 電圧を転送する
第 2 供給線が配置され、

前記第 6 キャパシタが前記軸に沿って前記第 1 スイッチ素子と前記第 1 供給線との間に
配置され、

前記第 7 キャパシタが前記軸に沿って前記第 2 スイッチ素子と前記第 1 供給線との間に
配置され、

前記第 3 トランジスタが前記軸に沿って前記第 1 キャパシタと前記第 1 供給線との間及
び前記第 6 キャパシタ及び前記第 1 トランジスタとの間に配置され、

前記第 4 トランジスタが前記軸に沿って前記第 1 キャパシタと前記第 1 供給線との間及
び前記第 7 キャパシタ及び前記第 1 トランジスタとの間に配置される

ことを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、面積縮小可能な電圧発生回路を備えた半導体装置に関する。

【背景技術】

【0002】

今日、半導体メモリは、大型コンピュータの主記憶を始めとしてパーソナルコンピュー

10

20

30

40

50

タ、家電製品、及び携帯電話等に広く利用されている。フラッシュEEPROM型の不揮発性メモリとしてNANDフラッシュメモリが代表に挙げられる。

【0003】

このNANDフラッシュメモリは、例えばSDTMカード、MMCカード、MSカード、CFカードなどの例えば各種メモリカードが挙げられ、画像、動画、音声、ゲーム等の情報を記憶する媒体として使われている。また、デジタルカメラ、デジタルビデオ、MP3等の音楽機器、及びモバイルパーソナルコンピュータ等の記憶媒体、デジタルテレビ等の記憶媒体としても使用されている。今日、これらNANDフラッシュメモリの生産量は市場で伸びている。

【0004】

フラッシュEEPROM型の不揮発性メモリは主にNOR型とNAND型があり、NOR型は高速読み出しが可能とされ、読み出し回数は 10^{13} 程度である。このため、携帯機器の命令コード記憶として使われている。しかし、書き込みの実効バンド幅が小さく、File記録に適していない。

【0005】

一方、NAND型は、NOR型に比べて高集積化が可能とされる。また、アクセス時間がNOR型に比して $25\mu s$ 遅いが、バースト読み出しが可能で実効バンド幅が広い。

【0006】

このため、データの書き込み時間が $200\mu s$ 、データの消去時間が $1ms$ 程度とNOR型に比べて遅いが、一度にデータ書き込み及びデータ消去の出来るビット数が多い。従って、バーストで書き込みデータを取り込み、一度にページ単位でデータ書き込みが出来るため実効バンド幅が高いメモリであり、上記のようなメモリカード、USBメモリや、最近では携帯電話のメモリ等で用いられている。

【0007】

NAND型フラッシュメモリでは、データ書き込みやデータ消去の際に $20V$ 程度の高電圧が用いられる。このため、多段の昇圧回路を用いた電圧発生回路により、高電圧が生成される。しかし、多段に設けられた昇圧回路は回路規模が大きく多くの領域を占めることになる。1つの昇圧回路の領域を小さくすることができれば、昇圧回路の領域を全体的に削減させることができる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-109008号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

電圧発生回路の占有面積を縮小可能な半導体装置を提供する。

【課題を解決するための手段】

【0010】

実施形態によれば半導体装置は、一端に第1電圧を供給する第1電圧源が接続された第1トランジスタと、前記第1トランジスタによって前記第1電圧に充電される第1ノードと、前記第1ノードに電極の一方が接続され、他方の電極に第2電圧を有するクロック信号が供給される第1キャパシタと、一端が前記第1ノードに接続され、前記第1ノードの電位をオン状態とされた第1タイミングで出力する第1スイッチ素子と、一端が前記第1ノードに接続され、前記第1ノードの前記電位をオン状態とされた前記第1タイミングとは異なる第2タイミングで出力する第2スイッチ素子とを具備する。

【図面の簡単な説明】

【0011】

【図1】第1の実施形態に係るNAND型フラッシュメモリの全体図。

【図2】第1の実施形態に係る高電圧発生回路の概念図。

10

20

30

40

50

【図3】第1の実施形態に係る昇圧ポンプの概念図。

【図4】第1の実施形態に係る昇圧ポンプに供給されるクロックのタイムチャート。

【図5】第1の実施形態に係る昇圧ポンプに供給されるクロックを生成する生成回路の概念図。

【図6】第1の実施形態に係る生成回路に供給されるクロックのタイムチャート。

【図7】第1の実施形態に係る生成回路のレイアウトの概念図。

【図8】第2の実施形態に係る生成回路の概念図。

【図9】第2の実施形態に係る生成回路に供給されるクロックのタイムチャート。

【図10】第2の実施形態に係る生成回路のレイアウトの概念図。

【発明を実施するための形態】

10

【0012】

以下、実施形態につき図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0013】

[第1の実施形態]

図1に本実施形態に係るNAND型フラッシュメモリの全体図を示す。

【0014】

<1.全体構成例>

図1に示すように、NAND型フラッシュメモリは、メモリセルアレイ1、ロウデコーダ2、ドライバ回路3、高電圧発生回路4、センスアンプ5、データ入出力端子6、及び制御部7を備える。

20

【0015】

<メモリセルアレイ1について>

メモリセルアレイ1は、複数の不揮発性のメモリセルトランジスタMTを含んだブロックBLK0乃至BLKsを備える(sは自然数)。ブロックBLK0乃至BLKsの各々は、不揮発性のメモリセルトランジスタMTが直列接続された複数のNANDストリング15を備えている。NANDストリング15の各々は、例えば64個のメモリセルトランジスタMTと、選択トランジスタST1、ST2とを含んでいる。

【0016】

メモリセルトランジスタMTは、2値以上のデータを保持可能とする。このメモリセルトランジスタMTの構造は、p型半導体基板上にゲート絶縁膜を介在して形成された浮遊ゲート(導電層)と、浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んだFG型である。なお、メモリセルトランジスタMTはMONOS型であってもよい。MONOS型とは、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層(例えば絶縁膜)と、電荷蓄積層上に形成され、電荷蓄積層より誘電率の高い絶縁膜(以下、ブロック層と呼ぶ)と、更にブロック層上に形成された制御ゲート電極とを有する構造である。

30

【0017】

メモリセルトランジスタMTの制御ゲートはワード線として機能し、ドレインはビット線に電氣的に接続され、ソースはソース線に電氣的に接続されている。またメモリセルトランジスタMTは、nチャネルMOSトランジスタである。なお、メモリセルトランジスタMTの個数は64個に限られず、128個や256個、512個等であってもよく、その数は限定されるものではない。

40

【0018】

またメモリセルトランジスタMTは、隣接するもの同士でソース、ドレインを共有している。そして、選択トランジスタST1、ST2間に、その電流経路が直列接続されるようにして配置されている。直列接続されたメモリセルトランジスタMTの一端側のドレイン領域は選択トランジスタST1のソース領域に接続され、他端側のソース領域は選択トランジスタST2のドレイン領域に接続されている。

【0019】

50

同一行にあるメモリセルトランジスタMTの制御ゲート電極はワード線WL0～WL63のいずれかに共通接続され、同一行にあるメモリセルトランジスタMTの選択トランジスタST1、ST2のゲート電極は、それぞれセレクトゲート線SGD1、SGS1に共通接続されている。なお説明の簡単化のため、以下ではワード線WL0～WL63を区別しない場合には、単にワード線WLと呼ぶことがある。また、メモリセルアレイ1において同一列にある選択トランジスタST1のドレインは、いずれかのビット線BL0～BLnに共通接続される。以下、ビット線BL0～BLn（n：自然数）についても、これらを区別しない場合には一括してビット線BLと呼ぶ。選択トランジスタST2のソースはソース線SLに共通接続される。

【0020】

また、同一のワード線WLに接続された複数のメモリセルトランジスタMTには一括してデータが書き込まれ、この単位をページと呼ぶ。更に、複数のメモリセルトランジスタMTはブロックBLK単位で一括してデータが消去される。

【0021】

<ロウデコーダ2について>

次にロウデコーダ2について説明する。ロウデコーダ2は、ブロックデコーダ20、及びnチャンネル型MOSトランジスタ21乃至23を備える。ブロックデコーダ20は、データの書き込み動作時、読み出し動作時、及び消去時において、制御部7から与えられたブロックアドレスをデコードし、その結果に基づいてブロックBLKを選択する。すなわち、選択されたメモリセルトランジスタMTが含まれるブロックBLKに対応するMOSトランジスタ21乃至23が接続される制御線TGを選択して、該MOSトランジスタ21乃至23をオン状態とする。このとき、ブロックデコーダ20からは、ブロック選択信号が出力される。ブロック選択信号とは、データの読み出し、書き込み、消去など行う際に、ロウデコーダ2が複数あるメモリブロックBLK0乃至BLKsのうちいずれかを選択する信号である。またこれにより、ロウデコーダ2は、選択されたブロックBLKに対応するメモリセルアレイ1のロウ方向を選択する。つまり、ブロックデコーダ20から与えられる選択信号に基づいて、ロウデコーダ2はセレクトゲート線SGD1、SGS1、及びワード線WL0～WL63に対し、ドライバ回路3から与えられた電圧をそれぞれ印加する。

【0022】

<ドライバ回路3について>

次にドライバ回路3について説明する。ドライバ回路3は、セレクトゲート線SGD1、SGS1毎に設けられたセレクトゲート線ドライバ31、32、及びワード線WL毎に設けられたワード線ドライバ33を備える。本実施形態では、ブロックBLK0に対応したワード線ドライバ33、セレクトゲート線ドライバ31、32のみを図示する。しかし実際では、これらワード線ドライバ33、セレクトゲート線ドライバ31、及び32は、ブロックBLK0乃至ブロックBLKsに設けられた、例えば64本のワード線WL及びセレクトゲート線SGD1、SGS1に共通接続されている。

【0023】

制御部7から与えられるページアドレスのデコード結果に応じて、ブロックBLKが選択される。ワード線ドライバ33は選択されたワード線WLを介してドライバ回路3から与えられた必要とされる電圧を、この選択ブロックBLK内に設けられたメモリセルトランジスタMTの制御ゲートへと転送する。またセレクトゲート線ドライバ31は、選択ブロックBLKに対応するセレクトゲート線SGD1を介し、必要とする電圧を選択トランジスタST1のゲートへと転送する。この時、セレクトゲート線ドライバ31は選択トランジスタST1のゲートに信号sgdを転送する。具体的には、セレクトゲート線ドライバ31は、データの書き込み時、読み出し時、消去時、更にはデータのペリファイ時に、セレクトゲート線SGD1を介して、例えば信号sgdを選択トランジスタST1のゲートに転送する。なお、信号sgdは、その信号が‘L’レベルであった場合、0[V]とされ、‘H’レベルであった場合電圧VDD（例えば、1.8[V]）する。

10

20

30

40

50

【 0 0 2 4 】

また、セレクトゲート線ドライバ31と同様にセレクトゲート線ドライバ32は、選択ブロックBLKに対応するセレクトゲート線SGS1を介し、データの書き込み時、読み出し時、データのペリファイ時にセレクトゲート線SGS1を介してそれぞれ必要とする電圧を選択トランジスタST2のゲートに転送する。この時、セレクトゲート線ドライバ32は選択トランジスタST2のゲートに信号sgsを転送する。信号sgsは、その信号が‘L’レベルであった場合0[V]とされ、‘H’レベルであった場合電圧VDDとする。

【 0 0 2 5 】

< 高電圧発生回路4について >

次に図2を用いて高電圧発生回路4について説明する。図2に示すように、高電圧発生回路4は昇圧ポンプ40-1、40-2、40-3、...、40-n(n:自然数)を備える。以下、昇圧ポンプ40-1、40-2、40-3、...、40-nを区別しない場合には、単に昇圧ポンプ40と呼ぶ。複数の昇圧ポンプ40のうち、初段の昇圧ポンプ40-1は、内部電圧VSUP0を入力電圧として次段の昇圧ポンプ40-2に電圧VSUP1を出力する。また、昇圧ポンプ40-2は、昇圧ポンプ40-1から供給された電圧VSUP1を入力電圧として次段の昇圧ポンプ40-3に電圧VSUP2を出力する。以下同様に、昇圧ポンプ40-nは電圧VSUP(n-1)を入力電圧として、電圧VSUPnを出力する。

【 0 0 2 6 】

なお、各昇圧ポンプ40は、クロックCLKが入力されたタイミングで電圧VSUPを出力する。なお、初段の昇圧ポンプ40-1に入力されるVSUPの大きさは、例えば1.8[V]、3.6[V]などの値である。

【 0 0 2 7 】

< センスアンプ5について >

センスアンプ5は、データの読み出し時にメモリセルトランジスタMTからビット線BLに読み出されたデータをセンスして増幅する。またデータの書き込み時には、対応するビット線BLに書き込みデータを転送する。

【 0 0 2 8 】

< データ入出力端子6について >

次にデータ入出力回路6について説明する。データ入出力回路6は、図示せぬI/O端子を介してホスト(host)から供給されたアドレス及びコマンドを制御部7へ出力する。またデータ入出力回路6は、書き込みデータを、データ線D_{line}を介してセンスアンプ5へと出力する。また、データをホストへ出力する際は、制御部7に基づき、センスアンプ5が増幅したデータを、データ線D_{line}を介して受け取った後、I/O端子を介してホストへ出力する。

【 0 0 2 9 】

< 制御部7について >

次に制御部7について説明する。制御部7は、NAND型フラッシュメモリ全体の動作を制御する。すなわち、データ入出力回路6を介して、図示せぬホストから与えられた上記アドレス、及びコマンドに基づいて、データの書き込み動作、読み出し動作、及び消去動作における動作シーケンスを実行する。制御部7はアドレス、及び動作シーケンスに基づき、ブロック選択信号/カラム選択信号を生成する。

【 0 0 3 0 】

制御部7は、前述したブロック選択信号をロウデコーダ3に出力する。また、制御部7はカラム選択信号をセンスアンプ5に出力する。カラム選択信号とは、センスアンプ5のカラム方向を選択する信号である。

【 0 0 3 1 】

また、制御部7には、図示せぬホストから供給された制御信号が与えられる。制御部7は供給された制御信号により、図示せぬI/O端子を介してホスト(host)からデータ入

10

20

30

40

50

出力回路 6 へと供給された信号がアドレスであるのか、データであるのかを区別する。

【 0 0 3 2 】

また、制御部 7 は（後述する）クロック生成回路 5 0 に転送するクロック信号のタイミングを制御する。このクロック信号はホストから転送されてもよいし、制御部 7 が自身で生成してもよい。

【 0 0 3 3 】

< 2 . 高電圧発生回路 4 の詳細（昇圧ポンプの構成）について >

次に図 3 を用いて上述した高電圧発生回路 4 における昇圧ポンプ 4 0 の内部構成例について説明する。

【 0 0 3 4 】

図示するように、昇圧ポンプ 4 0 は、 n チャネル型 MOS トランジスタ 4 0 0 - 1 ~ 4 0 0 - 4、及びキャパシタ素子 4 0 0 - 5 ~ 4 0 0 - 8 を備える。

【 0 0 3 5 】

MOS トランジスタ 4 0 0 - 1 の電流経路の一端には、上記電圧 V_{SUP} （内部電圧（例えば 1.8 V）または外部電圧）が供給され、他端はノード N_1 に接続される。この MOS トランジスタ 4 0 0 - 1 はオン状態で電圧 V_{SUP} をノード N_1 に転送する。

【 0 0 3 6 】

MOS トランジスタ 4 0 0 - 2 の電流経路の一端はノード N_1 に接続され、他端は出力ノードに接続される。また、ノード N_1 には、キャパシタ素子 4 0 0 - 5 を構成する電極の一方が接続され、他の電極にはクロック信号（以下、クロック $CLKV_0$ ）が入力される。MOS トランジスタ 4 0 0 - 1 によってノード N_1 の電圧が電圧 V_{SUP} に充電された場合であって、その後キャパシタ素子 4 0 0 - 5 に、例えばクロック $CLKV_0$ として、ある大きさの電圧の方形波（例えば、電圧 V_{SUP} ）が入力されるとノード N_1 の電圧は、電圧 $V_{SUP} \times 2$ とされる。ここで、MOS トランジスタ 4 0 0 - 1 のゲートには、電圧（ $V_{SUP} + V_{th1}$ ）の電圧が印加されると、ノード N_1 の電位は電圧 V_{SUP} とされる。なお、電圧 V_{th1} とは、MOS トランジスタ 4 0 0 - 1 の閾値電圧である。また、MOS トランジスタ 4 0 0 - 2 がオン状態とされると、ノード N_1 の電圧 $V_{SUP} \times 2$ が出力ノードに転送される。なお、キャパシタ素子 4 0 0 - 5 に入力される電圧を電圧 V_{SUP} としたが、これに限られない。すなわち、この電圧 V_{SUP} よりも小さい値でもよいし、当然大きな値でもよい。

【 0 0 3 7 】

従って、キャパシタ素子 4 0 0 - 5 に入力される電圧により、出力ノードに出力される電圧は異なった値とされる。以下、実施形態では、一例としてキャパシタ素子 4 0 0 - 5 に入力される方形波を電圧 V_{SUP} として説明する。

【 0 0 3 8 】

MOS トランジスタ 4 0 0 - 3 の電流経路の一端は、MOS トランジスタ 4 0 0 - 1 の電流経路の一端と共通接続される。つまり、MOS トランジスタ 4 0 0 - 3 の電流経路の一端には上記電圧 V_{SUP} が供給され、MOS トランジスタ 4 0 0 - 3 の電流経路の他端はノード N_2 に接続され、ゲートは、上記 MOS トランジスタ 4 0 0 - 2 のゲートと共通接続される。MOS トランジスタ 4 0 0 - 1 と同様に、この MOS トランジスタ 4 0 0 - 3 はオン状態で電圧 V_{SUP} をノード N_2 に転送する。

【 0 0 3 9 】

MOS トランジスタ 4 0 0 - 4 の電流経路の一端はノード N_2 に接続され、他端は MOS トランジスタ 4 0 0 - 2 の電流経路の他端と出力ノードに共通接続される。また、MOS トランジスタ 4 0 0 - 4 のゲートは上記 MOS トランジスタ 4 0 0 - 1 のゲートと共通接続される。またノード N_2 には、キャパシタ素子 4 0 0 - 6 を構成する電極の一方が接続され、他の電極にはクロック $CLKV_1$ が入力される。MOS トランジスタ 4 0 0 - 3 によってノード N_2 の電圧が電圧 V_{SUP} に充電された場合であって、その後例えばクロック $CLKV_1$ （例えば、電圧 V_{SUP} ）として方形波がキャパシタ素子 4 0 0 - 6 に入力されるとノード N_2 の電圧は、電圧 $V_{SUP} \times 2$ とされる。この MOS トランジスタ 4

10

20

30

40

50

00 - 4 がオン状態とされると、ノードN2の電圧 $V_{SUP} \times 2$ が出力ノードに転送される。ここで、MOSトランジスタ400 - 3のゲートには、電圧($V_{SUP} + V_{th3}$)の電圧が印加されると、ノードN1の電位は電圧 V_{SUP} とされる。なお、電圧 V_{th3} とは、MOSトランジスタ400 - 3の閾値電圧である。また、MOSトランジスタ400 - 4 がオン状態とされると、ノードN2の電圧 $V_{SUP} \times 2$ が出力ノードに転送される。

【0040】

更に、キャパシタ素子400 - 7の一方の電極は、MOSトランジスタ400 - 2及び400 - 3のゲートと共通接続され、他の電極にはクロックCLKG0が入力される。キャパシタ素子400 - 8の一方の電極は、MOSトランジスタ400 - 1及び400 - 4のゲートと共通接続され、他の電極にはクロックCLKG1が入力される。つまり、クロックCLKG0及びクロックCLKG1が補相的に入力されることで、MOSトランジスタ400 - 2と400 - 3及び400 - 8と400 - 1とが交互にオン・オフを繰り返し、出力ノードには電圧 V_{SUP} が交互に出力される。

【0041】

< 3 . 昇圧ポンプ40における入力クロック動作について >

次に図4を用いて上記昇圧ポンプに入力されるクロック信号のタイムチャートについて説明する。横軸に時間を取り、縦軸にクロックCLKV1、CLKG1、CLKV0、及びCLKG0を取る。

【0042】

まず、時刻 t_0 以前において、ノードN1の電位が電圧 V_{SUP} であるものとする。つまり、図示せぬクロックCLKG1によりMOSトランジスタ400 - 1によってノードN1が電圧 V_{SUP} に充電されているものとする。次いで時刻 t_1 において電圧 V_{SUP} に達したクロックCLKV0がキャパシタ素子400 - 5に入力される。すると、キャパシタ素子400 - 5を介してノードN1の電位は電圧 $V_{SUP} \times 2$ とされる。この際、MOSトランジスタ400 - 1はクロックCLKG1が‘L’レベルであるためオフ状態である。

【0043】

また、同時刻 t_1 において電圧 $V_{SUP} \times 2$ に達したクロックCLKG0がキャパシタ素子400 - 7に印加される。この結果、電圧 $V_{SUP} \times 2$ がMOSトランジスタ400 - 3及びMOSトランジスタ400 - 2のゲートにそれぞれ印加され、MOSトランジスタ400 - 2及び400 - 3がそれぞれオン状態とされる。従って、MOSトランジスタ400 - 2は、ノードN1の電圧($V_{SUP} \times 2 - V_{th2}$)を出力ノードに、MOSトランジスタ400 - 3は、電圧 V_{SUP} をノードN2に転送する。ここで、電圧 V_{th2} とは、MOSトランジスタ400 - 2の閾値電圧である。その後、時刻 t_3 において、クロックCLKG0及びクロックCLKV0はそれぞれ‘L’レベルとされる。

【0044】

次いで、時刻 t_5 において電圧 V_{SUP} に達したクロックCLKV1がキャパシタ素子400 - 6に供給される。すると、キャパシタ素子400 - 6を介してノードN2の電位は電圧 V_{SUP} から電圧 $V_{SUP} \times 2$ に上昇する。この際、クロックCLKG0は‘L’レベルとされることから、MOSトランジスタ400 - 3はオフ状態とされ、ノードN2の電位がMOSトランジスタ400 - 3を介して電圧源側に逆流しない。

【0045】

また、時刻 t_5 において電圧 $V_{SUP} \times 2$ に達したクロックCLKG1がキャパシタ素子400 - 8に供給される。この結果、電圧 $V_{SUP} \times 2$ がMOSトランジスタ400 - 4及び400 - 1のゲートにそれぞれ印加される。従って、このMOSトランジスタ400 - 1、400 - 3はオン状態とされ、出力ノードにはノードN2から電圧($V_{SUP} \times 2 - V_{th4}$)が転送される。ここで、電圧 V_{th4} とは、MOSトランジスタ400 - 4の閾値電圧である。その後、時刻 t_7 において、クロックCLKG1及びクロックCLKV1は‘L’レベルとされ、MOSトランジスタ400 - 4がオフ状態とされる。以降

10

20

30

40

50

の時刻についても上記記載した動作を繰り返す。

【 0 0 4 6 】

< 4 . クロック生成回路 5 0 の構成例について >

次に、図 5 を用いて昇圧ポンプ 4 0 に供給されるクロック C L K G 0 及びクロック C L K G 1 を生成するクロック生成回路 5 0 の構成例について説明する。このクロック生成回路 5 0 は上記昇圧ポンプ毎に設けられる。

【 0 0 4 7 】

図示するようにクロック生成回路 5 0 は、 n チャネル型 M O S トランジスタ 5 0 0 - 1 及び 5 0 0 - 2、並びにキャパシタ素子 5 0 0 - 3 及び 5 0 0 - 4、並びにインバータ 5 0 0 - 5 及び 5 0 0 - 6 を備える。

10

【 0 0 4 8 】

M O S トランジスタ 5 0 0 - 1 の電流経路の一端には外部電圧 V S U P が供給され、他端はノード N 3 に接続される。この M O S トランジスタ 5 0 0 - 1 にゲートはノード N 4 に接続されている。また M O S トランジスタ 5 0 0 - 2 の電流経路の一端は、 M O S トランジスタ 5 0 0 - 1 の電流経路の一端と共通接続され、他端はノード N 4 に接続される。この M O S トランジスタ 5 0 0 - 2 のゲートはノード N 3 に接続されている。 M O S トランジスタ 5 0 0 - 1 及び 5 0 0 - 2 は、ノード N 4、N 3 の電圧に応じて交互にオン状態とされ、電圧 V S U P をノード N 3、N 4 に転送する。

【 0 0 4 9 】

キャパシタ素子 5 0 0 - 3 の一方の電極にはノード N 3 が接続され、他の電極にはクロック C L K A が供給される。クロック C L K A は例えば振幅 V S U P の信号である。また、キャパシタ素子 5 0 0 - 4 の一方の電極はノード N 4 に接続され、他の電極にはクロック / C L K A が供給される。このキャパシタ素子 5 0 0 - 4 の容量は、後述するようにキャパシタ素子 5 0 0 - 3 よりも小さな値である。従って、素子自体がキャパシタ素子 5 0 0 - 3 よりも小さい。また、ノード N 3 にはインバータ 5 0 0 - 5、5 0 0 - 6 の一方の電源ノードが接続され、他方の電源ノードは接地されている。インバータ 5 0 0 - 5、5 0 0 - 6 の入力端には、制御部 7 から出力されたクロック信号 / C L K 0、/ C L K 1 がそれぞれ供給される。インバータ 5 0 0 - 5、5 0 0 - 6 は、クロック信号 / C L K 0、/ C L K 1 に応じてクロック C L K G 0、C L K G 1 を出力する。

20

【 0 0 5 0 】

図 5 の左下にインバータ 5 0 0 - 5 の一例を示す。なお、インバータ 5 0 0 - 5、5 0 0 - 6 は同一の構成であるため、ここではインバータ 5 0 0 - 5 についてのみ説明する。

30

【 0 0 5 1 】

図示するように、インバータ 5 0 0 - 5 は p チャネル型 M O S トランジスタ及び n チャネル型 M O S トランジスタから構成される。 p チャネル型 M O S トランジスタの電流経路の一端 (電源ノード) はノード N 3 に接続され、他端は n チャネル型 M O S トランジスタの電流経路の一端に接続され、クロック C L K G 0 の出力端とされる。 n チャネル型 M O S トランジスタの電流経路の他端は接地される。また、これら p チャネル型 M O S トランジスタ、 n チャネル型 M O S トランジスタのゲートにはクロック / C L K 0 が与えられる。

40

【 0 0 5 2 】

また、インバータ 5 0 0 - 6 を構成する p チャネル型 M O S トランジスタの電流経路の一端は、ノード N 3 が接続され、他端はクロック C L K G 1 を出力する出力端とされ、ゲートにはクロック / C L K 1 が供給される。このクロック / C L K 0 及びクロック / C L K 1 は補相的にインバータ 5 0 0 - 5、5 0 0 - 6 の入力端に供給される。このため、インバータ 5 0 0 - 5 及び 5 0 0 - 6 はクロック C L K G 0 とクロック C L K G 1 とを交互に出力する。具体的には、上記図 4 のタイムチャートに示すようなタイミングで、インバータ 5 0 0 - 5 及び 5 0 0 - 6 はクロック C L K G 0 とクロック C L K G 1 を出力する。

【 0 0 5 3 】

なお、上記図 5 において、クロック C L K G 0 及び C L K G 1 を出力する構成としてイ

50

ンバータを一例として挙げたが、ノードN3の電位と接地電位とをクロックCLKG0及びCLKG1として交互に出力できる構成であればこれに限られない。つまり、クロック/CLK0によって制御され、ノードN3とクロックCLKG0の出力端とを一時的に電氣的接続可能な第1スイッチと、接地電位とクロックCLKG0の出力端とを一時的に電氣的接続可能な第2スイッチとが設けられていても良い。なお、以下実施形態では、簡単なため一例としてインバータを挙げて説明する。

【0054】

<5.クロック生成回路50のクロック生成動作について>

次に上記構成における動作について、図6を用いて説明する。図6は、クロック生成回路50によるクロックCLKG0及びクロックCLKG1を生成する動作を示したタイムチャートである。図示するように、横軸に時間を取り、縦軸にクロックCLKG0、クロックCLK0、クロックCLKG1、クロックCLK1、及びクロックCLKAを取る。なお、クロックCLKAは、クロック/CLK0とクロックCLK1とのNAND演算で得られる信号である。つまり、クロック/CLK0とクロックCLK1とのいずれか一方が‘L’レベルとされると、クロックCLKAは‘H’レベルとされる。まず、前提としてノードN4の電位は電圧VSUPとする。つまり、MOSトランジスタ500-2によってノードN4の電位が電圧VSUPにまで充電されている場合を想定する。

10

【0055】

時刻t0以前ではクロック/CLKA(図6には示していない)が‘H’レベル(電圧VSUP)とされる。従って、キャパシタ素子500-4には電圧VSUPが供給され、この結果ノードN4の電位は電圧VSUPから電圧VSUP×2まで充電される。従って、MOSトランジスタ500-1がオン状態とされ、ノードN3の電位は電圧VSUPにまで達する。つまり、クロック/CLKAが‘H’レベル(クロックCLKAが‘L’)の期間、ノードN3の電位が充電される。

20

【0056】

次いで、時刻t1においてクロックCLKAが電圧VSUPに達する。この電圧VSUPがキャパシタ素子500-3に供給されることで、ノードN3の電位が上記電圧VSUPから電圧VSUP×2まで上昇する。なお、ノードN3の電位が電圧VSUPにまで達するためMOSトランジスタ500-1はオフ状態とされる。つまり、ノードN3の電位が電圧源に向かって逆流することはない。また、ノードN3の電位が電圧VSUP×2とされることから、MOSトランジスタ500-2はオン状態とされ、ノードN4の電位は電圧VSUPにまで充電される。

30

【0057】

また同時刻t1において、クロックCLK0が‘H’レベル(クロック/CLK0=‘L’)とされ、インバータ500-5を構成するpチャネル型MOSトランジスタがオン状態とされる。この結果、ノードN3の電位VSUP×2がこのインバータ500-5を介して電圧VSUP×2のクロックCLKG0が出力される。

【0058】

その後、時刻t3においてクロックCLK0は‘L’レベルとされインバータ500-5におけるpチャネル型MOSトランジスタはオフ状態とされる。すなわち、同時刻t3においてクロックCLKG0も‘L’レベルとされる。

40

【0059】

また、時刻t3においてクロックCLKAが‘L’レベルとされることから、再度ノードN3の電位が電圧VSUPにまで充電される。充電される最大期間は時刻t3～t4までの期間である。つまり、MOSトランジスタ500-1の電流供給率が高ければ高いほどノードN3が電圧VSUPに達する時間は短くて済み、(t4-t3)の時間も短くなる。簡単化のために、本実施形態では時刻t3～t4の期間にノードN3の電位が電圧VSUPに充電されるものとする。

【0060】

次いで、時刻t4において、クロックCLKAが電圧VSUPに達する。この電圧VS

50

UPがキャパシタ素子500-3に供給されることで、ノードN3の電位が上記電圧V_{SUP}から電圧V_{SUP}×2まで上昇する。従って、上述したようにノードN3の電位が電圧V_{SUP}にまで達することからMOSトランジスタ500-1はオフ状態とされる。つまり、ノードN3の電位が電圧源に向かって逆流することはない。

【0061】

時刻t5において、クロックCLK1が‘H’レベル(クロック/CLK1=‘L’)とされ、インバータ500-6を構成するpチャネル型MOSトランジスタがオン状態とされる。この結果、ノードN3の電位V_{SUP}×2がこのインバータ500-6を介して電圧V_{SUP}×2のクロックCLKG1が出力される。

【0062】

その後、時刻t7においてクロックCLK1は‘L’レベルとされインバータ500-6におけるpチャネル型MOSトランジスタはオフ状態とされる。すなわち、同時刻t7においてクロックCLKG1も‘L’レベルとされる。

【0063】

時刻t8以降も同様な動作を繰り返すことで、クロックCLKG0とクロックCLKG1とがインバータ500-5、500-6から交互に出力される。

【0064】

<6.クロック生成回路50のレイアウトについて>

次に図7を用いて上記図5で説明したクロック生成回路50のレイアウトについて説明する。図7に示すように、占有面積の大きなキャパシタ素子500-3を中央に配置する。このキャパシタ素子500-3の電極面に沿って、この電極の中心を通る軸Aに対して線対称となるように、キャパシタ素子500-3の両側にインバータ500-5及び500-6を配置する。このキャパシタ素子500-3の電圧V_{SUP}×2は配線_{C1}、配線_{C2}を介してインバータ500-5及び500-6に転送する。このときキャパシタ素子500-3の一方の電極とpチャネル型MOSトランジスタのソース端とが配線_{C1}、_{C2}でそれぞれ接続されている。また、インバータ500-5を構成するpチャネル型MOSトランジスタ、nチャネル型MOSトランジスタのゲートには、配線_{G1}が接続され、この配線_{G1}を介してクロック/CLK0が供給される。同様に、インバータ500-6を構成するpチャネル型MOSトランジスタ、nチャネル型MOSトランジスタのゲートには、配線_{G2}が接続され、この配線_{G1}を介してクロック/CLK1が供給される。

【0065】

更に、軸Aに沿ってキャパシタ素子500-1に隣接するようにMOSトランジスタ500-1を配置する。このMOSトランジスタ500-1のソース端とキャパシタ素子500-3の一方の電極とが配線_{Tr}で接続される。

【0066】

上述したようにこのMOSトランジスタ500-1には電圧V_{SUP}が電圧源から供給されている。この電圧V_{SUP}を供給する供給線_{Line-1}を軸Aと直行する方向であって、且つMOSトランジスタ500-1を挟んでキャパシタ素子500-3の反対側に配置する。

【0067】

この供給線_{Line-1}とインバータ500-5との間にキャパシタ素子500-4aを配置し、後述するMOSトランジスタ500-2bと配線_{C3}で接続する。

【0068】

また供給線_{Line-1}とインバータ500-6との間にキャパシタ素子500-4bを配置し、後述するMOSトランジスタ500-2aと配線_{C4}で接続する。これらキャパシタ素子500-4a及び500-4bは、上記キャパシタ素子500-4の半分の容量を備える。

【0069】

また、キャパシタ素子500-3と供給線_{Line-1}との間、且つMOSトランジスタ500-1とキャパシタ素子500-4aとの間にMOSトランジスタ500-2aを

10

20

30

40

50

配置する。同様にキャパシタ素子500-3と供給線Line-1との間、且つMOSトランジスタ500-2とキャパシタ素子500-4bとの間にMOSトランジスタ500-2bを配置する。これらMOSトランジスタ500-2a及び500-2bは、上記キャパシタ素子500-2の半分の電流供給率を備える。

【0070】

上記MOSトランジスタ500-2及びキャパシタ素子500-4をそれぞれ2つに分割することで、図7に示すような軸Aを線対称としたレイアウトが形成される。

【0071】

本実施形態に係る半導体装置であると、クロック生成回路50の面積縮小が可能となる。すなわち、本実施形態に係るクロック生成回路50はキャパシタ素子500-3を用いてノードN3の電位を電圧 $V_{SUP} \times 2$ にまで上昇させ、このノードN3をインバータ500-5及び500-6で共有する構成を備える。またノードN3の電位を電圧 $V_{SUP} \times 2$ にまで上昇させる必要があるため、キャパシタ素子500-1の容量を大きくする必要がある。キャパシタ素子の占有面積は、必要とする容量に比例して大きくなる。

10

【0072】

仮に、インバータ500-5及び500-6がノードN3を共有しておらず、インバータ500-6に電圧 $V_{SUP} \times 2$ を供給するキャパシタ素子を、更に設けた場合、この更に設けられたキャパシタ素子の面積の分だけクロック生成回路50の回路面積が大きくなってしまふ。

【0073】

クロック生成回路50は、クロック/CLKG0及びクロック/CLKG1を交互に出力すればよいことから、クロックCLKAがこれらクロック/CLKG0とクロック/CLKG1と同期していればよい。つまり、クロック/CLKG0またはクロック/CLKG1のそれぞれがインバータ500-5及び500-6に入力されるタイミングで、クロックCLKAによりノードN3の電位が電圧 $V_{SUP} \times 2$ となっていればよい。従ってノードN3をインバータ500-5及び500-6で共通接続すれば、一方のキャパシタ素子を省略することが出来、面積縮小が実現できる。

20

【0074】

なお、キャパシタ素子500-4はMOSトランジスタ500-1が電圧 V_{SUP} をノードN3に転送できるよう、このMOSトランジスタ500-1を駆動するためのものであり、容量はキャパシタ素子500-3よりも十分小さい。このため、インバータ500-6を駆動する大容量のキャパシタ素子を設ける場合に比して、本実施形態に係るクロック生成回路50は、キャパシタ素子500-3と容量の十分小さいキャパシタ素子500-4とで済むため、面積縮小を実現できる。

30

【0075】

また更に、本実施形態における半導体装置であると、昇圧ポンプ40-nが出力する電圧 V_{SUPn} を安定させることが出来る。この理由を以下説明する。

【0076】

上述したようにクロック生成回路50のレイアウトは軸Aを線対称として配置される。このため、クロック生成回路50を構成する部材に接続され、クロック信号を転送するそれぞれの信号線の長さも同一とされる。これは、信号線の配線容量及び配線抵抗のバラつきを抑えることが出来、この対称に設けられた信号線をそれぞれ伝播する電圧(クロック信号)の波形にバラつきがなくなる。これはインバータ500-5及び500-6から出力されるクロックCLKG0、クロックCLKG1がバラつくことを抑制する。つまり、図2に示すように昇圧ポンプ40-nから出力される電圧 V_{SUPn} は波形が安定した電圧が出力される。

40

【0077】

[第2の実施形態]

次に、図8を用いて第2の実施形態に係る半導体装置について説明する。図8は、本実施形態に係るクロック生成回路50の構成例である。

50

【 0 0 7 8 】

< 1 . 構成例について >

図 8 に示すように、本実施形態に係るクロック生成回路 5 0 は、上記第 1 の実施形態におけるクロック生成回路 5 0 において MOS トランジスタ 5 0 0 - 2 及びキャパシタ素子 5 0 0 - 4 を廃し、n チャネル型 MOS トランジスタ 5 0 0 - 7 及び 5 0 0 - 8、並びにキャパシタ素子 5 0 0 - 9 及び 5 0 0 - 1 0 を設けた構成である。以下、第 1 の実施形態におけるクロック生成回路 5 0 と同一の構成については説明を省略する。

【 0 0 7 9 】

図示するように、MOS トランジスタ 5 0 0 - 7 の電流経路の一端には、電圧源 V S U P 2 (例えば、MOS トランジスタ 5 0 0 - 1 の閾値電圧 V_{th1} 以上で電圧 V S U P 未満の電圧) が供給され、他端はノード N 5 に接続され、ゲートはノード N 6 と MOS トランジスタ 5 0 0 - 1 のゲートに接続される。つまり、ノード N 6 の電位が MOS トランジスタ 5 0 0 - 7 の有する閾値電圧以上に達するとこの MOS トランジスタ 5 0 0 - 7 がオン状態とされ、ノード N 5 に電圧 V S U P 2 が転送される。

10

【 0 0 8 0 】

MOS トランジスタ 5 0 0 - 8 の電流経路の一端には、上記電圧源 V S U P 2 が供給され、他端はノード N 6 に接続され、ゲートはノード N 5 で上記 MOS トランジスタ 5 0 0 - 7 の電流経路の他端と共通接続される。つまり、ノード N 5 の電位が上昇し、MOS トランジスタ 5 0 0 - 8 の有する閾値電圧よりも大きな電圧とされると、MOS トランジスタ 5 0 0 - 8 によって、ノード N 6 に電圧 V S U P 2 が転送される。

20

【 0 0 8 1 】

また、ノード N 5 には、キャパシタ素子 5 0 0 - 9 の一方の電極が接続され、他の電極にはクロック C L K A が供給される。ノード N 6 には、キャパシタ素子 5 0 0 - 1 0 の一方の電極が接続され、他の電極にはクロック C L K A が供給される。

【 0 0 8 2 】

更にインバータ 5 0 0 - 5 を構成する p チャネル型 MOS トランジスタ及び n チャネル型 MOS トランジスタのゲートにはクロック / C L K 0 が供給される。

【 0 0 8 3 】

また、インバータ 5 0 0 - 6 を構成する p チャネル型 MOS トランジスタ及び n チャネル型 MOS トランジスタのゲートにはクロック / C L K 1 が供給される。

30

【 0 0 8 4 】

< 2 . クロック生成回路 5 0 の動作について >

次に図 9 を用いて上記クロック生成回路 5 0 の動作について説明する。図 9 は、本実施形態に係るクロック生成回路 5 0 の動作を示すタイムチャートである。図示するように、横軸に時間を取り、縦軸にクロック C L K G 0、クロック C L K 0、クロック C L K G 1、クロック C L K 1、及びクロック C L K A を取る。

【 0 0 8 5 】

まず、時刻 t_0 以前においてノード N 6 の電位が電圧 V S U P 2 であるものとする。すなわち、MOS トランジスタ 5 0 0 - 8 によって V S U P 2 がノード N 6 に転送されているものとする。

40

【 0 0 8 6 】

時刻 t_0 以前は、クロック C L K A は ' L ' レベル (クロック / C L K A = ' H ') であるため、キャパシタ素子 5 0 0 - 1 0 に例えば電圧 V S U P が供給される。この結果、ノード N 6 はそれまでの電圧 V S U P 2 から電圧 (V S U P 2 + V S U P) に上昇する。この電圧が MOS トランジスタ 5 0 0 - 1、5 0 0 - 7 のゲートにそれぞれ印加され、ノード N 3 の電位は MOS トランジスタ 5 0 0 - 1 によって電圧 V S U P にまで充電される。ここで、MOS トランジスタ 5 0 0 - 1 のゲートに電圧 V S U P に加え電圧 V S U P 2 を印加するのは、MOS トランジスタ 5 0 0 - 1 によってノード N 3 の電位を確実に電圧 V S U P にまで上昇させるためである。また、MOS トランジスタ 5 0 0 - 7 がオン状態とされるため、ノード N 5 の電位は電圧 V S U P 2 まで充電される。またノード N 6 の電

50

位は電圧 ($V_{SUP} + V_{SUP2}$) から放電され、その後ゼロ電位に遷移する。

【0087】

次いで、時刻 t_1 においてクロック CLK_A が 'H' レベルとされる。クロック CLK_A によって供給される電圧は、例えば電圧 V_{SUP} である。このため、キャパシタ素子 $500-3$ によってノード N_3 の電位は電圧 $V_{SUP} \times 2$ にまで充電され、またキャパシタ素子 $500-9$ によってノード N_5 の電位は電圧 ($V_{SUP} + V_{SUP2}$) にまで充電される。

【0088】

また同時刻 t_1 において、クロック CLK_0 が 'H' レベル (クロック / $CLK_0 = 'L'$) とされる。従って、インバータ $500-5$ を構成する p チャネル型 MOS トランジスタはオン状態とされる。この結果、同時刻 t_1 において p チャネル型 MOS トランジスタの出力端からは電圧 $V_{SUP} \times 2$ を有したクロック CLK_G0 が出力される。

10

【0089】

その後、時刻 t_3 においてクロック CLK_0 及び CLK_G0 はそれぞれ 'L' レベルとされる。

【0090】

次いで、時刻 $t_3 \sim$ 時刻 t_4 においてクロック $CLK_A = 'L'$ レベル (クロック / $CLK_A = 'H'$ レベル) とされる。これにより、再度ノード N_6 の電位は電圧 ($V_{SUP2} + V_{SUP}$) とされる。従って、MOS トランジスタ $500-1$ 、 $500-7$ がそれぞれオン状態とされ、ノード N_3 の電位は電圧 V_{SUP} 、ノード N_5 の電位は電圧 ($V_{SUP2} + V_{SUP}$) とされる。その後、時刻 t_5 においてクロック CLK_A 及びクロック CLK_1 がそれぞれ 'H' レベルとされる。

20

【0091】

この結果、同時刻 t_5 において電圧 ($V_{SUP} \times 2$) とされたノード N_3 の電圧がインバータ $500-6$ から電圧 $V_{SUP} \times 2$ とされたクロック CLK_G1 が出力される。その後、時刻 t_7 においてクロック CLK_1 及びクロック CLK_A がそれぞれ 'L' レベルとされ、クロック CLK_G1 においても 'L' レベルとされる。

【0092】

時刻 t_7 以降においても同様であるため、説明を省略する。

【0093】

< 3 . クロック生成回路 50 のレイアウトについて >

次に、図 10 を用いて本実施形態に係るクロック生成回路 50 のレイアウトについて説明する。なお、上記第 1 の実施形態と異なるレイアウトについてのみ説明する。

30

【0094】

図示するように、電圧 V_{SUP} を供給する供給線 $Line_1$ とインバータ $500-5$ との間にキャパシタ素子 $500-9$ を配置する。また供給線 $Line_1$ とインバータ $500-6$ との間にキャパシタ素子 $500-10$ を配置する。また、供給線 $Line_1$ に隣接するように電圧 V_{SUP2} を供給する供給線 $Line_2$ を軸 A に対して直行する方向に配置する。

【0095】

また、キャパシタ素子 $500-3$ と供給線 $Line_1$ との間、且つ MOS トランジスタ $500-1$ とキャパシタ素子 $500-9$ との間に MOS トランジスタ $500-7$ を配置する。同様にキャパシタ素子 $500-3$ と供給線 $Line_1$ との間、且つ MOS トランジスタ $500-1$ とキャパシタ素子 $500-10$ との間に MOS トランジスタ $500-8$ を配置する。

40

【0096】

ここで、キャパシタ素子 $500-4$ とキャパシタ素子 $500-9$ 及び $500-10$ との容量は同じである。このため、これらキャパシタ素子 $4a$ 、 $4b$ の面積の和がキャパシタ素子 9 及び 10 とそれぞれ同一の大きさとされる。つまり、図 7 と比べ配置されたキャパシタ素子 $500-9$ 及び $500-10$ はそれぞれキャパシタ素子 $4a$ 及び $4b$ の 2 倍の面

50

積とされる。またMOSトランジスタ500-2とMOSトランジスタ500-7及び500-8との面積は同一の大きさである。このことから、図7と比べ配置されたMOSトランジスタ500-7及び500-8はそれぞれMOSトランジスタ500-2a及び2bの2倍の面積とされる。

【0097】

本実施形態に係る半導体装置の構成であっても従来に比してクロック生成回路50の面積縮小が可能となる。仮に、ノードN3にインバータ500-5及び500-6を構成するpチャネル型MOSトランジスタの電流経路の一端を共通接続しない場合を考える。この場合、例えばインバータ500-6がクロックCLKG1として電圧V_{SUP}×2を出力するための構成が必要となる。具体的には、電圧V_{SUP}をインバータ500-6を構成するpチャネル型MOSトランジスタの電流経路の一端に転送するMOSトランジスタと、この一端に一方の電極が接続され、他の電極に電圧V_{SUP}が供給されるキャパシタ素子が接続された場合を考える。

10

【0098】

ここで、MOSトランジスタは電圧V_{SUP}を転送するための機能を備えていればよいことから、このMOSトランジスタの面積は、MOSトランジスタ500-1よりも小さい。しかし、キャパシタ素子の面積はキャパシタ素子500-3と同じである。これは、インバータ500-6を構成するpチャネル型MOSトランジスタの電流経路の一端の電位を電圧V_{SUP}×2とする必要があるからである。

【0099】

これに対し本実施形態に係るクロック生成回路50であると、上記第1の実施形態と同様に本実施形態に係るクロック生成回路50においてもノードN3でインバータ500-5及び500-6が共通接続されている。このため、インバータ500-5及び500-6がそれぞれ電圧V_{SUP}×2を転送するタイミングでノードN3の電位が電圧V_{SUP}×2とされていればよい。つまり、上記仮定した回路のようにそれぞれのインバータに対応したキャパシタ素子を必要としない。このことから面積縮小を実現できる。これは、インバータ500-5及び500-6から出力されるクロックCLKG0及びクロックCLKG1のタイミングが重ならないことが理由の1つに挙げられる。つまり、インバータ500-5及び500-6からクロックCLKG0及びクロックCLKG1を出力するタイミングでノードN3の電位が電圧V_{SUP}×2とされていれば良く、また上述したようにクロックCLKG0及びクロックCLKG1が出力されるタイミングは重ならないことからキャパシタ素子500-3で上記仮定した回路と同様の機能を果たすことが出来る。

20

30

【0100】

また、本実施形態に係る半導体装置であると、回路設計が容易になり、また動作を安定させることが出来る。すなわち、本実施形態に係るクロック生成回路50の構成であると、キャパシタ素子500-3と電気的に接続される部材を減らすことが出来る。換言すれば、図5に示すように上記第1の実施形態では、キャパシタ素子500-3の一方の電極がMOSトランジスタ500-2のゲートに接続され、このMOSトランジスタ500-2の電流経路の一端はMOSトランジスタ500-1のゲートに接続される。つまり、キャパシタ素子500-3を設計する際、インバータ500-5だけでなく、MOSトランジスタ500-2に印加される電圧も考慮して設計しなければならない。つまり、キャパシタ素子500-3に影響を与えるパラメータは、インバータ500-5、500-6の他、MOSトランジスタ500-2とされる。このMOSトランジスタ500-2のセル特性が変化すると、ノードN4に流れ込む電流値が変化し、これに伴いMOSトランジスタ500-1のゲートに印加する電圧値も変化する。すなわちノードN3に十分電圧が転送されないといった懸念や、電圧V_{SUP}にまで達する時間遅延などさまざまな問題が生じる。

40

【0101】

これに対し、本実施形態に係る半導体装置であると、クロック生成回路50においてキャパシタ素子500-3の一方の電極にはインバータ500-5及び500-6のみが接

50

続されているだけある。このためキャパシタ素子500-3の設計が容易となり、また他の部材の特性変化に対して影響を受けにくくなる。このため、クロック生成回路50の動作が安定する。

【0102】

また更に、上記第1の実施形態と同様に、本実施形態においてもクロック生成回路50のレイアウトは軸Aを線対称として配置される。このため、クロック生成回路50を構成する部材に接続され、クロック信号を転送するそれぞれの信号線の長さも同一とされる。これは、信号線の配線容量及び配線抵抗のバラつきを抑えることが出来、この対称に設けられた信号線をそれぞれ伝播する電圧(クロック信号)の波形にバラつきがなくなる。これはインバータ500-5及び500-6から出力されるクロックCLKG0、クロックCLKG1がバラつくことを抑制する。つまり、図2に示すように昇圧ポンプ40-nから出力される電圧V SUP nは波形が安定した電圧が出力される。

10

【0103】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

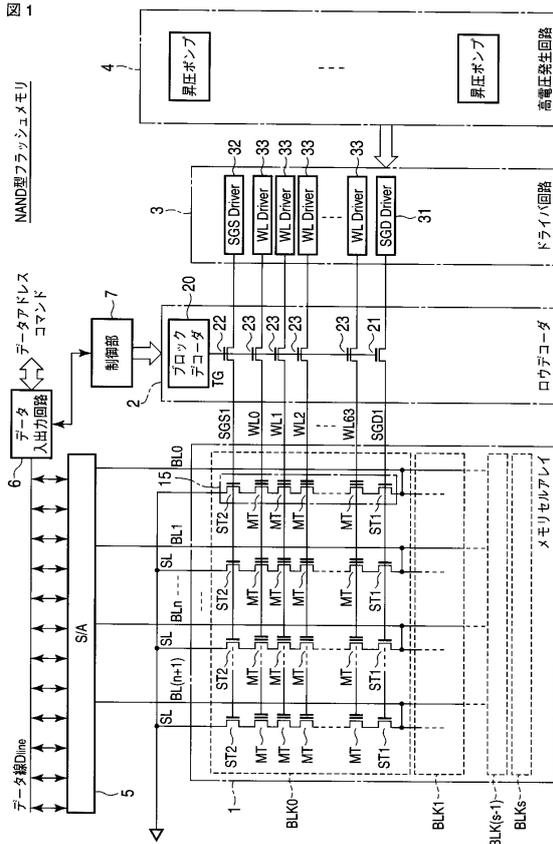
【符号の説明】

20

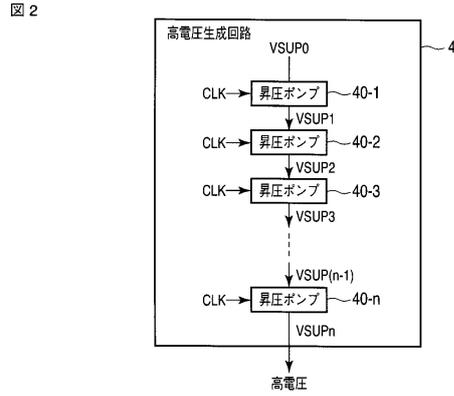
【0104】

1...メモリセルアレイ、2...ロウデコーダ、3...ドライバ回路、4...電圧発生回路、5...センスアンプ、6...データ入出力回路、7...制御部、15...NANDストリング、40-1~40-n...昇圧ポンプ、50...クロック生成回路、400-1~400-4、500-1、500-2、500-7、500-8...MOSトランジスタ、400-5、400-6、500-3、500-4、500-9、500-10...キャパシタ素子、400-7、400-8、500-5、500-6...インバータ

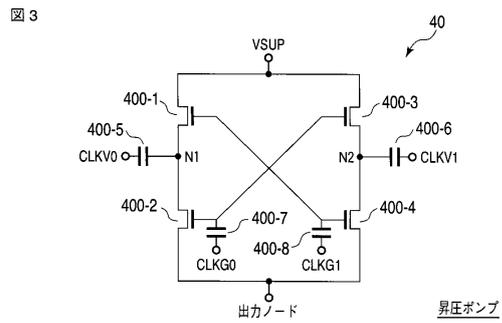
【図1】



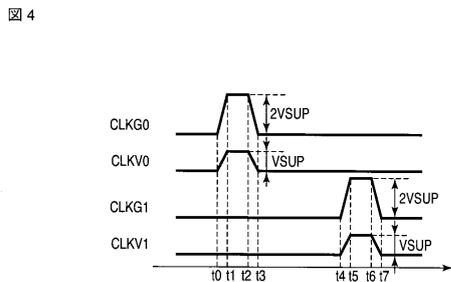
【図2】



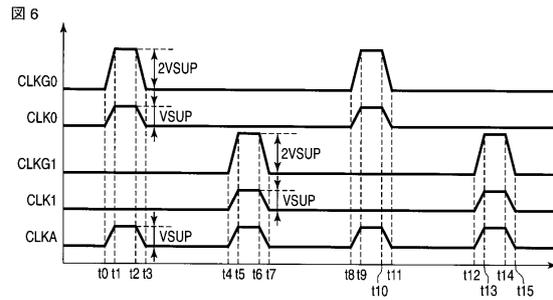
【図3】



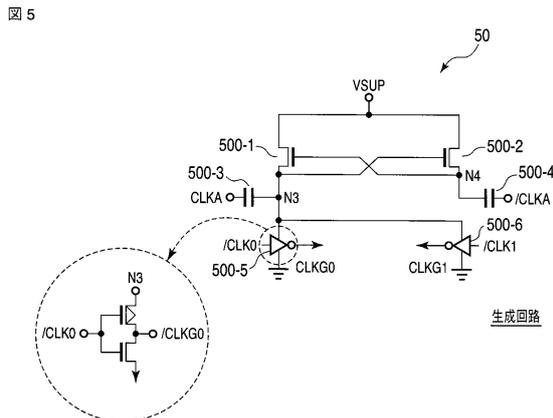
【図4】



【図6】

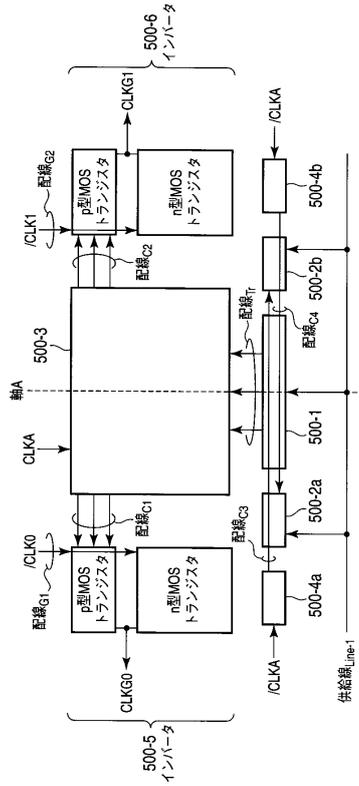


【図5】



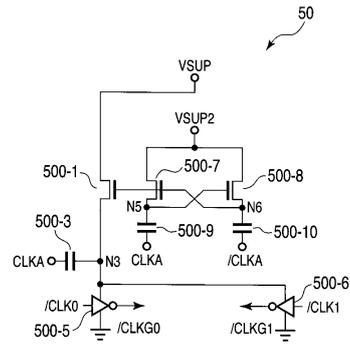
【 図 7 】

図 7



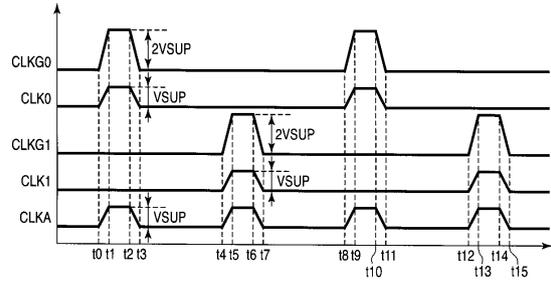
【 図 8 】

図 8



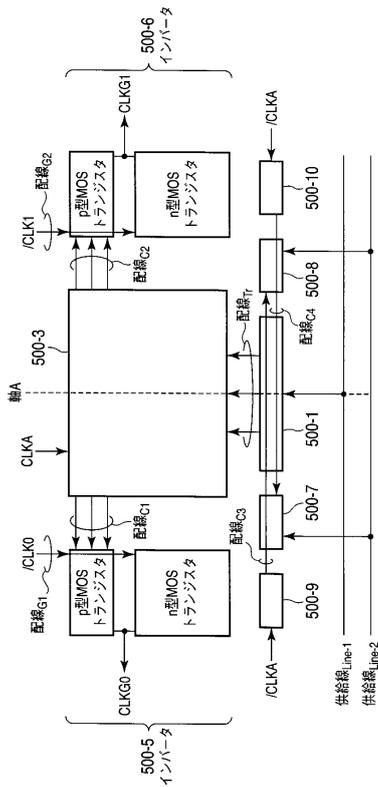
【 図 9 】

図 9



【 図 10 】

図 10



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 初田 幸輔
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 菅原 浩二

- (56)参考文献 特開2008-079493(JP,A)
特開2003-168288(JP,A)
特開平09-191244(JP,A)
特開2005-100486(JP,A)
特開2004-200598(JP,A)
特開平10-285911(JP,A)
国際公開第2009/063661(WO,A1)
特開2003-187586(JP,A)
特開2007-267587(JP,A)
特開平10-312696(JP,A)
特開2006-066051(JP,A)
特開平11-096749(JP,A)
特開2001-028197(JP,A)
特開平06-105538(JP,A)
特開平08-063988(JP,A)
特開2001-084783(JP,A)
特開2000-057793(JP,A)
特開2008-243311(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 6 / 0 6