



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월08일
(11) 등록번호 10-2261835
(24) 등록일자 2021년06월01일

(51) 국제특허분류(Int. Cl.)
H01L 33/62 (2010.01)
(21) 출원번호 10-2014-0151932
(22) 출원일자 2014년11월04일
심사청구일자 2019년11월04일
(65) 공개번호 10-2016-0052115
(43) 공개일자 2016년05월12일
(56) 선행기술조사문헌
JP07178960 A
(뒷면에 계속)

(73) 특허권자
엘지이노텍 주식회사
서울특별시 강서구 마곡중앙10로 30(마곡동)
(72) 발명자
이정오
서울특별시 중구 한강대로 416 (남대문로5가, 서
울스퀘어)
(74) 대리인
허용록

전체 청구항 수 : 총 14 항

심사관 : 이용배

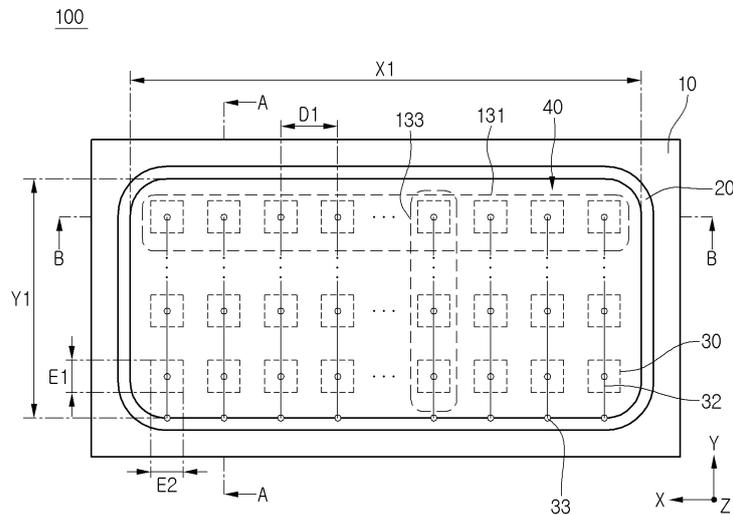
(54) 발명의 명칭 광원 모듈 및 이를 구비한 표시 모듈

(57) 요약

실시 예는 광원 모듈에 관한 것이다.

실시 예에 개시된 광원 모듈은, 연성회로기판; 및 상기 연성회로기판 상에 배치된 복수의 발광 칩; 상기 연성회로기판 상에 배치되고 상기 발광 칩을 덮는 몰드 부재; 상기 몰드 부재 내에 배치되며 상기 복수의 발광 칩 각각에 연결된 복수의 제1연결층; 및 상기 몰드 부재 상에 배치되며 상기 복수의 제1연결층에 연결된 제2연결층을 포함한다. 상기 복수의 발광 칩은 제1방향으로 복수개가 배열된 복수의 제1어레이; 및 상기 제1방향과 다른 제2방향으로 복수개가 배열된 복수의 제2어레이를 포함하며, 상기 각 제2연결층은 상기 각 제2어레이의 각 발광 칩에 연결된 복수의 제1연결층을 서로 연결해 준다.

대표도 - 도1



- (56) 선행기술조사문헌
US20070221928 A1
US20110198632 A1
US20110303941 A1
US20140091335 A1
-

명세서

청구범위

청구항 1

연성회로기관;

상기 연성회로기관 상에 배치된 복수의 발광 칩;

상기 연성회로기관 상에 배치되고 상기 발광 칩을 덮는 몰드 부재;

상기 발광 칩을 덮는 상기 몰드 부재의 외측에 배치된 반사 부재;

상기 몰드 부재 내에 배치되며 상기 복수의 발광 칩 각각에 연결된 복수의 제1연결층; 및

상기 몰드 부재 상에 배치되며 상기 복수의 제1연결층에 연결된 제2연결층을 포함하며,

상기 복수의 발광 칩은 제1방향으로 복수개가 배열된 복수의 제1어레이; 및 상기 제1방향과 다른 제2방향으로 복수개가 배열된 복수의 제2어레이를 포함하며,

상기 연성회로기관은 제1방향으로 배열된 복수의 제1패드; 및 상기 제1방향으로 복수개가 서로 이격되어 배열된 복수의 제2패드를 포함하며,

상기 제1방향으로 배열된 복수의 제1패드는 상기 제1패드를 갖는 회로 패턴에 의해 서로 연결되고 제2 방향으로 이격되며,

상기 복수의 제1 및 제2어레이 각각의 발광 칩은 상기 제1 패드 상에 배치되며,

상기 제2연결층은 상기 복수의 제2어레이 각각에 배치된 발광 칩들 각각에 연결된 복수의 제1연결층을 서로 연결해 주며,

상기 복수의 제1어레이 각각에 배치된 복수의 발광 칩은 상기 복수의 제1패드에 서로 연결되며,

상기 복수의 제2어레이 각각에 배치된 발광 칩들 각각에 연결된 상기 복수의 제1연결층 각각은 상기 제2연결층을 통해 상기 복수의 제2패드 각각에 전기적으로 연결되는 광원 모듈.

청구항 2

제1항에 있어서,

상기 발광 칩은 상부에 상기 제1연결층과 연결된 제1전극; 및 하부에 상기 연성회로기관의 제1패드에 연결된 제2전극을 포함하며,

상기 복수의 제1연결층 중 적어도 하나는 상기 몰드 부재의 상면에 대해 수직한 방향으로 배치되는 광원 모듈.

청구항 3

제2항에 있어서,

상기 몰드 부재에 배치되며 상기 제2연결층과 상기 연성회로기관의 제2패드에 연결된 제3연결층을 포함하며,

상기 제1방향으로 배열된 상기 복수의 제2패드는 상기 연성회로기관의 외측 영역에 배치되는 광원 모듈.

청구항 4

제3항에 있어서,

상기 몰드 부재에는 상기 제1 및 제3연결층이 배치된 제1 및 제2구멍, 및 상기 몰드 부재의 상면에 상기 제2연결층이 배치된 홈을 포함하는 광원 모듈.

청구항 5

제1항에 있어서,

상기 제1 및 제2연결층은 전도성 산화물, 금속 재질, 금속성 재질, 탄소 나노 튜브, 또는 그래핀 중 적어도 하나를 포함하는 광원 모듈.

청구항 6

제1항에 있어서,

상기 연성회로기판은 상기 제1방향의 길이가 상기 제2방향의 길이보다 길며,

상기 제1 및 제2방향은 서로 직교하는 광원 모듈.

청구항 7

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 반사 부재는 상기 복수의 발광 칩 둘레에 연속적으로 연결된 프레임 형상으로 형성되는 광원 모듈.

청구항 8

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 복수의 발광 칩 사이에 배치된 차단 벽을 포함하며,

상기 차단 벽은 제1방향과 제2방향 중 적어도 한 방향을 따라 배치되는 광원 모듈.

청구항 9

제8항에 있어서,

상기 차단 벽의 상면은 상기 몰드 부재의 상면보다 낮은 광원 모듈.

청구항 10

제8항에 있어서,

상기 차단 벽은 제2방향으로 상기 복수의 제1어레이 사이에 각각 배치되는 광원 모듈.

청구항 11

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 몰드 부재 상에 상기 제2연결층을 보호하는 투광층 또는 투광성 필름을 포함하는 광원 모듈.

청구항 12

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 몰드 부재의 상면으로부터 오목하며 상기 제1 및 제2방향 중 적어도 하나의 방향으로 배치된 홈을 포함하며,

상기 홈의 깊이는 상기 몰드 부재의 두께보다 작은 광원 모듈.

청구항 13

제12항에 있어서,

상기 홈에 반사 물질을 포함하는 광원 모듈.

청구항 14

제1항 내지 제5항 중 어느 한 항의 광원 모듈을 포함하며,

상기 광원 모듈의 발광 칩은 개별 구동되는 표시 모듈.

발명의 설명

기술 분야

[0001] 실시 예는 광원 모듈 및 이를 구비한 표시 모듈에 관한 것이다.

배경 기술

[0002] 다양한 종류의 휴대폰 및 TV와 같은 전자 기기들이 등장하였다. 이러한 전자 기기는 그 내부에 상기 전자 기기의 작동을 가능하게 하는 구성 요소인 여러 부품들이 실장(Mount)된 인쇄 회로 기판(PCB; Printed Circuit Board)이 구비된다.

[0003] 일반적으로, 인쇄 회로 기판은 집적 회로(IC; Integrated Circuit)나 저항 등 여러 종류의 많은 부품을 페이퍼 페놀(Paper Phenol) 수지 또는 글라스 에폭시(Glass Epoxy) 수지로 된 평판 위에 밀집 탑재하고 각 부품간을 연결하는 회로를 수지 평판의 표면에 밀집 단축하여 고정시킨 회로 기판이다.

[0004] 발광 다이오드(Light Emitting Diode)는, 인쇄회로기판에 탑재되며 전류를 흘리면 발광하는 다이오드로서 활성층에 소수 캐리어를 주입시키면 전자가 보다 높은 에너지 준위(level)로 여기하고, 다시 안정된 상태로 되돌아올 때 가지고 있던 에너지가 빛의 파장을 가진 전자파로 되어 방사되는 발광소자를 말한다.

[0005] 최근 LED는 비약적인 반도체 기술의 발전에 힘입어, 저휘도의 범용제품에서 탈피하여, 고휘도, 고품질의 제품 생산이 가능해졌다. 또한, 고풍성의 청색(blue)과 백색(white) 다이오드의 구현이 현실화됨에 따라서, LED는 차세대 조명원 및 각종의 표시 장치 등으로 그 응용가치가 확대되고 있다.

발명의 내용

해결하려는 과제

[0006] 실시 예는 복수의 발광 칩이 연성회로기판에 탑재된 광원 모듈을 제공한다.

[0007] 실시 예는 연성회로기판에 탑재된 복수의 발광 칩에 의해 정보를 표시하는 표시 모듈을 제공한다.

[0008] 실시 예는 발광 칩이 탑재된 연성회로기판기판을 소정의 방향으로 벤딩(Bending)할 수 있는 광원 모듈 및 이를 구비한 표시 모듈을 제공한다.

과제의 해결 수단

[0009] 실시 예에 따른 광원 모듈은, 연성회로기판; 및 상기 연성회로기판 상에 배치된 복수의 발광 칩; 상기 연성회로기판 상에 배치되고 상기 발광 칩을 덮는 몰드 부재; 상기 몰드 부재 내에 배치되며 상기 복수의 발광 칩 각각에 연결된 복수의 제1연결층; 및 상기 몰드 부재 상에 배치되며 상기 복수의 제1연결층에 연결된 제2연결층을 포함한다. 상기 복수의 발광 칩은 제1방향으로 복수개가 배열된 복수의 제1어레이; 및 상기 제1방향과 다른 제2방향으로 복수개가 배열된 복수의 제2어레이를 포함하며, 상기 각 제2연결층은 상기 각 제2어레이의 각 발광 칩에 연결된 복수의 제1연결층을 서로 연결해 준다.

발명의 효과

[0010] 실시 예는 복수의 발광 칩을 연성회로기판에 탑재한 광원 모듈 및 표시 모듈로 제공할 수 있다.

[0011] 실시 예는 발광 칩을 연성회로기판에 탑재함으로써, 발광 소자 패키지를 제고하여 탑재하는 공정에 비해 제조공정이 줄어들 수 있다.

[0012] 실시 예는 광원 모듈 내의 발광 칩의 밀도를 증가시켜 주어, 광도를 개선할 수 있다.

[0013] 실시 예에 따른 발광 칩을 연성회로기판에 탑재한 광원 모듈의 두께를 얇게 제공할 수 있다.

- [0014] 실시 예의 광원 모듈에 의해 베젤(bezel) 두께를 줄여줄 수 있다.
- [0015] 실시 예는 광원 모듈을 복수의 발광 칩의 연결 방향과 다른 방향으로 벤딩할 수 있다.
- [0016] 실시 예는 광원 모듈의 발광 칩으로 정보를 표시할 수 있는 표시 모듈로 제공할 수 있다.
- [0017] 실시 예는 발광 칩이 탑재된 광원 모듈 및 이를 구비한 표시 모듈의 신뢰성을 개선시켜 줄 수 있다.

도면의 간단한 설명

- [0018] 도 1은 제1실시 예에 따른 광원 모듈을 나타낸 평면도이다.
- 도 2는 도 1의 광원 모듈의 A-A측 단면도이다.
- 도 3은 도 1의 광원 모듈의 B-B측 단면도이다.
- 도 4는 도 2의 광원 모듈의 기관의 상세 도면이다.
- 도 5는 도 2의 광원 모듈의 발광 칩의 예를 나타낸 도면이다.
- 도 6은 도 1의 광원 모듈의 기관의 제1배선층의 회로 패턴을 나타낸 도면이다.
- 도 7은 제1실시 예에 따른 연성회로기관의 벤딩 방향을 설명하기 위한 도면이다.
- 도 8은 실시 예에 따른 광원 모듈의 벤딩 상태를 나타낸 도면이다.
- 도 9는 도 1의 광원 모듈의 다른 예를 나타낸 도면이다.
- 도 10은 제2실시 예에 따른 광원 모듈을 나타낸 평면도이다.
- 도 11은 도 10의 광원 모듈의 측 단면도이다.
- 도 12는 제3실시 예에 따른 광원 모듈을 나타낸 평면도이다.
- 도 13은 도 12의 광원 모듈의 측 단면도이다.
- 도 14은 제4실시 예에 따른 광원 모듈을 나타낸 평면도이다.
- 도 15은 도 14의 광원 모듈의 부분 측 단면도이다.
- 도 16은 도 15의 광원 모듈의 다른 예를 나타낸 측 단면도이다.
- 도 17은 제5실시 예에 따른 광원 모듈의 측 단면도이다.
- 도 18은 실시 예와 비교 예의 동일 사이즈에 의한 해상도를 비교한 도면이다.
- 도 19는 실시 예와 비교 예의 동일 개수의 광원에 의한 사이즈를 비교한 도면이다.
- 도 20은 실시 예에 따른 광원 모듈에 의한 정보 표시 상태를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 실시 예의 설명에 있어서, 각 기관, 프레임, 시트, 층 또는 패턴 등이 각 기관, 프레임, 시트, 층 또는 패턴 등의 "상(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상(on)"과 "아래(under)"는 "직접(directly)" 또는 "다른 구성요소를 개재하여 간접(indirectly)적으로" 형성되는 것을 모두 포함한다. 또한 각 구성요소의 상 또는 아래에 대한 기준은 도면을 기준으로 설명한다.
- [0020] 도 1은 실시 예에 따른 광원 모듈을 보여주는 평면도이며, 도 2는 도 1의 광원 모듈의 A-A측 단면도이고, 도 3은 도 1의 광원 모듈의 B-B측 단면도이다.
- [0021] 도 1 내지 도 3을 참조하면, 광원 모듈(100)은 연성회로기관(10), 상기 연성회로기관(10) 위의 둘레에 배치된 반사 부재(20), 상기 연성회로기관(10) 상에 배치된 복수의 발광 칩(30), 상기 연성회로기관(10) 상에 상기 발광 칩(30)을 덮는 몰드 부재(40), 상기 각 발광 칩(30)에 연결된 제1연결층(31), 및 상기 몰드 부재(40) 상에 배치되고 상기 제1연결층(31)과 연결된 제2연결층(32)을 포함한다.

- [0022] 상기 연성회로기판(10)에는 복수의 발광 칩(30)이 탑재된다. 상기 복수의 발광 칩(30)은 매트릭스 구조로 배열될 수 있다. 상기 발광 칩(30)은 예컨대 제1방향(X)으로 배열된 복수의 제1어레이(Array)(131), 및 상기 제1방향(X)과 다른 제2방향(Y)으로 배열된 복수의 제2어레이(133)를 포함할 수 있다. 상기 제1방향(X)과 제2방향(Y)은 서로 직교하는 방향을 포함한다.
- [0023] 상기 제1어레이(131)는 복수개가 행 또는 가로 방향으로 각각 배치되며, 제2어레이(133)는 복수개가 열 또는 세로 방향으로 각각 배치된다. 상기 제2어레이(133)의 수는 상기 제1어레이(131)의 수보다 1.5배 이상 예컨대, 2배 이상 많을 수 있다. 상기 발광 칩(30)이 배열된 발광 영역은 제1방향(X)의 길이(X1)가 제2방향(Y)의 길이(Y1)의 1.5배 이상 예컨대, 2배 이상 길게 배치될 수 있다. 상기 제1방향(X)의 길이(X1)가 길기 때문에 상기 연성회로기판(10)이 제1방향(X)에 대해 용이하게 벤딩될 수 있다.
- [0024] 상기 제1어레이(131)에 배열된 발광 칩(30)의 개수는 상기 제2어레이(133)에 배열된 발광 칩(30)의 개수보다 많게 배치된다. 예컨대, 상기 제1어레이(131)에 배열된 발광 칩(30)의 개수는 상기 제2어레이(133)에 배열된 발광 칩(30)의 개수보다 1.5배 이상 예컨대, 2배 이상 많게 배열될 수 있다. 실시 예는 연성회로기판(10)의 발광 영역의 제1방향(X)의 길이(X1)를 제2방향(Y)의 길이(Y1)보다 길게 함으로써, 상기 연성회로기판(10)을 제1방향(X)에 대해 효과적으로 구부러 사용할 수 있다.
- [0025] 상기 발광 칩(30)은 도 5와 같이, 상부의 제1전극(301) 및 하부의 제2전극(302)을 포함한다. 상기 각 발광 칩(30)의 제2전극(302)은 도 2 및 도 3과 같이, 본딩 부재(34)에 의해 연성회로기판(10)의 제1패드(11) 상에 본딩된다. 상기 제1어레이(131)를 따라 배열된 발광 칩(30)은 도 6과 같은 상기 연성회로기판(10) 상에서 제1패드(11)를 갖는 회로 패턴(113A)에 의해 서로 연결될 수 있다. 상기 제2어레이(133)를 따라 배열된 발광 칩(30)은 도 6과 같은 제1패드(11) 상에 각각 배치될 수 있다.
- [0026] 상기 제1연결층(31)은 상기 발광 칩(30)에 각각 연결된다. 상기 복수의 제1연결층(31) 각각은 상기 각 발광 칩(30)의 제1전극(301)에 연결된다. 상기 제1연결층(31)은 상기 몰드 부재(40)의 상면과 상기 발광 칩(30) 사이에 배치된다. 상기 제1연결층(31)은 상기 몰드 부재(41)의 상면에 대해 수직인 방향으로 배치된다.
- [0027] 상기 제2연결층(32)은 각각의 제3연결층(33)과 연성회로기판(10)의 제2패드(12) 사이에 연결된다. 상기 제2패드(12)는 상기 연성회로기판(10)의 외측 영역에 배치되거나 상기 반사 부재(20)에 인접한 영역에 배치될 수 있다. 상기 제3연결층(33)은 상기 반사 부재(20)의 내 측면에 접촉되거나 상기 반사 부재(20) 내에 임베디드 형태로 배치될 수 있다.
- [0028] 도 1 및 도 2와 같이, 상기 제2연결층(32)은 상기 복수의 제1연결층(31)에 연결된다. 상기 제2연결층(32)은 제1방향(X)으로 복수개가 서로 이격된다. 상기 복수개의 제2연결층(32) 각각은 제2어레이(133)의 방향으로 연장되어, 상기 제2어레이(133)의 발광 칩(30)들에 연결된 제1연결층(31)에 연결된다. 상기 제2연결층(32)은 상기 몰드 부재(40) 상에 배치된다.
- [0029] 상기 제2어레이(133)의 발광 칩(30) 각각은 복수의 제1연결층(31) 각각에 연결되고, 상기 복수의 제1연결층(31)은 제2연결층(32)에 연결된다. 상기 제1 내지 제3연결층(31,32,33)은 전도성 배선을 포함하며, 상기 전도성 배선은 전도성 산화물, 금속 배선 또는 금속성 배선을 포함한다. 상기 전도성 배선은 금속, 금속 산화물, 또는 금속 질화물 중에서 선택될 수 있으며, 예컨대 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질 중에서 형성될 수 있다. 다른 예로서, 상기 전도성 배선은 그래핀(Graphene), 탄소 섬유 또는 탄소나노튜브를 포함한다. 상기 제1 내지 제3연결층(31,32,33)은 투광성 재질을 포함할 수 있다.
- [0030] 도 2 및 도 4와 같이, 상기 몰드 부재(40)는 상기 연성회로기판(10) 상에 배치되며 발광 칩(40)을 덮는다. 상기 몰드 부재(40)는 상기 반사 부재(30) 내에 배치된다. 상기 몰드 부재(40)에는 복수의 제1 및 제2구멍(41,43) 및 복수의 홈(42)을 포함하며, 상기 제1구멍(41) 각각은 상기 각 발광 칩(30) 상에 각각 배치되며, 상기 제1연결층(31)이 배치된다. 상기 제2구멍(43)은 상기 연성회로기판(10)의 제2패드(12)와 대응되는 영역에 배치되며, 내부에 상기 제3연결층(33)이 배치된다.

- [0031] 상기 홈(42)은 상기 몰드 부재(40)의 상면보다 낮게 리세스되며, 상기 제1어레이(303)의 방향으로 배열된 복수의 발광 칩(30)과 수직 방향으로 오버랩되게 배치된다. 상기 홈(42)에는 상기 제2연결층(32)이 배치된다. 상기 제2연결층(32)의 상면은 상기 몰드 부재(40)의 상면보다 낮거나 동일한 수평 면으로 배치될 수 있다. 다른 예로서, 상기 제2연결층(32)의 상면은 상기 몰드 부재(40)의 상면 위에 돌출될 수 있다.
- [0032] 도 1과 같이, 상기 각 발광 칩(30)의 가로 및 세로 길이(E1, E2)는 서로 동일하거나 다를 수 있으며, 상기 가로 및 세로 길이(E1,E2) 중 적어도 하나는 500 μ m 이하 예컨대, 300 μ m 이하일 수 있다.
- [0033] 도 1 및 도 2를 참조하면, 상기 제2연결층(32)은 상기 제2어레이(133)의 발광 칩(30)과 제2영역(R2)을 따라 제2방향으로 배열된다. 따라서, 연성회로기판(10)을 제2방향(Y)에 대해 벤딩될 경우, 발생하는 제2응력은 발광 칩(30) 및 제2연결층(32)에 의해 크게 작용하게 된다.
- [0034] 그리고, 도 1 및 도 3과 같이, 제1어레이(131)의 발광 칩(30) 사이의 영역(R1)에는 도 2와 같은 제2연결층(32)이 배치되지 않게 되므로, 상기 연성회로기판(10)이 제1방향(X)에 대해 벤딩될 때 발생하는 제1응력은 상기 제2응력보다 작을 수 있다. 또한 상기 제2연결층(32)은 상기 제2방향으로 발광 칩(30)과 오버랩되도록 연장됨으로써, 상기 제2응력은 제2방향(Y)에 대해 더 크게 작용할 수 있으나, 제1방향(X)에 대해서는 하나의 라인 형태의 응력으로 작용할 수 있다. 이에 따라 상기 연성회로기판(10)은 제1방향(X)으로 용이하게 벤딩될 수 있다. 실시예의 연성회로기판(10)은 제1방향(X)의 길이가 제2방향(Y)의 길이보다 1.5배 이상 예컨대, 2배 이상 길게 하여, 제1방향(X)으로의 벤딩 시의 응력을 줄여줄 수 있다.
- [0035] 도 2 및 도 3과 같이, 상기 제2어레이(133)에서의 발광 칩(30) 간의 간격(D4) 및 주기(D3)는 제1어레이(131)에서의 발광 칩(30) 간의 간격(D2) 및 주기(D1)보다 크거나 같을 수 있다. 상기 간격(D2,D4) 중 적어도 하나는 상기 발광 칩(30)의 가로 및 세로 길이 중 적어도 하나보다는 크게 형성될 수 있으며, 예컨대 0.3mm 내지 0.7mm 범위를 포함한다. 이러한 간격(D2,D4)은 발광 칩(30)의 크기에 따라 달라질 수 있다.
- [0036]
- [0037] 상기 연성회로기판(10)은 도 4와 같이, 절연 필름(111), 제1배선층(113), 제2배선층(114), 제1커버레이(118), 및 제2커버레이(119)를 포함하며, 상기 절연 필름(111)은 폴리이미드(Polyimide) 필름을 포함하거나, 폴리에스테르(polyester), 폴리에틸렌(polyethylene) 등 다양한 절연 필름을 사용될 수 있다. 상기 절연 필름(111)은 70 μ m 이하 예컨대, 10 μ m 내지 40 μ m 범위의 두께로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 절연 필름(111)의 두께가 상기의 범위를 초과하면 벤딩에 어려움이 있고, 상기 범위 미만이면 벤딩 후의 탄성이 작아지는 문제가 있다.
- [0038] 상기 제1배선층(113)은 상기 절연 필름(111)의 상면에 부착되며, 제2배선층(114)은 상기 절연 필름(111)의 하면에 부착된다. 상기 제1 및 제2배선층(113,114)이 부착되면, 식각을 통해 원하는 패턴을 형성할 수 있다. 상기 제2배선층(114)은 생략될 수 있으며, 이에 대해 한정하지는 않는다.
- [0039] 상기 제1 및 제2배선층(113,114)은 접착층(116)의 의해 부착될 수 있으나, 상기 제1 및 제2배선층(113,114)에 고분자 수지를 도포한 후 경화시켜 절연 필름(111)과 일체로 제조할 수 있다. 상기 제1커버레이(cover lay)(118)는 상기 제1배선층(113) 상에 접착층(116)으로 접착되고 상기 제1배선층(113)을 보호하게 된다. 상기 제1커버레이(118)에는 오픈 영역(135)을 구비하며, 상기 오픈 영역(135)에는 상기 제1배선층(113)의 제1패드(11) 및 도 2와 같이 제2패드(12)가 노출될 수 있다. 상기 제1패드(11)는 발광 칩(30)의 하면 면적과 대응되는 면적으로 노출될 수 있다.
- [0040] 상기 제2커버레이(119)는 접착층(117)으로 접착되어 상기 제2배선층(114)을 보호하게 된다. 상기 제1 및 제2커버레이(118,119)는 투명 필름 또는 솔더 레지스트와 같은 재질로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0041] 도 6를 참조하면, 제1배선층(113)의 패턴을 보면, 제1방향(X)으로 복수의 제1패드(11)가 서로 연결되고, 제2방향(Y)을 따라 소정의 간격으로 배열된다. 제2패드(12)는 비아(115)에 연결되어, 제2배선층과 연결되거나, 외부 회로에 연결될 수 있다. 제어부(미도시)는 연성회로기판(10)의 발광 칩(30) 각각을 선택적으로 온, 오프할 수

있다.

- [0042] 한편, 도 1 내지 도 3과 같이, 상기 연성회로기판(10)의 상면 외측 둘레에는 반사부재(20)가 배치된다. 상기 반사부재(20)는 연속적으로 연결된 프레임 형상으로 형성될 수 있다. 상기 반사부재(20)는 상기 발광 칩(30)의 둘레에서 상기 발광 칩(30)으로부터 방출된 광을 반사시켜 줄 수 있다. 상기 반사부재(20)는 실리콘 또는 에폭시와 같은 재질을 포함하거나, 솔더 레지스트와 같은 재질 또는 마스크 재질을 포함할 수 있다. 상기 반사부재(20)의 표면에는 도금층이 코팅될 수 있다. 상기 반사부재(20)는 백색, 은색 또는 흑색일 수 있으며, 이에 대해 한정하지는 않는다.
- [0043] 상기 반사부재(20)는 상기 몰드 부재(40)의 둘레에 배치된다. 상기 반사부재(20)는 몰드 부재(40)가 넘치는 것을 방지하는 댐(dam) 역할을 할 수 있다.
- [0044] 상기 몰드 부재(40)는 소프트 몰드 재질로 형성될 수 있으며, 예컨대 소프트 실리콘 재질로 형성될 수 있다. 상기 몰드 부재(40)는 상기 연성회로기판(10)이 소정의 곡률로 벤딩될 때, 팽창하게 되고, 상기 연성회로기판(10)이 복원될 때 복원될 수 있다. 여기서, 상기 몰드 부재(40)는 상기 발광 칩(30) 상에 몰딩됨으로써, 상기 제2어레이(133)에서의 제2응력을 증가시켜 주게 된다. 이에 따라 제1어레이(131)의 배열 방향에 대해서는 벤딩 및 복원을 용이하게 해 줄 수 있다.
- [0045] 상기 몰드 부재(40)는 투광성 재질을 포함한다. 상기 투광성 재질은 상기 발광 칩(30)으로부터 방출된 광을 발광하게 된다. 상기 몰드 부재(40)는 형광체를 포함할 수 있다. 상기 형광체는 상기 발광 칩(30)으로부터 방출된 일부 광을 변환하게 된다. 상기 발광 칩(30)은 자외선, 청색, 적색, 녹색 및 백색의 광 중 적어도 하나를 발광할 수 있다. 상기 형광체는 적색, 황색, 녹색, 청색 형광체 중 적어도 하나를 포함할 수 있다. 다른 예로서, 각 발광 칩(30) 상에 개별 형광체층을 배치하여, 발광 칩(30)으로부터 방출된 광을 파장 변환하게 할 수 있으며, 이 경우 상기 몰드 부재(40)는 형성하지 않거나 형광체가 없는 클린(clean) 몰딩 재료로 제공될 수 있다.
- [0046] 도 5는 실시 예에 따른 발광 칩(30)의 일 예를 나타낸 도면이다.
- [0047] 도 5를 참조하면, 발광 칩(30)은 제1전극(301), 발광 구조물(310), 상기 발광 구조물(310) 아래에 제2전극(302), 및 상기 발광 구조물(310)의 하면 둘레에 보호층(323)을 포함한다.
- [0048] 상기 발광 구조물(310)은 제1도전형 반도체층(313), 활성층(314) 및 제2도전형 반도체층(315)을 포함한다. 상기 제1도전형 반도체층(313)은 제1도전형 도펀트가 도핑된 III족-V족 화합물 반도체로 구현되며, 상기 제1도전형 반도체층(313)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 포함한다. 상기 제1도전형 반도체층(313)은 예컨대, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP와 같은 화합물 반도체 중 적어도 하나를 포함하는 층들의 적층 구조를 포함할 수 있다. 상기 제1도전형 반도체층(313)은 n형 반도체층이며, 상기 제1도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, 또는 Te를 포함한다.
- [0049] 상기 활성층(314)은 상기 제1도전형 반도체층(313) 아래에 배치되며, 단일 양자 우물, 다중 양자 우물(MQW), 양자 선(quantum wire) 구조 또는 양자 점(quantum dot) 구조를 선택적으로 포함한다. 상기 활성층(314)은 우물층과 장벽층의 주기를 포함한다. 상기 우물층은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 포함하며, 상기 장벽층은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 포함할 수 있다. 상기 우물층/장벽층의 주기는 예컨대, InGaIn/GaN, GaN/AlGaIn, InGaIn/AlGaIn, InGaIn/InGaIn, InAlGaIn/InAlGaIn의 적층 구조를 이용하여 1주기 이상으로 형성될 수 있다.
- [0050] 상기 제2도전형 반도체층(315)은 상기 활성층(314) 아래에 배치된다. 상기 제2도전형 반도체층(315)은 제2도전형 도펀트가 도핑된 반도체 예컨대, $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 포함한다. 상기 제2도전형 반도체층(315)은, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP와 같은 화합물 반도체 중 어느 하나로 이루어질 수 있다. 상기 제2도전형 반도체층(315)이 p형 반도체층이고, 상기 제2도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba를 포함할 수 있다.
- [0051] 상기 제2도전형 반도체층(315)은 초격자 구조를 포함할 수 있으며, 상기 초격자 구조는 InGaIn/GaN 초격자 구조 또는 AlGaIn/GaN 초격자 구조를 포함할 수 있다. 상기 제2도전형 반도체층(315)의 초격자 구조는 비 정상적으로

전압에 포함된 전류를 확산시켜 주어, 활성층(314)을 보호할 수 있다.

- [0052] 상기 보호층(323)은 발광 구조물(310)의 하면 둘레에 배치된다. 상기 보호층(323)은 제2전극(302)의 일부 금속 이 발광 구조물(310)의 층들에 인접하는 것을 차단할 수 있다. 상기 보호층(323)은 금속, 금속 산화물 또는 절연 물질 중에서 선택될 수 있으며, 예컨대 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 에서 선택적으로 형성될 수 있다.
- [0053] 상기 제2도전형 반도체층(315) 아래에는 제2전극(302)이 배치되며, 상기 제2전극(302)은 접촉층(321), 반사층(324), 접합층(325) 및 지지부재(327)를 포함한다. 상기 접촉층(321)은 상기 제2도전형 반도체층(315)과 접촉되며, 그 재료는 전도성 재질 예컨대, 금속, 금속 산화물, 또는 금속 질화물 중에서 선택될 수 있다. 상기 접촉층(321)은 예컨대 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질 중에서 형성될 수 있다.
- [0054] 상기 반사층(324)은 상기 접촉층(321) 및 상기 보호층(323)의 아래에 배치될 수 있다. 상기 반사층(324)은 금속 예컨대, Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질로 형성될 수 있다. 상기 반사층(324)은 상기 발광 구조물(310)의 폭보다 넓게 형성될 수 있으며, 이는 광 반사 효율을 개선시켜 줄 수 있다.
- [0055] 상기 접합층(325)은 상기 지지부재(327) 및 상기 반사층(324) 사이에 접합된다.
- [0056] 상기 지지부재(327)는 베이스 기판으로서, 구리(Cu), 금(Au), 니켈(Ni), 몰리브덴(Mo), 구리-텅스텐(Cu-W)와 같은 금속이거나 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, SiC)으로 구현될 수 있다.
- [0057] 상기 제2전극(302)은 도 2 내지 도 4와 같이, 연성회로기판(10)의 제2패드(12)에 본딩 부재(34)로 연결될 수 있다. 상기 제1전극(301)은 발광 구조물(310)에 배치되며, 제1도전형 반도체층(313)과 연결된다. 이러한 제1전극(301)은 도 2 및 도 3과 같이, 제1연결층(31)로 연결된다.
- [0058] 도 7를 참조하면, 광원 모듈(100)은 제1방향(X)에 대해 불록한 방향(Z) 또는 오목한 방향으로 벤딩될 수 있다. 상기 제1어레이(131) 방향에 대해 벤딩된 후, 연성회로기판(10)은 벤딩 반경은 150mm 이하 예컨대, 100mm 이하일 수 있다. 또한 광원 모듈(100)은 도 20과 같이 발광 칩이 정보를 표시한 상태에서 벤딩될 수 있다. 이러한 광원 모듈(100)은 도 10과 같이 정보를 표시함으로써, 표시 모듈로 제공될 수 있다.
- [0059] 또한 도 8를 참조하면, 광원 모듈(100)이 벤딩될 때, 그 벤딩 반경(r1)은 5mm 내지 10mm 범위를 포함할 수 있다. 상기 벤딩 형상은 원 형상, 타원 형상 예컨대, 링 또는 반지 형상을 포함할 수 있다. 이러한 벤딩 가능한 광원 모듈(100)은 점 광원이 발광 칩이 선택적으로 온, 오프되도록 제어하여, 표시 모듈로 제공될 수 있다.
- [0060] 도 9는 도 1의 광원 모듈에서, 발광 칩(30)의 가로 길이(E1)와 세로 길이(E2)가 다른 예이다. 예컨대 발광 칩(30)의 가로 길이(E1)가 세로 길이(E2)보다 작게 배치되므로, 발광 칩(30) 간의 간격(D2)은 더 넓어질 수 있다. 이에 따라 연성회로기판(10)의 벤딩에 따른 응력은 제1실시 예보다는 더 작아질 수 있다.
- [0061] 도 10은 제2실시 예에 따른 광원 모듈을 나타낸 평면도이고, 도 11은 도 10의 광원 모듈의 측 단면도이다. 제2실시 예를 설명함에 있어서, 제1실시 예와 동일한 구성은 제1실시 예의 설명을 참조하기로 한다.
- [0062] 도 10 및 도 11을 참조하면, 광원 모듈은 연성회로기판(10), 상기 연성회로기판(10) 상의 발광 영역 둘레에 배치된 반사부재(20), 상기 반사부재(20) 내에 배치된 복수의 발광 칩(30), 상기 발광 칩(30)에 연결된 제1연결층(31), 상기 제1연결층(31)에 연결된 제2연결층(32), 상기 제2연결층(32)과 연성회로기판(10) 사이에 연결된 제3연결층(33), 상기 복수의 발광 칩(30)을 덮는 몰드 부재(40), 및 상기 몰드 부재(40) 상에 투광층(45)을 포함한다.

다.

- [0063] 상기 연성회로기판(10)에는 복수의 발광 칩(30)이 탑재된다. 상기 복수의 발광 칩(30)은 매트릭스 구조로 배열될 수 있으며, 예컨대 제1방향(X)으로 배열된 제1어레이(131) 및 상기 제1방향(X)과 다른 제2방향(Y)으로 배열된 제2어레이(133)를 포함할 수 있다.
- [0064] 발광 칩(30)의 제2전극(302)은 연성회로기판(10)의 제1패드(11)에 본딩 부재(34)로 각각 본딩된다. 이러한 제2어레이(133)에서 발광 칩(30)의 제1전극(301)은 상기 제1연결층(31)을 통해 제2연결층(32)에 의해 서로 연결된다.
- [0065] 상기 제1 내지 제3연결층(31,32,33)은 몰드 부재(40)에 배치된다. 상기 몰드 부재(40) 상에는 투광층(45)가 배치될 수 있다. 상기 투광층(45)은 투광성 실리콘 또는 에폭시 재질을 포함할 수 있다. 상기 투광층(45)은 상기 몰드 부재(40)의 상면에 노출된 제2연결층(32)의 표면을 보호하게 된다. 이러한 투광층(45)은 형광체를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 반사 부재(20)의 높이는 상기 몰드 부재(40)의 상면보다 높고 상기 투광층(45)의 상면과 같거나 낮을 수 있다.
- [0066] 도 12는 제3실시 예에 따른 광원 모듈을 나타낸 평면도이고, 도 13은 도 12의 광원 모듈의 측 단면도이다. 제3실시 예를 설명함에 있어서, 제1 및 제2실시 예와 동일한 구성은 제1 및 제2실시 예의 설명을 참조하기로 한다.
- [0067] 도 12 및 도 13을 참조하면, 광원 모듈은 연성회로기판(10), 상기 연성회로기판(10) 상의 발광 영역 둘레에 배치된 반사부재(20), 상기 반사부재(20) 내에 배치된 복수의 발광 칩(30), 및 상기 복수의 발광 칩(30)을 덮는 몰드 부재(40), 상기 발광 칩(30)에 연결된 제1연결층(31), 상기 제1연결층(31)에 연결된 제2연결층(32), 상기 제2연결층(32)과 연성회로기판(10) 사이에 연결된 제3연결층(33), 상기 발광 칩(30) 사이에 차단 벽(50)을 포함한다.
- [0068] 상기 차단 벽(50)은 인접한 발광 칩(30)으로부터 발생된 광의 간섭을 차단할 수 있다. 상기 차단 벽(50)의 상면은 상기 반사부재(20)의 상면보다 낮게 배치될 수 있다. 상기 차단 벽(50)은 상기 제2연결층(32) 보다는 낮게 배치될 수 있다. 상기 몰드 부재(40)는 상기 차단 벽(50) 및 상기 발광 칩(30)을 몰딩하게 된다. 상기 차단 벽(50)은 광 반사 재질 예컨대, 솔더 레지스트나 커버레이로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0069] 상기 차단 벽(50)은 제1 방향(X) 및 제2방향(Y) 중 적어도 하나의 방향으로 배치되거나, 제1 및 제2방향(X,Y)으로 배열될 수 있으며, 이에 대해 한정하지는 않는다.
- [0070] 상기 차단 벽(50)의 일부 위에는 연성회로기판(10)과 연결되는 제2패드(12)가 배치되며, 상기 제2패드(12)와 상기 발광 칩(30)은 제2연결층(32)에 연결된 제3연결층(33)으로 연결된다. 상기 차단 벽(50)은 하부가 넓고 상부가 좁은 구조로 형성되거나, 외 측벽이 경사진 면으로 형성될 수 있다. 이러한 차단 벽(50)의 구조는 광의 반사 효율을 개선시켜 줄 수 있다.
- [0071] 도 14는 제4실시 예에 따른 광원 모듈을 나타낸 도면이며, 도 15는 도 14의 광원 모듈의 측 단면도이다. 제4실시 예를 설명함에 있어서, 상기에 개시된 실시 예와 동일한 부분은 상기에 개시된 실시 예의 설명을 참조하기로 한다.
- [0072] 도 14 및 도 15를 참조하면, 광원 모듈은 연성회로기판(10), 상기 연성회로기판(10) 상의 발광 영역 둘레에 배치된 반사부재(20), 상기 반사부재(20) 내에 배치된 복수의 발광 칩(30), 상기 발광 칩(30)에 연결된 제1연결층(31), 상기 제1연결층(31)에 연결된 제2연결층(32), 상기 제2연결층(32)과 연성회로기판(10) 사이에 연결된 제3연결층(33), 및 상기 복수의 발광 칩(30)을 덮고 내부에 홈(46)을 갖는 몰드 부재(40)를 포함한다.
- [0073] 상기 몰드 부재(40)에는 제2어레이(133)와 제2어레이(133) 사이의 영역에 홈(46)이 배치되며, 상기 홈(46)은 측 단면이 다각형 형상으로 형성될 수 있으며, 예컨대 삼각형 형상 또는 사각형 형상을 포함한다. 상기 홈(46)은 상기 몰드 부재(40)의 상면으로부터 오목하며, 제1 및 제2방향(X, Y) 중 적어도 한 방향 또는 제1 및 제2방향(X,Y)에 배치될 수 있다.
- [0074] 상기 홈(46)의 깊이(T2)는 상기 몰드 부재(40)의 두께(T1)보다 얇게 형성될 수 있다. 상기 홈(46)은 제1어레이(131)의 발광 칩(30)들 사이에 배치됨으로써, 발광 칩(30)으로부터 발생된 광을 반사시켜 줄 수 있다. 또한 상기 연성회로기판(10)이 제1방향(X) 방향에 대해 벤딩될 때 응력을 감소시켜 줄 수 있다. 상기 몰드부재(40)의

일부(40A)는 상기 홈(46)과 상기 연성회로기판(10) 사이에 존재하므로, 상기 홈(46)의 깊이(T2)에 따라 상기 연성회로기판(10)의 복원력은 달라질 수 있다.

[0075] 다른 예로서, 상기 홈(46)은 몰드 부재(40) 내에서 서로 교차되는 형태로 배열될 수 있으며, 이에 대해 한정하지는 않는다.

[0076] 상기 제2연결층(32)은 상기 몰드 부재(40)의 상면을 따라 배치되고 제1 및 제3연결층(31,33)에 연결될 수 있다.

[0077] 도 16은 몰드 부재(40) 내에 다각형 형상의 홈(47)이 배치되고, 상기 홈(47) 내에 반사 물질(48)이 채워진다. 상기 반사 물질(48)은 상기 발광 칩(30)으로부터 발생한 광을 반사시켜 줄 수 있다. 상기 홈(47)의 깊이(T3)는 상기 몰드 부재(40)의 두께(T1)보다 얇은 깊이로 형성될 수 있다. 상기 반사 물질(48)은 수지 재질 예컨대, 소프트 실리콘에 반사제가 첨가될 수 있으며, 상기 반사제는 TiO_2 , 또는 SiO_2 를 포함할 수 있다.

[0078] 도 17은 제6 실시 예에 따른 광원 모듈의 측 단면도이다. 상기 제6 실시 예를 설명함에 있어서, 상기에 개시된 구성과 동일한 부분은 동일 부호로 설명하며 상기의 설명을 참조하기로 한다.

[0079] 도 17을 참조하면, 광원 모듈은 연성회로기판(10) 상에 복수의 발광 칩(30)이 배열되고, 상기 복수의 발광 칩(30) 사이에 차단 벽(62)이 배치되며, 상기 차단 벽(62) 및 몰드 부재(40) 상에 투광성 필름(60)이 배치된다. 상기 몰드 부재(40)에는 제1연결층(41), 미도시된 제2 및 제3연결층이 배치될 수 있다.

[0080] 상기 투광성 필름(60)은 상기 복수의 발광 칩(30) 및 반사 부재(20) 상에 접촉되어, 상기 복수의 발광 칩(30)을 보호하게 된다. 상기 투광성 필름(60)은 폴리 이미드와 같은 투광성 재질을 포함할 수 있다.

[0081] 상기 차단 벽(62)은 광을 반사하며 상기 투광성 필름(60)이 처지는 것을 방지하는 부재로 기능할 수도 있다. 상기 차단 벽(62)은 기둥 형상 또는 바 형상으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0082] 도 18은 실시 예와 비교 예의 동일 사이즈에 의한 해상도를 비교한 도면이며, 도 19는 실시 예와 비교 예의 동일 개수에 의한 사이즈를 비교한 도면이다.

[0083] 도 18을 참조하면, 비교 예(B)는 연성회로기판 상에 광원으로서 발광 소자 패키지가 배열된 구성이며, 실시 예(A)는 연성회로기판 상에 광원으로서 발광 칩이 배열된 구성이다. 따라서, 비교 예의 발광 소자 패키지는 서로 간의 간격이 실시 예의 발광 칩 간의 간격보다 넓어질 수 있다. 따라서, 비교 예와 실시 예에서 동일 표시 사이즈에서 해상도를 비교하면, 실시 예의 해상도가 더 개선됨을 알 수 있다. 이는 동일 사이즈에 더 많은 광원을 배치할 수 있어, 해상도가 비교 예에 비해 개선된다.

[0084] 또한 도 19를 참조하면, 동일 개수의 광원을 매트릭스로 배열한 사이즈를 비교한 도면으로서, 비교 예(B)는 발광 소자 패키지에 의해 동일 개수의 패키지를 배열하더라도, 실시 예(A)에서 발광 칩을 배열한 사이즈보다 커지게 된다. 이에 따라 발광 칩을 배열한 실시 예는 비교 예에 비해 해상도가 개선될 뿐만 아니라, 사이즈가 더 작게 제공할 수 있다. 또한 발광 칩의 사이즈가 더 작고 발광 칩 간의 간격을 더 좁게 배열할 수 있어, 광원 모듈에 작용하는 응력이 더 작아지게 되므로, 벤딩에 효과적이다.

[0085] 실시 예에 따른 광원 모듈은 복수의 발광 칩을 개별적으로 제어하여, 온/오프시켜 줌으로써, 원하는 정보를 표시할 수 있다. 또한 광원 모듈을 제1방향에 대해 벤딩하여 사용할 수 있어, 광원 모듈을 갖는 표시 모듈로 사용할 수 있다. 또한 광원 모듈을 갖는 시계, 반지, 휴대 단말기의 액세서리(accessory)로 사용할 수 있다. 또한 실시 예에 발광 칩 상에는 렌즈가 각각 배열될 수 있으며, 이에 대해 한정하지는 않는다.

[0086] 실시 예에 따른 광원 모듈은 휴대 단말기, 컴퓨터 등의 백라이트 유닛 뿐만 아니라, 조명등, 신호등, 차량 전조등, 전광판, 가로등 등의 조명 장치에 적용될 수 있으며, 이에 대해 한정하지는 않는다.

[0087] 상술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정된다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이며, 이 또한 첨부된 청구범위에 기재된 기술적 사상에 속한다 할 것이다.

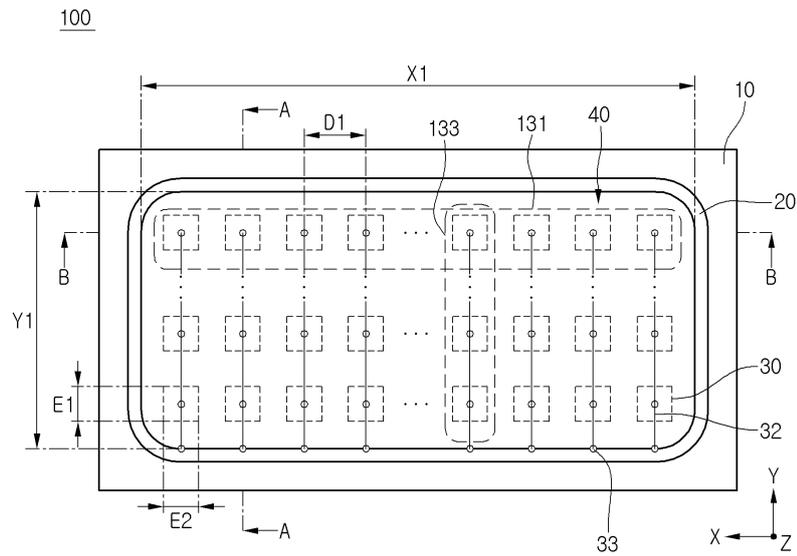
부호의 설명

[0088]

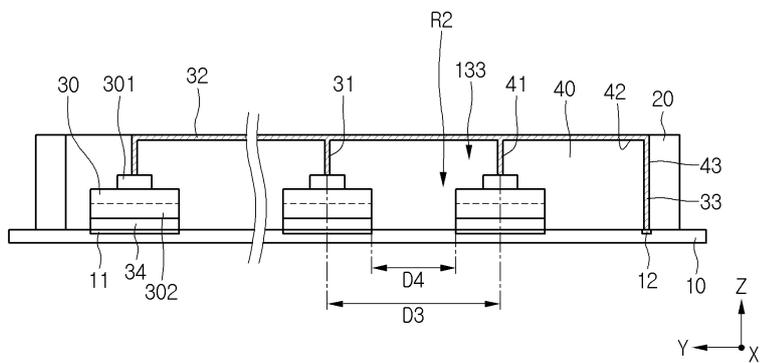
- | | |
|---------------|---------------|
| 10: 연성회로기판 | 11, 12: 패드 |
| 20: 반사부재 | 30: 발광 칩 |
| 40: 몰드 부재 | 31,32,33: 연결층 |
| 34: 본딩 부재 | 45: 투광층 |
| 46, 47: 홈 | 48: 반사 물질 |
| 50,62: 차단 벽 | 60: 투광성 필름 |
| 100: 광원 모듈 | 131: 제1어레이 |
| 133: 제2어레이 | 111: 절연 필름 |
| 113, 114: 배선층 | 118,119: 커버레이 |

도면

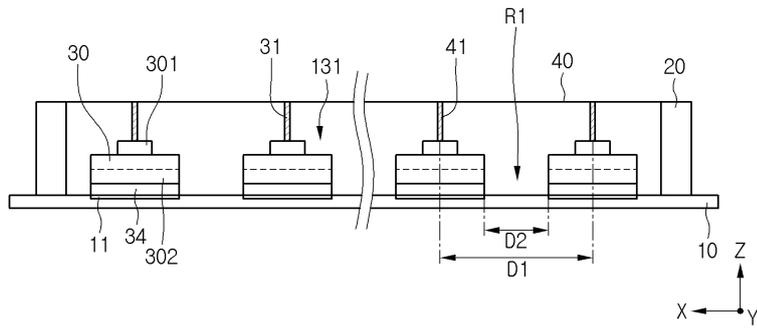
도면1



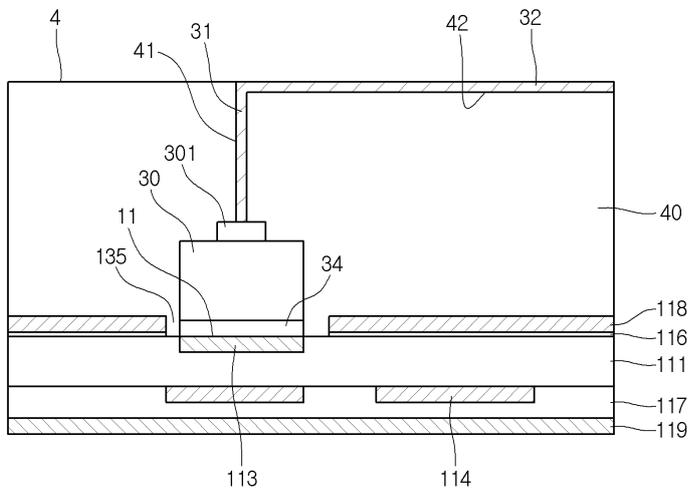
도면2



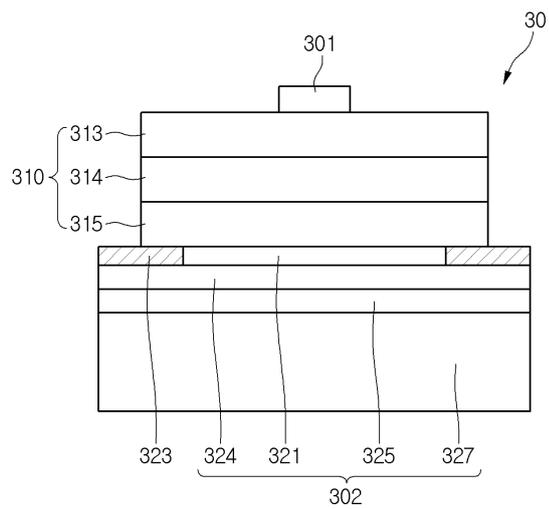
도면3



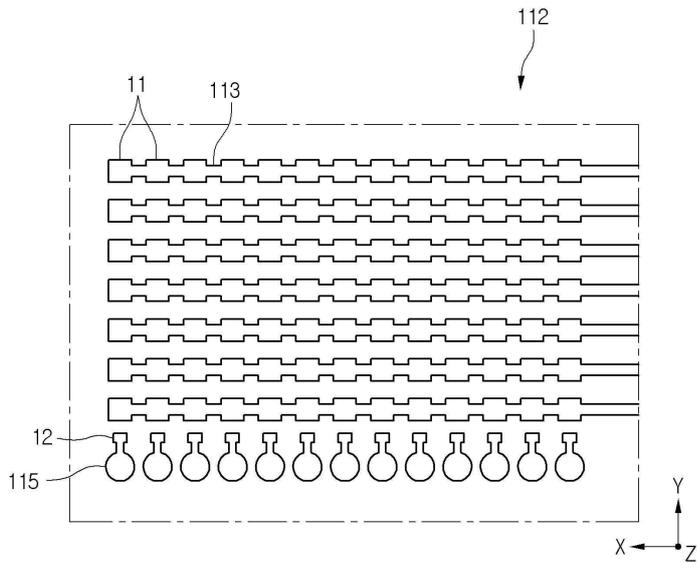
도면4



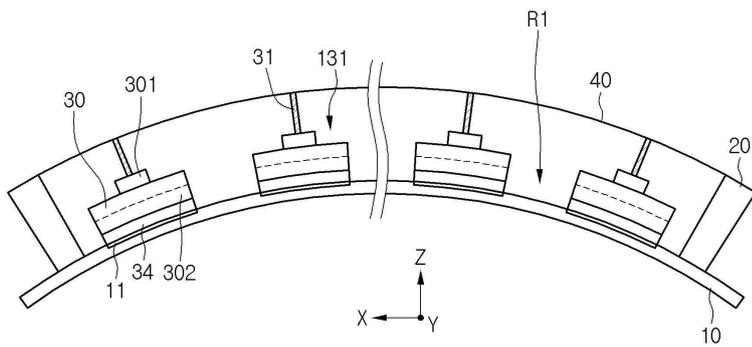
도면5



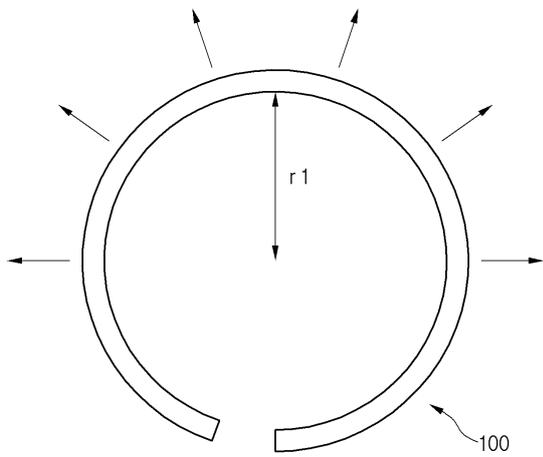
도면6



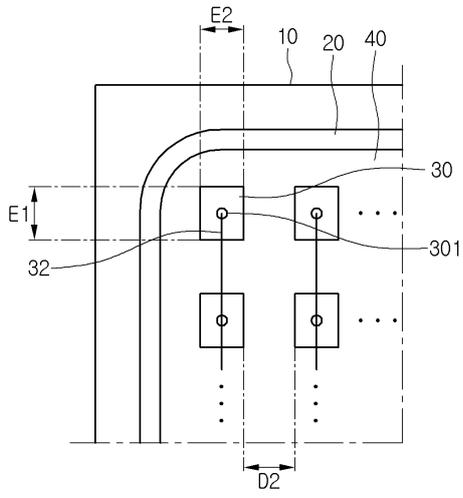
도면7



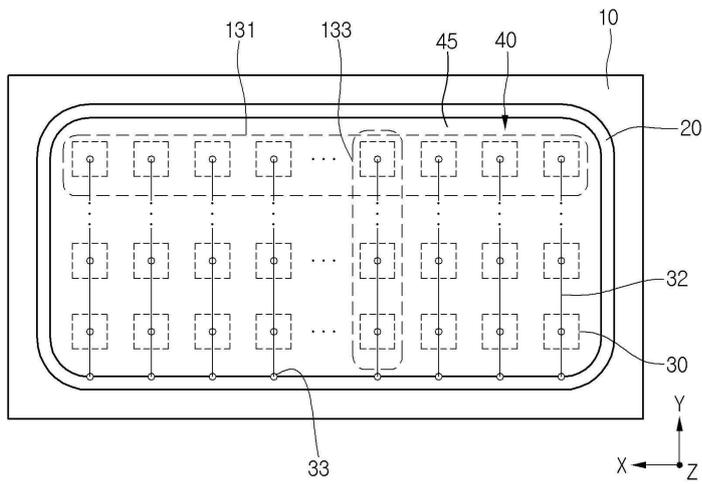
도면8



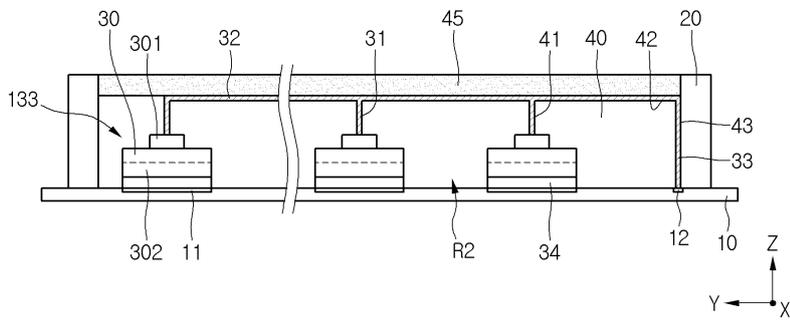
도면9



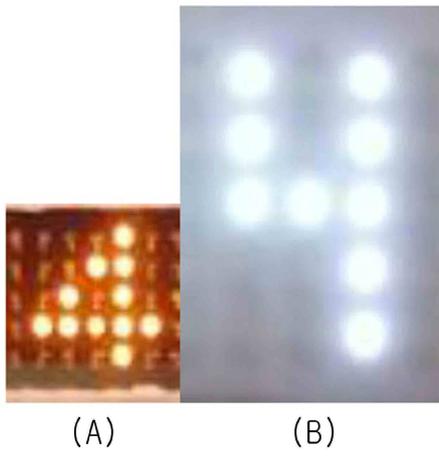
도면10



도면11



도면19



도면20

