

公告本

申請日期	89. 1. 15
案 號	89100542
類 別	H01L 29/94, H01L 21/50, H01L 21/8

A4
C4

439300

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	半導體裝置及びその製造方法
二、發明 創作人	姓 名	1.幸 康一郎 4.大仲 清司 2.齋藤 徹 5.淺井 明 3.久保 實 6.片山 幸治
	國 籍	均日本
三、申請人	住、居所	1.日本國大阪府寢屋川市香里新町20-4-101 2.日本國大阪府攝津市鳥飼新町2-18-14 3.日本國三重縣名張市桔梗丘西一番町125 4.日本國大阪府堺市小代350 5.日本國大阪府大阪市天王寺區上本町9-5-12 6.日本國奈良縣奈良市西大寺北町3-4-19
	姓 名 (名稱)	日商松下電器產業股份有限公司
代 表 人 姓 名	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	森下 洋一

裝

訂

線

經濟部智慧財產局員工消費合作社印製

0:\62\62204-1.DOC\L1

- 1 -

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1999年1月14日 特願平11-007641 有 無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明所屬之技術領域]

本發明係有關一種能用作包含異質接合之場效應電晶體之半導體裝置及其製造方法。

[習用技術]

到目前為止，一直使用 GaAs(砷化鎵)基板之類的化合物半導體基板來製造高頻用半導體裝置。但近年來，可儘量多地利用矽加工技術之使用新混晶半導體的高頻用半導體裝置之製造技術之開發在不斷地發展。尤其是，由化學式 $(Si_{1-x}Ge_x)$ (其中， x 為 Ge 之莫耳分率) 所代表之鍺化矽 (SiGe) 係在製造技術上，與矽加工技術之親和性強，因此可充分利用已蓄積有豐富的高度技術之矽加工技術。又，因 SiGe 能與矽 (Si) 之間形成異質界面，故藉由利用其組成 $(Si_{1-x}Ge_x)$ ($0 < x < 1$) 之可變性及於異質界面所發生之應變，可更自由地設計裝置。並且，相較於 Si 層內，SiGe 層內之載子遷移率還來得高，所以若利用此一特性而在半導體裝置內形成 SiGe 層，就可製成高速且噪聲得以減少之裝置。利用如此之 SiGe 之特點，已經設計並試製有包含 Si/SiGe 異質接合之雙載子電晶體及包含 Si/SiGe 異質接合之場效應電晶體等，它們日趨實用化。

例如，如在日本國專利公開公報：特開平 3-3366 號中所記載般，IBM(美國國際商用機器公司)之 Solomon 等人提出了包含 SiGe 層之異質接合型 MOS 電晶體 (HMOS 電晶體)。在本說明書中，將所述 HMOS 電晶體標示為第一習用例。

圖 13(a) 係所述第一習用例之 HMOS 電晶體之結構斷面

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

圖。圖 13 (b)係圖 13 (a)中區域 R50a 之結構斷面圖。圖 13 (c)係顯示在第一習用例之 HMOS 電晶體中之 Si 蓋層薄之場合,執行回火處理後之 Ge 原子之移動、擴散、偏析等狀態之斷面圖。圖 13 (d)係顯示在第一習用例之 HMOS 電晶體中之 Si 蓋層厚之場合,執行回火處理後之 Ge 原子之移動、擴散、偏析等狀態之斷面圖。圖 13 (c)、(d)均僅顯示圖 13 (b)所示之區域 R50b。

如圖 13 (a)所示,該 HMOS 電晶體包含: Si 基板 501; 由 p+多晶矽所構成之閘極 516; SiO₂層 517; i(本徵)-Si_{1-y}Ge_y層 519(其中,y 為 Ge 之莫耳分率); i-Si 蓋層 542; 源極接觸件 551; 汲極接觸件 552; 源極區域 553; 以及汲極區域 554。SiO₂/Si 界面和 Si/Si_{1-y}Ge_y異質界面分別係由符號 535、536 所標示者。

圖 13 (a)至 (c)所示之 HMOS 電晶體係 P 型 MOS 電晶體,其中,源極區域 553、汲極區域 554 及閘極 516 之形狀類似於普通之 SiMOS 電晶體,惟此處,爲了進一步提昇傳導性,將 P 通道形成在 Si_{1-y}Ge_y層內。由於 Ge 原子 506 之半徑大於 Si 原子,所以 i-Si_{1-y}Ge_y層 519 因與 Si 基板 501 之間產生晶格失配而受到壓縮應變。一般而言,在磊晶成長過程中易於發生使壓縮應變緩和之現象,因此難以在保持 Si 層及 SiGe 層之結晶性之下,連續地疊層 Si 層及 SiGe 層。可是,若將 i-Si_{1-y}Ge_y層 519 沈積成臨界膜厚以下,在 Si/Si_{1-y}Ge_y異質界面 536 附近不產生可緩和應變之差排。結果,能在保持結晶性之情況下,平衡地疊層 i-Si_{1-y}Ge_y層 519 及 i-Si 蓋層 542。

五、發明說明(3)

一般來說,應變會使能帶結構發生變化,電洞之遷移率也發生變化。但是,在 Si/Si_{1-y}Ge_y 異質接合型裝置中,藉由將 Ge 之莫耳分率 y 調節在不造成差排之範圍內,可利用壓縮應變以使在異質界面之能帶偏置量最佳化,並能提昇電洞之遷移率。換言之,如圖 13 (b) 所示,在 Si/Si_{1-y}Ge_y 異質接合型裝置中,可利用在價帶 (valence band) 之能帶偏置 (亦即,異質勢壘) 來將電洞關在異質勢壘中,從而,該裝置可被用作異質接合型 PMOSFET。藉由將負電壓施加到閘極 516, 使 Si/Si_{1-y}Ge_y 異質界面 536 周圍反轉,進而沿著 Si/Si_{1-y}Ge_y 異質界面 536 形成用以封閉正載子 (亦即,電洞) 之 P 通道。結果,載子能在 P 通道內從源極區域 553 往汲極區域 554 高速移動。此時,若 Si/Si_{1-y}Ge_y 異質界面 536 平滑,能夠沿著平滑的 Si/Si_{1-y}Ge_y 異質界面 536 形成 P 通道,故而,使得載子更高速地移動。

如上所述,相較於使用 Si 之場效應電晶體,使用 SiGe 之場效應電晶體之動作速度還來得高。

又,曾經由 Ismail 等人提出了 HCMOS (異質接合型互補式金氧半導體) 電晶體 (參看文獻 "K. Ismail, 1995 IEEE IEDM Tech. Dig. 509 頁", "M.A. Armstrong, D.A. Antoniadis, A. Sadek, K. Ismail 及 F. Stern, 1995 IEEE IEDM Tech. Dig. 761 頁" 及日本國專利公開公報:特開平 7-321222 號)。為了利便,在本說明書中,將所述 HCMOS 電晶體標示為第二習用例。

圖 14 (a) 係第二習用例之半導體裝置之斷面圖。圖 14 (b) 顯示圖 14 (a) 中所示之 PMOS 電晶體、NMOS 電晶體雙方

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(4)

中包含閘極、閘極絕緣膜、通道等之區域之縱向斷面結構。在圖 14 (b)之左側,顯示有施加負閘極偏壓時之價帶;在圖 14(b)之右側,顯示有施加正閘極偏壓時之導帶(conduction band)。圖 14 (c)顯示對第二習用例之 HMOS 電晶體進行回火處理後所發生之 Ge 原子之移動、偏析,係圖 14 (b)中之區域 R60b 之結構斷面圖。在圖 14 (a)至(c)中,530 代表 PMOSFET, 531 代表 NMOSFET, 532 代表 N 井區域, 534 代表 STI(淺渠溝隔離)區域, 523 代表 $Si_{1-x}Ge_x$ 緩衝層, 521 代表 $i-Si_{1-x}Ge_x$ 間隙(spacer)層, 522 代表 δ 摻雜層, 520 代表 $i-Si$ 層, 537 代表第一異質界面, 538 代表第二異質界面, 539 代表第三異質界面。

圖 14 (a)顯示為一使用包含 $Si_{1-y}Ge_y$ 層之 N 型及 P 型場效應電晶體而構成之 HCMOS 裝置。在該習用之 HCMOS 裝置中,相較於形成在 Si 基板上之同質接合型電晶體,具有優良的傳導特性,並且用共同之疊層膜來形成 N 型 MOSFET 及 P 型 MOSFET,故其製造過程得以簡化。

如圖 14 (b)所示,由 $Si_{1-x}Ge_x$ 緩衝層 523(其中, $x=0.3$)來緩和應變,進而在其上形成 $i-Si_{1-x}Ge_x$ 間隙層 521(其中, $x=0.3$)。又在 $i-Si_{1-x}Ge_x$ 間隙層 521 中形成用以將載子供到 N 通道之 δ 摻雜層 522。再者,在 $i-Si_{1-x}Ge_x$ 間隙層 521 之上依序疊層受到拉伸應變之 $i-Si$ 層 520、應變得以緩和之 $i-Si_{1-y}Ge_y$ 層 519 及受到拉伸應變之 $i-Si$ 蓋層 518。其上還形成作為閘極氧化膜之 SiO_2 層 517 及閘極 516。

在圖 14 (b)之左側顯示將具有在圖 14 (b)中央所示之疊

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (5)

層結構之電晶體施加負閘極偏壓 (Negative Gate Bias) 時 (亦即, 作為 PMOSFET 進行動作時) 之價帶; 在圖 14 (b) 之右側顯示將所述電晶體施加正閘極偏壓 (Positive Gate Bias) 時 (亦即, 作為 NMOSFET 進行動作時) 之導帶。換言之, 使用同一結構之層疊膜而形成之 MOSFET, 既可以用作 PMOSFET, 又可以用作 NMOSFET。

在令圖 14 (b) 中央所示之部份作為 PMOSFET 來動作時, 利用係為 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 519 與 $i\text{-Si}$ 蓋層 518 之界面之第一異質界面 537 之價帶側之偏置, 以將電洞關在 P 通道中, 將負閘極偏壓施加到閘極 516 以使電洞移動。此時, 藉由改變 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 519 之 Ge 莫耳分率 y 等而調節應變之大小, 就能調節第一異質界面 537 之能帶偏置量。因受到壓縮應變之 $i\text{-Si}_{1-y}\text{Ge}_y$ 層中之電洞之傳導特性 (傳導率等) 較 Si 層中好, 故可得到優異之 PMOSFET 特性。

其次, 在令圖 14 (b) 中央所示之部份作為 NMOSFET 來動作時, 利用 $i\text{-Si}$ 層 520 與 $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 521 間之第三異質界面 539 之導帶側之偏置, 以將電子關在 N 通道中, 將正閘極偏壓施加到閘極 516 以使電子移動。不同於 PMOSFET 之場合, N 通道係形成在 Si 層中, 但, 因 $i\text{-Si}$ 層 520 與 $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 521 間之晶格失配, $i\text{-Si}$ 層 520 受到拉伸應變, 故電子之能帶退化得以解除, 故而相較於通常的 Si 層之通道中, 電子之傳導特性 (傳導率等) 得以改善。即使在此一場合, 如同 PMOSFET 之場合一般, 藉由調節應變之大小, 就可調節能帶偏置之大小。

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(6)

綜上所述,在第二習用例之利用 Si/SiGe 異質接合之半導體裝置中,藉由改變閘極偏壓之正負,就可將一個疊層結構(圖 14 (b)所示之部份)用作 NMOSFET 或者 PMOSFET。因此,若將一個疊層結構由 STI 等隔離開而分別形成獨立的源極區域、汲極區域及閘極,就能以較簡單的製程製成具有更好的傳導特性之 HCMOS 裝置。

[發明欲解決之課題]

然而,在上述第一、第二習用例中存在有以下之缺點。

在如上述第一習用例般之 MOSFET(場效應電晶體)等裝置中,因載子沿著 Si/Si_{1-y}Ge_y 異質界面 536 之反轉區域移動,故界面狀態會給載子之速度帶來很大的影響。想要實現裝置之高速動作,希望於 Si/Si_{1-y}Ge_y 異質界面 536 無結構雜亂,亦即,界面應該明確且平滑(沒有起伏或凹凸)。

不過,在包含 Si/SiGe 異質接合之裝置中,如下所述,難以維持異質界面之分明性及平滑性。

舉例而言,如圖 13 (b)所示,在連續地疊層 i-Si_{1-y}Ge_y 層 519 與 i-Si 蓋層 542 時,i-Si 蓋層 542 中之 Si 原子(圖中未示)與 i-Si_{1-y}Ge_y 層 519 中之 Ge 原子 506 發生相互擴散(interdiffusion),因此,Si/Si_{1-y}Ge_y 異質界面 536 之結構被擾亂,i-Si_{1-y}Ge_y 層 519 與 i-Si 蓋層 542 之邊界位於何處則不能清楚地分辨出來。圖 13 (b)中,為了便利,明確地劃出 i-Si_{1-y}Ge_y 層 519 與 i-Si 蓋層 542 之邊界,但實際上,兩者之邊界即異質界面並不分明。

再者,在製造場效應電晶體等的半導體裝置時,為了形成

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(7)

P型擴散區域及N型擴散區域而藉著離子植入等方法植入摻質之後,摻質不會立刻被配置在晶格位置上。因此,需要在高溫下進行熱處理(回火),令摻質活性化,使得摻質能發揮出施體或者受體之功能。此時,由於在900°C左右之高溫下進行回火,故而,特別是 $i\text{-Si}_{1-y}\text{Ge}_y$ 層519中之Ge原子506之移動、擴散更加活躍。

圖13(c)、(d)分別係顯示在 $i\text{-Si}$ 蓋層542薄之場合及厚之場合,對圖13(b)所示之區域R50b進行熱處理(回火)後之狀態之斷面圖。如“F.K. LeGoues, S.S. Iyer, K.N. Tu及S.L. Delage, 'Materials Research Society Symposium Proceedings (材料研究學會討論會報告集)'第103卷,185頁(1988)”中所記載般:熱處理之結果,Ge原子506會移動、擴散而發生偏析或者晶格缺陷,以致 $\text{Si}/\text{Si}_{1-y}\text{Ge}_y$ 異質界面536不再分明,也不再均勻了。其中,又記載了:在受到應變之 SiGe 層中,Ge原子之移動、擴散及偏析特別激烈。

又,在上述第一、第二習用例中,藉由熱氧化形成將成爲閘極氧化膜之 SiO_2 層517,惟在進行熱氧化之過程中,Ge原子會偏析於 Si/SiO_2 界面535上,並同時會使氧化速率增大(參見文獻“G.L. Patton, S.S. Iyer, S.L. Delage, E. Ganin及R.C. McIntosh, 'Materials Research Society Symposium Proceedings(材料研究學會討論會報告集)'第102卷,295頁(1988)”)。吾人認爲如此之現象會導致各種不好影響: Si/SiO_2 界面535之界面能階之增大會對P通道中之載子之移動性造成不良影響;Ge原子之濃度分布會偏離所希望之分

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

布；因氧化速率之增大而使薄閘極氧化膜之形成變得困難。

是以，有一個解決方法為：如圖 13 (d)所示般，藉由使 i-Si 蓋層 542 之膜厚大於 Ge 原子之擴散長，以緩和 Si/Si_{1-y}Ge_y 界面 536 之結構雜亂對載子之移動性所造成之不良影響。不過，在此場合，電位差也施加到 i-Si 蓋層 542 上，因而有可能使電晶體之驅動能力下降。又，如圖 13 (d)所示，在 Si/SiO₂ 界面 535 附近會形成寄生通道，因而，載子會流過正當經路以外之經路，以致載子遷移率下降。而且，因熱處理等而造成之 Si/Si_{1-y}Ge_y 界面 536 之雜亂及差排之類的晶格缺陷等問題，依然未得到解決。

此外，有另一方法為：預先往 Si 基板 501 內植入雜質，形成源極、汲極區域之後，藉由熱處理使其活性化，然後，再令 i-Si_{1-y}Ge_y 層 519 及 i-Si 蓋層 542 磊晶成長，藉而使熱處理溫度儘可能低。但，已植入有離子之區域與閘極 516 不會自行對準，因此，製程數會增加，並同時會發生雜質濃度分布及閘極之定位精度因光刻製程中之定位情況之偏差而惡化等問題。

以上，對第一習用例之缺點進行了說明。在第二習用例中，因於第一、第二異質界面 537、538(Si/Si_{1-y}Ge_y 界面)及第三異質界面 539(Si/Si_{1-x}Ge_x 界面)也同樣地發生結構之紊亂，故不言而喻，會發生如同第一習用例一般之問題。

本發明之目的係在於：在包含 Si/SiGe 等異質接合之半導體裝置中，藉由採取異質界面結構得以改善之手段，亦即使經過熱處理，異質界面之分明性及平坦性仍能得以維

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(9)

持之手段,以提供一熱預算(thermal budget)得以提昇之半導體裝置及其製造方法。

[解決課題之手段]

本發明之半導體裝置具備:半導體基板;形成在所述半導體基板內,由複數種元素之混晶所構成之第一半導體層;及在所述半導體基板內,與所述第一半導體層相接形成,並包含抑制劑之第二半導體層,該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能。該半導體裝置能用作使用由所述第一半導體層及第二半導體層所形成之異質接合之半導體裝置。

依照本發明,於第一半導體層與第二半導體層之界面之混晶元素之移動得到了抑制,故即使經過熱處理,也仍能保住良好之混晶結晶性,第一半導體層與第二半導體層間之異質界面結構之紊亂可被抑制,異質界面被維持得較分明且平滑。從而,沿著該異質界面移動之載子之遷移率等特性可被保持在良好的水準上,可獲得熱預算得以改善之半導體裝置。

在上述第一半導體層為 $Si_{1-y}Ge_y$ 層 ($0 < y < 1$), 上述第二半導體層為 Si 層之場合,最佳者係上述抑制劑為 C (碳)。

在那場合,為了保持適當的 Si 層之能帶結構,所述 C 之濃度最佳為 1% 以下。

在相較於上述 $Si_{1-y}Ge_y$ 層,所形成之上述 Si 層更靠近半導體基板的表面之場合,使上述 Si 層中之 C 濃度具有愈遠離上述 $Si_{1-y}Ge_y$ 層,愈下降之分布為宜。如此,往半導體基板表面

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(10)

一側之 C 之擴散、偏析得以抑制,故而能有效地防止一般起因於到閘極絕緣膜中之 C 混入之可靠性之降低。

在上述 $Si_{1-y}Ge_y$ 層具有臨界膜厚以下之厚度,並受到壓縮應變之場合,在通道中移動之載子之移動特性能進一步提高,並同時,靠著上述作用,因受到應變而易於產生之 Ge 原子之移動得以抑制。

又,上述半導體裝置可能為場效應電晶體,其包含形成於所述半導體基板上之閘極及形成於所述閘極下方之上述 Si 層內之通道。

在上述半導體裝置中,可進而具備:設於所述閘極與所述 Si 層間之閘極絕緣膜。

在上述半導體裝置中,可進而具備:設於所述 Si 層與閘極絕緣膜間之本徵 Si 層。

在上述半導體裝置中,相較於上述 $Si_{1-y}Ge_y$ 層,所形成之上述 Si 層更靠近半導體基板之表面,該半導體裝置進一步包含:第二 Si 層,其形成於所述 $Si_{1-y}Ge_y$ 層之下方並包含 C; $Si_{1-x}Ge_x$ 層 ($0 < x < 1$),其形成於所述第二 Si 層之下方;及 δ 摻雜層,其形成於所述 $Si_{1-x}Ge_x$ 層內之靠近所述第二 Si 層之區域裏,並包含高濃度載子用雜質。若如此,所述半導體裝置可用 CMOS 裝置來實現。該 CMOS 裝置具備:P 型場效應電晶體,其包含形成於上述半導體基板上之閘極及形成於所述閘極之下方之所述 $Si_{1-y}Ge_y$ 層內之 P 通道;及 N 型場效應電晶體,其包含形成於上述半導體基板上之閘極及形成於所述閘極之下方之所述第二 Si 層內之 N 通道。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(11)

如此一來,不僅可將同一疊層膜用作 N 型場效應電晶體之活性區域,也可用作 P 型場效應電晶體之活性區域。因此,在製程數減少下,也可製成具有異質接合之 CMOS 裝置。

上述 Si 層及第二 Si 層受到拉伸應變,並且加到所述 $Si_{1-x}Ge_x$ 層之應變得以緩和為宜。

在上述 P 型及 N 型場效應電晶體之閘極與 Si 層之間分別形成閘極絕緣膜之場合,上述 Si 層中之 C 濃度具有愈遠離上述 $Si_{1-y}Ge_y$ 層,愈下降之分布為宜。

若使上述第二 Si 層中之 C 濃度具有:愈遠離上述 $Si_{1-x}Ge_x$ 層,愈下降之分布,就能利用伴隨著 C 濃度變化之能帶結構之變化,不對 P 型場效應電晶體之特性造成不好影響之下,僅將 N 型場效應電晶體之臨界電壓(threshold voltage)調節為適當值。

若使上述 $Si_{1-y}Ge_y$ 層中之 Ge 相對含量從上述第二 Si 層至上述 Si 層之方向增加,就能在不對 N 型場效應電晶體之特性造成不好影響之下,僅將 P 型場效應電晶體之臨界電壓調節為適當值。

在本發明之第一半導體裝置之製造方法中,包含:在基板上形成由複數種元素之混晶所構成之第一半導體層之製程(a);在所述第一半導體層上形成第二半導體層之製程(b);及在完成所述製程(b)之後,藉由植入抑制劑之離子,於所述第一及第二半導體層中摻雜所述抑制劑之製程(c),該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能,藉而製造利用由所述第一半導體

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (12)

層及第二半導體層所形成之異質接合之半導體裝置。

若依該方法,即使經過其後之熱處理製程,混晶中之元素之移動可被抑制,故而,第一半導體層與第二半導體層間之界面結構之紊亂得以抑制,半導體裝置之通道中所移動之載子之移動性得以改善。

在上述第一半導體層為 $Si_{1-y}Ge_y$ 層 ($0 < y < 1$),上述第二半導體層為 Si 層之場合,最佳者係上述抑制劑為 C (碳)。

此時,可進一步包含:在上述製程 (b) 之後且上述製程 (c) 之前,於上述 Si 層上形成本徵 Si 層之製程;及在進行所述製程 (c) 之後,使所述本徵 Si 層氧化,以形成基本上到達所述 Si 層之氧化膜之製程。藉而,可一面抑制 $Si_{1-y}Ge_y$ 層中之 Ge 原子之移動,一面形成將成為閘極絕緣膜之氧化膜。

在本發明之第二半導體裝置之製造方法中,包含:在基板上形成由複數種元素之混晶所構成之第一半導體層之製程 (a);及在所述第一半導體層上形成包含抑制劑之第二半導體層之製程 (b),其中控制所述第二半導體層內之抑制劑之濃度以使其愈靠近上方愈小,該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能,藉而製造利用由所述第一半導體層及第二半導體層所形成之異質接合之半導體裝置。

若依該方法,不僅可有效地防止因往基板之表面一側之抑制劑之擴散而引起的半導體裝置之可靠性降低等不好現象,也可抑制第一半導體層與第二半導體層間之異質界面之結構紊亂。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (13)

在所述製程 (b) 中, 可使用 CVD 法、UHV-CVD (超高真空化學氣相沈積) 法或者 MBE (分子束外延) 法。

[發明之實施形態]

一 基礎實驗之結果說明一

首先, 茲就為明確所植入之 C 離子對 SiGe 中之 Ge 原子之移動所發揮之抑制功能而本案發明人所做之實驗結果說明之。

圖 1 (a) 係 Si/Si_{0.8}Ge_{0.2} 超晶格之 X 射線繞射 (XRD) 之分析結果, 其顯示含有 C 之 Si/Si_{0.8}Ge_{0.2} 超晶格試料及不含 C 之 Si/Si_{0.8}Ge_{0.2} 超晶格試料之熱預算。圖 1 (b) 係在 XRD 光譜中由基本繞射所得到之峰值及附屬峰值 (satellite peaks) 之說明圖。具體而言, 圖 1 (a) 顯示藉由磊晶成長而疊層之後未施以任何處理之 Si/Si_{0.8}Ge_{0.2} 超晶格試料、疊層之後, 植入 C 離子, 再進行熱處理之 Si/Si_{0.8}Ge_{0.2} 超晶格試料、以及疊層之後, 不進行 C 離子植入而僅進行熱處理之 Si/Si_{0.8}Ge_{0.2} 超晶格試料之 X 射線繞射光譜。於圖 1 (a) 中, 縱軸表示 X 射線強度 (任意單位), 橫軸表示相對 X 射線入射角度 (秒)。圖 1 (b) 顯示由基本繞射所得到之峰值 (0), 其中布拉格 (Bragg) 反射條件: $2d\sin\theta = n\lambda$ 中之 θ 滿足第 0 次條件, 及 θ 滿足高次條件之附屬峰值 ($\dots, -3, -2, -1, 1, 2, 3, \dots$)。藉由該 XRD 法, 就能分析物質之結晶性。

圖 4 係顯示為進行 X 射線分析而準備之試料形狀之斷面圖。如同圖所示, 用於分析之試料係藉由 UHV-CVD 法而在矽基板上交替疊層包含 20% 之 Ge、厚度為 10nm 之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (14)

Si_{0.8}Ge_{0.2}層及厚度為 10nm 之 Si 層各 10 層 (亦即,一共有 10 個周期)而形成者。然後,對在圖 4 所示之試料中,以加速電壓約為 45keV、劑量約為 $1 \times 10^{15} \text{cm}^{-2}$ 之條件,植入 C 離子而得到之另一試料,以及未植入 C 離子之試料 (即,圖 4 所示之試料),以 950°C 進行 15 秒鐘之快速熱處理 (RTA)。

在圖 1 (a)中,由 SXas-grown 來表示藉著磊晶成長而疊層之後,未施以任何處理的試料之 X 射線繞射光譜,由 SXC+impla.表示在疊層之後,進行 C 離子植入及 RTA 處理的試料之 X 射線繞射光譜,由 SXnon-impla.來表示不進行 C 離子植入,僅進行 RTA 處理而得到之試料之 X 射線繞射光譜。

如圖 1 (b)所示,第 0 次峰值代表由各原子面本身反射之光束,第 1 次、第 2 次以下之峰值代表由超晶格反射之光束之繞射現象。試料之結晶性係主要以各峰值之半值幅及高次峰值之出現率來評價。在磊晶成長之後未施以任何處理的試料之 X 射線繞射光譜 SXas-grown 中,各峰值之半值幅小,且明顯地出現高次之峰值 (即,到第 3 次為止)。相對於此,在未植入 C 離子之試料之 X 射線繞射光譜 SXnon-impla.中,各峰值之半值幅變寬,又對高次峰值而言,只能觀測出極小的第 3 次峰值。又,在植入有 C 離子之試料之 X 射線繞射光譜 SXC+impla.中,峰值之半值幅小且保持有明確的形狀,並且,還可以明確地觀測出到第 3 次為止的高次峰值。

圖 2 係為了更詳細地分析第 0 次峰值之形狀,而放大顯示圖 1 (a)之 X 射線繞射光譜中峰值 (0)之周圍部份之圖。由

訂 線

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (15)

未植入 C 離子之試料之 X 射線繞射光譜 SXnon-impla. 可知, 在不進行 C 離子植入之場合, 經回火處理之後, 峰值 (0) 之形狀變成不陡的山形而半值幅變寬。又, 在光譜 SXas-grown 之峰值 (0) 之左右兩側所存在之小峰值 Poa、Pob, 在光譜 SXnon-impla. 中完全消失了。換言之, 此結果意味著 Si/Si_{0.8}Ge_{0.2} 超晶格之結晶性及界面之分明性受到損失。另一方面, 對植入有 C 離子之試料之 X 射線光譜 SXC+impla. 而言, 峰值 (0) 之半值幅仍能維持得窄, 且於第 0 次峰值之兩側依然存在有小峰值 Poa、Pob。由此結果可知, 在植入有 C 離子之試料中, 經回火後也保持有良好的結晶性。

圖 3 顯示爲了檢查經高溫熱處理後之結晶之穩定性而對上述各超晶格試料中之 Ge 濃度進行測量之結果。在圖 3 中, 由 Das-grown 來表示僅藉磊晶成長而疊層之試料中之 Ge 濃度分布曲線; 由 DC+impla. 表示在疊層之後, 植入 C 離子, 再經過 1000°C、15 秒鐘之 RTA 處理之試料中之 Ge 濃度分布曲線; 由 Dnon-impla. 來表示在疊層後不植入 C 離子, 僅進行 RTA 處理 (1000°C、15 秒鐘) 而得到之試料之 Ge 濃度分布曲線。如該圖所示, 在磊晶成長過程中, 呈現: Ge 濃度在 Si_{0.8}Ge_{0.2} 層中極高, 在 Si 層中低, 如此之陡峭的 Ge 濃度分布。然而, 若對未植入 C 離子之試料進行回火處理, 濃度分布曲線 Dnon-impla. 之坡度減小。由此可知, 多數之 Ge 原子已擴散並移動到 Si 層中。相對於此, 對植入有 C 離子之試料而言, 即使經過回火處理, 濃度分布曲線 DC+impla. 之坡度也不如 Dnon-impla. 之坡度那麼小。此表明: 往 Si 層內

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(16)

之 Ge 原子之移動量少。值得一提的是,因所有的試料均有在測定精度上之界限,故相較於實際之濃度分布,圖 3 中所出現之 Ge 濃度分布之坡度來得小。

對上述圖 1 (a)、圖 2、圖 3 中所示之資料加以考慮時,可得到以下之結論。首先,對不植入 C 離子之試料而言,以做了 Ge 原子分布到界面周圍之所規定寬度的區域之假設之計算模型來計算,可求得 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 層只往一側擴大約 1.7nm 左右。換言之,在習用之包含 Si/SiGe 異質接合之半導體裝置中, Si/SiGe 異質界面之構造紊亂,因而測定結果為:SiGe 層之寬度看上去已被擴大。可是,Ge 原子不會增加,因此, Si 層縮小, SiGe 層擴大之解釋係不合理者。實際上,應該解釋為:因 Ge 原子之移動、擴散而使 Si/SiGe 異質界面之結構被擾亂。相對於此,若預先植入 C 離子,其後之回火處理所引起之 Ge 原子之移動、擴散得以抑制,故可推測 Si/SiGe 異質界面較為分明,亦可保持良好的結晶性。

圖 5 (a)、(b)係用以說明對未植入 C 離子之試料及植入有 C 離子之試料進行回火處理之後,異質界面結構之變化情況之斷面圖。如圖 5 (a)所示,對不植入 C 離子之試料而言,可推測:回火處理會引起多數 Ge 原子之移動、擴散及位於上方之 Si/SiO₂ 界面附近之 Ge 原子之偏析等。而且,在該試料中,於異質界面附近,其組成發生局部性的大變化, Ge 原子與 Si 原子(圖中未示)不形成結晶晶格而無規律地排列著。可推測:此乃異質界面不分明,凹凸變大之原因所在。相對於此,如圖 5 (b)所示,在植入有 C 離子之試料

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(17)

中,Ge 原子之移動、擴散可被抑制,故結晶性被保住了,Si/SiGe 異質界面也很分明且比較平滑。但是,值得一提的是,圖 5 (b)之右圖顯示為一理想的狀態,可推測:即使係植入有 C 離子之試料,實際上其異質界面結構多少也會有一些紊亂。又,已確認好:在植入有 C 離子之試料中,C 原子會從 SiGe 層到 Si 層內移動。

到目前為止,還沒弄清如上所述之 C 離子植入對 Ge 原子之移動、擴散等所發揮之抑制作用之原理,但至少能得到以下之結論:藉由利用如此之現象,即使為使雜質活性化而對包含 Si/SiGe 異質接合之裝置進行熱處理,Ge 原子之移動、擴散仍能受到抑制,異質界面之分明性及平滑性能被保持下去。加之,Ge 原子之移動、擴散得以抑制之結果,在 Si/SiO₂ 界面之 Ge 原子之偏析也得以抑制。因此,若在疊層 SiGe 層與 Si 層之後,植入 C 離子,或者預先至少讓 SiGe 中含上 C 原子,藉而,能够使閘極與源極、汲極區域自行對準,故而僅藉著更少道之製程,製造出包含 Si/SiGe 異質接合之半導體裝置。

再者,即使在 C 原子移動到 Si 層中之後,SiGe 層內之 Ge 原子之移動、擴散也受到抑制。由此可知,可藉由至少在 Si 層中加入 C 原子,以抑制 Ge 原子之移動、擴散所造成之 Si/SiGe 異質界面之結構紊亂。

然而,眾所周知,在利用如此之 C 原子對 Ge 原子移動之抑制功能而形成包含 Si/SiGe 異質接合之場效應電晶體之場合,場效應電晶體之閘極絕緣膜,尤其是閘極氧化膜之可靠

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(18)

性因雜質之存在而下降。因此,爲了保證閘極絕緣膜之可靠性,不應該在閘極絕緣膜內形成由 C、O、H 等所組成之各種各樣的有機化合物。是以,想要將 C 導入 SiGe 層中時,必須採取不讓 C 對閘極絕緣膜造成不好影響之手段。

以下,根據上述實驗之結果,茲就本發明之實施形態說明之。

(第一實施形態)

圖 6 (a) 係本發明之第一實施形態之 HMOS 電晶體之結構斷面圖。圖 6 (b) 係圖 6 (a) 中之區域 R10a 之結構斷面圖。

如圖 6 (a)、(b) 所示,該 HMOS 電晶體包含: Si 基板 101; 由 p+ 多晶矽所構成之閘極 116; SiO₂ 層 117; 由本徵矽所構成之 i-Si 蓋層 142; 含有 C 之下部 Si 蓋層 118; i-Si_{1-y}Ge_y 層 119 (其中, 0 < y < 1, 例如 y = 0.2); 源極接觸件 151; 汲極接觸件 152; 源極區域 153; 以及汲極區域 154。SiO₂/Si 界面與 Si/Si_{1-y}Ge_y 異質界面分別係由符號 135、136 所標示者。

圖 6 (a)、(b) 所示之 HMOS 電晶體之基本結構與圖 13 (a)、(b) 所示之第一習用例之 HMOS 電晶體相同。所以,以下主要對有關本實施形態之電晶體之特徵部分加以說明。

在本實施形態中,設 i-Si_{1-y}Ge_y 層 119 之膜厚爲臨界膜厚以下,故該層 119 處於結晶性得以保持之平衡狀態,並且,因受到了壓縮應變,載子(電洞)之遷移率被加快。如已說明般,欲獲得相較於形成在 Si 基板上之同質接合型電晶體,更爲優良之傳導特性,必須保持異質界面明確且平滑。是以,爲了防止 Ge 原子 106 之移動、擴散及於閘極氧化膜正下方

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(19)

區域之 Ge 原子 106 之偏析,在 i-Si_{1-y}Ge_y 層 119 之上方形成包含 C 之下部 Si 蓋層 118。此處,加入不會對電晶體之特性或能帶結構有不良影響之,亦即,濃度 1% 以下之 C 為宜。因包含有 C,在疊層各層之製程及疊層後,為令雜質活性化而進行之熱處理製程中,不會喪失異質界面之分明度及平滑性。

如此一來,如圖 6 (b) 所示,可利用價帶 (valence band) 一側之能帶偏置來將電洞關在異質勢壘中,從而該裝置可被用作異質接合型 PMOSFET。藉由將負電壓施加到閘極 116,令 Si/Si_{1-y}Ge_y 異質界面 136 周圍反轉,進而沿著 Si/Si_{1-y}Ge_y 異質界面 136 形成用以封閉正載子(亦即,電洞)之 P 通道。結果,載子能在 P 通道內從源極區域 153 往汲極區域 154 高速移動。因在本實施形態中,Si/Si_{1-y}Ge_y 異質界面 136 平滑,能夠沿著平滑的 Si/Si_{1-y}Ge_y 異質界面 136 形成 P 通道,故能使載子更高速地遷移。

其次,茲就本實施形態之 HMOSFET 之製造方法,佐以圖 7 (a) 至 (d) 說明之。如上所述,若在 Si/SiO₂ 界面 135 存在 C,有導致閘極絕緣膜之可靠性下降之虞。是以,在本實施形態中,在包含 C 之下部 i-Si 蓋層 118 之上形成不含 C 之 i-Si 蓋層 142,以藉由氧氣令 i-Si 蓋層 142 發生酸蝕之方法(亦即,氧化製程)形成閘極氧化膜。

首先,在圖 7 (a) 所示之製程中,藉由磊晶成長法,在 Si 基板 101 上形成 i-Si_{1-y}Ge_y 層 119。

其次,在圖 7 (b) 所示之製程中,在 i-Si_{1-y}Ge_y 層 119 上依序

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(20)

疊層包含 C 之下部 Si 蓋層 118 及不含 C 之 i-Si 蓋層 142。此時,可用離子植入法、CVD 法、UHV-CVD 法、MBE 法等來將 C 加入下部 Si 蓋層 118 中。在採用離子植入法之場合,在圖 7 (b)所示之製程中途,亦即在形成下部 Si 蓋層 118 之後且形成 i-Si 蓋層 142 之前,進行 C 離子植入即可。

接著,在圖 7 (c)所示之製程中,使 i-Si 蓋層 142 氧化而形成將成爲閘極氧化膜之 SiO_2 膜 117。此時,吾人能考慮到 C 之擴散速率與 Si 之氧化速率,在 Si/SiO₂ 界面 135 就要到達包含 C 之下部 Si 蓋層 118 之前(約在 750°C 左右)停止氧化。

其後,在圖 7 (d)所示之製程中,沈積 p+多晶矽膜之後,令其圖案化,藉而形成閘極 116。此處,省略而不圖示隨後之製程,但是,如同普通的 MOS 電晶體之製造製程一般,從閘極之上方往基板內植入載子用雜質離子(在本實施形態中,使用氟化硼(BF_2^+)離子),以形成能與閘極 116 自行對準之源極區域 153 及汲極區域 154(參見圖 6 (a))。進而,在基板上沈積金屬膜之後,將其圖案化,以形成源極接觸件 151 及汲極接觸件 152。

若依本實施形態之製造方法而採用圖 7 (a)至(d)所示之製程,由於 C 對 Ge 原子移動之抑制作用,在 Si/Si_{1-y}Ge_y 異質界面 136 周圍之 Ge 原子之移動、擴散等現象能受到抑制。結果,可保持界面之分明性及平滑性,並同時可抑制在形成閘極氧化膜時所發生之 Ge 原子偏析於 SiO_2 膜 117 附近所導致之可靠性之下降等不好影響。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (21)

另外,如上所述,採用低加速能量之離子植入法、使用甲基矽烷(SiH_3CH_3)之 CVD 法、UHV-CVD 法、MBE 法等中之任一方法,均可在下部 Si 蓋層 118 中加入 C。在採用離子植入法之場合,多少會有些許 C 被植入 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 中。相對於此,若採用 CVD 法、UHV-CVD 法、MBE 法等,則僅在下部 Si 蓋層 118 中加入 C。但,值得一提的是,即使採用 CVD 法、UHV-CVD 法、MBE 法等,也可以在 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 中加入 C。

又,爲了抑制 Ge 原子之移動及擴散,在下部 Si 蓋層 118 等中加入多量之 C 也沒問題。但已知,實際上 C 濃度一超過 1%,會給 Si 層及 SiGe 層之結晶構造帶來不好影響。因此,爲保持包含 Si/SiGe 異質接合之半導體裝置的動作特性良好,C 濃度在 1% 以下爲宜。

(第二實施形態)

圖 8 係第二實施形態之半導體裝置之局部斷面圖。該圖顯示圖 9 (b) 所示之包含閘極、閘極絕緣膜、通道等之區域 R20b 之縱向斷面結構,係第二習用例之圖 14 (a) 所示之既能用作 PMOSFET,又能用作 NMOSFET 之共同疊層膜之結構。在圖 8 之左側,顯示有施加負閘極偏壓時之價帶;在圖 8 之右側,顯示有施加正閘極偏壓時之導帶。

如圖 8、圖 9 (a) 及圖 9 (b) 所示,在本實施形態之半導體裝置中,依序疊層有: $\text{Si}_{1-x}\text{Ge}_x$ 緩衝層 123; $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 121; δ 摻雜層 122; 包含 C 之 $i\text{-Si}$ 層 120; $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 (其中, $0 < y < 1$, 例如 $y = 0.2$); 包含 C 之下部 Si 蓋層 118; 由本微

(請先閱讀背面之注意事項再填寫本頁)

訂
線

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (22)

矽所構成之 i-Si 蓋層 142;能用作閘極絕緣膜之 SiO₂層 117;以及由多晶矽所構成之閘極 116。又, Si/SiO₂ 界面、第一、第二及第三異質界面分別係由符號 135、137、138 及 139 所標示者。並且, 在圖 8 中, Ge 原子、C 原子及摻質原子分別係由符號 106、107 及 143 所標示者。

如同第二習用例一般, 在本實施形態中, 也使用包含 Si_{1-y}Ge_y 層之 N 型及 P 型 MOSFET 來構成 HCMOS 裝置。相較於形成在 Si 基板上之同質接合型電晶體, 本實施形態之 HCMOS 裝置具有更優良的傳導特性, 並且, 因為用共同之疊層膜來形成 N 型 MOSFET 及 P 型 MOSFET, 故其製造過程得以簡化。

如圖 8、圖 9 (a) 及圖 9 (b) 所示, 由 Si_{1-x}Ge_x 緩衝層 123 (其中, 0 < x < 1, 例如, x=0.3) 來緩和應變, 進而在其上形成 i-Si_{1-x}Ge_x 間隙層 121。又在 i-Si_{1-x}Ge_x 間隙層 121 中形成用以將載子供到 N 通道之 δ 摻雜層 122。再者, 在 i-Si_{1-x}Ge_x 間隙層 121 之上依序疊層受到拉伸應變之 i-Si 層 120、應變得以緩和之 i-Si_{1-y}Ge_y 層 119 (其中, y=0.2) 及受到拉伸應變之 i-Si 蓋層 118。其上還形成作為閘極氧化膜之 SiO₂ 層 117 及閘極 116。

在圖 8 之左側顯示將具有在圖 8 中央所示之疊層結構之電晶體施加負閘極偏壓 (Negative Gate Bias) 時 (亦即, 使其作為 PMOSFET 動作時) 之價帶; 在圖 8 之右側顯示將所述電晶體施加正閘極偏壓 (Positive Gate Bias) 時 (亦即, 使其作為 NMOSFET 動作時) 之導帶。換言之, 使用同一結構之層

經濟部智慧財產局員工消費合作社印製

五、發明說明 (23)

疊膜而形成之 MOSFET,既可以用作 PMOSFET,又可以用作 NMOSFET。

在令圖 8 中央所示之部份作為 PMOSFET 動作時,利用 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 與 $i\text{-Si}$ 蓋層 118 間之第一異質界面 137 之價帶側之能帶偏置,以將電洞關在 P 通道中,將負閘極偏壓施加到閘極(圖中未示)以使電洞移動。此時,藉由改變 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 之 Ge 莫耳分率 y 等而調節應變之大小,就能將第一異質界面 137 之能帶偏置量進行調節。

其次,在令圖 8 中央所示之部份作為 NMOSFET 動作時,利用 $i\text{-Si}$ 層 120 與 $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 121 間之第三異質界面 139 之導帶側之能帶偏置,以將電子關在 N 通道中,將正閘極偏壓施加到閘極以使電子移動。不同於 PMOSFET 之場合,N 通道係形成在 Si 層中。此一場合,若藉由與 PMOSFET 一樣的方法調節應變之大小,也就能調節能帶偏置之大小。

圖 9 (a)、(b)係顯示本實施形態之製造方法之一部分之斷面圖。在本實施形態中,藉由與所述第二習用例相同之製程來製造形成通道之前的各層。

首先,在圖 9 (a)所示之製程中,在 Si 基板(圖中未示)上形成 $\text{Si}_{1-x}\text{Ge}_x$ 緩衝層 123(其中, $x=0.3$)及 $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 121(其中, $x=0.3$)。又,在磊晶成長過程中,對 $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 121 局部進行摻雜,以形成 δ 摻雜層 122。而後,在 $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 121 上,依序疊層:包含 C 且受到拉伸應變之 $i\text{-Si}$ 層 120; 所加之應變得以緩和之 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119(其中, $y=0.2$)及包含 C 且受到拉伸應變之下部 Si 蓋層 118。此

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (24)

處,如同第一實施形態一般,可藉離子植入法、CVD法、UHV-CVD法、MBE法等來將C加入i-Si層120及下部Si蓋層118中。在採用離子植入法之場合,在形成i-Si層120之後,立即以低加速能量植入C離子即可。另一方面,若在i-Si層120上形成i-Si_{1-y}Ge_y層119及下部Si蓋層118之後,再進行C離子植入,就可在i-Si層120、i-Si_{1-y}Ge_y層119及下部Si蓋層118中加入C。在此場合,只要進行一次植入製程即可。再者,在採用CVD法時,可使用包含甲基矽烷(SiH₃CH₃)等之氣體。

其次,在圖9(b)所示之製程中,使i-Si蓋層142氧化而形成將成爲閘極氧化膜之SiO₂膜117。此時,吾人能考慮到C之擴散速率與Si之氧化速率,在Si/SiO₂界面135就要到達包含C之下部Si蓋層118之前(約在750℃左右)停止氧化。

然後,沈積p+多晶矽膜之後,令其圖案化,藉而形成閘極116。此處,省略而不圖示隨後之製程,惟,如同普通的MOS電晶體之製造製程一般,從閘極之上方往基板內植入載子用雜質離子(在本實施形態中,使用氟化硼(BF₂⁺)離子),以形成能與閘極116自行對準之源極區域153及汲極區域154(參見圖6(a))。進而,在基板上沈積金屬膜之後,將其圖案化,以形成源極接觸件151及汲極接觸件152。

若依本實施形態之半導體裝置及其製造方法,不同於第二習用例,因在i-Si層120及下部Si蓋層118中摻雜有C,故可抑制Ge原子106之移動、擴散等所引起之第一異質界

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (25)

面 137、第二異質界面 138 及第三異質界面 139 之結構紊亂及晶格缺陷發生。又,於 Si/SiO₂ 界面 135 之 Ge 原子 106 之偏析所導致之閘極絕緣膜之可靠性下降等不好現象也能受到抑制。

又,在第二實施形態之利用 Si/SiGe 異質接合之半導體裝置中,藉由改變閘極偏壓之正負,就可將一個疊層結構用作 NMOSFET 或者 PMOSFET。因此,若將一個疊層結構由 STI 等進行隔離而分別形成獨立的源極區域、汲極區域及閘極,就能以較簡單的製程來形成具有更好的傳導性之 HCMOS 裝置。

另外,C 濃度之最佳範圍係如同第一實施形態所述般。

(第三實施形態)

圖 10 係第三實施形態之半導體裝置(HMOS 電晶體)之局部斷面圖,於構成 Si/SiGe 異質界面之 Si 層中 C 濃度分布有一個梯度。該圖所示之斷面相當於第一實施形態中之區域 R10a(參見圖 6(a))。

如圖 10 所示,本實施形態之 HMOS 電晶體包含:Si 基板 101; 由 p+多晶矽所構成之閘極 116; SiO₂ 層 117; 由本徵矽所構成之 i-Si 蓋層 142; 含有 C 之下部 Si 蓋層 118, C 之濃度分布呈一定梯度; i-Si_{1-y}Ge_y 層 119(其中,0 < y < 1,例如 y=0.2)。SiO₂/Si 界面與 Si/Si_{1-y}Ge_y 異質界面分別係由符號 135、136 所標示者。

本實施形態之 HMOS 電晶體之結構基本上與圖 6 所示之第一實施形態之 HMOS 電晶體相同。但,如圖 10 之右側所

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (26)

示,本實施形態之 HMOS 電晶體之特徵係:下部 Si 蓋層 118 中所包含之 C 之濃度分布呈一定梯度。具體而言,下部 Si 蓋層 118 中之 C 濃度,於 Si/SiGe 異質界面 136 附近最高,從 Si/SiGe 異質界面 136 到 i-Si 蓋層 142 逐漸地降低,而最後在下部 Si 蓋層 118 與 i-Si 蓋層 142 之界面,基本上達到 0。

如此之 C 濃度分布係藉由在形成下部 Si 蓋層 118 時,使用 CVD 法、UHV-CVD 法或者 MBE 法來使原料氣體中之 C 形成用氣體之含量逐漸減少而得到者。

若依本實施形態,不僅能獲得與第一實施形態同樣之效果,也能獲得以下之效果。亦即,因在下部 Si 蓋層 118 與 i-Si 蓋層 142 之界面,下部 Si 蓋層 118 中之 C 濃度基本上係 0,故能有效地抑制 C 原子到達 SiO₂ 層 117。從而,SiO₂ 層 117 之可靠性之下降及起因於界面能階之形成之載子遷移率之下降均能得以防止。

(第四實施形態)

圖 11 係第四實施形態之半導體裝置(HCMOS 裝置)之局部斷面圖,於兩個構成 Si/SiGe 異質界面之 Si 層中 C 濃度分布都有一個梯度。該圖相當於圖 8 所示之第二實施形態中之區域 R20b,但,其顯示包含閘極及緩衝層之更大的區域。

如圖 11 所示,本實施形態之 HCMOS 裝置包含:由 p+多晶矽所構成之閘極 116;能用作閘極絕緣膜之 SiO₂ 層 117;由本微矽所構成之 i-Si 蓋層 142;含有 C 之下部 Si 蓋層 118,C 之濃度分布呈一定梯度;Ge 含有率有一定梯度之 i-Si_{1-y}Ge_y 層 119(其中,0 < y < 1);含有 C 之 i-Si 層 120,C 之濃度分布

(請先閱讀背面之注意事項再填寫本頁)

訂
線

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (27)

呈一定梯度； $i\text{-Si}_{1-x}\text{Ge}_x$ 間隙層 121； δ 摻雜層 122；以及應變得以緩和之 $\text{Si}_{1-x}\text{Ge}_x$ 緩衝層 123 (其中, $x=0.3$)。又, SiO_2/Si 界面、第一、第二及第三異質界面分別係由符號 135、137、138 及 139 所標示者。並且, 在圖 11 中, Ge 原子、C 原子及摻質原子分別係由符號 106、107 及 143 所標示者。

如同第二習用例一般, 在本實施形態中, 也使用包含 $\text{Si}_{1-y}\text{Ge}_y$ 層之 N 型及 P 型 MOSFET 來構成 HCMOS 裝置。相較於形成在 Si 基板上之同質接合型電晶體, 本實施形態之 HCMOS 裝置具有更優良的傳導性, 並且, 因為用共同之疊層膜來形成 N 型 MOSFET 及 P 型 MOSFET, 故其製造過程得以簡化。

本實施形態之 HCMOS 裝置之結構基本上與圖 8 所示之第二實施形態之 HCMOS 裝置相同。但, 本實施形態之 HCMOS 裝置具有與第二實施形態不同之點。以下, 茲就該特點, 佐以圖 12 (a)、(b) 說明之。

第一, 下部 Si 蓋層 118 所包含之 C 之濃度分布呈一定梯度。具體而言, 下部 Si 蓋層 118 中之 C 濃度, 於 Si/SiGe 異質界面 137 附近最高, 從 Si/SiGe 異質界面 137 到 $i\text{-Si}$ 蓋層 142 逐漸地降低, 而最後在下部 Si 蓋層 118 與 $i\text{-Si}$ 蓋層 142 之界面, 基本上達到 0。如同已說明之第三實施形態一般, 若 C 具有如此之濃度分布, 基本上能避免 C 會對 SiO_2 層 117 所造成之不好影響。

第二, $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 中之 Ge 相對含量從第二異質界面 138 往第一異質界面 137 之方向增加。如圖 12 (a) 所示, 藉

五、發明說明(28)

由令 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 中之 Ge 相對含量有一定梯度,能够調節價帶頂之能階 E_v ,並能調節形成於第一異質界面 137 之、用以封閉電洞之 P 通道之深度。從而,使得自由地控制 PMOSFET 之臨界電壓。在此場合,因不會對 NMOSFET 之特性造成什麼影響,故能將 PMOSFET 之特性控制為最佳值。並且,由於電洞之封閉效率得以提昇,故形成在 Si/SiO_2 界面 135 周圍之寄生通道中之載子流量得以減少,結果載子遷移率得以提高。

第三, $i\text{-Si}$ 層 120 中之 C 濃度具有從第三異質界面 139 到第二異質界面 138 逐漸降低之梯度分布。因為有如此之 C 濃度分布,在將正電壓施加到閘極 116 時, N 通道則形成在 $i\text{-Si}$ 層 120 中靠近摻質原子 143 被 δ 摻雜之 SiGe 間隙層 121 之位置上。結果,載子之生成效率得以提高, NMOSFET 之驅動能力也隨之提高,並能調節 NMOSFET 之臨界電壓。以下,茲就該作用,佐以圖 12 (b) 說明之。

一般而言,在 Si 基板之 (001) 面上令包含 C 之 Si 層成長時,因在 Si 層中含有 C,故產生拉伸應變。假定由 $t(\%)$ 來表示 C 濃度,該應變之大小則為 $0.35t$ 。據本案發明人之計算,包含 C 之 Si 之導帶底之能階 E_c 自從不含 C 之 Si 之導帶底之能階起,往價帶側偏移 $-4.9t(\text{eV})$; 價帶頂之能階 E_v 往導帶側偏移 $-1.5t(\text{eV})$ 。在所包含之 C 之濃度可變的 Si 層中,例如,若將濃度 t 由 0.03% 改為 0% ,價帶頂之能階 E_v 就往導帶一側偏移約 45meV 左右。

在本實施形態之 NMOSFET 之場合,在應變得以緩和之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (29)

$\text{Si}_{1-x}\text{Ge}_x$ 層上形成包含 C 之 i-Si 層 120, 藉而對該 i-Si 層 120 施加拉伸應變。因此, 受到拉伸應變之 i-Si 層 120 的能帶結構也有可能發生同樣的變化。但, 所述能帶結構之變化情況取決於其下之 $\text{Si}_{1-x}\text{Ge}_x$ 層 (此處, 係 i- $\text{Si}_{1-x}\text{Ge}_x$ 間隙層 121) 中之 Ge 相對含量。

換言之, 如圖 12 (b) 所示, 藉由整體地增減 C 濃度, 亦即, 藉由改變 C 濃度分布之梯度, 能夠對 N 通道附近之導帶底之能階 E_c 加以控制。如此一來, 在不對 PMOSFET 之特性造成不好影響之情況下, 可進一步自由地控制 NMOSFET 的臨界電壓。

如此之 C 濃度分布係藉由在形成下部 Si 蓋層 118 及 i-Si 層 120 時, 使用 CVD 法、UHV-CVD 法或者 MBE 法來將原料氣體中之 C 形成用氣體之含量逐漸減少而得到者。

值得一提的是, 在本實施形態中, 下部 Si 蓋層 118 及 i-Si 層 120 所包含之 C 之濃度分布都有一定梯度。不過, 也可只令任一層中之 C 濃度分布有一梯度, 而令另一層中之 C 濃度分布大致均勻。

[發明之效果]

根據本發明之半導體裝置及其製造方法, 在將由複數種元素之混晶所構成之第一半導體層及第二半導體層疊層而形成異質接合之場合, 在第二半導體層中加入抑制劑, 該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能。因此, 半導體裝置之熱預算得以改善。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (30)

[圖式之簡單說明]

圖 1 (a)顯示 Si/Si_{0.8}Ge_{0.2} 超晶格之 X 射線繞射分析結果,圖 1 (b)係用以說明光譜中之各峰值之圖。

圖 2 係圖 1 (a)之 X 射線繞射光譜中之由基本繞射所得之峰值(0)附近之放大圖。

圖 3 顯示實驗試料中之超晶格內之 Ge 濃度之測定結果。

圖 4 係用以 X 射線分析之試料之斷面圖。

圖 5 (a)、(b)分別係顯示對摻雜有 C 及未摻雜有 C 之試料進行回火處理後所發生之異質界面之結構變化之斷面圖。

圖 6 (a)係第一實施形態之 HMOS 電晶體之結構斷面圖,

圖 6 (b)係顯示圖 6 (a)中之一區域結構之斷面圖。

圖 7 係顯示第一實施形態之半導體裝置之製造過程之斷面圖。
(a)~(d)

圖 8 係第二實施形態之半導體裝置之局部斷面圖。

圖 9 (a)、(b)係顯示第二實施形態之製造方法之一部份之斷面圖。

圖 10 係第三實施形態之半導體裝置之局部斷面圖。

圖 11 係第四實施形態之半導體裝置之局部斷面圖。

圖 12 (a)、(b)分別顯示有關第四實施形態之 PMOSFET 及 NMOSFET 的臨界電壓之調節方法。

圖 13 (a)係第一習用例之 HMOS 電晶體之結構斷面圖,圖 13 (b)係顯示其中一部份區域之結構斷面圖,圖 13 (c)係顯示在 Si 蓋層薄之場合,經回火處理後之 Ge 原子之移動等狀態之斷面圖,圖 13 (d)係顯示在 Si 蓋層厚之場合,經回火處

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(31)

理後之 Ge 原子之移動等狀態之斷面圖。

圖 14 (a)係第二習用例半導體裝置之斷面圖,圖 14 (b)係包含閘極、閘極絕緣膜、通道等之區域之斷面圖,圖 14 (c)係顯示經回火處理後之 Ge 原子之移動、偏析之斷面圖。

[符號之說明]

- 101 Si 基板
- 106 Ge 原子
- 107 C 原子
- 116 閘極
- 117 SiO₂ 層
- 118 下部 Si 蓋層
- 119 i-Si_{1-y}Ge_y 層
- 120 i-Si 層
- 121 Si_{1-x}Ge_x 間隙層
- 122 δ 摻雜層
- 123 Si_{1-x}Ge_x 緩衝層
- 135 Si/SiO₂ 界面
- 136 Si/Si_{1-y}Ge_y 界面
- 137 第一異質界面
- 138 第二異質界面
- 139 第三異質界面
- 142 i-Si 蓋層
- 151 源極接觸件
- 152 汲極接觸件

(請先閱讀背面之注意事項再填寫本頁)

訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (32)

- 153 源 極
- 154 汲 極

(請先閱讀背面之注意事項再填寫本頁)

訂 線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱：

半導體裝置及其製造方法

本發明提供一種熱處理時之異質界面的構造紊亂得以抑制之利用包含混晶半導體的異質接合之半導體裝置及其製造方法。

於半導體基板上,依序形成包含 C 之下部 Si 蓋 (cap) 層 118、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層 119 ($0 < y < 1$)、 $i\text{-Si}$ 蓋層 142、 SiO_2 層 117 以及閘極 116。因下部 Si 蓋層 118 包含 C,故 $\text{Si}_{1-y}\text{Ge}_y$ 層中之 Ge 原子之移動、擴散、偏析等能受到抑制。結果, $\text{Si}/\text{Si}_{1-y}\text{Ge}_y$ 異質界面 136 之構造紊亂得以抑制,界面被維持得分明且平滑。從而,在通道中沿著異質界面移動之載子遷移率等的特性得以提高。亦即,熱處理時之半導體裝置之熱預算得以改善。又,藉由令 C 濃度分布有一定梯度,往閘極絕緣膜內之 C 擴散可被抑制,可靠性等之下降得以防止。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

英文發明摘要(發明之名稱：半導體裝置及びその製造方法)

【課題】 混晶半導体を含むヘテロ接合を利用した半導体装置において、熱処理時におけるヘテロ界面の構造の乱れを抑制しうる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上に、Cを含有する下部Siキャップ層118と、 $i\text{-Si}_{1-y}\text{Ge}_y$ 層119 ($0 < y < 1$)と、 $i\text{-Si}$ キャップ層142と、 SiO_2 層117と、ゲート電極116とを設ける。下部Siキャップ層118にCが含まれているので、 $\text{Si}_{1-y}\text{Ge}_y$ 層中のGeの移動・拡散・偏析などが抑制される。その結果、 $\text{Si}/\text{Si}_{1-y}\text{Ge}_y$ ヘテロ界面136の構造の乱れが抑制され、明確で平滑な界面が維持される。したがって、ヘテロ界面に沿ったチャネルにおけるキャリアの伝導度などの特性が向上する。つまり、熱処理時における半導体装置のサーマルバジェットを改善する。また、C濃度に傾斜をもたせることにより、ゲート絶縁膜へのCの拡散を抑制し、信頼性などの劣化を防止する。

六、申請專利範圍

1. 一種半導體裝置,其特徵在於具備:

半導體基板;

形成在所述半導體基板內,由複數種元素之混晶所構成之第一半導體層;及

在所述半導體基板內,與所述第一半導體層相接形成,並包含抑制劑之第二半導體層,該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能,

該半導體裝置能用作使用由所述第一半導體層及第二半導體層所形成之異質接合之半導體裝置。

2. 如申請專利範圍第 1 項之半導體裝置,其中,

上述第一半導體層為 $\text{Si}_{1-y}\text{Ge}_y$ 層 ($0 < y < 1$),

上述第二半導體層為 Si 層,

上述抑制劑為 C (碳)。

3. 如申請專利範圍第 1 或第 2 項之半導體裝置,其中,

上述 C 之濃度為 1% 以下。

4. 如申請專利範圍第 2 項之半導體裝置,其中,

相較於上述 $\text{Si}_{1-y}\text{Ge}_y$ 層,所形成之上述 Si 層更靠近半導體基板之表面,

上述 Si 層中之 C 之濃度分布為:愈遠離上述 $\text{Si}_{1-y}\text{Ge}_y$ 層,愈下降。

5. 如申請專利範圍第 2 項之半導體裝置,其中,

上述 $\text{Si}_{1-y}\text{Ge}_y$ 層具有臨界膜厚以下之厚度,並受到壓縮應變。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

6. 如申請專利範圍第 2 項之半導體裝置,其中,
上述半導體裝置係場效應電晶體,其包含形成於所述半導體基板上之閘極及形成於所述閘極下方之上述 Si 層內之通道。
7. 如申請專利範圍第 6 項之半導體裝置,其中進而具備:
設於所述閘極與所述 Si 層間之閘極絕緣膜。
8. 如申請專利範圍第 7 項之半導體裝置,其中進而具備:
設於所述 Si 層與閘極絕緣膜間之本徵 Si 層。
9. 如申請專利範圍第 6 至 8 項中任一項之半導體裝置,
其中,
相較於上述 $Si_{1-y}Ge_y$ 層,所形成之上述 Si 層更靠近半導體基板之表面,
上述 Si 層中之 C 之濃度分布為:愈遠離上述 $Si_{1-y}Ge_y$ 層,愈下降。
10. 如申請專利範圍第 2 項之半導體裝置,其中,
相較於上述 $Si_{1-y}Ge_y$ 層,所形成之上述 Si 層更靠近半導體基板之表面,該半導體裝置進一步包含:
第二 Si 層,其形成於所述 $Si_{1-y}Ge_y$ 層之下方並包含 C;
 $Si_{1-x}Ge_x$ 層 ($0 < x < 1$),其形成於所述第二 Si 層之下方;及
 δ 摻雜層,其形成於所述 $Si_{1-x}Ge_x$ 層內之靠近所述第二 Si 層之區域裏,並包含高濃度載子用雜質,
上述半導體裝置係 CMOS 裝置,其具備:
P 型場效應電晶體,其包含形成於上述半導體基板上之閘極及形成於所述閘極之下方之所述 $Si_{1-y}Ge_y$ 層內之 P 通道;

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

及 N 型場效應電晶體，其包含形成於上述半導體基板上之閘極及形成於所述閘極之下方之所述第二 Si 層內之 N 通道。

11. 如申請專利範圍第 10 項之半導體裝置，其中，
所述 Si 層及第二 Si 層受到拉伸應變，
加到所述 $Si_{1-x}Ge_x$ 層之應變得以緩和。

12. 如申請專利範圍第 10 項之半導體裝置，其中進一步具備：

於上述 P 型及 N 型場效應電晶體之閘極與 Si 層之間分別形成之閘極絕緣膜。

13. 如申請專利範圍第 12 項之半導體裝置，其中進一步具備：

於上述 P 型及 N 型場效應電晶體之閘極絕緣膜與 Si 層之間分別形成之本徵 Si 層。

14. 如申請專利範圍第 12 項之半導體裝置，其中，

上述 Si 層中之 C 之濃度分布為：愈遠離上述 $Si_{1-y}Ge_y$ 層，愈下降。

15. 如申請專利範圍第 10 至 14 項中任一項之半導體裝置，其中，

上述第二 Si 層中之 C 之濃度分布為：愈遠離上述 $Si_{1-x}Ge_x$ 層，愈下降。

16. 如申請專利範圍第 10 至 14 項中任一項之半導體裝置，其中，

上述 $Si_{1-y}Ge_y$ 層中之 Ge 相對含量從上述第二 Si 層至上述 Si 層之方向增加。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

17. 一種半導體裝置之製造方法，其特徵在於包含：

在基板上形成由複數種元素之混晶所構成之第一半導體層之製程 (a)；

在所述第一半導體層上形成第二半導體層之製程 (b)；及

在完成所述製程 (b) 之後，藉由植入抑制劑之離子，於所述第一及第二半導體層中摻雜所述抑制劑之製程 (c)，該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能，

藉而製造利用由所述第一半導體層及第二半導體層所形成之異質接合之半導體裝置。

18. 如申請專利範圍第 17 項之半導體裝置之製造方法，其中，

上述第一半導體層為 $Si_{1-y}Ge_y$ 層 ($0 < y < 1$)，

上述第二半導體層為 Si 層，

上述抑制劑為 C (碳)。

19. 如申請專利範圍第 18 項之半導體裝置之製造方法，其中進一步包含：

在上述製程 (b) 之後且上述製程 (c) 之前，於上述 Si 層上形成本徵 Si 層之製程；及

在進行所述製程 (c) 之後，使所述本徵 Si 層氧化，藉而形成基本上到達所述 Si 層之氧化膜之製程。

20. 一種半導體裝置之製造方法，其特徵在於包含：

在基板上形成由複數種元素之混晶所構成之第一半導體層之製程 (a)；及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

在所述第一半導體層上形成包含抑制劑之第二半導體層之製程(b),其中控制所述第二半導體層內之抑制劑之濃度以使其愈靠近上方愈小,該抑制劑具有能阻礙所述第一半導體層之複數種構成元素中至少一種元素之移動之功能,

藉而製造利用由所述第一半導體層及第二半導體層所形成之異質接合之半導體裝置。

21. 如申請專利範圍第 20 項之半導體裝置之製造方法,其中,在所述製程(b)中,使用 CVD 法、UHV-CVD 法或者 MBE 法。

22. 如申請專利範圍第 20 或第 21 項之半導體裝置之製造方法,其中,

上述第一半導體層為 $Si_{1-y}Ge_y$ 層 ($0 < y < 1$),

上述第二半導體層為 Si 層,

上述抑制劑為 C (碳)。

23. 如申請專利範圍第 22 項之半導體裝置之製造方法,其中進一步包含:

在進行上述製程(b)之後,於上述 Si 層上形成本徵 Si 層之製程;及

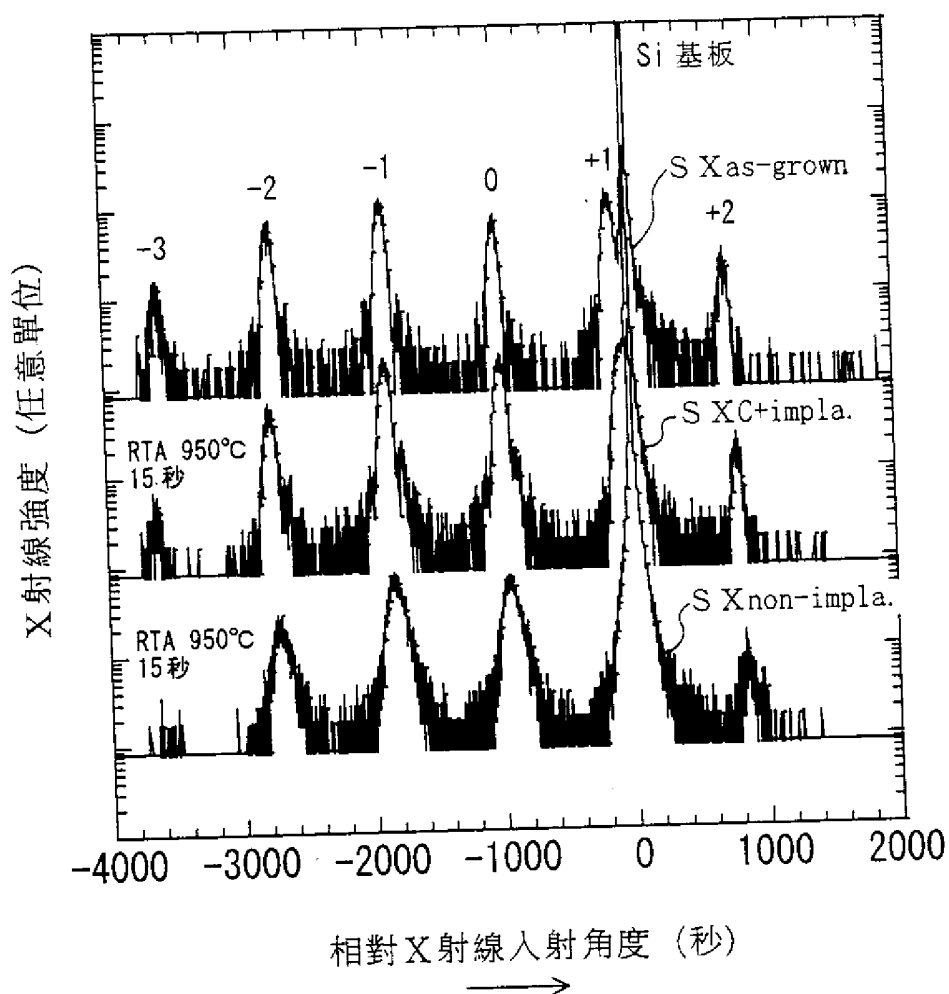
使所述本徵 Si 層氧化,藉而形成基本上到達所述 Si 層之氧化膜之製程。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

(a)



(b)

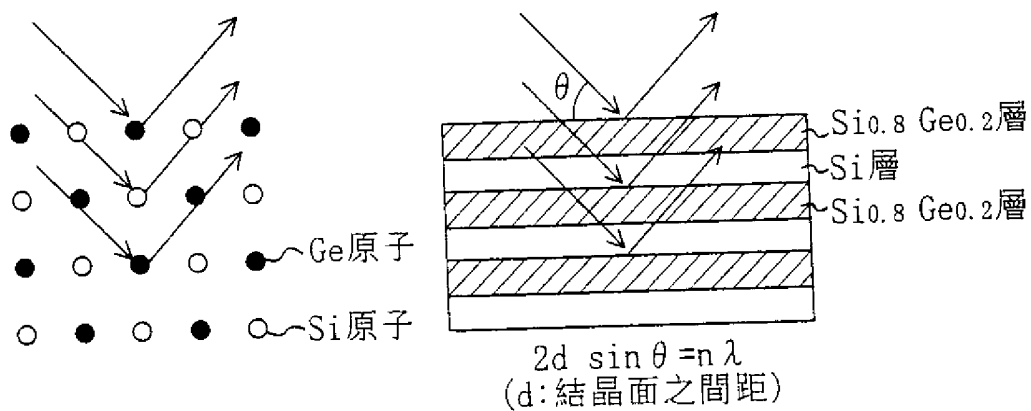


圖 1

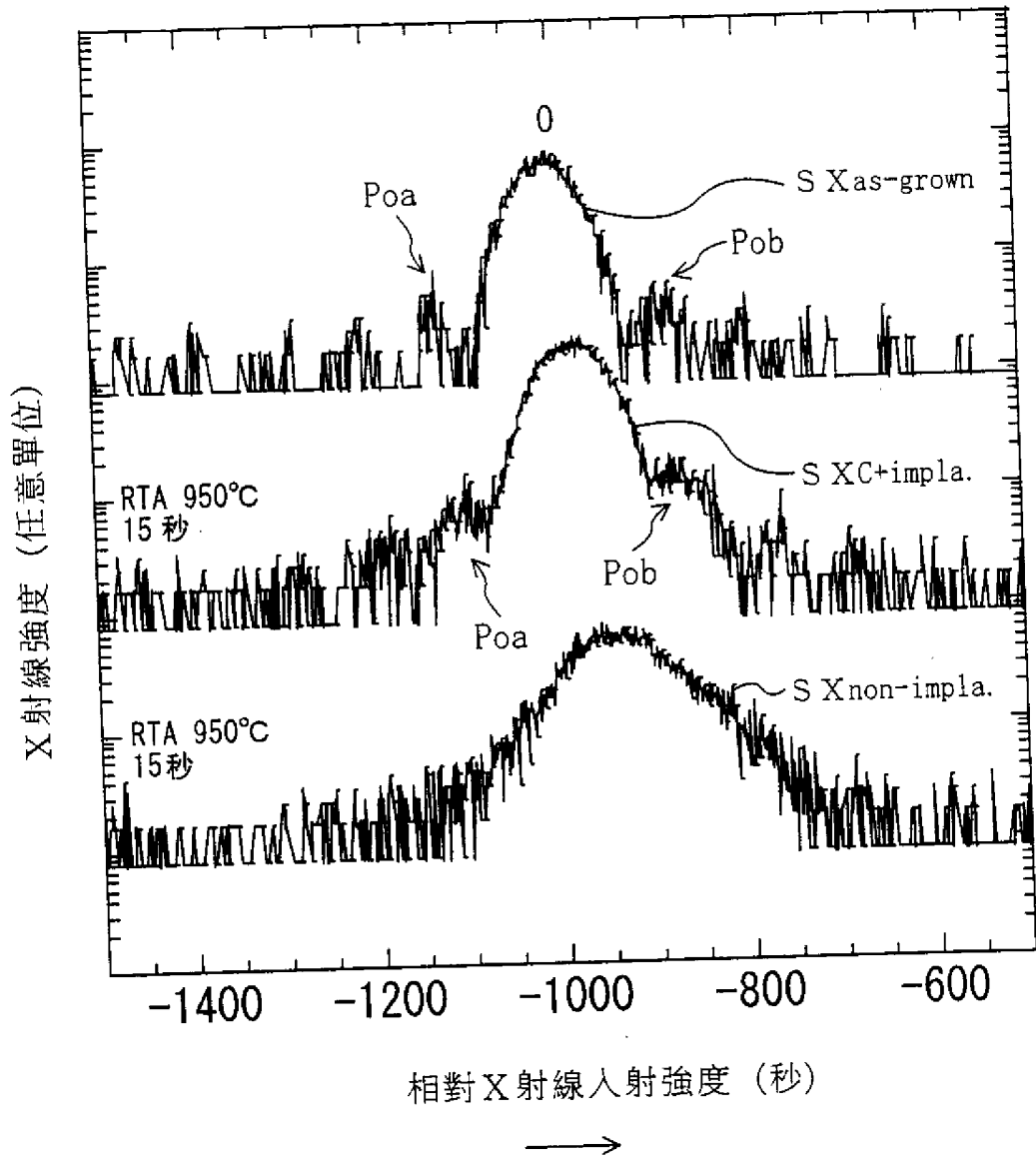


圖 2

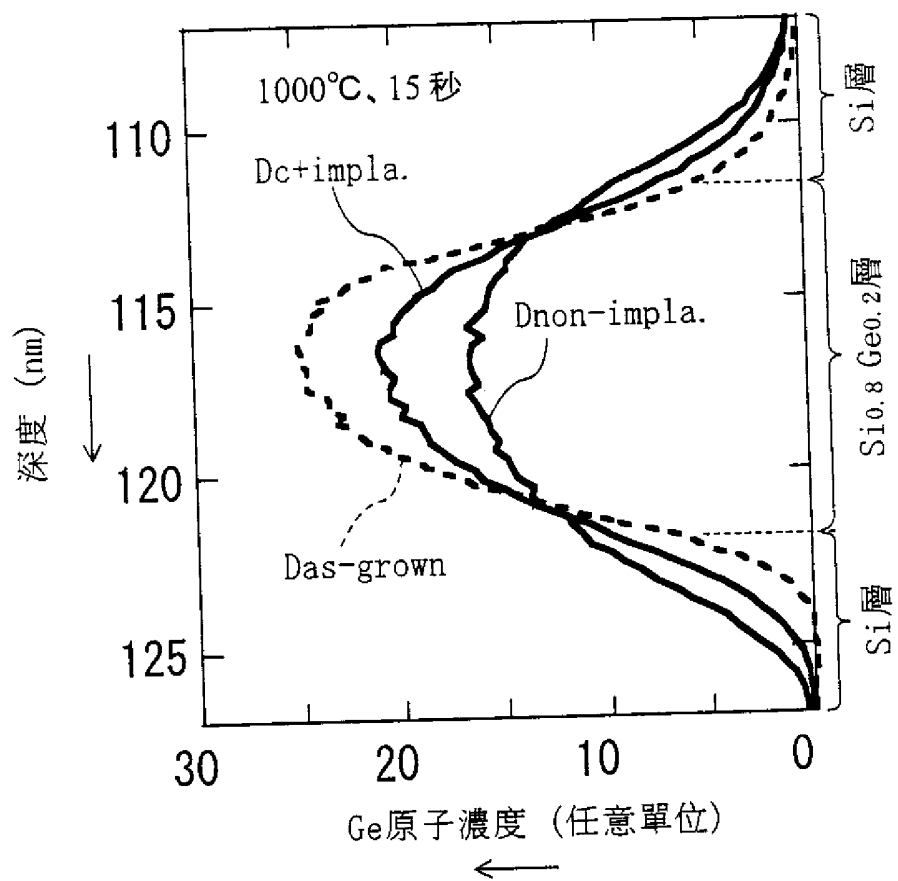


圖 3

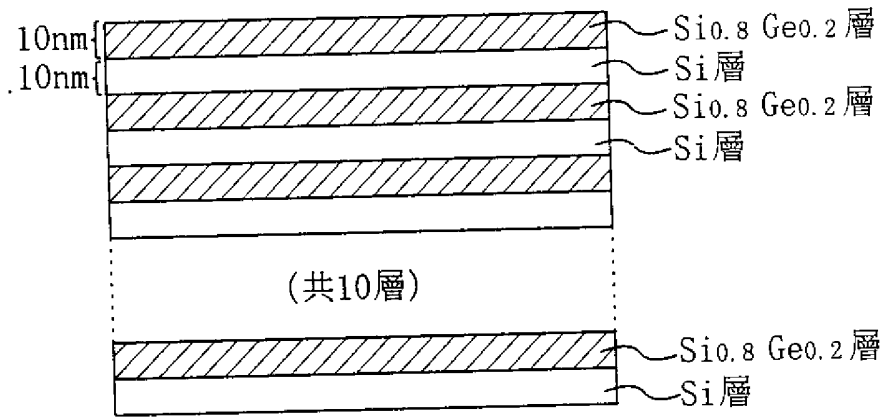


圖 4

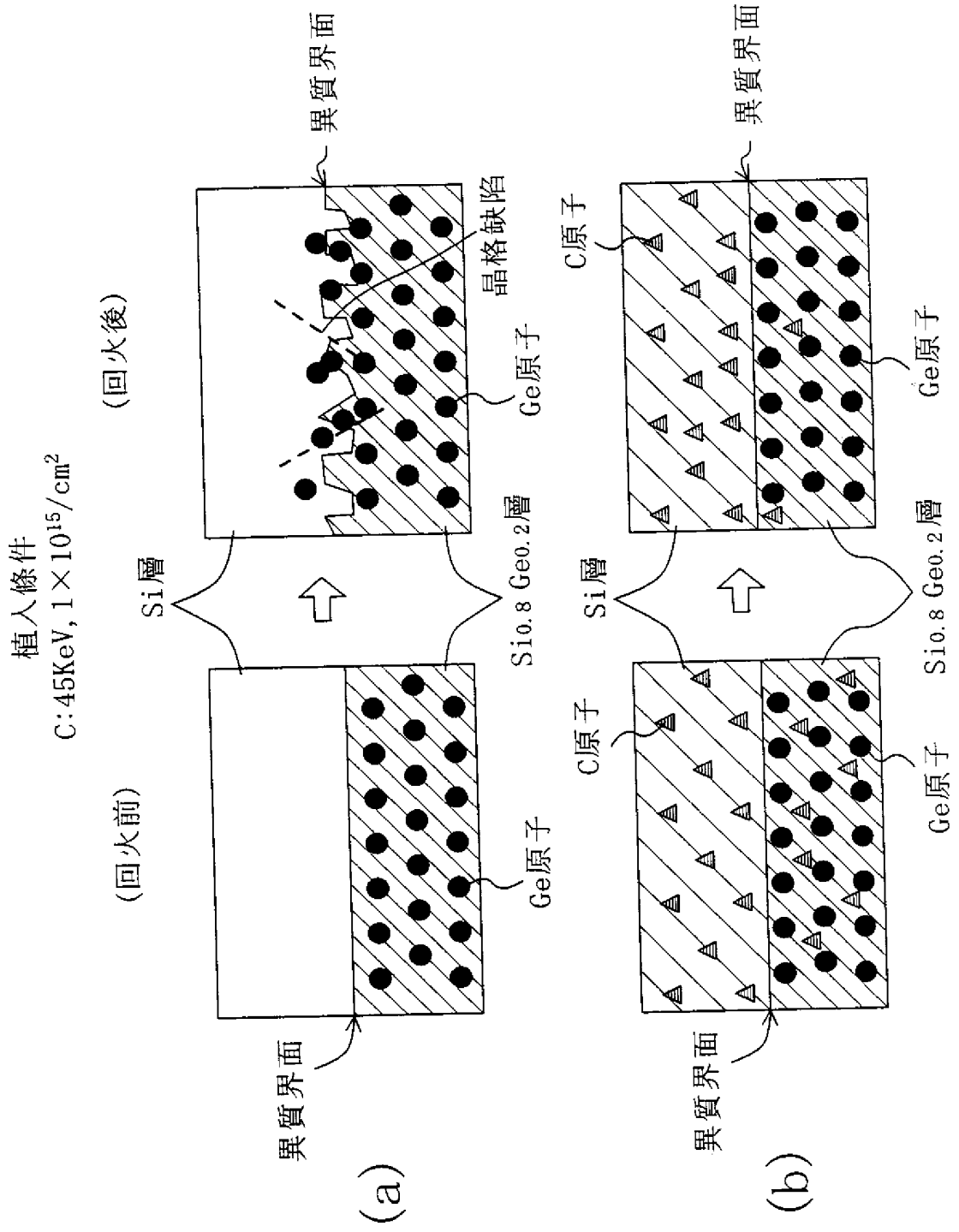
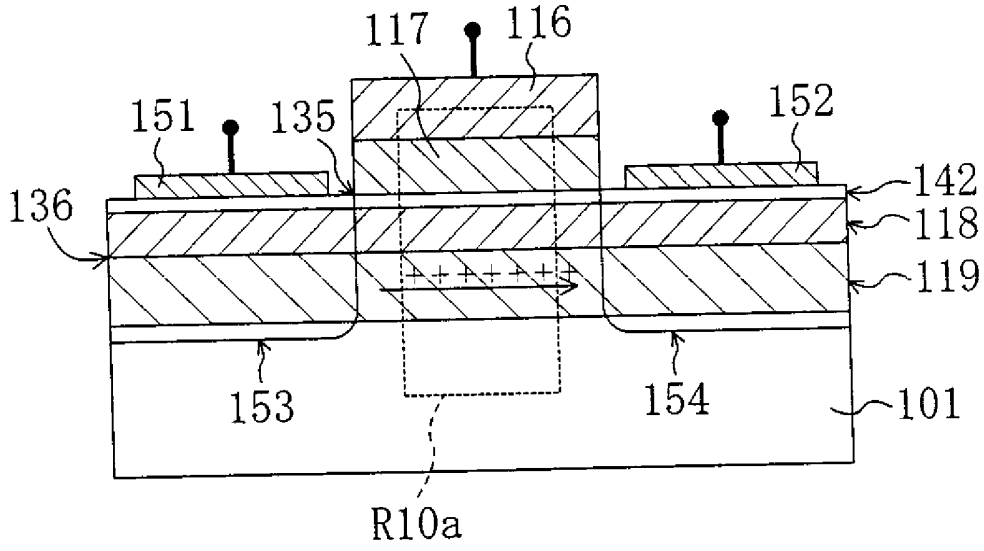


圖 51

(a)



(b)

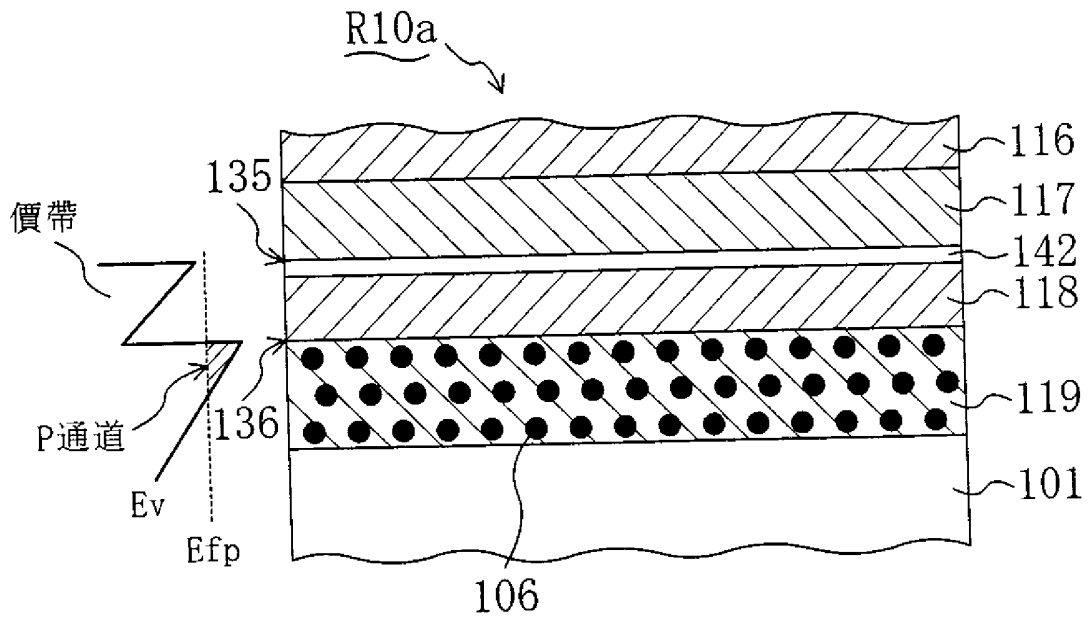


圖 6

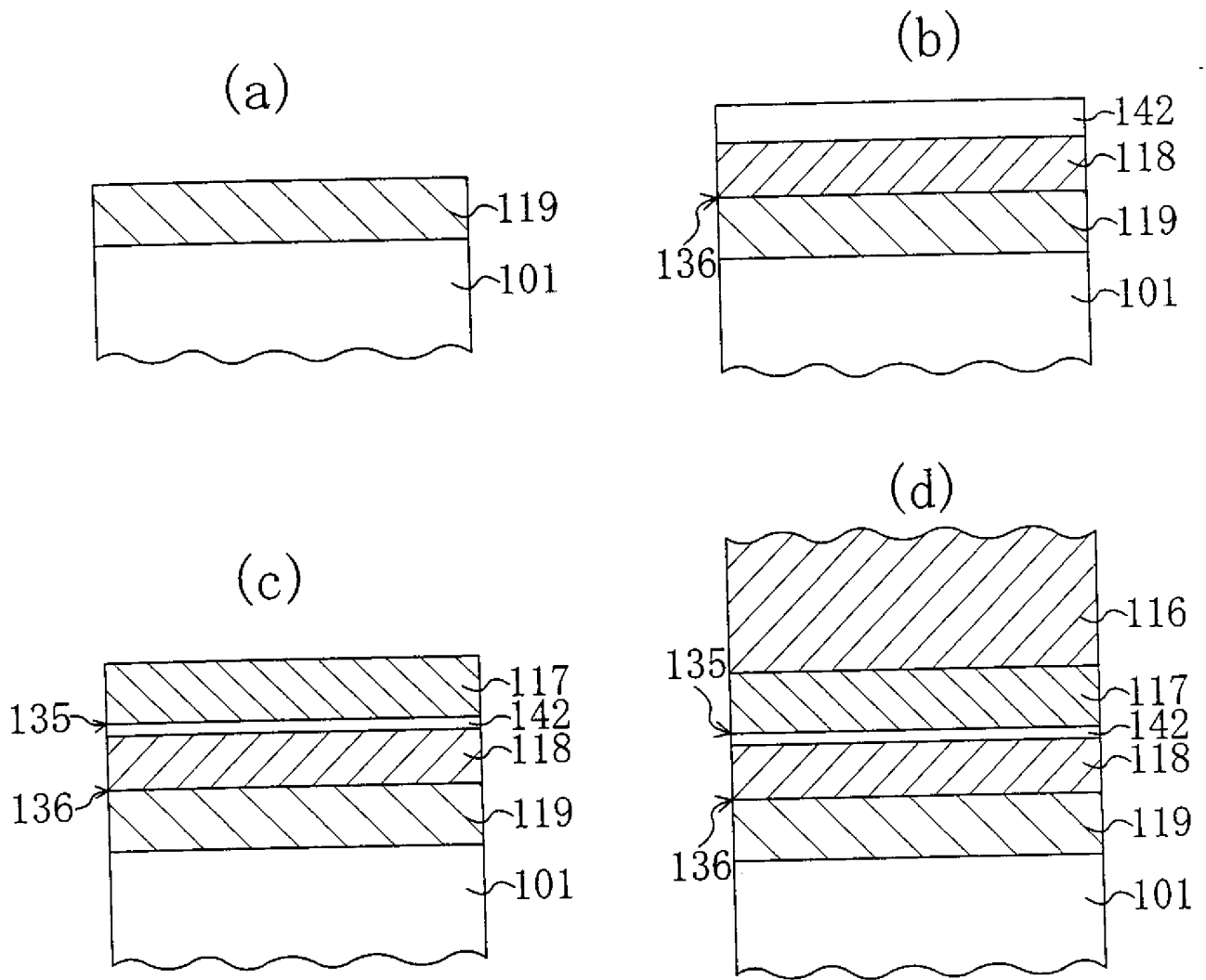


圖 7

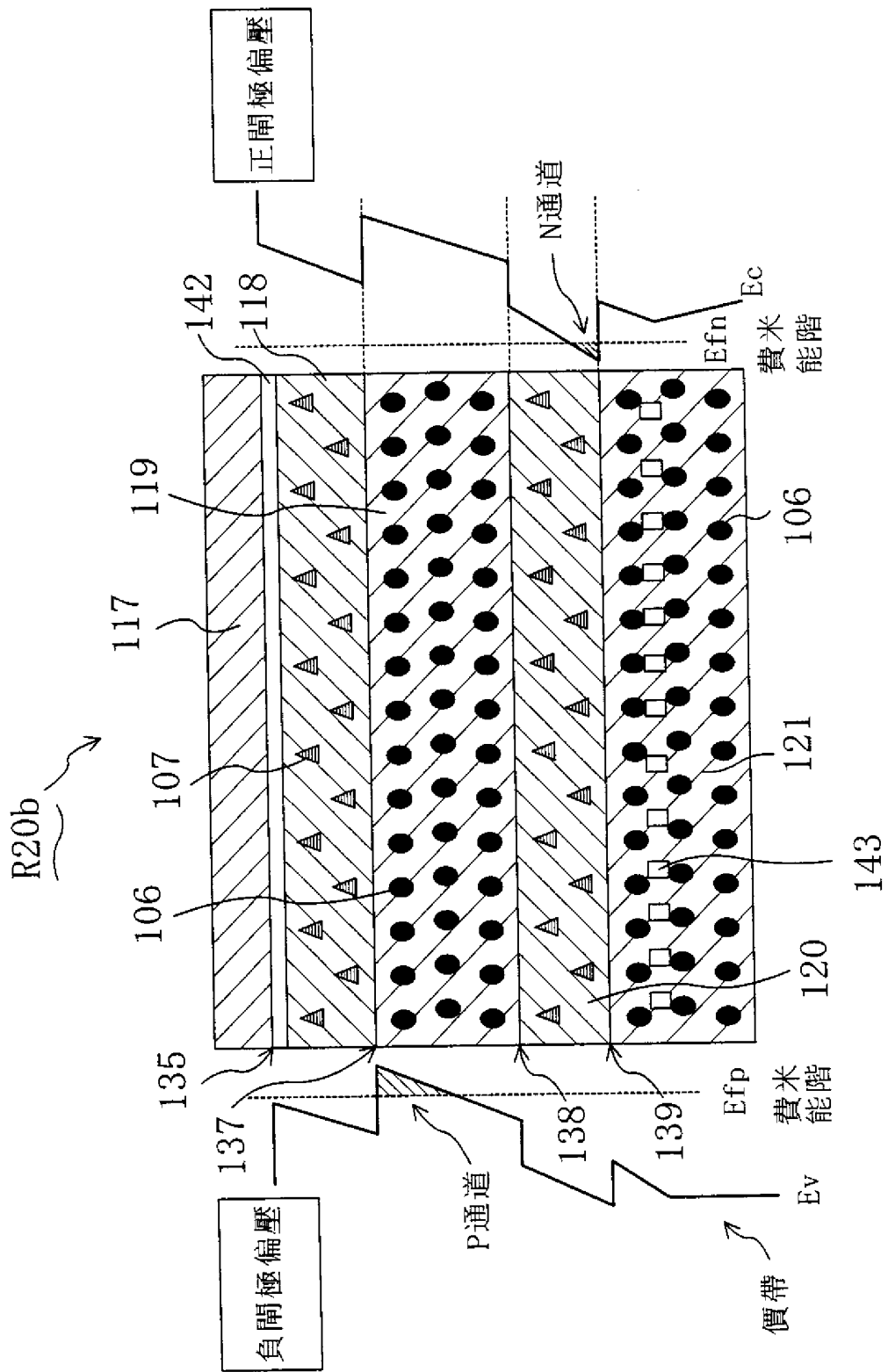


圖 8

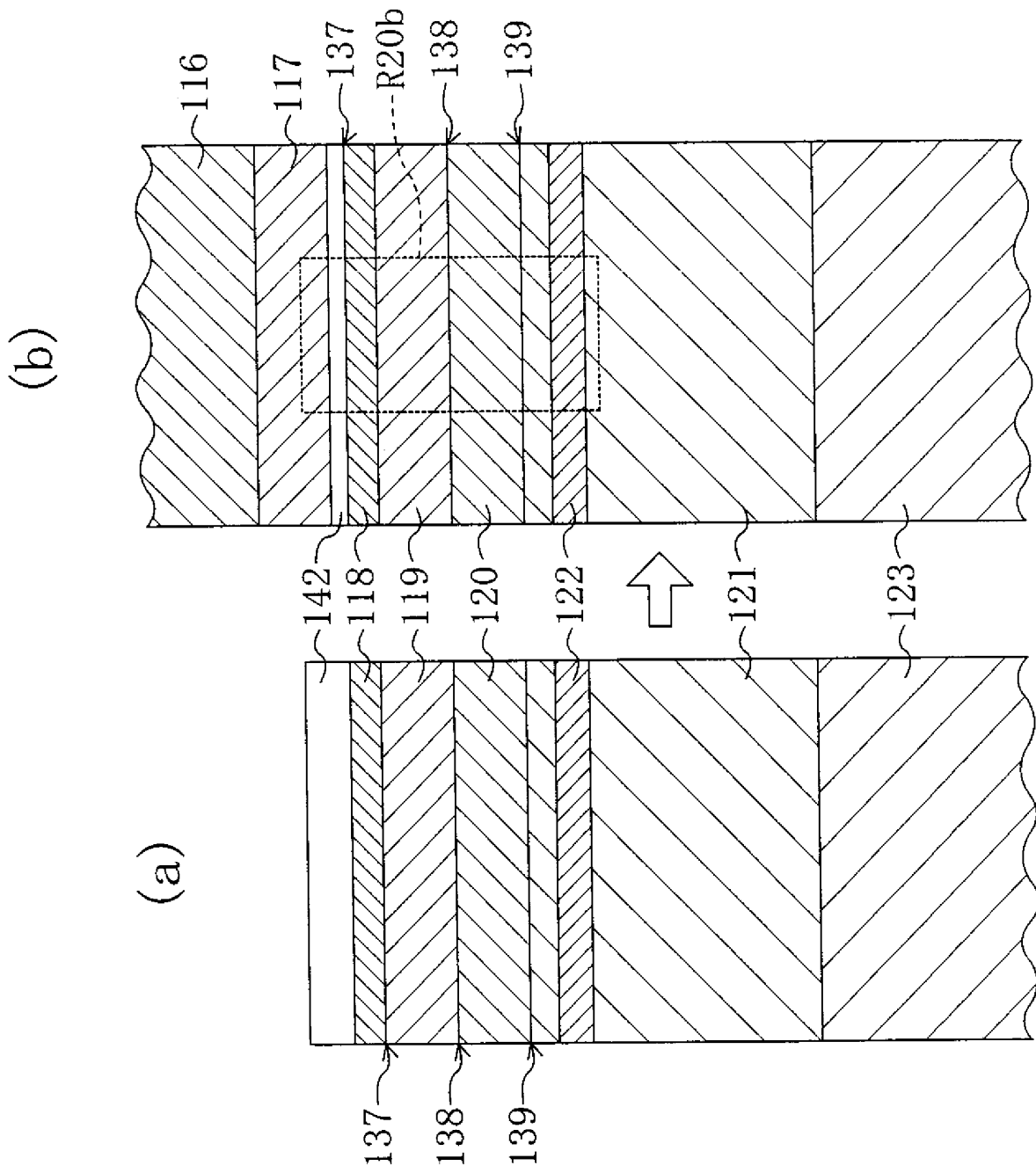


圖 9

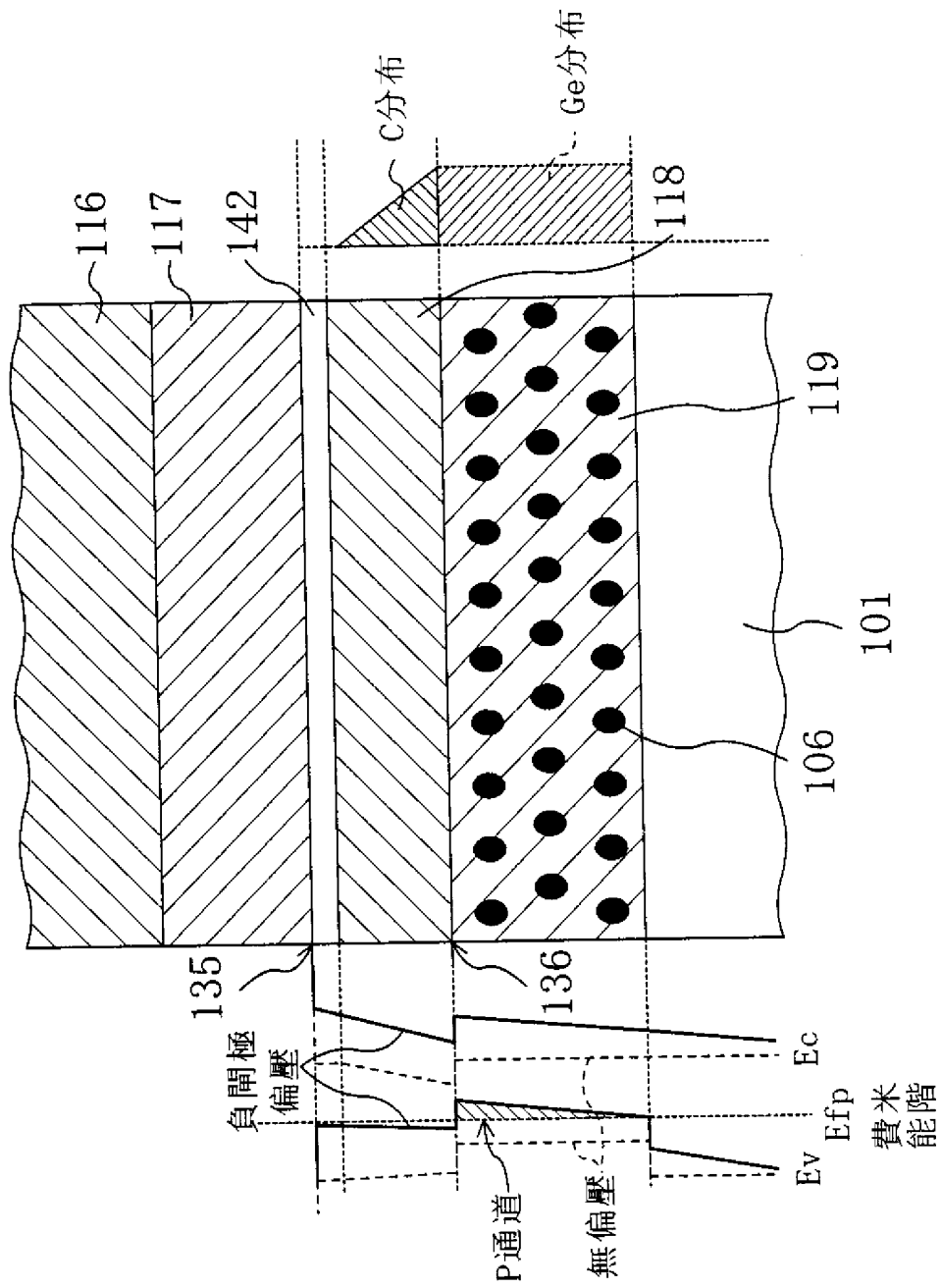


圖 10

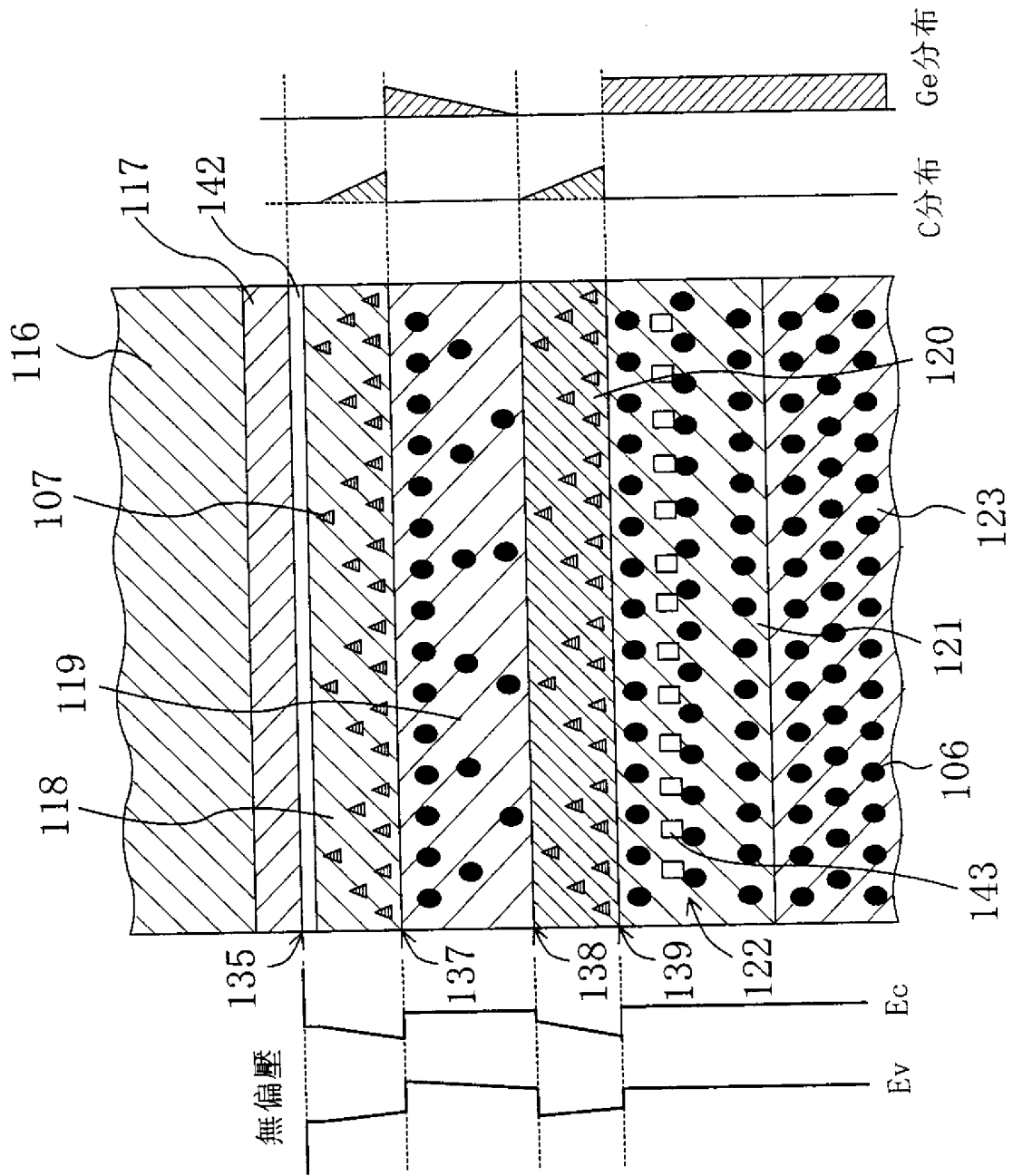
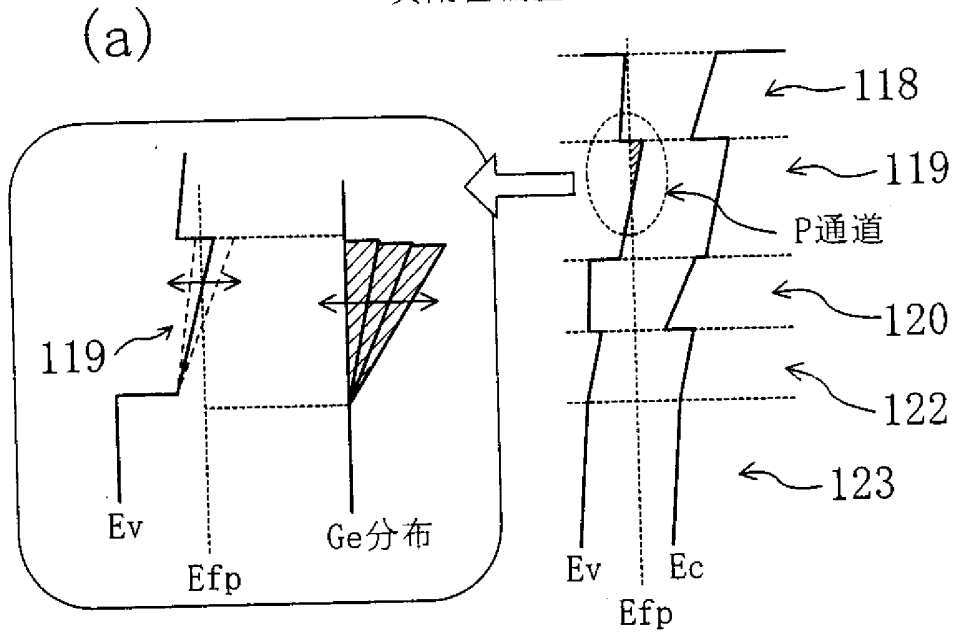


圖 11

負閘極偏壓



(b) 正閘極偏壓

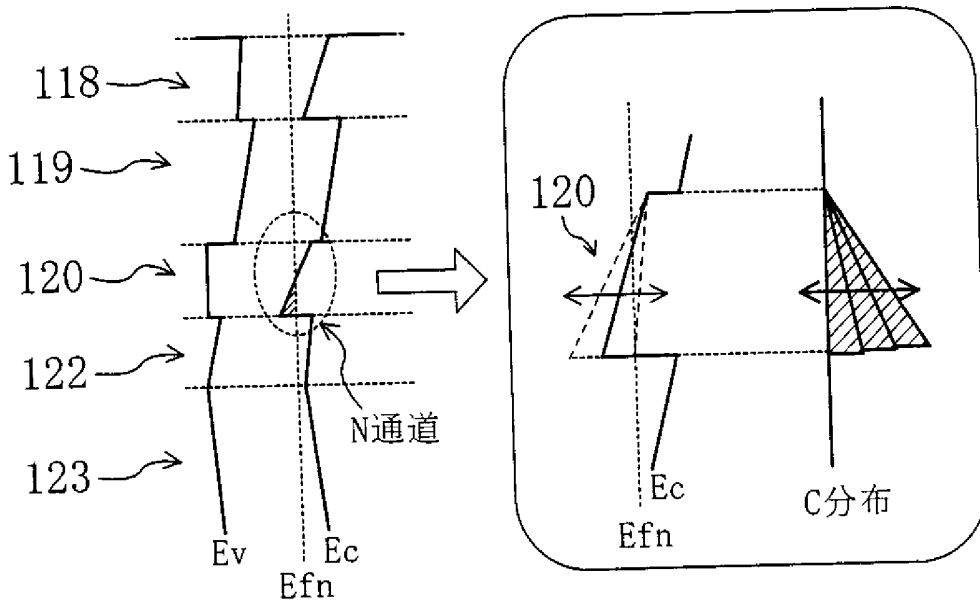


圖 12

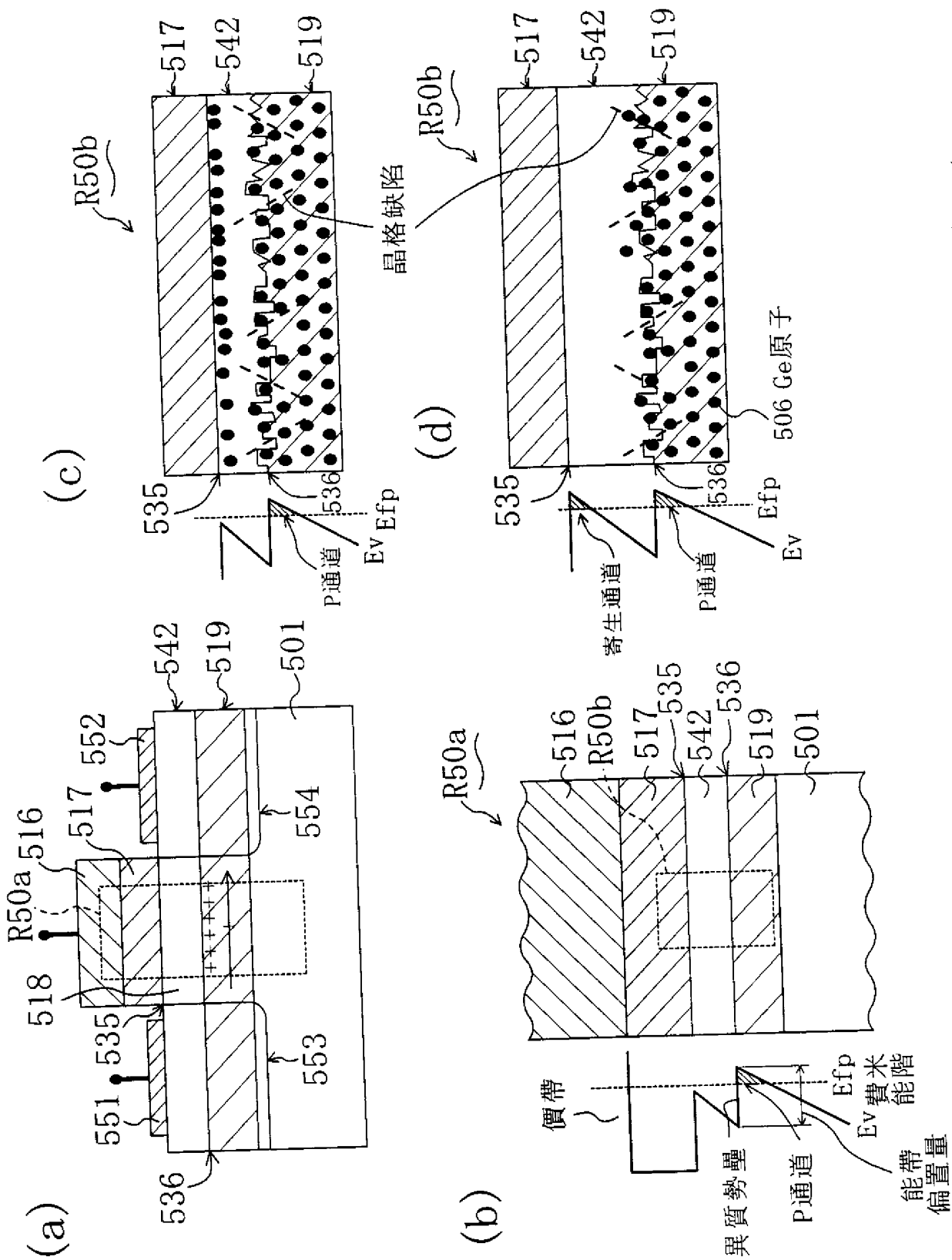


圖 13

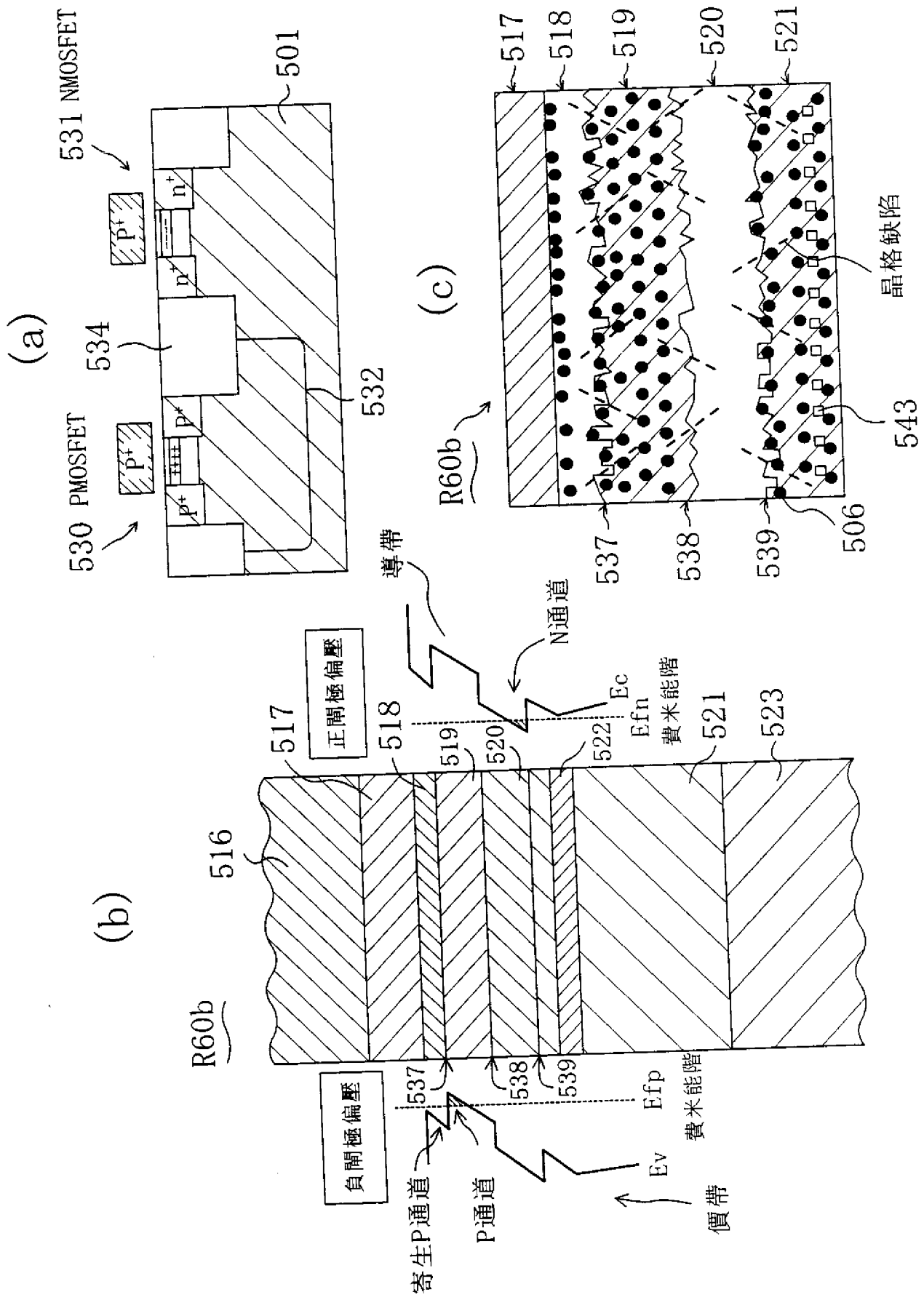


圖 14