

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4727360号
(P4727360)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.		F I			
H03K	17/08	(2006.01)	H03K	17/08	Z
H03K	17/00	(2006.01)	H03K	17/00	B
H03K	17/687	(2006.01)	H03K	17/687	F

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2005-272227 (P2005-272227)	(73) 特許権者	501137636
(22) 出願日	平成17年9月20日(2005.9.20)		東芝三菱電機産業システム株式会社
(65) 公開番号	特開2007-88599 (P2007-88599A)		東京都港区三田三丁目13番16号
(43) 公開日	平成19年4月5日(2007.4.5)	(74) 代理人	100078019
審査請求日	平成20年7月17日(2008.7.17)		弁理士 山下 一
		(72) 発明者	高尾 健志
			東京都港区三田三丁目13番16号 東芝
			三菱電機産業システム株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 絶縁ゲート型半導体素子のゲート回路

(57) 【特許請求の範囲】

【請求項1】

ソース電極が正側電源の正極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続されたPチャンネルFETと、
 ソース電極が前記正側電源と直列に接続された負側電源の負極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続されたNチャンネルFETと、
 前記正側電源の正極と前記負側電源の負極から制御電圧の供給を受け、指令に従って前記制御電圧の振幅を持つゲート制御パルスを出力するゲート制御パルス発生手段と、
 前記ゲート制御パルス発生手段の出力と前記PチャンネルFETのゲート電極間に設けられ、
アノードが前記ゲート制御パルス発生手段の出力側に接続された第1のツェナーダイオードと第1の抵抗から成る第1の直列回路と、
 前記ゲート制御パルス発生手段の出力と前記NチャンネルFETのゲート電極間に設けられ、
カソードが前記ゲート制御パルス発生手段の出力側に接続された第2のツェナーダイオードと第2の抵抗から成る第2の直列回路と
 を具備し、
 前記第1のツェナーダイオードの降伏電圧は、前記正側電源の電圧から前記PチャンネルFETのゲートしきい値電圧を減算した値より大きく選定し、
 前記第2のツェナーダイオードの降伏電圧は、前記負正電源の電圧から前記NチャンネルFETのゲートしきい値電圧を減算した値より小さく選定するようにしたことを特徴とする
 絶縁ゲート型半導体素子のゲート回路。

10

20

【請求項 2】

前記負側電源の電圧が所定値以下となったとき、前記ゲート制御パルス発生手段の出力をオフ状態にホールドするようにしたことを特徴とする請求項 1 に記載の絶縁ゲート型半導体素子のゲート回路。

【請求項 3】

前記 N チャネル F E T のゲート電極にカソードを、ソース電極にアノードを接続した第 3 のツェナーダイオードと、
前記 N チャネル F E T のゲート電極と前記正側電源の正極間に接続された第 3 の抵抗とを備えたことを特徴とする請求項 1 に記載の絶縁ゲート型半導体素子のゲート回路。

【請求項 4】

前記負側電源の電圧喪失時に、前記絶縁ゲート型半導体素子のゲート - エミッタ間を連続的に低インピーダンスとし、
且つ前記正側及び負側電源の喪失時に、前記絶縁ゲート型半導体素子のゲート - エミッタ間をゲートしきい値電圧以下にクランプ可能となるように前記第 3 の抵抗の値及び前記第 3 のツェナーダイオードの降伏電圧を選定したことを特徴とする請求項 3 に記載の絶縁ゲート型半導体素子のゲート回路。

【請求項 5】

ソース電極が正側電源の正極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続された P チャネル F E T と、
ソース電極が前記正側電源と直列に接続された負側電源の負極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続された N チャネル F E T と、
入力端と前記 P チャネル F E T のゲート電極間に設けられ、アノードが前記入力端側に接続された第 1 のツェナーダイオードと第 1 の抵抗から成る第 1 の直列回路と、
前記入力端と前記 N チャネル F E T のゲート電極間に設けられ、カソードが前記入力端側に接続された第 2 のツェナーダイオードと第 2 の抵抗から成る第 2 の直列回路と
から成るトータムポール型増幅回路複数個と、
前記正側電源の正極と前記負側電源の負極から制御電圧の供給を受け、指令に従って前記制御電圧の振幅を持つゲート制御パルスを出力して各々の前記トータムポール型増幅回路の入力端に供給するゲート制御パルス発生手段と
を具備し、
前記複数個のトータムポール型増幅回路の少なくとも 1 つに
当該トータムポール型増幅回路を構成する前記 N チャネル F E T のゲート電極にカソードを、ソース電極にアノードを接続した第 3 のツェナーダイオードと、
当該 N チャネル F E T のゲート電極と前記正側電源の正極間に接続された第 3 の抵抗とを設けたことを特徴とする絶縁ゲート型半導体素子のゲート回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁ゲート型半導体素子の改良されたゲート回路に関する。

【背景技術】

【0002】

MOS 型ゲート構造を有する絶縁ゲート型半導体素子には、たとえば MOSFET、IGBT、IEGT (Injection Enhanced Gate Transistor) などがある。

【0003】

これら絶縁ゲート型半導体素子は、電圧駆動型であり、ゲート・エミッタ間の容量を充電、放電する電流がオン・オフ切り替え時に短時間流れるだけで、定常時にはゲート電流が流れない。したがって、絶縁ゲート型半導体素子のゲートパワーはパイポラ素子に比べ非常に小さくできる利点がある。また、絶縁ゲート型半導体素子は、MOS 型ゲート構造特有の高速動作が可能である。

10

20

30

40

50

【 0 0 0 4 】

このような絶縁ゲート型半導体素子のゲート回路にとって重要なことは、絶縁ゲート型半導体素子を確実にオン・オフ動作させ、誤動作による短絡などを防止することである。この確実なオン・オフ動作は、制御用の直流電源が必要なだけ供給されてはじめて成り立つのが通常であるが、制御電源電圧が低下したときにも絶縁ゲート型半導体素子の誤動作、特に誤オン動作を防止するニーズは従来からあった。

【 0 0 0 5 】

例えば、制御電源電圧が所定値以下となったとき、ゲート回路を駆動するシンク用トランジスタのコレクタ・ベース間を短絡し、絶縁ゲート型半導体素子がオンしようとしてもシンク用トランジスタの動作によって誤オンすることを阻止するゲート回路が提案されている（例えば特許文献1参照。）。 10

【特許文献1】特開平5 - 226994号公報（第4 - 5頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

特許文献1で示された方法は、制御電源が単一電源の場合であり、絶縁ゲート型半導体素子のバイアスは順（正）バイアスのみを印加している。しかるに大容量の絶縁ゲート型半導体素子を使用する場合は、逆バイアスの印加も必要になる場合がある。

【 0 0 0 7 】

順バイアス、逆バイアスの両電源をもったゲート駆動回路の逆バイアス電源のみが単一故障を引き起こすと、順バイアス電源のみが供給される。そのときにゲート制御用ICが動作可能範囲内であれば絶縁ゲート型半導体素子へのゲート信号は出力可能であるが、本来設計していた逆バイアス電圧とゲート抵抗によるゲートキャリアの引き抜き時間が遅くなり、結果として絶縁ゲート型半導体素子のターンオフ損失の増加、過熱、破損等の要因となる。また、本来意図していた逆バイアスの目的となるノイズによる誤オン防止の役目を果たせず、誤オンしてアーム短絡を発生させ破損させる原因にもなる。 20

【 0 0 0 8 】

本発明は以上のような問題点を解消するためになされたもので、逆バイアス制御電源の故障が発生した場合でも、絶縁ゲート型半導体素子が誤オン動作しないような安全な絶縁ゲート型半導体素子のゲート回路を提供することを目的とする。 30

【課題を解決するための手段】

【 0 0 0 9 】

上記目的を達成するため、本発明の第1の発明である絶縁ゲート型半導体素子のゲート回路は、ソース電極が正側電源の正極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続されたPチャネルFETと、ソース電極が前記正側電源と直列に接続された負側電源の負極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続されたNチャネルFETと、前記正側電源の正極と前記負側電源の負極から制御電圧の供給を受け、指令に従って前記制御電圧の振幅を持つゲート制御パルスを出力するゲート制御パルス発生手段と、前記ゲート制御パルス発生手段の出力と前記PチャネルFETのゲート電極間に設けられ、アノードが前記ゲート制御パルス発生手段の出力側に接続された第1のツェナーダイオードと第1の抵抗から成る第1の直列回路と、前記ゲート制御パルス発生手段の出力と前記NチャネルFETのゲート電極間に設けられ、カソードが前記ゲート制御パルス発生手段の出力側に接続された第2のツェナーダイオードと第2の抵抗から成る第2の直列回路とを具備し、前記第1のツェナーダイオードの降伏電圧は、前記正側電源の電圧から前記PチャネルFETのゲートしきい値電圧を減算した値より大きく選定し、前記第2のツェナーダイオードの降伏電圧は、前記負正電源の電圧から前記NチャネルFETのゲートしきい値電圧を減算した値より小さく選定するようにしたことを特徴としている。 40

【 0 0 1 0 】

また、本発明の第2の発明である絶縁ゲート型半導体素子のゲート回路は、ソース電極 50

が正側電源の正極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続されたPチャンネルFETと、ソース電極が前記正側電源と直列に接続された負側電源の負極に接続され、ドレイン電極が絶縁ゲート型半導体素子のゲート電極に接続されたNチャンネルFETと、入力端と前記PチャンネルFETのゲート電極間に設けられ、アノードが前記入力端側に接続された第1のツェナーダイオードと第1の抵抗から成る第1の直列回路と、前記入力端と前記NチャンネルFETのゲート電極間に設けられ、カソードが前記入力端側に接続された第2のツェナーダイオードと第2の抵抗から成る第2の直列回路とから成るトータムポール型増幅回路複数個と、前記正側電源の正極と前記負側電源の負極から制御電圧の供給を受け、指令に従って前記制御電圧の振幅を持つゲート制御パルスを出力して各々の前記トータムポール型増幅回路の入力端に供給するゲート制御パルス発生手段とを具備し、前記複数個のトータムポール型増幅回路の少なくとも1つに当該トータムポール型増幅回路を構成する前記NチャンネルFETのゲート電極にカソードを、ソース電極にアノードを接続した第3のツェナーダイオードと、当該NチャンネルFETのゲート電極と前記正側電源の正極間に接続された第3の抵抗とを設けたことを特徴としている。

10

【発明の効果】

【0011】

本発明によれば、逆バイアス制御電源の故障が発生した場合でも、絶縁ゲート型半導体素子が誤オン動作しないような安全な絶縁ゲート型半導体素子のゲート回路を提供することが可能となる。

【発明を実施するための最良の形態】

20

【0012】

以下、図面を参照して本発明の実施例を説明する。

【実施例1】

【0013】

図1は本発明の実施例1に係る絶縁ゲート型半導体素子のゲート回路の回路構成図である。図1において、ゲート回路1には正側の制御電源2A及びこれと直列に接続された負側の制御電源2Bから正及び負の制御電圧が夫々供給されている。ゲート回路1はその出力によってフライホイールダイオード4を逆並列に接続した絶縁ゲート型半導体素子であるIGBT3のゲートを駆動している。IGBT3のエミッタは制御電源2Aと制御電源2Bの midpoint に接続されている。ここでIGBT3は、例えばブリッジ接続して構成されたインバータ回路の1アームを形成している。以下にゲート回路1の内部構成について説明する。

30

【0014】

制御用IC11のVCC端子には制御電源2Aの正極が、またGND端子には制御電源2Bの負極が夫々接続されている。この制御用IC11のIN端子に所定周波数のパルス信号が指令として入力されると、DR端子から所定の出力信号が出力される。

【0015】

そのソース端子が制御電源2Aの正極に接続されているPチャンネルFET12Aのドレイン端子は、抵抗13Aを介してIGBT3のゲートに接続されている。同様に、そのソース端子が制御電源2Bの負極に接続されているNチャンネルFET12Bのドレイン端子は、抵抗13Bを介してIGBT3のゲートに接続されている。従って、PチャンネルFET12A、抵抗13A、抵抗13B及びNチャンネルFET12Bで構成される直列回路は所謂トータムポール接続されている。

40

【0016】

制御用IC11のDR端子は、抵抗14Aとツェナーダイオード15Aの直列接続体を介してPチャンネルFET12Aのゲート端子に接続されている。同様に、制御用IC11のDR端子は、抵抗14Bとツェナーダイオード15Bの直列接続体を介してNチャンネルFET12Bのゲート端子に接続されている。PチャンネルFET12A及びNチャンネルFET12Bに逆並列接続されている破線で示したダイオードはFETの寄生ダイオードを示している。また、破線で示したツェナーダイオード16がNチャンネルFET12Bのゲ

50

ート端子とソース端子間に接続されている。

【0017】

次に以上の構成におけるゲート回路1の動作について説明する。

【0018】

制御用IC11はそのIN端子に与えられた入力信号にตอบสนองしてDR端子から、VCC端子とGND端子間の電圧振幅を有するパルスを出力する。PチャンネルFET12A及びNチャンネルFET12Bから成るトータムポール回路は制御用IC11のDR端子からのゲート制御出力信号を増幅し、抵抗13A、13Bを介してIGBT3のゲートを充放電する。抵抗13A及び13Bを設けているのは、IGBT3のゲートの充電と放電を独立に制御するためであるが、充電時間と放電時間が同等で良い場合は抵抗13A及び13Bを省略可能である。

10

【0019】

抵抗14AはPチャンネルFET12Aのゲート抵抗となり、抵抗14BはNチャンネルFET12Bのゲート抵抗となる。またツェナーダイオード15A及び15Bがない場合、制御電源2A及び2Bの直列回路の電圧が、たとえば $15V + 15V = 30V$ とすると、PチャンネルFET12AとNチャンネルFET12Bのゲート電圧は30Vまで上昇する。通常FETのゲート-ソース間電圧定格は $\pm 20V$ 程度が適切であるので、ツェナーダイオード15A及び15Bによって電圧制限を行う。このとき(ツェナーダイオード15Aの降伏電圧) > (順バイアス電圧 - PチャンネルFET12Aのゲートしきい値電圧)となるようにツェナーダイオード15Aの降伏電圧を選定する。

20

【0020】

例えば、制御電源2Aが15V、制御電源2Bも15Vで、PチャンネルFET12Aのゲートしきい値電圧が2Vとすると、ツェナーダイオード15Aの降伏電圧の選定は $15V - 2V = 13V$ 以上となる。これを例えば14Vに選定したとき、制御電源2A及び2Bの両方が正常の場合はPチャンネルFET12Aを駆動する電圧は $30V - 14V = 16V$ となる。

【0021】

制御電源2Bが喪失した場合、PチャンネルFET12Aを駆動する電圧は $15V - 14V = 1V$ となり、これはPチャンネルFET12Aのゲートしきい値電圧2Vより小さくなるため、PチャンネルFET12Aは駆動できなくなる。

30

【0022】

このようにツェナーダイオード15Aの降伏電圧を適切に選定すると、制御電源2Bによる逆バイアス電圧が喪失したとき、制御用IC11の出力は制御電源2Aによる順バイアス電圧の範囲となるため、PチャンネルFET12Aの出力を停止させることができる。

【0023】

また同様に、(ツェナーダイオード15Bの降伏電圧) < (順バイアス電圧 - NチャンネルFET12Bのゲートしきい値電圧)となるようにツェナーダイオード15Bの降伏電圧を選定する。

【0024】

制御電源2Aが15V、制御電源2Bが15Vで、NチャンネルFET12Bのゲートしきい値電圧が2Vとすると、ツェナーダイオード15Bの降伏電圧の選定は $15V - 2V = 13V$ 以下となる。これを例えば12Vに選定したとき、制御電源2A及び2Bの両方が正常の場合はNチャンネルFET12Aを駆動する電圧は $30V - 12V = 18V$ となる。

40

【0025】

制御電源2Bが喪失した場合、NチャンネルFET12Bを駆動する電圧は $15V - 12V = 3V$ となり、これはNチャンネルFET12Bのゲートしきい値電圧2V以上となるため、NチャンネルFET12Bは駆動可能となる。

【0026】

このようにツェナーダイオード15Bの降伏電圧を適切に選定することにより、制御電

50

源 2 B による逆バイアス電圧が喪失したとき、制御用 I C 1 1 の出力は制御電源 2 A による順バイアス電圧の範囲となるが、上記理由により N チャンネル F E T 1 2 B の出力は可能な状態に保たれる。

【 0 0 2 7 】

以上述べたように、制御電源 2 B による逆バイアス電圧が喪失しても、I G B T 3 に対して順バイアス電圧を印加することを阻止し、逆バイアス電圧なしではあるが N チャンネル F E T 1 2 B により I G B T 3 のゲート - エミッタ間はパルス状に低インピーダンスに保つことが可能となる。

【 0 0 2 8 】

また、前述の説明で、制御電源 2 A と 2 B が正常である場合に、P チャンネル F E T 1 2 A のゲート駆動電圧が定格に対してマージンが少なくなると考えられる場合は、ツェナーダイオード 1 5 A の降伏電圧を更に高く選定する。同様に N チャンネル F E T 1 2 B のゲート駆動電圧が定格に対してマージンが少なくなるとは、図 1 に破線で示したツェナーダイオード 1 6 によって N チャンネル F E T 1 2 B のゲート電圧をクランプさせるようにすれば、抵抗 1 4 B に発生するロス若干増加するが、F E T 駆動の定格電圧に対するマージンを確保することが可能となる。

10

【 0 0 2 9 】

また、N チャンネル F E T 1 2 B のゲート駆動電圧をクランプするツェナーダイオード 1 6 を設けない別の方法としては、I G B T 3 に対する逆バイアス電圧を順バイアス電圧に対して小さめに設定するようにすれば良い。例えば制御電源 2 A の電圧が 1 5 V、制御電源 2 B の電圧が 1 0 V であれば、N チャンネル F E T 1 2 B を駆動する電圧は $2.5 V - 1.2 V = 1.3 V$ となるので、ゲート駆動定格電圧に対してマージンが生まれる。

20

【 0 0 3 0 】

尚、P チャンネル F E T 1 2 A はツェナーダイオード 1 5 A の降伏電圧の選定によって動作電圧範囲が決定されるので、従来のように制御電源 2 A 及び 2 B の電圧が異常に低くなった場合を考慮して制御用 I C 1 1 の低電圧動作保証を行なう必要はない。従って、制御用 I C 1 1 は、I N 端子に与えられた入力信号に応答してその D R 端子を V C C 端子と G N D 端子との電圧の間でスイッチングすることができるような構成の、例えば N P N トランジスタと P N P トランジスタを組み合わせたトータムポール回路などが適用できる。

【 実施例 2 】

30

【 0 0 3 1 】

図 2 は本発明の実施例 2 に係る絶縁ゲート型半導体素子のゲート回路の回路構成図である。この実施例 2 の各部について、図 1 の実施例 1 に係る絶縁ゲート型半導体素子のゲート回路の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例 2 が実施例 1 と異なる点は、制御電源 2 B の電圧を検出する電圧検出器 1 7、この電圧検出器 1 7 で検出された電圧が基準値以下であれば、制御用 I C 1 1 の出力が常時オフとなるような O F F 指令を出力する比較回路 1 8 を設けた点である。

【 0 0 3 2 】

このように制御電源 2 B の電圧監視を行い、電圧が基準値以下になったとき、制御用 I C 1 1 の D R 端子の出力を常時オフ状態に保持すれば、前述のパルス状の低インピーダンス状態は連続的な低インピーダンス状態となるので、より信頼性高く I G B T 3 をオフに保つことが可能となる。

40

【 実施例 3 】

【 0 0 3 3 】

図 3 は本発明の実施例 3 に係る絶縁ゲート型半導体素子のゲート回路の回路構成図である。この実施例 3 の各部について、図 1 の実施例 1 に係る絶縁ゲート型半導体素子のゲート回路の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例 3 が実施例 1 と異なる点は、N チャンネル F E T 1 2 B のゲート端子と制御電源 2 A の正極間に抵抗 1 9 を設けるようにした点、また N チャンネル F E T 1 2 B のゲート - ソース間に接続されたツェナーダイオード 1 6 は本実施例では必要となるので実線記載とした点で

50

ある。

【0034】

次に動作について説明する。実施例1の場合と同様に制御用IC11はそのIN端子に与えられた入力信号にตอบสนองしてそのDR端子をVCC端子とGND端子との電圧の間でスイッチングする。PチャンネルFET12AとNチャンネルFET12Bからなるトータムポール型回路は制御用IC11のDR端子からの出力信号を増幅し、抵抗13A及び13Bを介してIGBT3のゲートを充放電する。実施例1の場合と同様に抵抗14AはPチャンネルFET12Aのゲート抵抗となり、抵抗14BはNチャンネルFET12Bのゲート抵抗となる。またツェナーダイオード15A及び15BはFETのゲート-ソース間電圧を制限する。この実施例2においても(ツェナーダイオード15Aの降伏電圧) > (順バイアス電圧 - PチャンネルFET12Aのゲートしきい値電圧) と設定する。

10

【0035】

制御電源2Aが15V、制御電源2Bが15Vで、PチャンネルFET12Aのゲートしきい値電圧が2Vとすると、ツェナーダイオード15Aの選定は $15V - 2V = 13V$ 以上となる。これを14Vとすれば、制御電源2A及び2Bの両方が正常の場合はPチャンネルFET12Aを駆動する電圧は $30V - 14V = 16V$ となり、この電圧で駆動可能となる。

【0036】

制御電源2Bが喪失した場合、PチャンネルFET12Aを駆動する電圧は $15V - 14V = 1V < P$ チャンネルFET12Aのゲートしきい値電圧となるために、PチャンネルFET12Aは駆動できなくなる。

20

【0037】

このようにツェナーダイオード15Aを選定することにより、実施例1の場合と同様に制御電源2Bによる逆バイアス電圧が喪失したとき、制御用IC11の出力は制御電源2Aによる順バイアス電圧の範囲となり、PチャンネルFET12Aの出力を停止させることができる。

【0038】

本実施例においてもツェナーダイオード14Bの降伏電圧の設定は実施例1ほど厳密でなくてよく、例えばツェナーダイオード14Bの降伏電圧をツェナーダイオード14Aのそれと合わせ14Vとしておく。

30

【0039】

制御電源2Aが15V、制御電源2Bが15Vで、NチャンネルFET12Bのゲートしきい値電圧が2Vとすると、制御電源2Aと2Bの両方が正常の場合はNチャンネルFET12Bの駆動電圧は $30V - 14V = 16V$ となり、この電圧で駆動可能となる。

【0040】

抵抗19は抵抗14Bに比べて十分に高抵抗(例えば抵抗14A及び14Bは数十~数百 に対し、抵抗19は数k~数十k とする。)に選定しておくこと、制御IC11のDR端子でのスイッチングがGND出力を出している場合でも十分にNチャンネルFET12Bのオフ動作が可能となる。また制御電源2Aの正極の電位までNチャンネルFET12Bのゲートが上昇するので、NチャンネルFET12Bのゲート電圧をツェナーダイオード16でクランプする。これによりNチャンネルFET12Bのゲート駆動電圧の最終値はツェナーダイオード16の降伏電圧となる。従って、例えばツェナーダイオード16の降伏電圧をツェナーダイオード15A、15Bと同じとすることによって部品の共通化を図ることが可能になる。

40

【0041】

制御電源2Bが喪失した場合、ツェナーダイオード15Bの降伏電圧とツェナーダイオード15Aの降伏電圧が等しければ、NチャンネルFET12Bを駆動する電圧は、 $15V - 14V = 1V < N$ チャンネルFET12Bのゲートしきい値電圧となるために、制御用IC11より供給される電圧ではNチャンネルFET12Bは駆動できなくなるが、抵抗19によって制御電源2A側の正電圧が供給されるため、NチャンネルFET12Bは駆動可能

50

となる。

【 0 0 4 2 】

よって、制御電源 2 B による逆バイアス電圧が喪失しても、制御用 I C 1 1 の出力に拘わらず N チャンネル F E T 1 2 B の出力が可能であるため、I G B T 3 に対して順バイアスを印加することを阻止し、逆バイアス電圧なしではあるが N チャンネル F E T 1 2 B により I G B T 3 のゲート - エミッタ間を連続的に低インピーダンスに保つことが可能となる。

【 0 0 4 3 】

更に、制御電源 2 A と 2 B の両者が喪失したとき、I G B T 3 の主電源が生きていれば、I G B T 3 のコレクタ - ゲート間の寄生容量によりゲート電圧が上昇するようになるが、抵抗 1 3 A - P チャンネル F E T 1 2 A のドレイン - ソース間の寄生ダイオード - 抵抗 1 9 のルートで N チャンネル F E T 1 2 B のゲートにも電圧が印加されるようになるため、I G B T 3 のゲート - エミッタ間電圧は N チャンネル F E T 1 2 B のゲートしきい値電圧 (2 V) + P チャンネル F E T 1 2 A の寄生ダイオードの V F (0 . 6 V) = 2 . 6 V 程度でクランプされる。

10

【 0 0 4 4 】

また、制御用 I C 1 1 の V C C 端子 - G N D 端子間に I G B T 3 のゲート - エミッタ間電圧が印加され、D R 端子からの出力がオン信号に切り換わっても、P チャンネル F E T 1 2 A はツェナーダイオード 1 5 A で切り離されているために、誤オンを出力することはない。更に、N チャンネル F E T 1 2 B の駆動電圧を供給するルートを形成するために P チャンネル F E T 1 2 A の寄生ダイオードを使用するが、通常 F E T の寄生ダイオードの順電流は F E T の順方向オン電流と同等の電流耐量を保持しているため、パルス電流を出力する P チャンネル F E T 1 2 B 用に新たなダイオードを付加する必要はなく、低コストで I G B T 3 の誤点弧防止が達成できる。

20

【 0 0 4 5 】

また制御 I C 1 1 は、I N 端子に与えられた入力信号にตอบสนองしてその D R 端子を V C C 端子と G N D 端子との電圧の間でスイッチングすることができるような構成の例えば N P N トランジスタと P N P トランジスタを組み合わせたトータムポール回路などが適用できることは実施例 1 の場合と同様である。

【 実施例 4 】

【 0 0 4 6 】

図 4 は本発明の実施例 4 に係る絶縁ゲート型半導体素子のゲート回路の回路構成図である。この実施例 4 の各部について、図 3 の実施例 3 に係る絶縁ゲート型半導体素子のゲート回路の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例 4 が実施例 3 と異なる点は、ゲート回路 1 の出力側にトータムポール型増幅回路 1 A を設け、ゲート回路 1 はこのトータムポール型増幅回路 1 A と並列に I G B T 3 を駆動するように構成した点である。

30

【 0 0 4 7 】

トータムポール型増幅回路 1 A の内部構成は次の通りである。

【 0 0 4 8 】

P チャンネル F E T 1 2 C のソース端子は制御電源 2 A の正極に接続され、ドレイン端子は、抵抗 1 3 C を介して I G B T 3 のゲートに接続されている。同様に、N チャンネル F E T 1 2 D のソース端子は制御電源 2 B の負極に接続され、ドレイン端子は、抵抗 1 3 D を介して I G B T 3 のゲートに接続されている。従って、P チャンネル F E T 1 2 C、抵抗 1 3 C、抵抗 1 3 D 及び N チャンネル F E T 1 2 D で構成される直列回路はトータムポール接続されている。

40

【 0 0 4 9 】

制御用 I C 1 1 の D R 端子は、抵抗 1 4 C とツェナーダイオード 1 5 C の直列接続体を介して P チャンネル F E T 1 2 C のゲート端子に接続されている。この直列接続体に並列に、P チャンネル F E T 1 2 C のゲート端子に電流を流す方向にダイオード 2 0 A が接続されている。同様に、制御用 I C 1 1 の D R 端子は、抵抗 1 4 D とツェナーダイオード 1 5 D

50

の直列接続体を介してNチャンネルFET12Dのゲート端子に接続されている。この直列接続体に並列に、NチャンネルFET12Dのゲート端子から電流が流れ出す方向にダイオード20Bが接続されている。PチャンネルFET12C及びNチャンネルFET12Dに逆並列接続されている破線で示したダイオードはFETの寄生ダイオードである。また、破線で示したツェナーダイオード16AがNチャンネルFET12Bのゲート端子とソース端子間に、抵抗19AがNチャンネルFET12Bのゲート端子と制御電源2Aの正極間に夫々接続されている。

【0050】

次に動作について説明する。実施例3の場合と同様、制御用IC11はそのIN端子に与えられた入力信号にตอบสนองしてDR端子から、VCC端子とGND端子間の電圧振幅を有するパルスを出力する。PチャンネルFET12C及びNチャンネルFET12Dから成るトータムポール回路は制御用IC11のDR端子からの出力信号を増幅し、抵抗13C及び13Dを介してIGBT3のゲートを充放電する。

10

【0051】

トータムポール型増幅回路1Aの動作において、抵抗14C > 抵抗14Aとなるように選定すれば、PチャンネルFET12Cの動作タイミングをPチャンネルFET12Aの動作より遅らせ、抵抗13A > 抵抗13Cと選定することによりIGBT3のターンオンタイミングにおいて、IGBT3のしきい値電圧を超えてターンオンするまでは緩やかなゲート充電を行いターンオン時IGBT3の主電流変化率(di/dt)を緩やかにして、その後は低インピーダンスで順方向電圧にゲート-エミッタ間電圧を固定するような動作を行わせることができる。

20

【0052】

ターンオフ時には、抵抗14C > 抵抗14AであるためPチャンネルFET12Cのゲート放電が遅くなるのを防ぐ目的でダイオード20Aが挿入されている。また抵抗14D > 抵抗14Bと選定すれば、NチャンネルFET12Dの動作タイミングをNチャンネルFET12Bの動作より遅らせ、抵抗13B > 抵抗13DとすることでIGBT3のターンオフタイミングでのIGBT3Aのしきい値電圧を超えてターンオフするまでは緩やかなゲート放電を行いターンオフ時IGBT3の主電圧変化率(dv/dt)を緩やかにして、その後は低インピーダンスで逆方向電圧にゲート-エミッタ間電圧を固定するような動作を行わせることができる。またターンオン時には抵抗 $R_{14D} > R_{14B}$ であるためNチャンネルFET12Dのゲート放電が遅くなるのを防ぐ目的でダイオード20Bが挿入されている。

30

【0053】

尚、図4においては、ゲート回路1の出力で直接IGBT3のゲートを駆動するようにしているが、抵抗13Aと13Bのバランスによって充放電時間を決定しにくい場合があるので、その場合はゲート抵抗を介してIGBT3を駆動するようにすれば良い。

【0054】

ここで、トータムポール型増幅回路1Aにおけるツェナーダイオードの降伏電圧の設定は、実施例1の場合と同様に(ツェナーダイオード15Cの降伏電圧) > (順バイアス電圧 - PチャンネルFET12Cのゲートしきい値電圧)、(ツェナーダイオード15Dの降伏電圧) > (順バイアス電圧 - PチャンネルFET12Cのゲートしきい値電圧)とする。

40

【0055】

また、実施例3の場合と同様に抵抗19は抵抗14Bより十分に高抵抗(抵抗14Aと14Bは数十 ~ 数百 に対して抵抗19は数k ~ 数十k)を選定しておけば、制御IC11のDR端子でのスイッチングがGND出力を出している場合でも十分にNチャンネルFET12Bのオフ動作が可能となる。また制御電源2Aの正極の電位までNチャンネルFET12Bのゲート電位が上昇するので、NチャンネルFET12Bのゲート電圧をツェナーダイオード16でクランプする。よってNチャンネルFET12Bのゲート駆動電圧の最終値はツェナーダイオード16の降伏電圧となる。

【0056】

50

上記の構成において、制御電源 2 B が喪失した場合、実施例 3 で説明したとおり、制御用 IC 1 1 より供給される電圧では N チャンネル F E T 1 2 B は駆動できなくなるが、抵抗 1 9 より制御電圧 2 A 側の電圧が供給されるため、N チャンネル F E T 1 2 B は駆動可能となる。

【 0 0 5 7 】

更に制御電源 2 A 及び 2 B の両方が喪失した場合においても、I G B T 3 の主電源が生きている場合には、抵抗 1 3 A - P チャンネル F E T 1 2 A のドレイン - ソース間の寄生ダイオード - 抵抗 1 9 のルートで N チャンネル F E T 1 2 B のゲートにも電圧が印加されるようになるために、I G B T 3 のゲート - エミッタ間電圧を 2 . 6 V 程度でクランプ可能となることは実施例 3 の場合と同様である。

10

【 0 0 5 8 】

トータムポール型増幅回路 1 A における抵抗 1 9 A とツェナーダイオード 1 6 A は破線で記載しているが、これを併用する場合は抵抗 1 9 A の抵抗値と抵抗 1 9 の抵抗値を等しくし、ツェナーダイオード 1 6 A の降伏電圧とツェナーダイオード 1 6 の降伏電圧を等しくしておけば、連続的に更に信頼性高く I G B T 3 のゲート - エミッタ間を低インピーダンスに保つ効果が得られる。

【 0 0 5 9 】

尚、ゲート回路 1 における抵抗 1 9 とツェナーダイオード 1 6 による効果はトータムポール型増幅回路 1 A における抵抗 1 9 A とツェナーダイオード 1 6 A の効果と同等であるので、図 4 の回路構成において、抵抗 1 9 とツェナーダイオード 1 6 を省き、抵抗 1 9 A とツェナーダイオード 1 6 A によって上述したように I G B T 3 のゲート - エミッタ間を低インピーダンスに保つようにしても良い。

20

【 0 0 6 0 】

図 4 は所謂 2 段ゲートのゲート回路を示しているが、ゲートの段数が 3 段になっても、何れかの段の N チャンネル F E T のゲートをツェナーダイオードで電圧クランプし、また、正側電源の正極に抵抗を介して接続するようにすれば、同様に I G B T 3 のゲート - エミッタ間を低インピーダンスに保つことが可能になる。

【 0 0 6 1 】

以上説明した実施例 1 乃至実施例 4 においては、I G B T 3 の主回路構成をブリッジ接続と例示したが、ハーフブリッジ型でインバータを構成しても、3 相ブリッジ構成でも同様に適用することができ同等の効果を得ることができる。また、直列接続などを行うブリッジ構成でもまったく同様に適用することができ同等の効果を得ることができる。また、上記実施例では制御対象を I G B T としたが、同様な M O S ゲート入力のパワーデバイスに対しても同様に適用することができ同等の効果を得る。従って、本願明細書における I G B T は、これと同様に動作する絶縁ゲート型半導体素子を全て含むものとする。

30

【 図面の簡単な説明 】

【 0 0 6 2 】

【 図 1 】 本発明の実施例 1 に係るゲート駆動回路の回路構成図。

【 図 2 】 本発明の実施例 2 に係るゲート駆動回路の回路構成図。

【 図 3 】 本発明の実施例 3 に係るゲート駆動回路の回路構成図。

40

【 図 4 】 本発明の実施例 4 に係るゲート駆動回路の回路構成図。

【 符号の説明 】

【 0 0 6 3 】

1 ゲート回路

1 A トータムポール型増幅回路

2 A、2 B 制御電源

3 I G B T

4 フライホイールダイオード

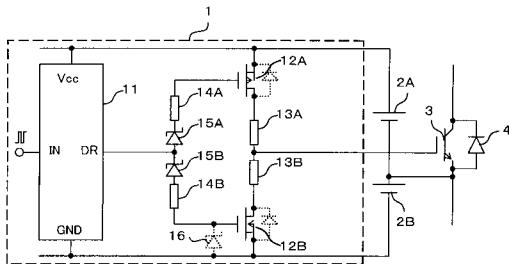
1 1 制御用 IC

1 2 A、1 2 C P チャンネル F E T

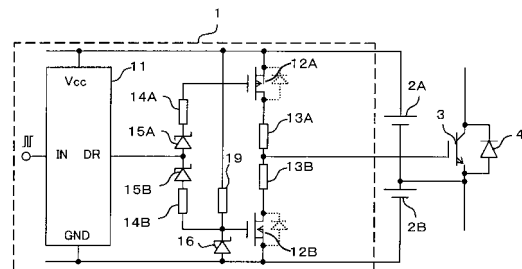
50

- 1 2 B、1 2 D NチャンネルFET
- 1 3 A、1 3 B、1 3 C、1 3 D 抵抗
- 1 4 A、1 4 B、1 4 C、1 4 D 抵抗
- 1 5 A、1 5 B、1 5 C、1 5 D ツェナーダイオード
- 1 6、1 6 A ツェナーダイオード
- 1 7 電圧検出器
- 1 8 比較回路
- 1 9、1 9 A 抵抗

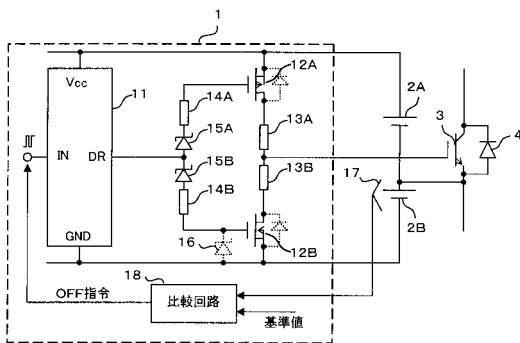
【図1】



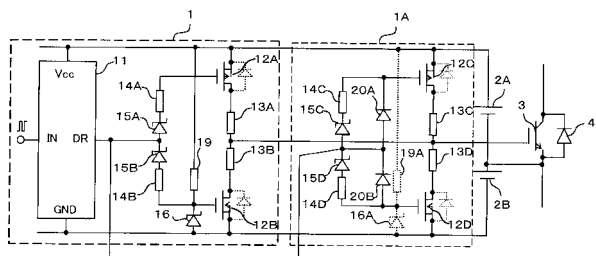
【図3】



【図2】



【図4】



フロントページの続き

- (56)参考文献 特開平02 - 188019 (JP, A)
特開昭61 - 092032 (JP, A)
特開平05 - 227738 (JP, A)
実開平05 - 048584 (JP, U)
特開2001 - 136732 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70