(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/786

(45) 공고일자 2001년09월29일
(11) 등록번호 10-0303934
(24) 등록일자 2001년07월16일

(21) 출원번호 10-1998-0008316
(22) 출원일자 1998년03월12일

(65) 공개번호 특1998-0080190
(43) 공개일자 1998년11월25일

(30) 우선권주장 08/827,015 1997년03월25일 미국(US)
08/827,018 1997년03월25일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
포만 제프리 엘
미국 10504 뉴욕주 아몬크

(72) 발명자 디미트라코풀로스 크리스토스 디미트리오스
미국 뉴욕주 10604-1606 웨스트 해리슨 레이크 스트리트 791
던콤 피터 리차드
미국 뉴욕주 10566 픽스킬 링골드 스트리트 401
푸만 브루스 케이
미국 뉴욕주 12508 비콘 그린우드 드라이브 66
라이보비츠 로버트 비
미국 뉴욕주 10566 픽스킬 퍼네이스 독 로드 407
뉴메이어 드보라 앤
미국 코넥티컷주 06811 댄버리 오크 래인 3
푸루소타만 샘퍼쓰
미국 뉴욕주 10598 요크타운 하이츠 라보이에 코트 2075

(74) 대리인 김창세
장성구

심사관 : 김관식

# (54) 낮은작동전압을필요로하는유기반도체를갖는박막전장효과트랜지스터

## 요약

본 발명은 높은 전장 효과 이동도(field effect mobility), 높은 전류 변조(current modulation), 현재의 유기 TFT 소자에 비해 보다 낮은 작동 전압에서 임계 전압 아래 영역에서의 보다 작은 기울기(sub-threshold slope)를 나타내는 유기 반도체 물질을 기재로 하는 박막 트랜지스터(thin film transistor: TFT) 소자 구조물에 관한 것이다. 본 발

명은 이러한 구조물의 제조방법, 특히 화학 용액을 이용한 게이트 절연체의 침착에 의한 제조방법에 관한 것이다. 본 발명의 구조물은 높은 유전상수의 절연체로 덮인 한 셋트의 전도성 게이트 전극, 유기 반도체의 층, 각각의 게이트 라인에 상응하는 여러 셋트의 전기 전도성 소스 및 드레인 전극, 임의로 소자 구조물을 피복하여 보호할 수 있는 패시베이션(passivation)층이 순서대로 위치된 적합한 기판을 포함한다.

높은 유전상수의 게이트 절연체를 사용하면 유기 반도체의 예상치못한 게이트 전압 의존성을 활용하게 되어 매우 낮은 작동 전압에서 높은 전장 효과 이동도 수준을 달성할 수 있다. 이러한 절연체의 재료와 이를 TFT 구조내로 집적시키는 수단을 적절하게 선택, 조합하면 유기 또는 플라스틱 기판상에의 제작을 용이하게 할 수 있고 이러한 소자를 평판 디스플레이 용도에 사용할 수 있다고 교시되어 있다.

## 대표도

도 6

## 명세서

### 도면의 간단한 설명

도 1은 $SiO_2$ 게이트 절연체를 갖는 펜타센-기재의 TFT 소자의 작동 특성을 나타낸다. 소스-드레인 전압의 함수로서의 드레인 전류의 의존성은 상이한 개별적인 게이트 전압값에 대해 도시되어 있다. 린 등의 문헌(1996)을 참조하도록 한다.

도 2a는 도 1과 동일한 데이타를 나타내지만, 포화 영역에서 게이트 전극의 함수로서 드레인 전류의 의존성을 보여주도록 다시 플롯팅된 것이다.

도 2b는 전장 효과 이동도를 계산하기 위해서, 포화 영역에서 게이트 전극의 함수로서의, 도 2로부터 취해진 드레인 전극의$\sqrt{}$값을 플롯팅한 것이다.

도 3은 반도체로서 표준 펜타센(순도 97% 이상) 및 게이트 절연체로서 120㎚ 두께의 $SiO_2$를 사용한 TFT 소자의 작동 특성의 측정치를 도시한다.

도 4a는 도 3에서 취해진 데이타를 재플롯팅시킨 것으로, 포화 영역에서 게이트 전압에 대한 드레인 전류의 의존성을 도시한다.

도 4b는 도 4a에서 취해진 데이타를, 전류 변조 및 임계 전압 아래 영역에서의 기울기를 계산하는데 사용되는 세미로그(semilogarithmic scale)로 나타낸 것이다.

도 4c는 전장 효과 이동도를 계산하기 위해서, 포화 영역에서 게이트 전압의 함수로서의, 도 4a로부터 취해진 드레인 전류의$\sqrt{}$값을 플롯팅한 것이다.

도 5는 상이한 게이트 전압 및 동일한 소스-드레인 전압(-100V)에서, 도 3에서 특성지워진 소자에 대해 계산된 전장 효과 이동도의 곡선으로서, 이동도의 게이트 전압에 대한 강한 의존성을 보여준다.

도 6은 본 발명에서 제시된, 높은 유전상수의 게이트 절연체를 갖는 펜타센-기재의 TFT 소자의 개략도이다.

도 7a는 반도체로서 표준 펜타센(순도 97% 이상) 및 게이트 절연체로서 층 두께가 90㎚인 바륨 스트론튬 티타네이트 막(실시예 21에 기술된 바와 같이 Ba, Sr, Ti 이소프로판올/아세트산 용액의 스핀 코팅에 의해 침착되거나, 이소프로폭사이드 기재의 전구체 용액으로부터 졸 겔 공정에 의해 침착됨)을 갖는 TFT 소자의 작동 특성의 측정치이다. 일정 소스-드레인 전압에서 게이트 전압에 대한 드레인 전류의 의존성이 나타나 있다.

도 7b는 전류 변조 및 임계 전압 아래 영역에서의 기울기를 계산하기 위해서, 도 7a에서 취해진 데이타를 세미로그로 나타낸 것을 플롯팅한 것이다.

도 7c는 전장 효과 이동도를 계산하기 위해서, 포화 영역에서 게이트 전압의 함수로서의 도 7a에서 취해진 드레인 전류의√값을 플롯팅한 것이다.

도 8은 반도체로서 표준 펜타센(순도 97% 이상) 및 게이트 절연체로서 바륨 스트론튬 티타네이트 막(실시예 21에 기술된 바와 같이 Ba, Sr, Ti 이소프로판올/아세트산 용액의 스핀 코팅에 의해 침착되거나, 알콕사이드 기재의 전구체 용액으로부터 졸 겔 공정에 의해 침착됨)을 갖는 TFT 소자의 작동 특성의 측정치이다. 상이한 게이트 전압에서 소스-드레인 전압에 대한 드레인 전류의 의존성이 도시되어 있다.

도 9a는 반도체로서 표준 펜타센(순도 97% 이상) 및 게이트 절연체로서 층 두께가 90㎚인 바륨 스트론튬 티타네이트 막(실시예 4에 기술된 바와 같이 부톡시에탄올중 Ba, Sr, Ti 부톡시에톡사이드 용액의 스핀 코팅에 의해 침착되거나, 도 7 및 도 8에서 사용된 용액과 상이한 용액으로의 스핀-코팅에 의해 침착됨)을 갖는 TFT 소자의 작동 특성의 측정치이다. 일정 소스-드레인 전압에서 게이트 전압에 대한 드레인 전류의 의존성을 보여준다.

도 9b는 전류 변조 및 임계 전압 아래 영역에서의 기울기를 계산하기 위해, 도 9a로부터 취해진 데이타를 세미로그로 나타낸 것을 플롯팅한 것이다.

도 9c는 전장 효과 이동도를 계산하기 위해서, 포화 영역에서 게이트 전압의 함수로서의 도 9a에서 취해진 드레인 전류의√값을 플롯팅한 것이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 박막 전장 효과 트랜지스터 분야에 관한 것이며, 더욱 특히는 이러한 트랜지스터를 사용하는 평판 액정 디스플레이에 관한 것이다.

본 발명은 더욱 구체적으로는 바륨 스트론튬 티타네이트가 화학 용액 공정에 의해 침착된 게이트 유전체를 포함하는 유기 박막 전장 효과 트랜지스터(TFT)에 관한 것이다. 특히 본 발명은 이러한 트랜지스터를 사용하는 평판 액정 디스플레이에 관한 것이다.

액정 디스플레이(liquid crystal display: LCD)에 사용되는 박막 전장 효과 트랜지스터는 전형적으로 반도체로서 무정형 실리콘(a-Si:H) 및 게이트 절연체로서 산화실리콘 및/또는 질화실리콘을 사용한다. 근래에 재료에 대한 연구가 이루어진 결과, 박막 전장 효과 트랜지스터내의 반도체로서 무정형 실리콘에 대한 잠재적인 대체물로서 헥사티오펜 및 그의 유도체와 같은 유기 올리고머 및 펜타센과 같은 유기 분자{지 호로비츠(G.Horowitz), 디.피쇼우(D.Fichou), 엑스.펭(X.Peng), 제트.엑슈(Z.Xu), 에프.가르니에(F.Garnier)의 문헌[Solid State Commun. Volume 72, pg.381, 198

9] 및 에프.가르니에, 지.호르비츠, 디.피쵸우의 미국 특허 제 5,347,144 호를 참조}가 개발되었다.

티오펜-올리고머를 기재로 하는 TFT의 가장 높은 전장 효과 이동도는 통상적으로 약 0.06$cm^2V^{-1}sec^{-1}$ 인데{에프.가르니에, 알 하즐라위(R.Hajlaui), 에이.야사 (A.Yassar), 피.스리바스타바(P.Srivastava)의 문헌[Science, Volume 265, pg 1684, 1994]를 참조}, 이는 표준 a-Si:H TFT의 이동도보다 훨씬 더 낮다. 시아노에틸풀루란 유기 절연체가 사용될 경우에서만 보다 높은 전장 효과 이동도가 측정되었다(0.4$cm^2V^{-1}sec^{-1}$, 에프.가르니에, 지.호로비츠, 디.피쵸우의 미국 특허 제 5,347,144 호를 참조). 그러나, 이 절연체는 유전 강도(dielectric strength) 및 유동 전하(mobile charges)가 떨어지고{지.호로비츠, 에프.델로프레(F.Deloffre), 에프.가르니에, 알.하즐라위, 엠.멘(M.Hmyene), 에이.야사(A.Yassar)의 문헌[Synthetic Metals, Volume 54, pg 435, 1993]을 참조} 습기에 대해 취약하다는 등의 몇몇 바람직하지 못한 특성들을 나타낸다. 따라서, 이는 실용 TFT 소자의 제조에 있어 게이트 절연체로서 사용하기에 적합하지 않다.

근래에, 게이트 절연체로서 $SiO_2$를 갖는 펜타센-기재의 TFT에서 0.6$cm^2V^{-1}sec^{-1}$ 이하의 전장 효과 이동도가 달성되어{와이.와이.린(Y.Y.Lin), 디.제이.군들라치 (D.J.Gundlach), 티.엔.잭슨(T.N.Jackson)의 문헌[54th Annual Device Research Conference Digest, 1996 pg.80]을 참조}, 이들이 상기와 같은 용도에서 잠재적인 후보가 되었다. 이들 펜타센-기재의 유기 TFT의 주요 단점은 높은 임계 전압, 높은 이동도를 달성함과 동시에 높은 전류 변조를 달성하는데 요구되는 높은 작동 전압(두께가 0.4㎛인 $SiO_2$ 절연체가 사용되는 경우 전형적으로 약 100V), 임계 전압 아래 영역에서의 큰 기울기(S)인데, 이는 a-Si:H를 기재로 하는 TFT에서 달성되는 전류 변조 10회당 약 0.3V와 비교해볼 때(씨-와이.첸(C.Y.Chen), 제이.카닉키 (J.Kanicki)의 문헌[54th Annual Device Research Conference Digest, 1996, pg.68]을 참조}, 전류 변조 10회당 약 14V이다{와이.와이.린, 디.제이.군들라치, 티.엔.잭슨의 문헌[54th Annual Device Research Conference Digest, 1996, pg.80]을 참조}. 게이트 절연체의 두께를 감소시키면 전술된 특성이 개선되기는 하지만, 절연체 두께를 감소시키는데에는 한계가 있고, 이는 제조의 용이성 및 신뢰성 문제와 관련이 있다. 예를 들면 현재 TFT LCD 소자의 제조에 있어서, TFT 게이트 절연체의 두께는 전형적으로 0.4㎛이다.

근래에는, 무정형 실리콘 TFT의 성능에 필적할 만한 성능 및 비교적 낮은 작동 전압을 갖는, 비교적 높은 유전상수의 게이트 유전체를 포함하는 유기 TFT가 기술되었다(본원에 참고로 인용된 씨.디.디미트라코풀로스(C.D.Dimitrakopoulus), 비.케이.푸만(B.K.Furman), 에스.푸루쏘타만(S.Purushothaman), 디.에이.뉴메이어 (D.A.Neumayer), 피.알.던콤(P.R.Duncombe)의 문헌(Docket No. YO997-057)을 참조).

화학 용액 공정에 의해 금속 산화물 막을 제조하는 방법은 근래에 기술되어 있으며, 특히 금속 알콕시알콕사이드 용액이 사용되는 경우 그러하다{본원에 참고로 인용되어 있는, 1997년 3월 10일자로 출원된 디.에이.뉴메이어, 피.알.던콤의 문헌(Docket No. YO997-069)을 참조}.

반도체로서 펜타센, 게이트 전극으로서 두껍게 도핑된 Si-웨이퍼, 게이트 절연체로서 Si-웨이퍼 표면상에서 열적 성장하는 $SiO_2$, Au 소스 및 드레인 전극을 갖는 TFT의 전기적 특성은 이미 공지된 표준 전장 효과 트랜지스터 등식{에스.엠.스제(S.M.Sze)의 문헌[" Physics of Semiconductor Devices" , Wiley, New York, 1981, pg 442]을 참조} 에 의해 적당히 모델링된다{지 호로비츠, 디.피쵸우, 엑스.펭, 제트.엑슈, 에프.가르니에의 문헌[Solid State Commun. Volume 72, pg.381,1989l] 및 씨.디.디미트라코풀로스, 에이.알.브라운(A.R.Brown), 에이.폼프(A.Pomp)의 문헌[J.Appl.Phys. Volume 80, pg 2501, 1996]을 참조}. 이들 소자에 사용된 펜타센은 p-형 반도체로서 작용한다. 와이.와이.린, 디.제이.군들라치, 티.엔.잭슨의 문헌[54th Annual Device Research Conference Digest, 1996, pg.80]}의 도 1은 게이트 전극에 가해진 개개의 전압($V_G$)에서 드레인 전극에 가해진 전압($V_D$)에 대한, 소스와 드레인 전극사이의 전류 흐름($I_D$)의 의존성을 보여준다. 게이트 전극이 접지 소스 전극에 대해 (-)로 바이어스(bias)가 걸린 경우, 펜타센-기재의 TFT는 누적 모드(accumulation mode)로 작동하며 누적된 캐리어는 홀(hole)이다. 낮은 $V_D$에서, $I_D$는 $V_D$와 선형으로 증가하며(선형 관계), 대략 하기 수학식 1에 의해 나타내어진다:

수학식 1

$$I_D=\frac{WC_i}{L}\mu\left(V_G-V_T-\frac{V_D}{2}\right)V_D$$

상기식에서, L은 채널 길이이고, W는 채널 너비이고, $C_i$은 절연층의 단위면적당 커패시턴스이고, $V_T$는 임계 전압이고, μ는 전장 효과 이동도이다. $V_D$가 일정하게 낮을때 $I_D$를 $V_G$에 대해 플롯팅하고 이러한 곡선의 기울기 값을 하기 수학식 2에서와 같이 $g_m$와 같게 보정함으로써 μ를 상호전달 컨덕턴스(transconductance)로부터 선형 영역에서 계산할 수 있다:

수학식 2

$$g_m=\left(\frac{\partial I_D}{\partial V_G}\right)_{V_{D=const}}=\frac{WC_i}{L}\mu V_D$$

드레인 전극이 게이트 전극보다 더 (-)로 바이어스가 걸리고(즉 $-V_D$이 $-V_G$보다 크거나 같다) 소스 전극이 접지된 경우(즉 $V_S$는 0이다), 소스와 전극사이의 전류 흐름($I_D$)은 누적층(포화 영역)에서의 핀치-오프(pinch-off)로 인해 포화되는 경향이 있으며(더 이상 증가하지 않음) 다음 수학식 3에 의해 모델링된다:

수학식 3

$$I_{D=}\frac{WC_i}{2L}\mu (V_G-V_T)^2$$

도 2a는 포화시 $V_G$에 대한 $I_D$의 의존성을 보여준다(와이.와이.린, 디.제이.군들라치, 티.엔.잭슨의 문헌[54 th Annual Device Research Conference Digest, 1996, pg.80]을 참조). 전장 효과 이동도를 $V_G$에 대한$\sqrt{|I_D|}$의 곡선의 기울기로부터 계산할 수 있다. 도 2b는 $V_G$에 대한$\sqrt{I_D}$의 곡선을 보여준다. 이 곡선으로부터 계산된 이동도는 0.62㎠$V^{-1}$ $sec^{-1}$ 이다. 임계 전압 아래 영역에서의 기울기인 S는 대략 전류 변조 10회당 14V이다(와이.와이.린, 디.제이.군들라치, 티.엔.잭슨의 문헌[54th Annual Device Research Conference Digest, 1996, pg.80]을 참조).

## 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 절연체의 두께를 감소시키거나 높은 작동 전압을 사용하지 않고서도 높은 전장 효과 이동도, 낮은 임계 전압, 임계 전압 아래 영역에서의 작은 기울기 및 높은 전류 변조의 바람직한 조합을 달성할 수 있는 TFT 구조물을 제공하는 것이다. 이러한 구조물은 높은 유전상수의 무기 게이트 절연체층(예를 들면 바륨 스트론튬 티타네이트)와 유기 반도체(예를 들면 펜타센)와의 조합을 함유한다.

본 발명의 또다른 목적은 이러한 구조물을 제조하는 방법을 제공하는 것이다.

본 발명의 또다른 목적은 높은 유전상수의 게이트 절연체가 예를 들면 화학 용액 공정에 의해 침착되고, 유리 및 플라스틱 기판이 메모리에 사용될 때의 가공 온도(650℃이하)보다 훨씬 낮은 온도이면서 상기 물질들에 적합한 온도(150 내지 400℃)에서 처리된 유기 TFT 구조물을 제조하는 것이다.

특히 본 발명의 또다른 목적은 높은 유전상수의 게이트 절연체가, 금속 알콕시알콕사이드 용액, 바람직하게는 금속 부톡시에톡사이드를 사용한 화학 용액 공정에 의해 침착된 금속 산화물 박막, 바람직하게는 바륨 스트론튬 티타네이트, 바륨 티타네이트, 비스무스 티타네이트, 스트론튬 티타네이트, 바륨 지르코네이트 티타네이트, 스트론튬 비스무스 탄탈레이트 니오베이트 및 스트론튬 비스무스 탄탈레이트와 같은 금속 산화물 박막을 포함하는 유기 TFT 구조물을 제조하는 것이다.

## 발명의 구성 및 작용

본 발명에서 제안된 TFT 구조물 및 그의 제조 방법은 바륨 스트론튬 티타네이트(BST)와 같은 높은 유전상수의 박막 게이트 절연체, 펜타센과 같은 유기 반도체, 금속, 전도성 중합체, 두껍게 도핑된 고 전도성 물질 또는 이들의 조합을 게이트, 소스 및 드레인 전극으로서 이용한다.

상기 구조물에서 게이트 절연체층으로서 사용될 수 있는, 높은 유전상수의 후보 물질들은 $Ta_2O_5$, $Y_2O_3$, $TiO_2$ 및 $PbZr_XTi_{1-X}O_3$ (PZT), $Bi_4Ti_3O_{12}$, $BaMgF_4$, $SrBi_2(Ta_{1-X}Nb_X)_2O_9$, $Ba(Zr_{1-X}Ti_X)O_3$ (BZT) 및 $Ba_XSr_{1-X}TiO_3$ (BST), $BaTiO_3$, $SrTiO_3$ 및 $Bi_4Ti_3O_{12}$ 와 같은 강유전성 절연체들을 포함하나 이에 국한되지는 않는다. 이들 물질들은 과거에는 주로 메모리 소자용으로 무기 반도체와 함께 조합하여 연구 및 사용되어 왔으나(본원에 참고로 인용된 피.박(P.Balk)의 문헌[Advanced Materials, Volume 7, pg.703, 1995]을 참조) 유기 반도체와 조합된 적은 없었다. 전형적으로 이들 절연체들은 600℃이상에서 어닐링(annealing)되어 150보다 큰 유전상수(ε)값을 달성한다.

일반적으로 본 발명에서 제안된 구조물은 TFT구조물에서 유기 반도체(예를 들면 펜타센)와 함께 높은 유전상수의 무기 게이트 절연체를 사용한다. 높은 ε의 절연체를 400℃에서 어닐링시켜 15 이상의 ε를 달성할 수 있고 이로써 유리 또는 플라스틱 기판을 사용할 수 있게 된다. 높은 유전상수의 유기 절연체가 높은 유전상수(ε가 15 이상임)를 가지면서 환경적 안정성, 높은 파괴 전압, 우수한 막-형성능, 유동 전하의 부재와 같은 기타 요건들을 충족시키는 경우, 이를 또한 전술된 무기 절연체 대신에 본 발명의 구조물에 사용할 수 있다.

본 발명의 TFT 구조물의 제조에 사용되는 전형적인 절차는 다음 단계를 포함한다:

① 게이트 전극이 기판 자체인 경우에는 두껍게 도핑된 Si이고, 그렇지 않을 경우에는 기판위에 침착되고 패턴화된, 패턴화된 금속(또는 전도성 중합체 또는 기타 전도성 물질)게이트 전극일 수 있는 게이트 전극을 제조하는 단계;

② 졸-겔 스핀 코팅(sol gel spin coating) 및 베이킹(baking), 스퍼터링(sputtering), 화학적 증착(chemical vapor deposition: CVD), 레이저 애블레이션 침착(laser ablative deposition), 물리적 증착(physical vapor deposition)을 포함하나 이에 국한되지는 않는 다양한 방법중 한 방법에 의해 게이트 전극위에 높은 유전상수의 게이트 절연체를 침착시키는 단계;

③ 150℃ 내지 400℃의 범위내의 적합한 온도에서 막을 임의로 어닐링시켜 막의 성능을 개선시키고 유전상수를 향상시키는 단계;

④ 증착, 용액으로부터의 스핀-코팅, 용액으로부터 층의 셀프-어셈블리(self-assembly)를 포함하나 이에 국한되지는 않는 다양한 방법중 한 방법에 의해 게이트 절연체위에 유기 반도체를 침착시키는 단계;

⑤ 전기전도성 소스 및 드레인 전극을 유기 반도체위에서 제작하는 단계;

⑥ 화학적 증착, 물리적 증착, 스핀-코팅 및 경화에 의해 절연체를 임의로 패시베이션 코팅시키는 단계.

유기 반도체의 침착 단계와 소스 및 드레인 전극의 제작 단계의 순서는 공정 적합성 및 제작의 용이성을 위해 바뀔수도 있다.

도 3은 반도체층으로서 표준 펜타센(순도 97% 이상, 풀루카 케미칼 캄파니(FLUKA Chemical Co.)로부터 구입), 게이트 전극으로서 두껍게 도핑된 Si 웨이퍼, 게이트 절연체로서 120㎚두께의 열적 성장한 $SiO_2$, Au 소스 및 드레인 전극을 갖는 소자에 관한 것이며, 게이트 전극에 가해진 상이한 전압($V_G$)에서 드레인 전극에 가해진 전압($V_D$)에 대한 소스와 드레인 전극 사이의 전류 흐름($I_D$)의 의존성을 보여준다.

곡선의 선형 관계(즉 낮은 $V_D$에서)는 전술된 수학식 1에 의해 모델링될 수 있다.

도 4a 및 4b는 전술된 것과 동일한 소자에 관한 것이며, 포화 영역에서 $V_G$에 대한 $I_D$의 의존성을 보여준다. 전장 효과 이동도(μ)를 $\sqrt{I_{D(sat)}}$대 $V_G$ 곡선의 기울기로부터 계산하였더니 0.52㎠$V^{-1}$ $sec^{-1}$ 였다(도 4c). 임계 전압 아래 영역에서의 기울기(S)는 전류 변조 10회당 13.7V이다. 이 데이타는 종래 기술에서 전술된 유사한 TFT 구조물에 대한 데이타에 필적될만하다. 앞서 설명한 바와 같이, 상기 이동도는 실용 TFT에 적합하지만, 작동 전압 및 임계 전압 아래 영역에서의 기울기는 a-Si:H TFT에 비해서 지나치게 크다. 도 3과 도 4에서와 같이, TFT 소자로부터 측정된 전장 효과 이동도는 게이트 전압 의존성을 보여준다. 특히 보다 높은 게이트 전압에서 높은 이동도가 수득된다. 이로써 허용가능한 이동도를 수득하기 위해서 비현실적으로 높은 작동 전압을 사용할 필요가 있다. 이 문제를 해결하기 위해서 도 3 및 도 4에서와 같은 TFT 소자에서 측정된 전장 효과 이동도(μ)의, 가해진 게이트 전압인 $V_G$에 대한 의존성을 보다 상세히 연구하였다. 도 5는 상이한 게이트-전압-스위프(sweep) 실험($V_D$는 -100V로 일정하고, $V_S$는 항상 0V였다)에서 사용된 최대 $V_G$에 대한 μ의 의존성을 보여준다.

관찰된 행동은 게이트 전장(E)에 대한 이동도의 의존성으로 인한 것이며, 이때 $E=\frac{dV}{dy}$ 이고, y는 절연체의 두께이고, 이 경우에 보다 얇은 게이트 유전체 층을 사용하여 높은 게이트 전장을 달성시킬 수 있다. 이는 전형적으로 무기 반도체 TFT 소자에 사용되는 종래의 방법에 의해서 달성되지만, 얇은 유전체는 핀홀(pinhole) 결함을 갖고 보다 낮은 유전성 파괴 전압 및 보다 높은 누설 전류를 나타낸다는 한계를 갖는다. 따라서 이러한 방법은 펜타센 기재의 TFT의 게이트 전압 의존 이동도를 이용하는데에는 실속이 없다.

한편으로는, 반드시 그렇지는 않지만, 게이트 전압 의존성이 반도체/절연체 계면에서 캐리어의 누적된 농도의 변화를 증명하는 것일 수 있다. 유기 반도체에서 전하 캐리어의 과다한 누적으로 인해 트랩 전위가 보다 용이하게 채워지므로 추가적인 캐리어들이 트랩핑에 의해 방해받지 않고 보다 쉽게 이동할 수 있게 된다. $SiO_2$를 유사한 두께를 갖지만 유전상수가 보다 높은 절연체로 대체시킴으로써 캐리어 누적을 용이하게 할 수 있다. 이 경우에, 게이트 전장 및 게이트 전압이 훨씬 낮고 모든 기타 척도들이 똑같은 조건에서 $SiO_2$ 경우와 유사한 누적 캐리어 농도가 수득된다.

이러한 가설이 옳다면, 이들 소자에서, 필적할만한 두께의 $SiO_2$를 사용하는 TFT와 비교하여 더 낮은 전압에서도 높은 이동도가 달성되어야 한다. 반대의 경우, 달리 말하자면 이동도가 전장에는 의존하지만 캐리어 농도에는 의존하지 않을 경우, 후자의 샘플의 경우에 사용된 낮은 게이트 전압하에서 비교적 낮은 이동도가 관찰되어야 한다. 다음에 나타낸 바와 같이, 두께는 유사하지만 상이한 유전상수를 갖는, 상이한 두가지의 절연체를 기재로 하는 소자의 전장 효과 이동도 측정치를 비교해본 결과 이 가설이 옳았음이 증명되었다. 실시예는 게이트 절연체로서 높은 유전상수의 무기 막을 사용한 펜타센-기재의 TFT의 제조 방법 및 낮은 작동 전압에서의 높은 전장 효과 이동도를 보다 상세하게 나타낸다.

본 발명은 넓게는 게이트 절연체로서 바륨 스트론튬 티타네이트, 비스무스 티타네이트, 스트론튬 비스무스 탄탈레이트, 바륨 티타네이트 및 스트론튬 티타네이트와 같은 금속 산화물막 및 유기 반도체를 포함하는 박막 전장 효과 트랜지스터를 제조하는 방법에 관한 것이다. 이들 게이트 절연체들은 용액중에서 금속 알콕시알콕사이드를 사용하여 제조된다. 금속 알콕시알콕사이드 용액은 금속 알콕시알콕사이드를 용매에 용해시킴으로써 제조된다. 금속 알콕시알콕사이드 용액을 기판에 도포시키고 가열시켜 금속 산화물막을 형성시킨다.

금속 알콕시알콕사이드는 $ML_a$(이때, M은 금속이고, L은 알콕시알콕사이드 리간드이고, a는 원자가 요건을 충족시키는데 필요한 알콕시알콕사이드 리간드 단위의 수를 나타내는 첨자이다) 형태의 화합물이다. 알콕시알콜은 알콕시알콜의 탄화수소 주쇄에 에테르 결합, 즉 C-O-C를 가진다는 점에서 알콜과 구분된다. 사용될 수 있는 금속에는 바륨, 스트론튬, 티탄, 비스무스, 탄탈륨, 마그네슘, 납, 이트륨, 란타늄, 마그네슘, 칼슘, 지르코늄, 니오브 및 기타 원소가 포함된다. 사용될 수 있는 알콕시알콜에는 메톡시에탄올, 에톡시에탄올, 프로폭시에탄올, 부톡시에탄올, 펜톡시에탄올, 헵톡시에탄올, 메톡시프로판올, 에톡시프로판올, 프로폭시프로판올, 부톡시프로판올, 펜톡시프로판올 및 헵톡시프로판올이 포함되며, 바람직하게는 부톡시에탄올이다. 열거된 모든 알콕시알콜과 상기 열거된 모든 금속은 금속 알콕시알콕사이드를 형성할 수 있다. 임의의 혼화성 용매를 사용하여 금속 알콕시알콕사이드 용액을 합성한다. 사용될 수 있는 혼화성 용매에는 크실렌, 톨루엔과 같은 탄화수소, 클로로포름과 같은 할로겐화 용매, 메탄올, 에탄올, 이소프로판올, 메톡시에탄올, 에톡시에탄올, 프로폭시에탄올, 부톡시에탄올, 펜톡시에탄올, 헵톡시에탄올, 메톡시프로판올, 에톡시프로판올, 프로폭시프로판올, 부톡시프로판올, 펜톡시프로판올 및 헵톡시프로판올이 포함되며 바람직하게는 부톡시에탄올이다.

금속을 과량의 알콕시알콜과 반응시키거나, 금속 알콕사이드를 과량의 알콕시알콜과 반응시키거나, 금속 할라이드염을 알콕시알콜의 리튬, 나트륨 또는 칼륨염과 반응시킴으로써 금속 알콕시알콕사이드를 합성한다. 알칼리금속(1A족: Li, Na, K, Rb, Cs, Fr) 또는 알칼리토금속(2A족:Be, Mg, Ca, Sr, Ba, Ra)을 과량의 알콕시알콜에 첨가하고 가열하는 경우, 다음과 같은 반응이 일어난다:

반응식 1

$$M + L \rightarrow ML_a + \tfrac{1}{2}H_2$$

금속 알콕사이드를 과량의 알콕시알콜에 첨가하고 가열하는 경우, 다음과 같은 반응이 일어난다:

반응식 2

$$MA_a + L \rightarrow ML_a + aA$$

상기 식에서, A는 알콕사이드이다.

충분히 반응성인 금속 할라이드염을 알콕시알콜의 알칼리 금속(1A족: Li, Na, K, Rb, Cs, Fr)염에 첨가하고 가열하는 경우, 다음과 같은 반응이 일어난다:

반응식 3

$$MX_a + aNL \rightarrow ML_a + aNX$$

상기식에서, X는 할라이드이고, N은 알칼리 금속(1A족, Li, Na, K, Rb, Cs, Fr)이다.

상기 요약된 반응은 일반적인 것이고, 구체적인 반응은 사용된 금속, 알콕사이드 및 알콕시알콜에 따라 달라진다. 상세한 예는 추후에 기술될 것이다.

일단 금속 알콕시알콕사이드가 형성되면 이를 혼화성 용매에 용해시키고 기판에 도포시킨다. 피복된 기판을 열처리하여 막을 조밀하게 만든다. 피복된 기판을 어닐링시켜 막을 결정화시킬 수도 있다. 상세한 예는 추후에 기술될 것이다.

본 발명에 따른 전구체의 예와 본 발명에 따른 전구체의 사용방법은 후술될 것이다.

실시예실시예

실시예 1 - Ba(부톡시에톡사이드)22의 제조방법

질소하에서, 25.2g의 바륨 금속을 123㎖의 부톡시에탄올에 첨가하였다. 슬러리를 1시간동안 환류시켜 반응을 완결시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 농도가 1.42몰/ℓ 또는 바륨 22.69중량%인 바륨 부톡시에톡사이드 원액이었다.

실시예 2 - Sr(부톡시에톡사이드)22의 제조방법

질소하에서, 26.1g의 스트론튬 금속을 293g의 부톡시에탄올에 첨가하였다. 슬러리를 1시간동안 환류시켜 반응을 완결시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 농도가 0.919몰/ℓ 또는 스트론튬 8.92중량%인 스트론튬 부톡시에톡사이드 원액이었다.

실시예 3 - Ti(부톡시에톡사이드)44의 제조방법

질소하에서, 110g의 티탄(IV)이소프로폭사이드를 100㎖의 부톡시에탄올에 첨가하였다. 이소프로판올을 증류시키고 추가의 100㎖의 부톡시에탄올을 첨가하고 1시간동안 환류시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 최종 농도가 1.53몰/ℓ 또는 티탄 7.91중량%인 티탄 부톡시에톡사이드 원액이었다.

실시예 4 - Ba, Sr, Ti 부톡시에톡사이드 용액을 사용한 Ba0.70.7Sr0.30.3TiO33막의 제조방법

질소하에서, 11.11g(0.0175몰)의 바륨 부톡시에톡사이드 원액(실시예 1), 8.57g(0.0075몰)의 스트론튬 부톡시에톡사이드 원액(실시예 2), 15.14g(0.025몰)의 티탄 부톡시에톡사이드 원액(실시예 3)을 부톡시에탄올에 용해시켰다. 용액을 실온에서 밤새 교반시키고, 여과시키고 50㎖가 되게 희석시켰다. 그 결과 수득된 0.5M의 원액을 수개월동안 질소하에서 질저하되지 않게 저장하였다. 1부의 $Ba_{0.7}$ $Sr_{0.3}$ Ti 원액을 3부의 부톡시에탄올로 희석시킴으로써 400Å/층 막을 수득하기 위한 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝(spinning)시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃에서 10분동안 $O_2$에서 어닐링시켰다. 동일한 막의 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다. 어닐링시킨후, Pt 도트를 막상으로 증발시키고 막에 대한 커패시턴스를 측정하였다. 그 결과 수득된 샘플은 16 내지 17의 유전상수를 가졌다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 각 층을 침착시킨 다음 700℃에서 2분동안 급속 열처리에 의해 어닐링시켰다. 그 결과 수득된 3층 또는 4층의 샘플은 200 내지 340의 유전상수를 가졌다.

실시예 5 - Zr(부톡시에톡사이드)44의 제조방법

질소하에서, 110g의 지르코늄(IV) 이소프로폭사이드를 100㎖의 부톡시에탄올에 첨가하였다. 이소프로판올을 증류시키고, 추가의 100㎖의 부톡시에탄올을 첨가하고 1시간동안 환류시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 지르코늄 부톡시에톡사이드 원액이었다.

실시예 6 - Ba, Zr, Ti 부톡시에톡사이드 용액을 사용한 Ba(Zr0.50.5Ti0.50.5)O33막의 제조방법

질소하에서, 0.025몰의 바륨 부톡시에톡사이드 원액(실시예 1), 0.0125몰의 지르코늄 부톡시에톡사이드 원액(실시예 4) 및 0.0125몰의 티탄 부톡시에톡사이드 원액(실시예 3)을 부톡시에탄올에 용해시켰다. 용액을 실온에서 밤새 교반시키고, 여과시키고 50㎖가 되게 희석시켰다. 그 결과 수득된 0.5M 원액을 수개월동안 질소하에서 질저하되지 않게 저장하였다. 1부의 BaZrTi 원액을 3부의 부톡시에탄올로 희석시킴으로써 스핀 코팅용 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃에서 10분동안 $O_2$에서 어닐링시켰다. 추가로 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 7 - Ba(메톡시에톡사이드)22의 제조방법

질소하에서, 25.1g의 바륨 금속을 250㎖의 메톡시에탄올에 첨가하였다. 슬러리를 1시간동안 환류시켜 반응을 완결시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 농도가 0.58몰/ℓ 또는 바륨 8.27중량%인 바륨 메톡시에톡사이드 원액이었다.

실시예 8 - Sr(메톡시에톡사이드)22의 제조방법

질소하에서, 25.4g의 스트론튬 금속을 185g의 메톡시에탄올에 첨가하였다. 슬러리를 1시간동안 환류시켜 반응을 완결시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 농도가 1.51몰/ℓ 또는 스트론튬 13.75중량%인 스트론튬 메톡시에톡사이드 원액이었다.

실시예 9 - Ti(메톡시에톡사이드)44의 제조방법

질소하에서, 71.06g의 티탄(IV) 이소프로폭사이드를 100㎖의 메톡시에탄올에 첨가하였다. 이소프로판올을 증류시키고 추가로 100㎖의 메톡시에탄올을 첨가하고 1시간동안 환류시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 최종 농도가 1.09몰/ℓ 또는 티탄 5.42중량%인 티탄 메톡시에톡사이드 원액이었다.

실시예 10 - Ba, Sr, Ti 메톡시에톡사이드 용액을 사용한 Ba0.70.7Sr0.30.3TiO33막의 제조방법

질소하에서, 58.12g(0.035몰)의 바륨 메톡시에톡사이드 원액(실시예 7), 10.07g(0.015몰)의 스트론튬 메톡시에톡사이드 원액(실시예 8), 44.19g(0.050몰)의 티탄 메톡시에톡사이드 원액(실시예 9)을 교반시키면서 2-메톡시에탄올에 용해시켰다. 용액을 실온에서 밤새 교반시키고, 여과시키고 250㎖ 들이 플라스크에 표시된 눈금까지 희석시켰다. 그 결과 수득된 0.2M 원액을 수개월동안 질소하에서 질저하되지 않게 저장하였다. 1부의 $Ba_{0.7}$ $Sr_{0.3}$ Ti 메톡시에톡사이드 원액을 1부의 이소프로판올로 희석시킴으로써 200Å/층 막을 수득하기 위한 스핀 코팅용 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 Pt/Ti/$SiO_2$/Si 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 200 내지 400℃ 열판상에서 건조시킨후, 400℃에서 10분동안 $O_2$에서 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 11 - Ta(부톡시에톡사이드)55의 제조방법

질소하에서, 53.13g의 탄탈륨(V) 에톡사이드를 교반시키면서 150㎖의 부톡시에탄올에 첨가하였다. 에탄올을 증류시키고 추가로 50㎖의 부톡시에탄올을 첨가하고 1시간동안 환류시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 탄탈륨 부톡시에톡사이드 원액이었다.

실시예 12 - Ta(메톡시에톡사이드)55의 제조방법

질소하에서, 4.06g의 탄탈륨(V) 에톡사이드를 교반시키면서 100㎖의 메톡시에탄올에 첨가하였다. 에탄올이 증류되기 전에 용액을 1시간동안 환류시켰다. 추가로 100㎖의 메톡시에탄올을 첨가하고 2회이상 절차를 반복시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 최종 농도가 0.079몰/ℓ 또는 탄탈륨 1.5중량%인 탄탈륨 부톡시에톡사이드 원액이었다.

실시예 13 - Zr(메톡시에톡사이드)55의 제조방법

질소하에서, 96.92g의 지르코늄(IV) 이소프로폭사이드를 교반시키면서 100㎖의 메톡시에탄올에 첨가하였다. 에탄올이 증류되기 전에 용액을 1시간동안 환류시켰다. 추가로 100㎖의 메톡시에탄올을 첨가하고 2회이상 절차를 반복시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 최종 농도가 0.94몰/ℓ 또는 지르코늄 8.89중량%인 지르코늄 메톡시에톡사이드 원액이었다.

실시예 14 - Ba, Zr, Ti 메톡시에톡사이드 용액을 사용한 Ba(Zr0.50.5Ti0.50.5)O33막의 제조방법

질소하에서, 0.02몰의 바륨 메톡시에톡사이드 원액(실시예 1), 0.01몰의 지르코늄 부톡시에톡사이드 원액(실시예 4) 및 0.01몰의 티탄 메톡시에톡사이드 원액(실시예 3)을 메톡시에탄올에 용해시켰다. 용액을 실온에서 밤새 교반시키고, 여과시키고 100㎖가 되게 희석시켰다. 그 결과 수득된 0.2M 원액을 수개월동안 질소하에서 질저하되지 않게 저장하였다. 1부의 BaZrTi 원액을 1부의 메톡시에탄올로 희석시킴으로써 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 Pt/Ti/$SiO_2$/Si 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃에서 10분동안 $O_2$에서 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 15 - Bi(부톡시에톡사이드)33의 제조방법

불활성 대기하에서, 100㎖ 테트라하이드로푸란중 9.45g(0.394몰)의 수소화나트륨의 현탁액을 교반시키면서 여기에 28.9g(0.244몰)의 부톡시에탄올을 적가하였다. 30분동안 교반시킨후, 슬러리를 셀라이트층을 통해 여과시켰다. 여액에 100㎖의 테트라하이드로푸란에 용해된 25.0g(0.0793몰)의 $BiCl_3$을 첨가하였다. 12시간동안 교반시킨후, 테트라하이드로푸란을 진공중에서 제거하여 탁한 황색 슬러리를 수득하고 이를 250㎖의 무수 톨루엔으로 추출하였다. 추출물을 셀라이트층을 통해 여과시켰다. 톨루엔을 진공중에서 여액으로부터 제거하여 연한 황색 오일을 수득하고 이를 500㎖의 펜탄으로 추출하였다. 펜탄 추출물을 셀라이트층을 통해 여과시키고 펜탄을 여액으로부터 제거하여 연한 황색 액체를 수득하였다.

실시예 16 - Nb(부톡시에톡사이드)55의 제조방법

질소하에서 교반시키면서, 50.22g의 니오브(V) 에톡사이드를 150㎖의 부톡시에탄올에 첨가하였다. 에탄올을 증류시키고 추가로 50㎖의 부톡시에탄올을 첨가하고 1시간동안 환류시켰다. 용액을 실온으로 냉각시키고, 진공중에서 셀라이트층을 통해 여과시켰다. 여액은 니오브 부톡시에톡사이드 원액이었다.

실시예 17 - Sr, Bi, Ta 부톡시에톡사이드 용액을 사용한 $SrBi_2Ta_2O_9$막의 제조방법

질소하에서, 0.02몰의 스트론튬 부톡시에톡사이드 원액(실시예 2), 0.04몰의 비스무스 부톡시에톡사이드 원액(실시예 15) 및 0.04몰의 탄탈륨 부톡시에톡사이드 원액(실시예 11)을 첨가하였다. 용액을 실온에서 밤새 교반시키고, 여과시키고 100㎖가 되게 희석시켰다. 1부의 $SrBi_2Ta_2$ 원액을 1부의 부톡시에탄올로 희석시킴으로써 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃ 또는 750℃에서 30분동안 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 18 - Sr, Bi, Ta 부톡시에톡사이드 용액을 사용한 $Sr_{0.8}Bi_{2.2}Ta_2O_9$막의 제조방법

질소하에서, 0.016몰의 스트론튬 부톡시에톡사이드 원액(실시예 2), 0.044몰의 비스무스 부톡시에톡사이드 원액(실시예 15) 및 0.04몰의 탄탈륨 부톡시에톡사이드 원액(실시예 11)을 첨가하였다. 용액을 실온에서 밤새 교반시키고, 여과시키고 100㎖가 되게 희석시켰다. 1부의 $Sr_{0.8}Ba_{2.2}Ta_2$ 원액을 1부의 부톡시에탄올로 희석시킴으로써 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃ 또는 750℃에서 30분동안 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 19 - Sr, Bi, Ta, Nb 부톡시에톡사이드 용액을 사용한 $SrBi_2(Ta_{1.5}Nb_{0.5})_2O_9$막의 제조방법

질소하에서, 0.02몰의 스트론튬 부톡시에톡사이드 원액(실시예 2), 0.04몰의 비스무스 부톡시에톡사이드 원액(실시예 15), 0.03몰의 탄탈륨 부톡시에톡사이드 원액(실시예 11) 및 0.01몰의 니오브 부톡시에톡사이드 용액(실시예 16)을 첨가하였다. 용액을 실온에서 밤새 교반시키고, 여과시키고 100㎖가 되게 희석시켰다. 1부의 $Sr_{0.8}Ba_{2.2}Ta_2$ 원액을 1부의 부톡시에탄올로 희석시킴으로써 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃ 또는 750℃에서 30분동안 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 20 - Bi, Ta 부톡시에톡사이드 용액을 사용한 $Bi_4Ti_3O_{12}$막의 제조방법

질소하에서, 0.02몰의 비스무스 부톡시에톡사이드 원액(실시예 15) 및 0.015몰의 티탄 부톡시에톡사이드 원액(실시예 3)을 서로 혼합하고 밤새 실온에서 교반시켰다. 용액을 여과시키고 부톡시에탄올로 100㎖가 되게 희석시켰다. 용액을 실온에서 밤새 교반시키고, 여과시키고, 100㎖가 되게 희석시켰다. 1부의 $Bi_4Ti_3$ 원액을 1부의 부톡시에탄올로 희석시킴으로써 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 300℃ 열판상에서 건조시킨후, 400℃ 또는 700℃에서 10분동안 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다.

실시예 21 - Ba, Sr, Ti 이소프로판올/아세트산 용액을 사용한 Ba0.70.7Sr0.30.3TiO33막의 제조방법

글러브 박스에서, IPA중 23.985g(0.035몰)의 20.04중량%의 $BaIPA_2$, IPA중 13.893g(0.015몰)의 9.46중량%의 $SrIPA_2$ 및 14.213g(0.05몰)의 TIP를 서로 혼합하였다. 질소하에서 교반시키면서, 추가로 200㎖의 무수 IPA와 50㎖의 빙초산을 첨가하였다. 백색 침전이 형성되었고 이는 교반되면 다시 용해된다. 용액을 실온에서 밤새 교반시키고 진공중에서 셀라이트층을 통해 여과시켰다. 원액은 질소하에서 약 1개월동안 안정하였고 그 후에는 바륨 침전물이 관찰되었다. 원액을 동량의 IPA로 1:1이 되게 희석시킴으로써 스핀 용액을 제조하였다. 스핀 용액을 주사기에 넣고 0.45㎛ 및 0.2㎛의 와트만 주사기 필터를 부착하였다. 기판이 완전히 적셔질때까지 용액을 $Pt/Ti/SiO_2/Si$ 기판위에 주사하였다. 이어서 기판을 2500rpm에서 60초동안 스피닝시켰다. 피복된 기판을 350℃ 열판상에서 건조시킨후, 400℃에서 10분동안 어닐링시켰다. 추가적인 층을 침착시켜 보다 두꺼운 막을 제조하였다. Pt 도트를 어닐링된 막상으로 증발시키고 막에 대한 커패시턴스를 측정하였다.

실시예 22 - 화학 용액 침착된 게이트 유전체를 사용한 유기 박막 트랜지스터의 제조방법

게이트 절연체로서 바륨 스트론튬 티타네이트(BST)의 박막이 졸-겔 방법에 의해 침착된 TFT를 제작하였다. 이 소자에 사용된 유기 반도체를 진공 승화에 의해 펜타센 침착시켰다. 게이트 전극은 알루미늄 또는 Pt/Ti 이층이었고, 소스 및 드레인 전극은 Au로 이루어졌다. 사용된 기판은 석영 디스크 또는 열적 성장한 $SiO_2$ 층으로 덮인 Si 웨이퍼였다.

산화된 실리콘 또는 석영 기판을 이소프로판올 욕에서 초음파 교반에 의해 세정하고 질소로 건조시켰다. 이어서 게이트 라인에 맞는 개구를 갖는 금속 마스크를 사용하여 조립하고 전자빔 증발기에 놓고 높은 진공하에서 펌핑시켰다. 40㎚의 알루미늄 또는 15㎚의 티탄 및 30㎚의 Pt의 이층으로 된 게이트 금속을 전자빔 증발에 의해 기판에 침착시켰다. 샘플을 조립체로부터 떼어내고 높은 유전상수의 절연체의 층을 졸-겔 방법 또는 전술된 실시예에서 기술된 화학 용액 공정에 의해 침착시켰다.

이 방법에서, 금속 산화물막을 예를 들면 금속 이소프로폭사이드를 포함하나 이에 국한되지는 않는 단쇄 금속 알콕사이드 또는 금속 알콕시알콕사이드 용액을 포함하는 전구체 또는 또다른 유형의 유기금속 전구체 용액을 사용하여 제조하였다. 액체 침착법(예를 들면 스핀-코팅법)에 의해 기판상에 용액을 도포시켰다. 피복된 기판을 베이킹시켜 전구체를 건조시키고, 어닐링시켰다. 구체적으로는, 스핀 용액을 0.45㎛ 및 0.2㎛ 와트만(Whatman) 주사기 필터가 장착된 주사기에 넣었다. 기판이 완전히 적셔질때까지 용액을 기판상에 주사하였다. 이어서 기판을 2500rpm에서 45초동안 스피닝시켰다. 피복된 기판을 200 내지 400℃ 열판에서 건조시키고 이어서 400℃ 이하의 온도에서 10 내지 20분동안 어닐링시켰다. 연속 코팅 및 어닐링 단계에 의해 공정을 반복하여 보다 두꺼운 막을 제조하였다.

유리 및 플라스틱 기판과 함께 사용할 수 있도록 하기 위해서 막을 의도적으로 적당한 온도(400℃이하)에서만 베이킹시켰다. 그 결과 약 16의 유전상수를 갖는 무정형 절연체막이 생성되었는데, 반면에 막을 650℃로 가열시켜 결정화시킬때 유전상수는 300 이상이었다. 위에서 잠시 본 바와 같이, 이러한 무정형 막을 사용하여 수득된 유전상수의 약간의 증가는 유기 TFT 용도에 적당하다. 그러나, 본 발명의 범위는 이러한 침착 방법에만 국한되는 것은 아니다. BST막 및 전술된 높은 유전상수의 대부분의 게이트 절연체의 막을 또다르게는 스퍼터 침착 방법, 레이저 애블레이션 또는 CVD를

사용하여 침착시킬 수 있고, 이러한 방법들을 사용하는 것은 본 발명의 개념으로부터 벗어나는 것이 아니다.

유기 반도체 층(펜타센)을 초고 진공(ultra high vacuum: UHV)실에서 증착에 의해 침착시켰다. 또한 보다 저렴한 고진공실에서도 침착시킬 수 있는데, 이 경우에서도 유사한 결과가 수득되었다. 한편으로는, 이러한 막을, 진공중에서 140℃로 가열되면 펜타센으로 전환되는 펜타센의 가용성 전구체를 사용하여 침착시킬 수 있다{에이.알.브라운(A.R.Brown), 에이.폼프(A.Pomp), 디.엠. 드 류(D.M.de Leeuw), 디.비.엠.클라센(D.B.M.Klaassen), 이.이.하빈가(E.E.Havinga), 피.허위그 (P.Herwig), 케이.뮬렌(K.Mullen)의 문헌[Journal of Applied Physics, Volume 79, pg. 2136, 1996]을 참조}. 이어서 샘플을 소스 및 드레인 접촉 전극에 맞는 개구가 있는 마스크로 조립하고 전자빔 증발기에 놓고 펌핑시키고 60㎚의 금으로 피복시켜 소스/드레인 접촉부를 생성시켰다. 그 결과 수득된 TFT 구조물은 도 6에 개략적으로 나타나 있다. 크롬, 티탄, 구리, 알루미늄, 몰리브덴, 텅스텐, 니켈, 금, 백금, 팔라듐, 전도성 중합체, 올리고머 및 유기 분자와 같은 기타 소스 드레인 접합부 물질을 본 발명의 개념에서 벗어나지 않게 사용할 수도 있다.

이어서 완성된 TFT 샘플을, 휴렛 팩커드 모델 4145B(Hewlett Packard Model 4145B) 반도체 척도 분석기를 사용하여 전기적으로 시험하여 이들의 작동 특성을 결정하였다.

도 7a 및 도 7b는 개략도 6에 의해 나타내어진 펜타센-기재의 TFT의 전형적인 예를 나타내는 것으로서, BST 게이트-절연체의 두께는 약 90㎚였고 그의 유전상수(ε)는 대략 16이다. 절연체를 전술된 이소프로판올중에서 이소프로폭사이드-기재의 용액으로부터 침착시켰다. 소스 드레인 간격(채널 길이 L)은 83㎛였고, 채널 너비 W는 1500㎛였다. 도면은 포화시 $V_G$에 대한 $I_D$의 의존성을 나타낸다. 도 7c는 $V_G$에 대해 $I_D$의 $\sqrt{\ }$ 값을 플롯팅한 것이다. 전장 효과 이동도(μ)는 $\sqrt{|I_D|}$대 $V_G$의 곡선의 기울기로부터 계산되며, $0.38 ㎠V^{-1} sec^{-1}$ 이다. 전류 변조는 4V의 게이트 전위 변화에 대해서 $3\times10^5$ 이상이다. 임계 전압 아래 영역에서의 기울기(S)는 전류 변조 10회당 약 0.4V이다.

도 8은 이전 단락에서 전술된 소자에 대해서 게이트 전극에 가해진 개개의 전압($V_G$)하에서, 드레인 전극에 가해진 전압($V_D$)에 대한, 소스와 드레인 전극 사이의 전류 흐름($I_D$)의 의존성을 보여준다.

도 9a 및 도 9b는 BST 게이트-절연체층의 단위 면적당 커패시턴스가 종래의 소자에서의 BST 막과 유사한, 도 6에 의해 나타내어진 펜타센-기재의 TFT에 관한 것이다. BST층은 전술된 바와 같이 Ba, Sr 및 Ti 유기금속 전구체의 또다른 유형의 졸-겔 용액으로부터 침착되거나 실시예 4에 기술된 바와 같이 침착되었다. 두 도면 모두 포화시 $V_G$에 대한 $I_D$의 의존성을 보여준다. 도 9c는 $V_G$에 대해 $I_D$의 $\sqrt{\ }$ 값을 플롯팅한 것이다. 전장 효과 이동도(μ)는 $\sqrt{|I_D|}$대 $V_G$의 곡선의 기울기로부터 계산되며, $0.62 ㎠V^{-1} sec^{-1}$ 이다. 임계 전압 아래 영역에서의 기울기(S)는 전류 변조 10회당 약 0.4V이다. 채널 길이는 109㎛이고 채널 너비(W)는 250㎛이다.

따라서, 게이트 절연체로서 높은 유전상수의 막을 사용하는 펜타센-기재의 TFT 소자에서 높은 이동도 및 임계 전압 아래 영역에서의 작은 기울기가 달성될 수 있다는 것이 명백하다. 이는, 소자에서의 게이트 전압 의존성이, 가해진 게이트 전장이 매우 낮게 유지됨으로써 절연체에 의해 달성된 전하 캐리어의 농도가 더 높기 때문이라는 우리의 가설을 입증하는 것이다.

특성이 달성되는 구체적인 메카니즘에도 불구하고, 펜타센-기재의 유기 TFT에서 높은 전장 효과 이동도, 높은 전류 변조 및 임계 전압 아래 영역에서의 작은 기울기를 달성시키기 위한 구조물 및 그를 제조하는 방법을 청구한다. 본 발명은 바람직한 실시태양에 관해 기술되었지만, 당해 분야의 숙련자라면 본 발명의 개념 및 범위로부터 벗어나지 않고 많은 변경, 변화 및 개선을 이룰 수 있을 것이다.

## 발명의 효과

본 발명에 의해서, 높은 전장 효과 이동도, 높은 전류 변조, 현재의 유기 TFT 소자에 비해 보다 낮은 작동 전압에서 임계 전압 아래 영역에서의 보다 작은 기울기를 나타내는 유기 반도체 물질을 기재로 하는 박막 트랜지스터 소자 구조물이 제공된다. 본 발명에 따라 높은 유전상수의 게이트 절연체를 사용함으로써 유기 반도체의 예상치못한 게이트 전압 의존성을 활용하게 되어 매우 낮은 작동 전압에서 높은 전장 효과 이동도 수준을 달성할 수 있다. 이러한 절연체의 재료와 이를 TFT 구조내로 집적시키는 수단을 적절하게 선택, 조합하여 유기 또는 플라스틱 기판상에의 제작을 용이하게 할 수 있고 이러한 소자를 평판 디스플레이 용도에 사용할 수 있다.

## (57) 청구의 범위

### 청구항 1.

박막 트랜지스터 소자 구조물에 있어서,

① 다수의 전기전도성 게이트 전극이 위치된 기판; ② 이 게이트 전극위에 위치된, 높은 유전상수의 게이트 절연체의 층; ③ 이 절연체위에 위치되고 상기 게이트 전극위에 실질적으로 겹쳐져 있는 유기 반도체의 층; ④ 이 유기 반도체위에서 각각의 게이트 전극과 일직선상에 놓인 여러 셋트의 전기 전도성 소스 및 드레인 전극을 가지며;

상기 절연체가 바륨 스트론튬 티타네이트, 바륨 지르코네이트 티타네이트, 납 지르코네이트 티타네이트, 납 란탄 티타네이트, 바륨 티타네이트, 스트론튬 티타네이트, 바륨 마그네슘 플루오라이드, 탄탈륨 펜톡사이드, 이산화티탄 및 이트륨 트리옥사이드로 이루어진 그룹으로부터 선택되는 구조물.

### 청구항 2.

제 1 항에 있어서,

구조물이 추가로 공정 및 외부 환경에 노출되는 것을 방지하기 위한, 구조물위에 위치된 절연 패시베이션(passivation) 층을 추가로 포함하는 구조물.

### 청구항 3.

제 1 항에 있어서,

기판이 유리, 플라스틱, 석영, 도핑되지 않은 실리콘 및 두껍게 도핑된 실리콘으로 이루어진 그룹으로부터 선택된 구조물.

### 청구항 4.

제 1 항에 있어서,

게이트 전극의 재료가 크롬, 티탄, 구리, 알루미늄, 몰리브덴, 텅스텐, 니켈, 금, 백금, 전도성 폴리아닐린, 전도성 폴리피롤 및 이들의 조합물로 이루어진 그룹으로부터 선택된 구조물.

### 청구항 5.

제 1 항에 있어서,

게이트 전극이 30㎚ 내지 500㎚의 두께를 갖고, 증발, 스퍼터링(sputtering), 화학적 증착, 전착, 스핀 코팅(spin coating) 및 무전해 도금(electroless plating)으로 이루어진 그룹으로부터 선택된 방법에 의해 제조되는 구조물.

청구항 6.

제 1 항에 있어서,

절연체가 80㎚ 내지 1000㎚의 두께를 갖는 구조물.

청구항 7.

제 1 항에 있어서,

절연체가 스퍼터링, 화학적 증착, 졸-겔(sol-gel) 코팅, 증발 및 레이저 애블레이션(ablation) 침착으로 이루어진 그룹으로부터 선택된 방법에 의해 제조된 구조물.

청구항 8.

제 1 항에 있어서,

유기 반도체가 게이트 전압이 높아짐에 따라 전장 효과 이동도가 증가하는 임의의 중합체성 또는 올리고머성 반도체인 구조물.

청구항 9.

제 8 항에 있어서,

유기 반도체가 아센(acene) 분자 물질인 구조물.

청구항 10.

제 8 항에 있어서,

유기 반도체층이 단층 내지 400㎚의 두께를 갖는 구조물.

청구항 11.

제 8 항에 있어서,

반도체 층이 증발, 화학적 증착, 스핀 코팅 및 베이킹(baking), 전자중합, 분자빔 침착, 용액으로부터의 셀프-어셈블리(self-assembly) 및 이들의 조합으로 이루어진 그룹으로부터 선택된 방법에 의해 침착된 구조물.

청구항 12.

제 8 항에 있어서,

TFT 소자에서의 누설 및 스트레이(stray) 전류를 최소화하기 위해서, 반도체층이 마스크를 통한 침착, 스크린 프린팅, 스탬핑(stamping) 및 블랭킷 막의 패턴화로 이루어진 그룹으로부터 선택된 공정에 의해 임의로 분절되는 구조물.

청구항 13.

제 1 항에 있어서,

소스 및 드레인 전극이 크롬, 티탄, 구리, 알루미늄, 몰리브덴, 텅스텐, 니켈, 금, 팔라듐, 백금, 전도성 중합체 및 이들의 조합물로 이루어진 그룹으로부터 선택된 물질로 제조된 구조물.

청구항 14.

제 13 항에 있어서,

금, 백금, 팔라듐, 전도성 중합체, 올리고머, 반-전도성 중합체 및 올리고머, 및 이들의 조합물로 이루어진 그룹으로부터 선택된 물질로 제조된 임의의 옴성 접촉(ohmic contact) 층이 소스/드레인 전극과 반도체층 사이에 위치된 구조물.

청구항 15.

제 13 항에 있어서,

소스 및 드레인 전극의 두께가 30㎚ 내지 500㎚인 구조물.

청구항 16.

제 13 항에 있어서,

소스 및 드레인 전극이 새도우 마스크(shadow mask)를 통한 침착 및 리쏘그래피 패턴화 기법으로 이루어진 그룹으로부터 선택된 방법에 의해 패턴화된 구조물.

청구항 17.

제 2 항에 있어서,

상기 패시베이션층이 폴리이미드, 파릴렌 및 도핑되지 않은 폴리아닐린으로 이루어진 그룹으로부터 선택된 중합체인 구조물.

청구항 18.

제 1 항에 있어서,

금속 산화물 게이트 절연체가 금속 알콕시알콕사이드 부분, 특히 금속 부톡시에톡사이드를 포함하는 전구체로부터 제조되는 구조물.

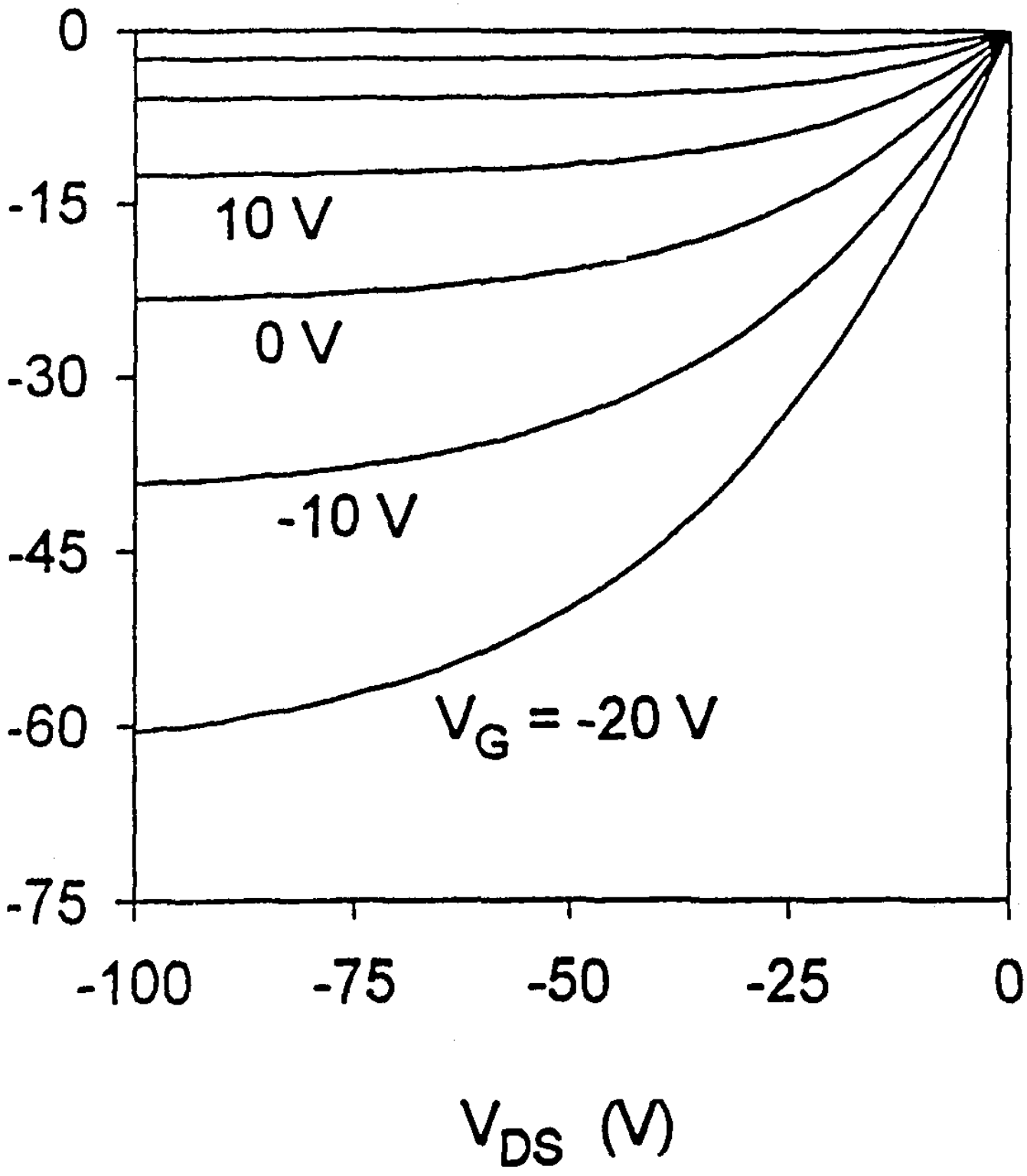
청구항 19.

제 1 항에 있어서,

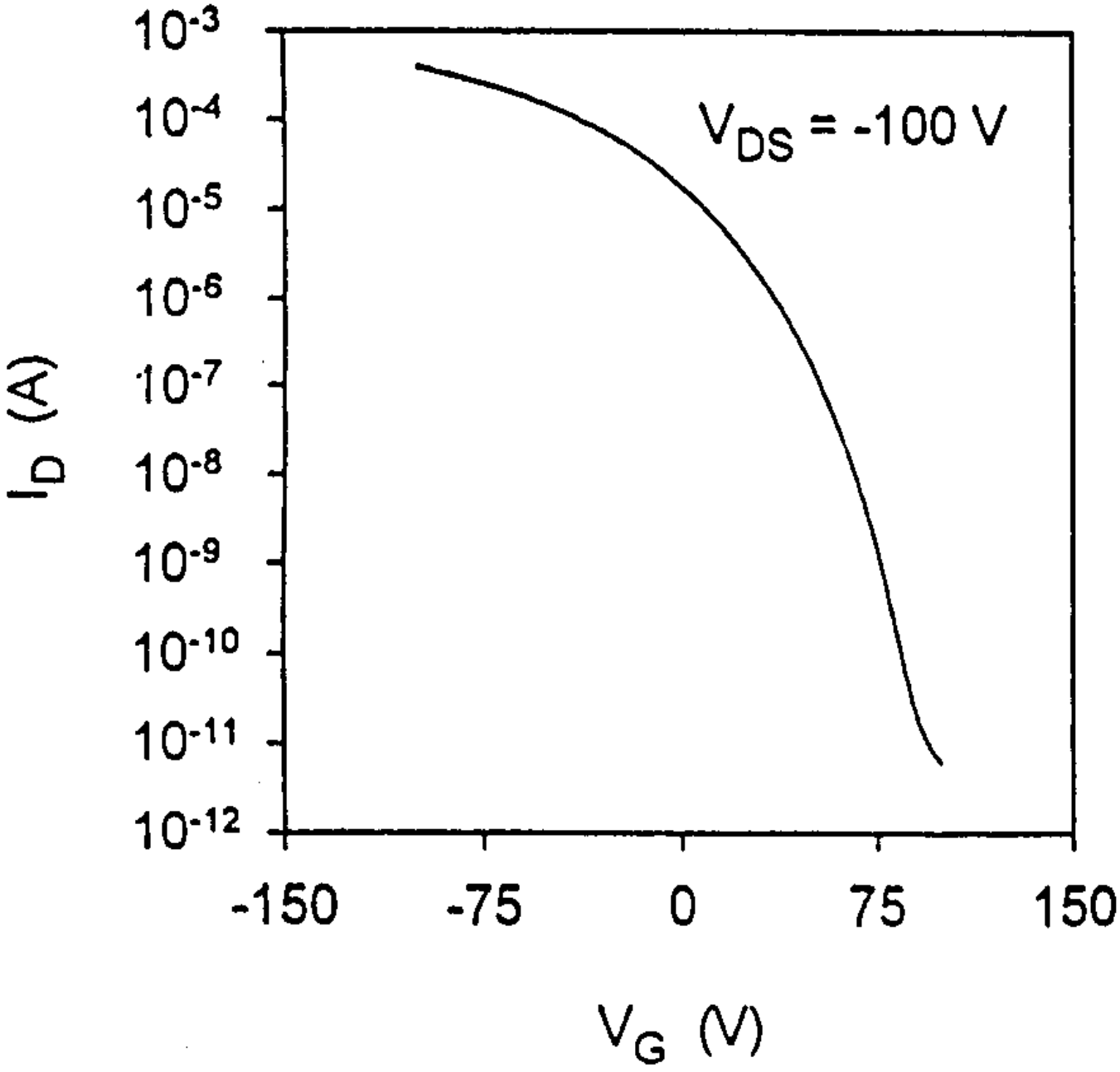
금속 산화물 게이트 절연체가 금속 알콕사이드 부분, 특히 금속 이소프로폭사이드를 포함하는 전구체로부터 제조되는 구조물.

도면

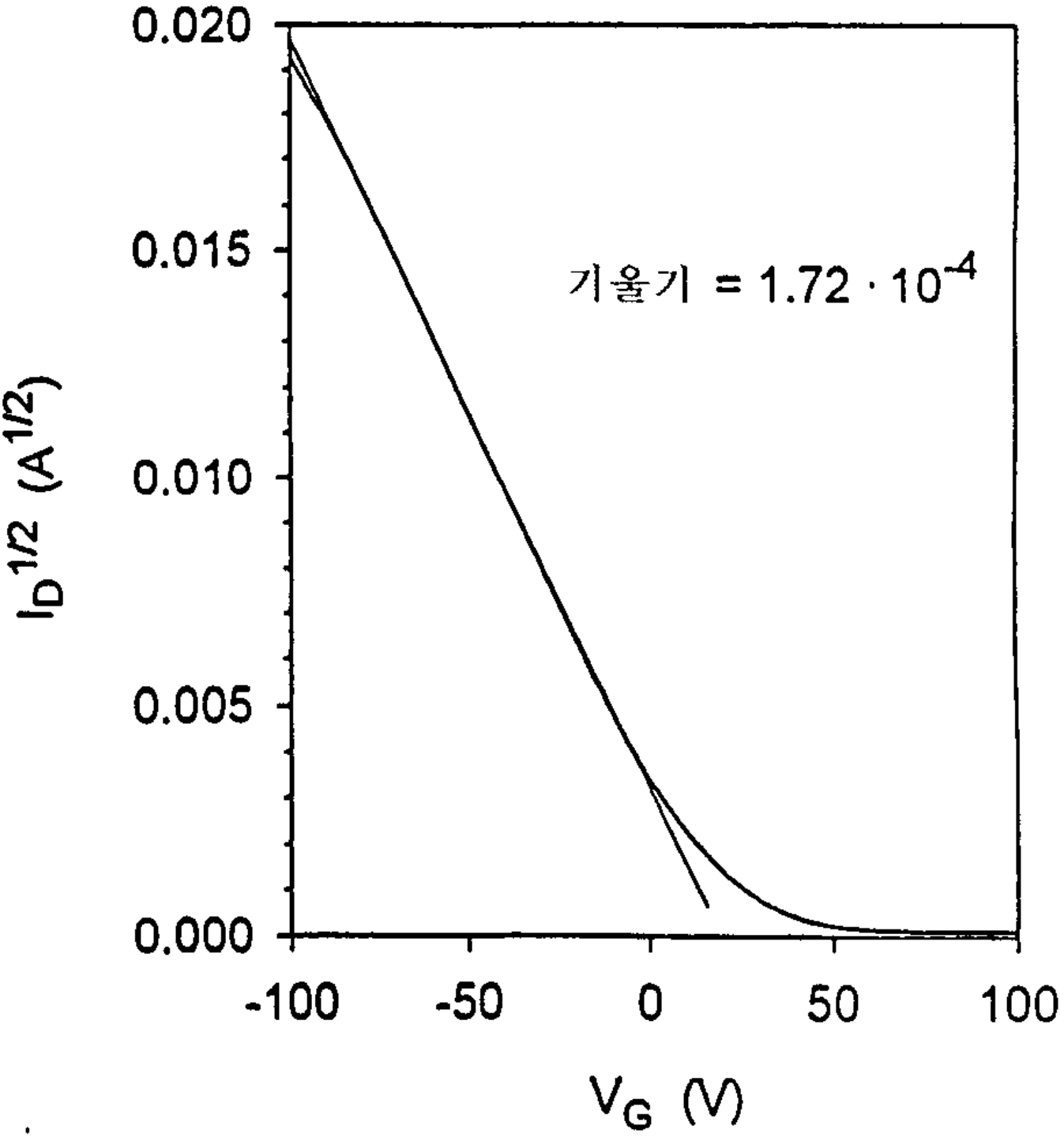
도면 1



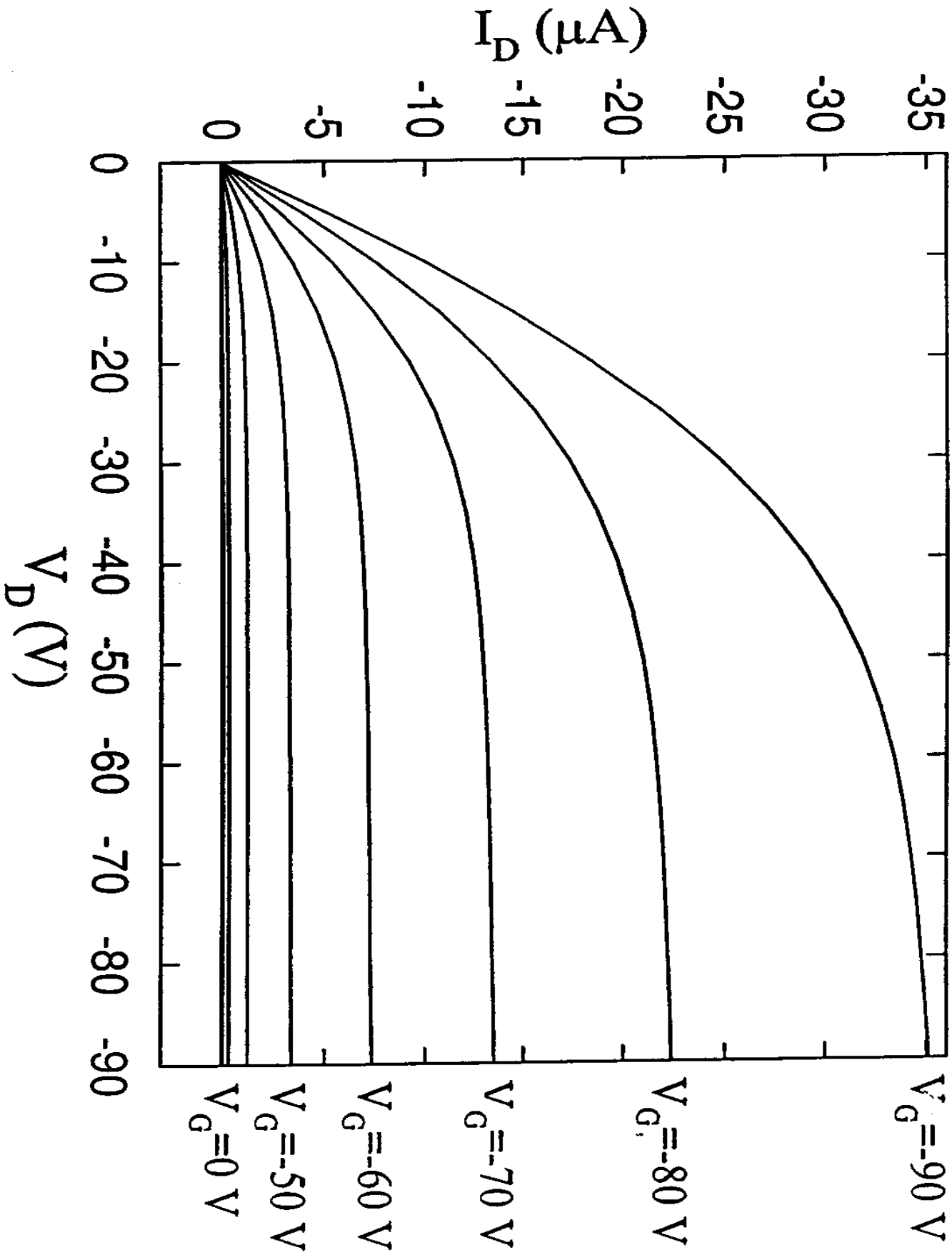
도면 2a


$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
$10^{-7}$
$10^{-8}$
$10^{-9}$
$10^{-10}$
$10^{-11}$
$10^{-12}$
$I_D$ (A)
$V_{DS}$ = -100 V
-150
-75
0
75
150
$V_G$ (V)

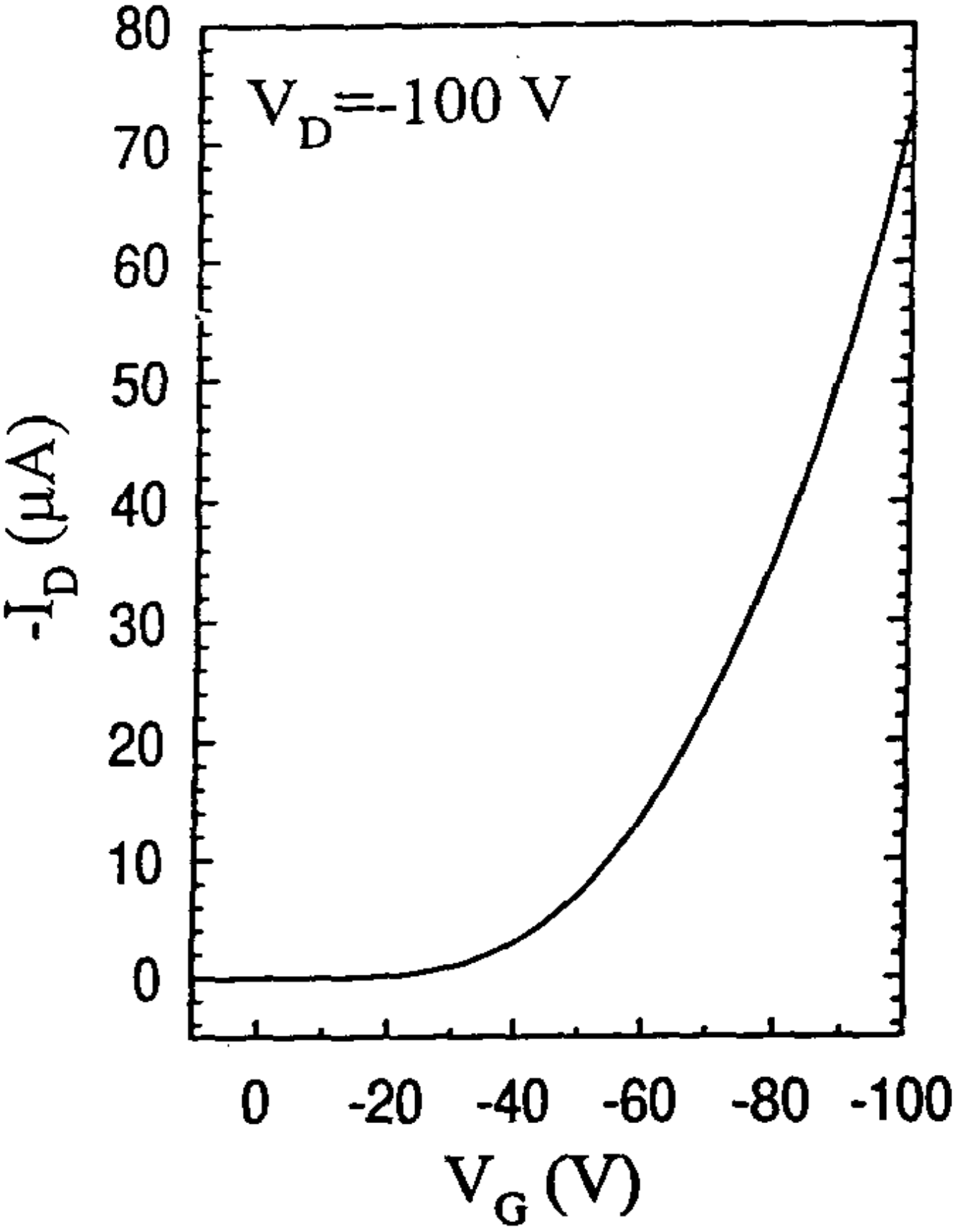
도면 2b


0.020
0.015
0.010
0.005
0.000
-100
-50
0
50
100
기울기 = 1.72 · 10-4
ID1/2 (A1/2)
VG (V)

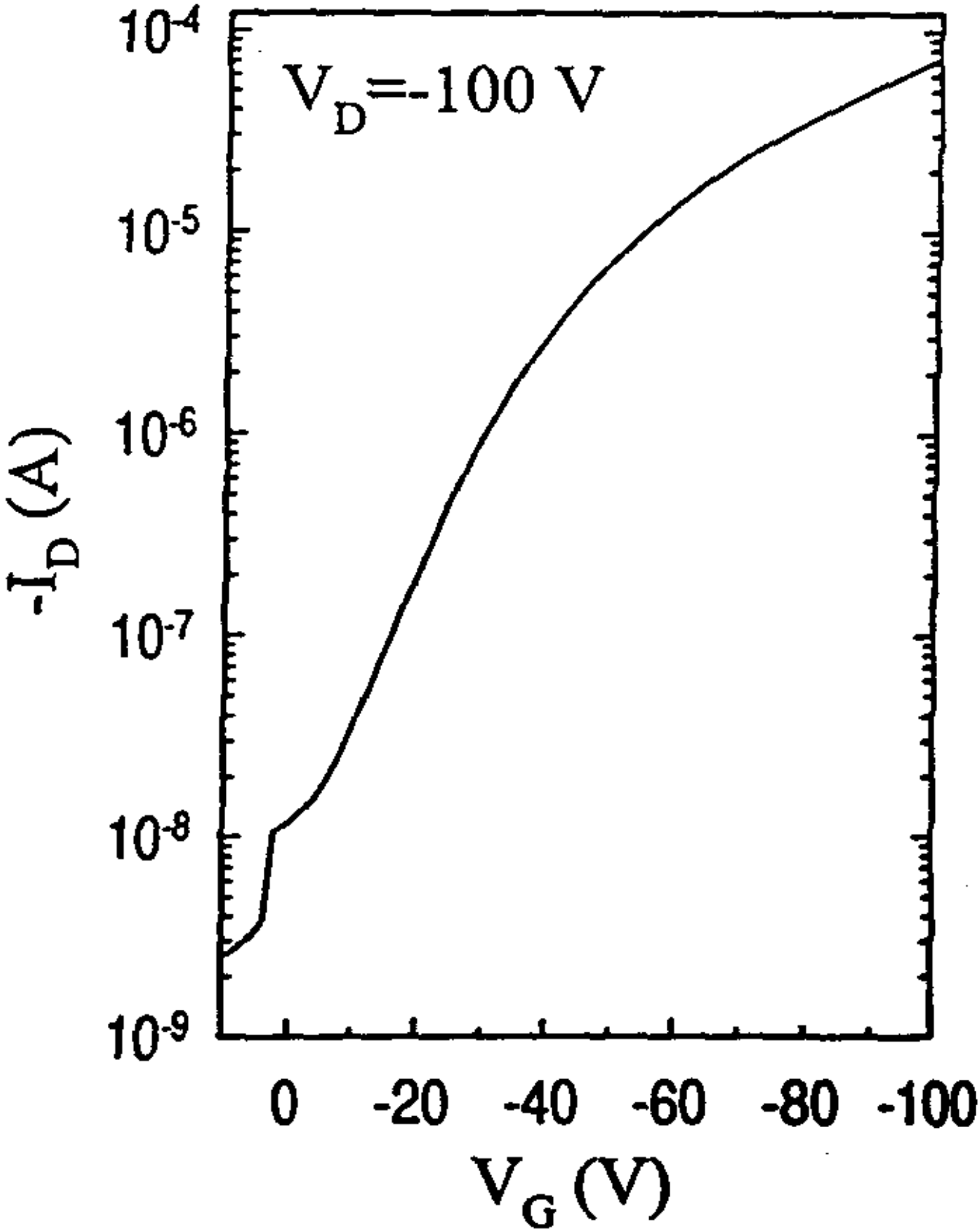
도면 3


$I_D$ (μA)
0
-5
-10
-15
-20
-25
-30
-35
$V_D$ (V)
0
-10
-20
-30
-40
-50
-60
-70
-80
-90
$V_G$=0 V
$V_G$=-50 V
$V_G$=-60 V
$V_G$=-70 V
$V_G$=-80 V
$V_G$=-90 V

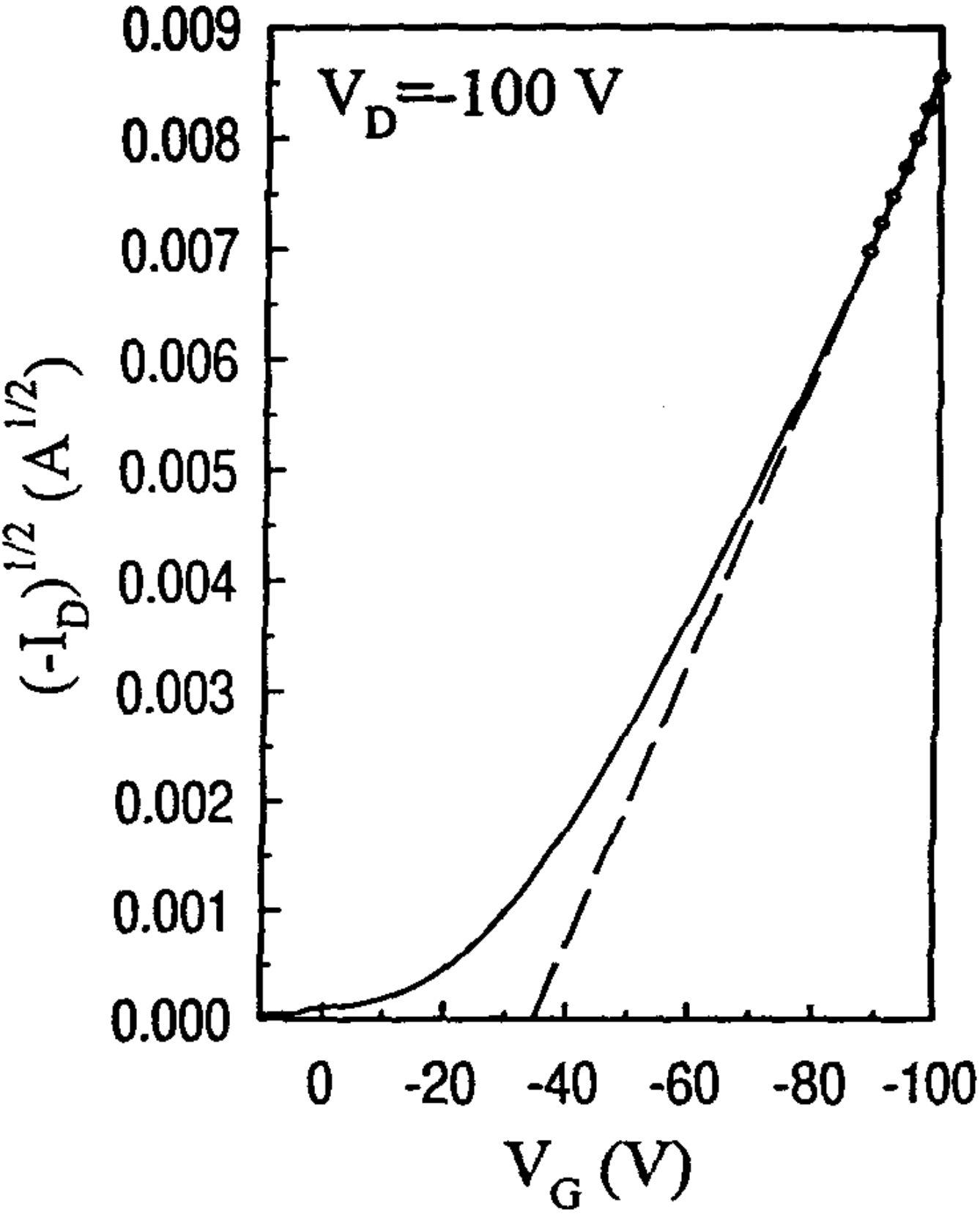
도면 4a



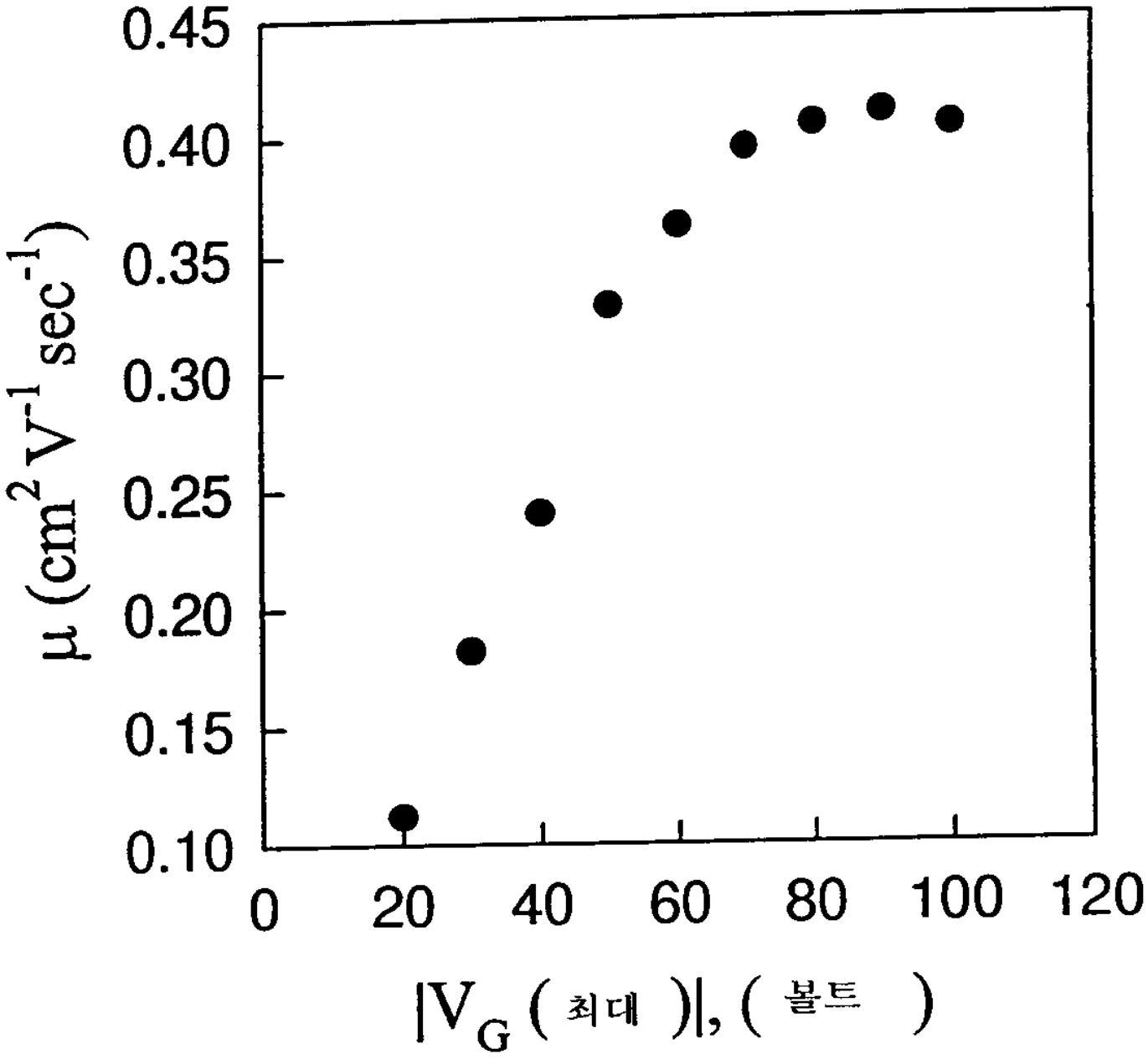
도면 4b



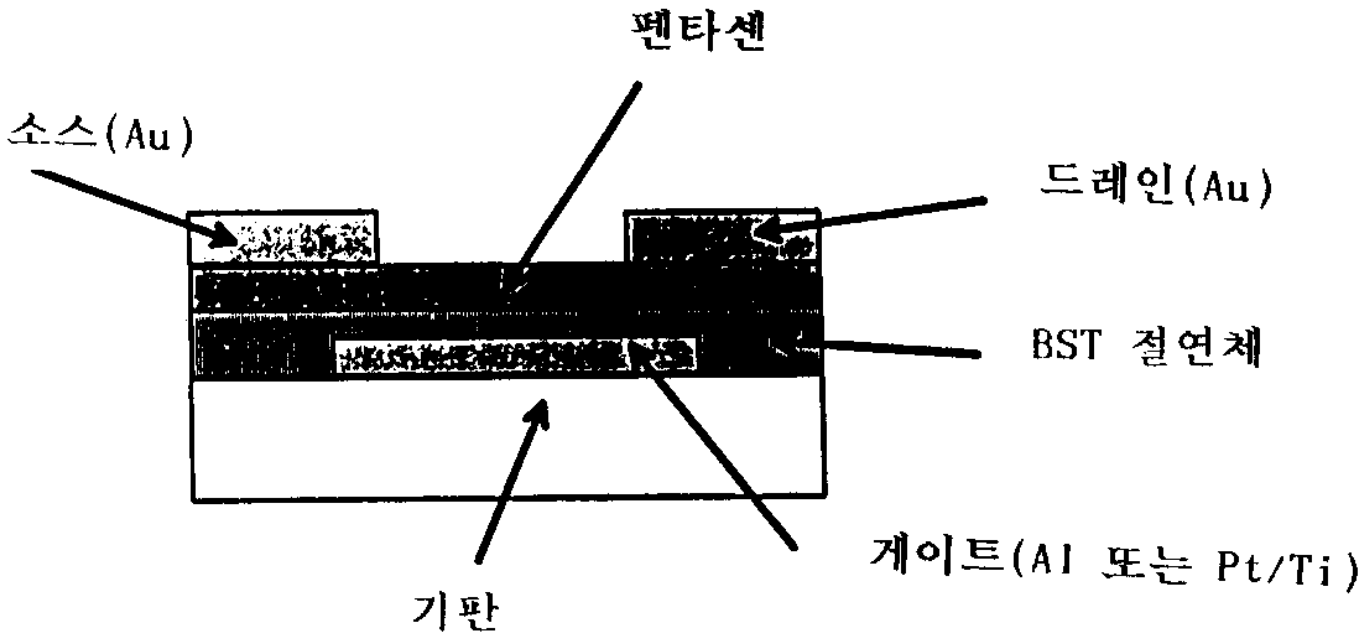
도면 4c


$V_D$=-100 V
$(-I_D)^{1/2}$ $(A^{1/2})$
0.009
0.008
0.007
0.006
0.005
0.004
0.003
0.002
0.001
0.000
0
-20
-40
-60
-80
-100
$V_G$ (V)

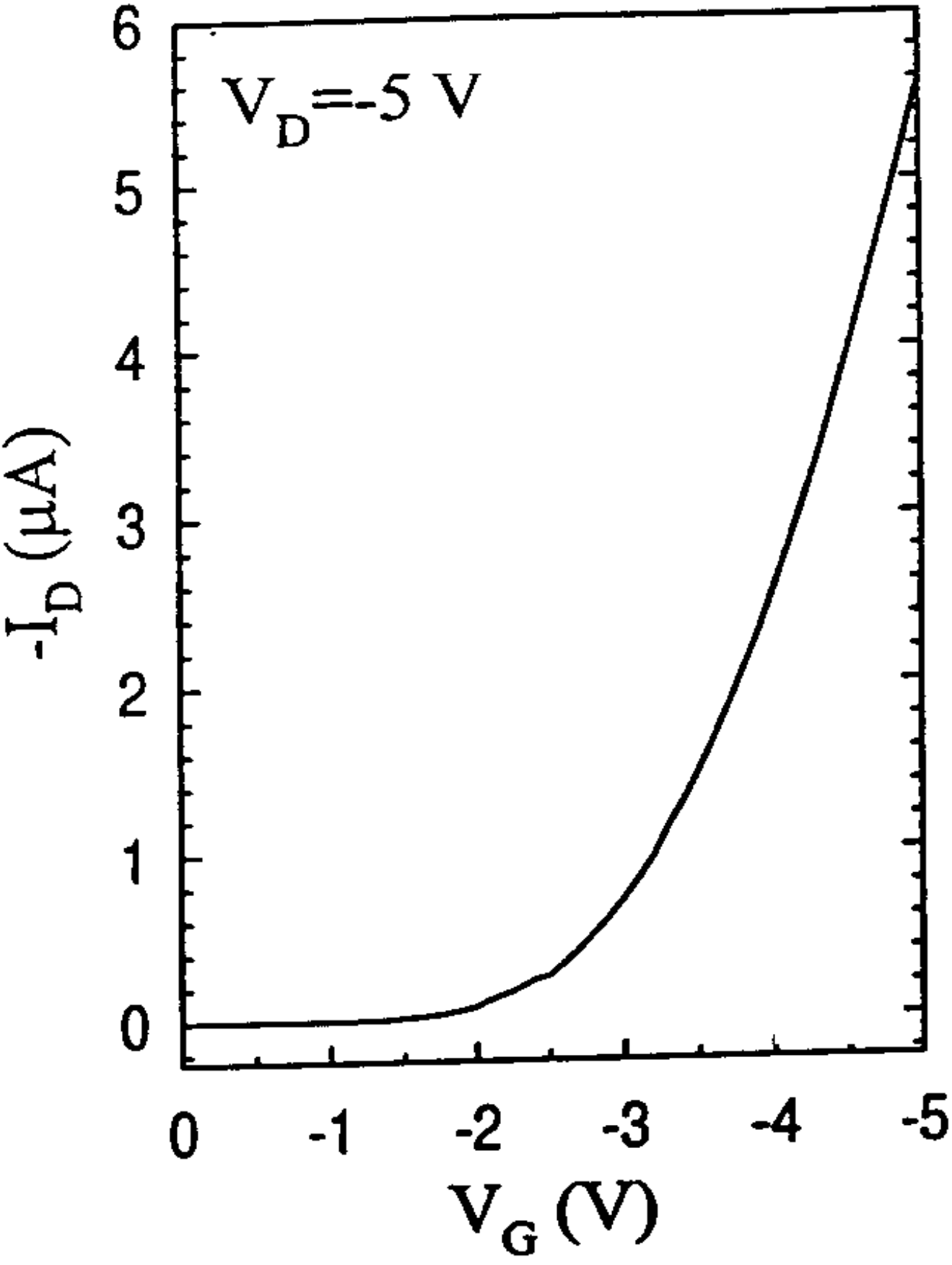
도면 5


0.45
0.40
0.35
0.30
0.25
0.20
0.15
0.10
μ (cm² V⁻¹ sec⁻¹)
0
20
40
60
80
100
120
|V_G (최대)|, (볼트)

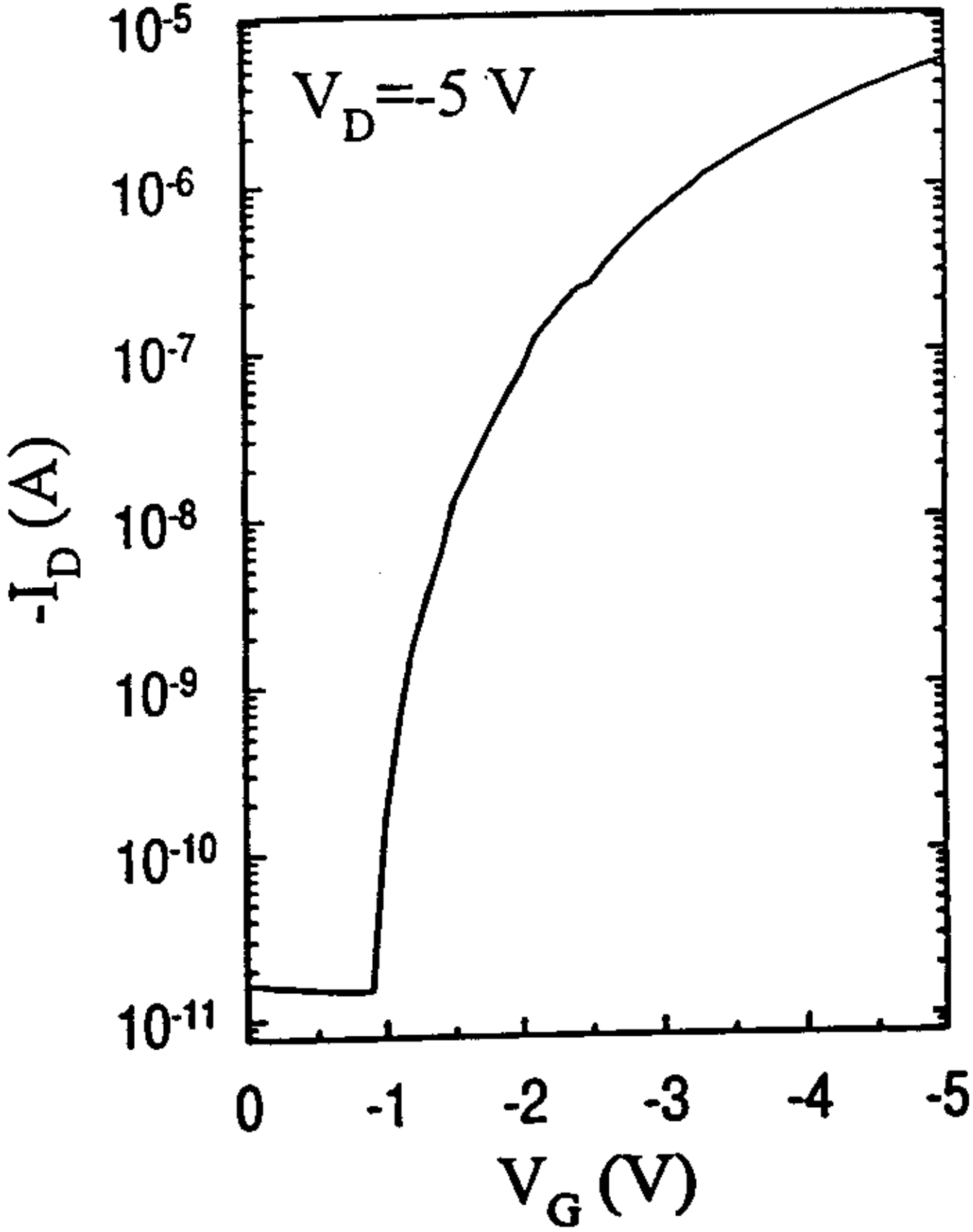
도면 6



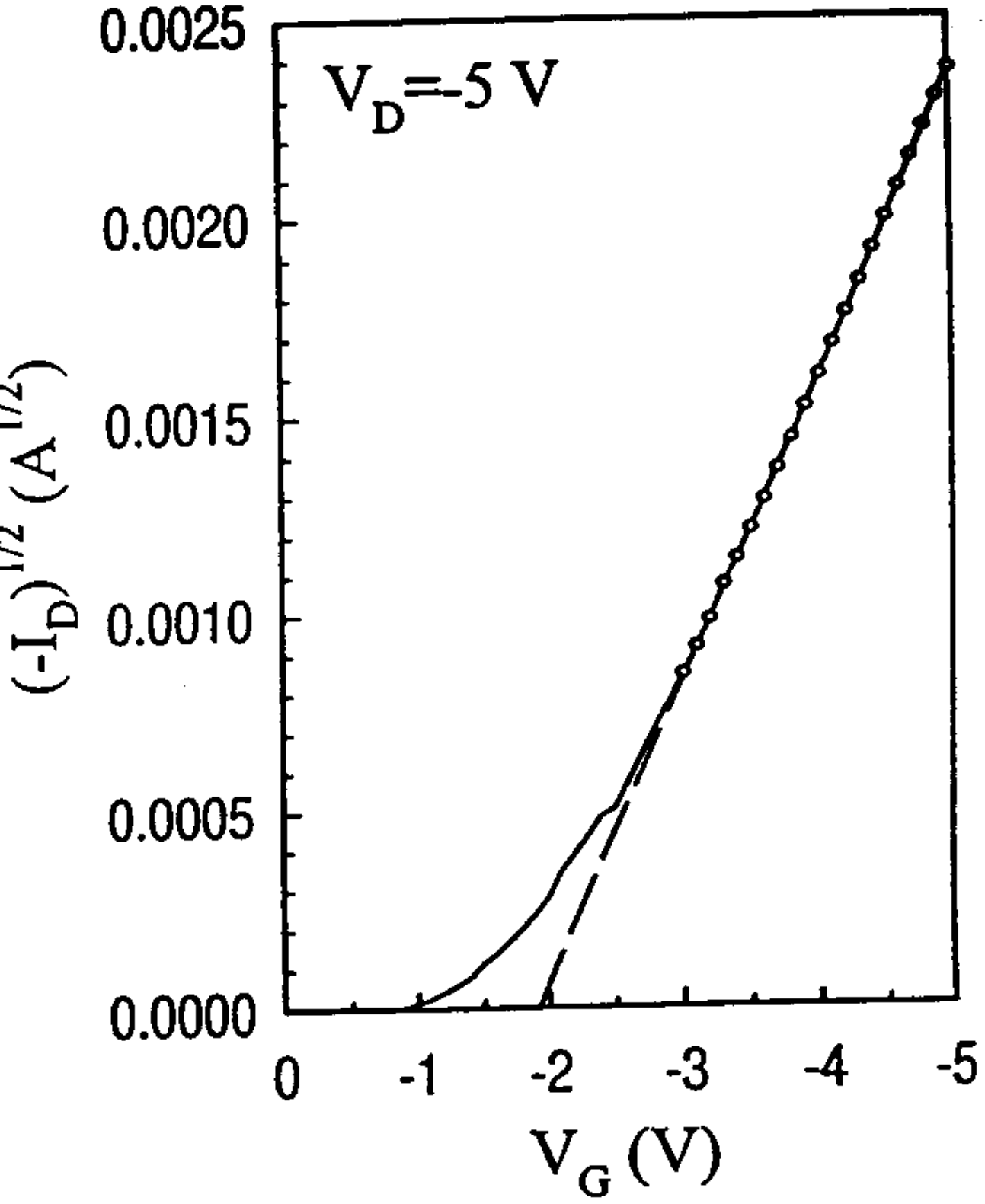
도면 7a



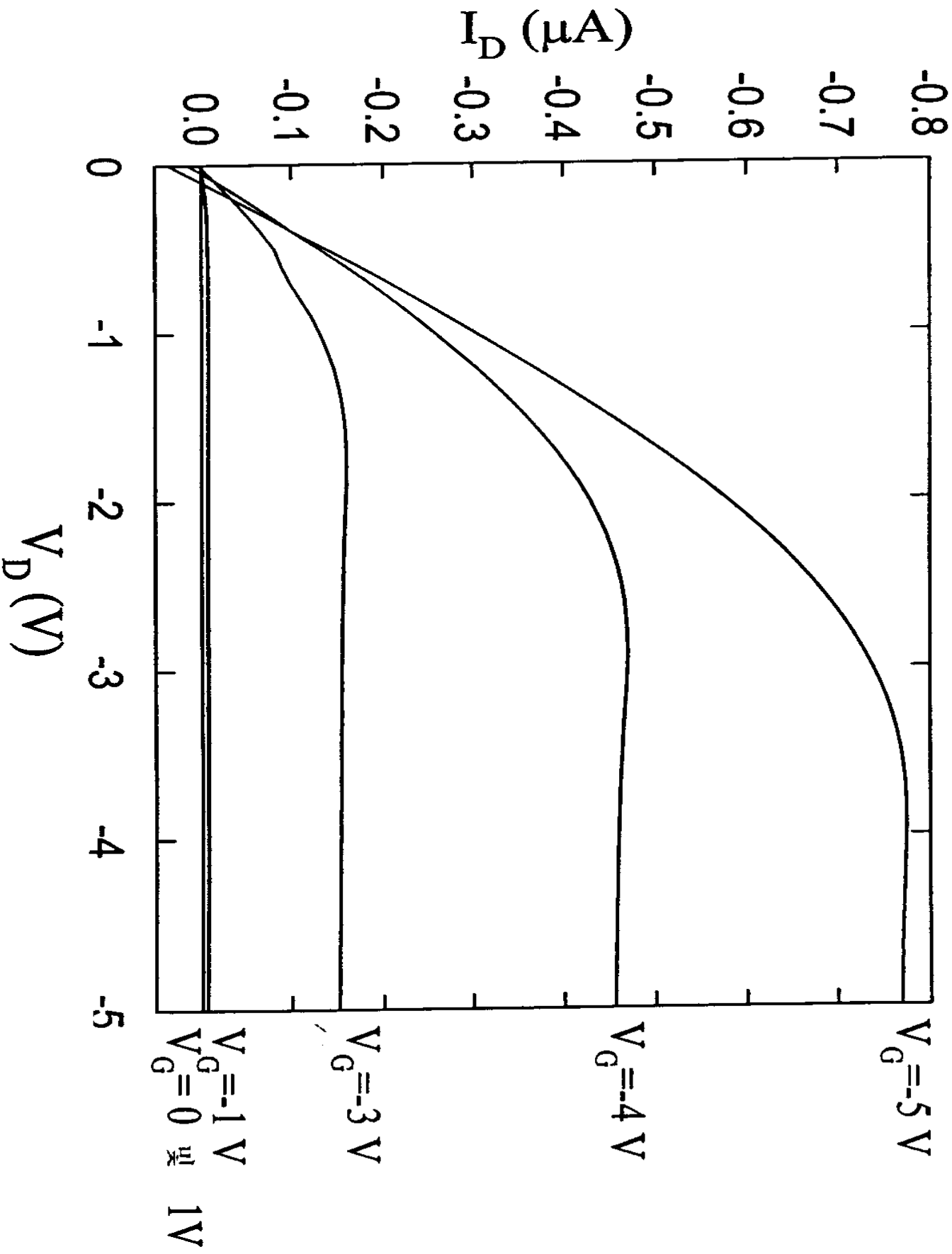
도면 7b



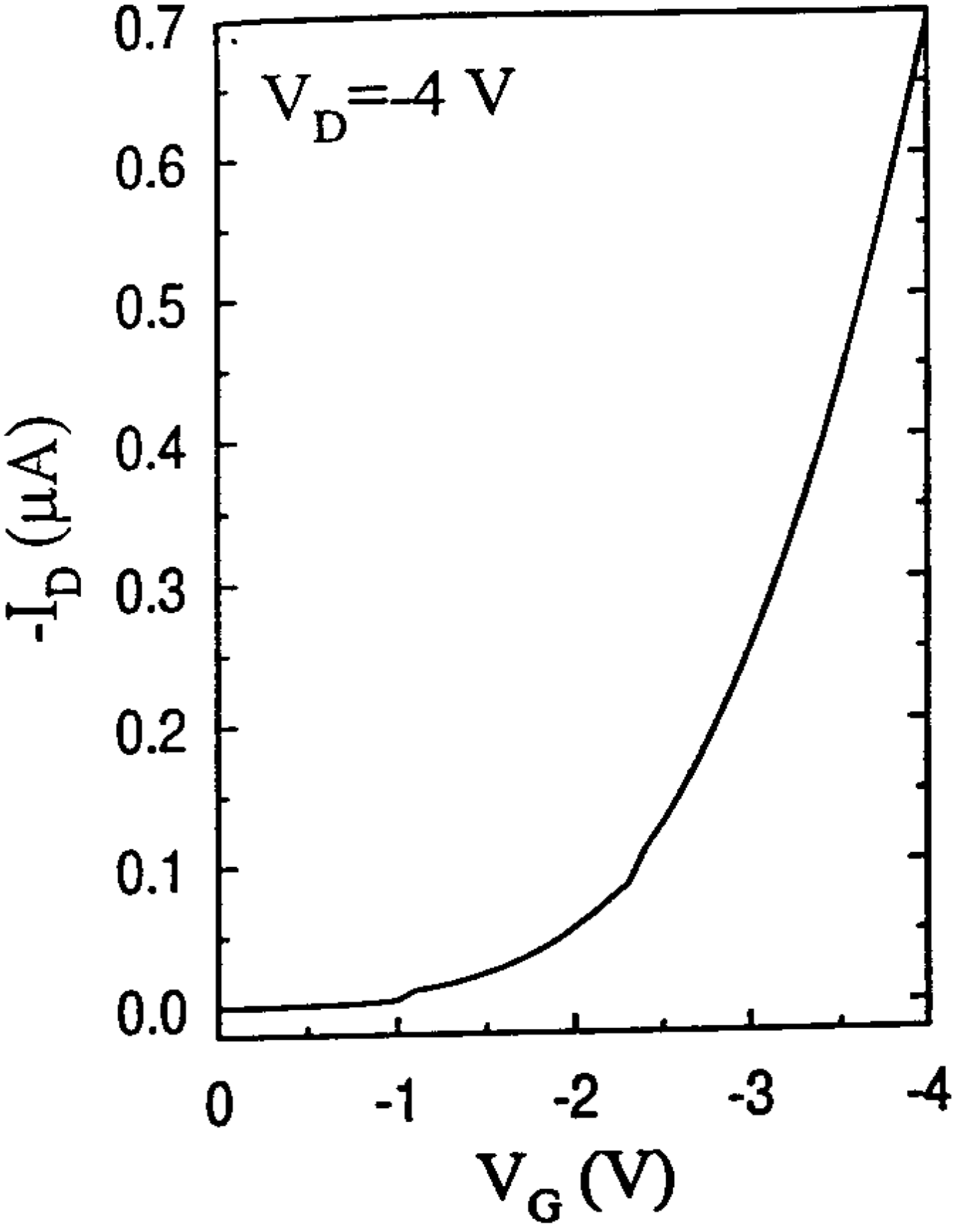
도면 7c


0.0025
0.0020
0.0015
0.0010
0.0005
0.0000
$V_D$=-5 V
$(-I_D)^{1/2}$ $(A^{1/2})$
0
-1
-2
-3
-4
-5
$V_G$ (V)

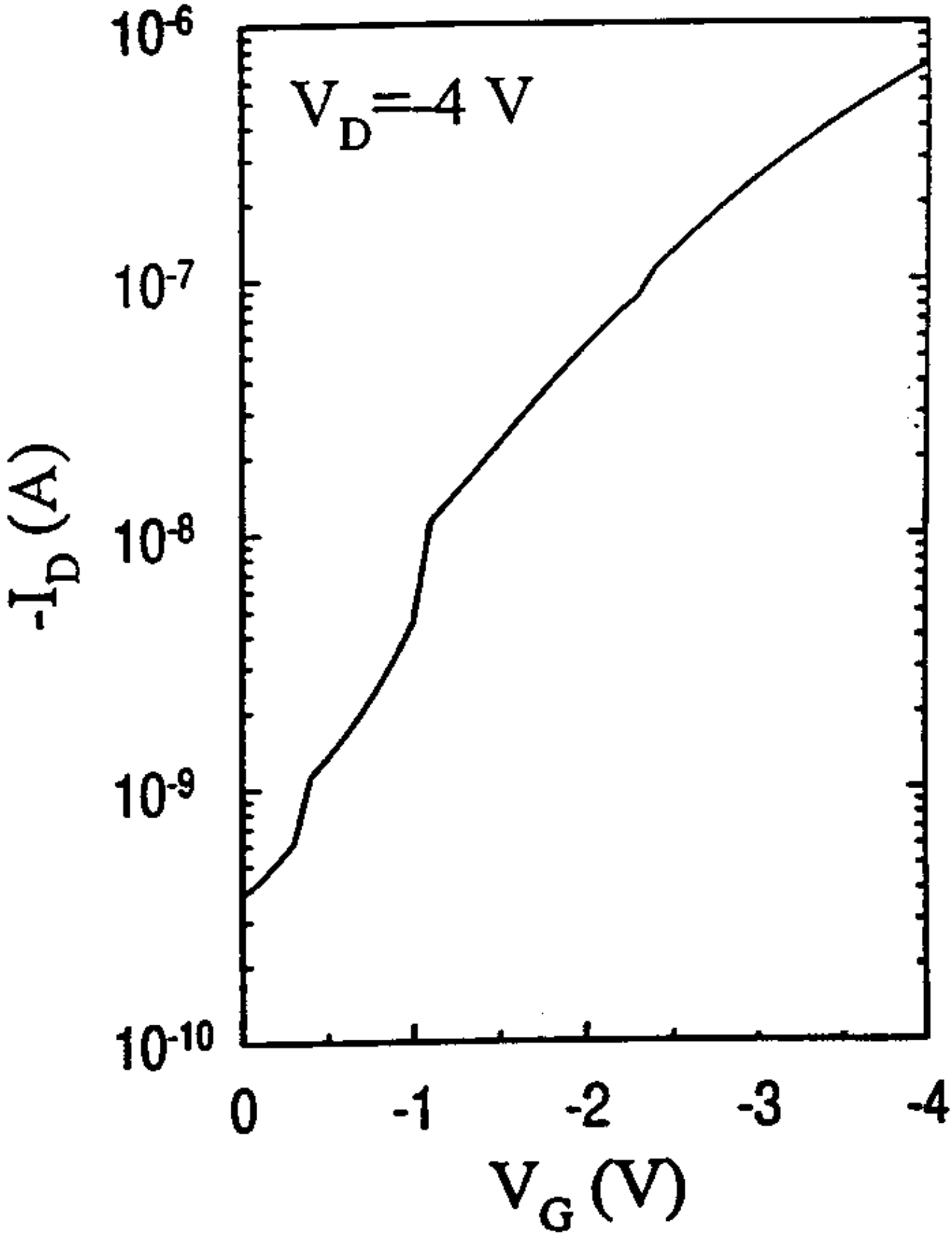
도면 8


$I_D$ (μA)
0.0
-0.1
-0.2
-0.3
-0.4
-0.5
-0.6
-0.7
-0.8
0
-1
-2
-3
-4
-5
$V_D$ (V)
$V_G$=-5 V
$V_G$=-4 V
$V_G$=-3 V
$V_G$=-1 V
$V_G$=0 및 1V

도면 9a



도면 9b



도면 9c