

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5754208号  
(P5754208)

(45) 発行日 平成27年7月29日(2015.7.29)

(24) 登録日 平成27年6月5日(2015.6.5)

(51) Int.Cl. F 1  
G 0 6 T 1 / 6 0 (2006.01) G 0 6 T 1 / 6 0 4 5 0 G

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2011-73674 (P2011-73674)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成23年3月29日 (2011.3.29)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2012-208721 (P2012-208721A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成24年10月25日 (2012.10.25)	(74) 代理人	100146776 弁理士 山口 昭則
審査請求日	平成26年1月8日 (2014.1.8)	(72) 発明者	鶴田 徹 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	金子 宗太郎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 画像処理装置、画像処理システム、及びバンク管理方法

(57) 【特許請求の範囲】

【請求項1】

3つのバンク領域をそれぞれ示す3つのアドレスをそれぞれ格納する第1乃至第3のアドレスレジスタと、  
フラグと、

撮像装置から入力画像を受付けた場合に前記第1のアドレスレジスタと前記第2のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをセットし、前記第1のアドレスレジスタの格納アドレスを入力画像書き込みアドレスとして供給する画像入力バンク管理部と、

前記フラグがセット状態の場合、画像処理部による処理対象の画像が切り替わるタイミングで前記第2のアドレスレジスタと前記第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをリセットし、前記第3のアドレスレジスタの格納アドレスを処理画像読み出しアドレスとして供給する画像処理バンク管理部と、  
を含むことを特徴とする画像処理装置。

【請求項2】

前記フラグがリセット状態の場合、画像処理バンク管理部は、処理画像切り替わりのタイミングで前記第2のアドレスレジスタと前記第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えないことを特徴とする請求項1記載の画像処理装置。

## 【請求項3】

複数セットの前記第1乃至第3のアドレスレジスタを含み、前記複数セットに対応して複数の入力画像系列が供給され、前記複数の入力画像系列に対して画像処理が実行されることを特徴とする請求項1又は2記載の画像処理装置。

## 【請求項4】

前記複数の入力画像系列における入力画像切り替わりのタイミングは互いに非同期であることを特徴とする請求項3記載の画像処理装置。

## 【請求項5】

画像を取り込む撮像装置と、  
前記撮像装置から入力画像を受け取り処理する画像処理装置と、  
前記画像処理装置により処理された画像を表示する表示装置と  
を含み、前記画像処理装置は、

3つのバンク領域をそれぞれ示す3つのアドレスをそれぞれ格納する第1乃至第3のアドレスレジスタと、

フラグと、

撮像装置から入力画像を受付けた場合に前記第1のアドレスレジスタと前記第2のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをセットし、前記第1のアドレスレジスタの格納アドレスを入力画像書き込みアドレスとして供給する画像入力バンク管理部と、

前記フラグがセット状態の場合、画像処理部による処理対象の画像が切り替わるタイミングで前記第2のアドレスレジスタと前記第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをリセットし、前記第3のアドレスレジスタの格納アドレスを処理画像読み出しアドレスとして供給する画像処理バンク管理部と、

前記処理画像読み出しアドレスから読み出した画像を処理する画像処理部とを含むことを特徴とする画像処理システム。

## 【請求項6】

前記フラグがリセット状態の場合、画像処理バンク管理部は、処理画像切り替わりのタイミングで前記第2のアドレスレジスタと前記第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えないことを特徴とする請求項5記載の画像処理システム。

## 【請求項7】

撮像装置から入力画像を受付けた場合に第1のアドレスレジスタと第2のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替え、

前記入力画像を受付けた場合にフラグをセットし、

前記第1のアドレスレジスタの格納アドレスが示すバンクに入力画像を書き込み、

前記フラグがセット状態の場合、画像処理部による処理対象の画像が切り替わるタイミングで前記第2のアドレスレジスタと第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをリセットし、

前記第3のアドレスレジスタの格納アドレスが示すバンクから画像処理に供する画像を読み出す

各段階を含むことを特徴とするバンク管理方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本願開示は、一般に画像処理及びメモリ管理に関し、詳しくはバンクを用いた画像処理及びメモリ管理に関する。

## 【背景技術】

## 【0002】

カメラシステムでは、撮像装置により撮像した一連の画像データを画像処理装置により

10

20

30

40

50

処理し、処理後の一連の画像を表示装置に順次表示する。画像処理装置の動作タイミングに応じて画像処理するためには、入力画像データの1フレーム分を画像処理装置のメモリに格納完了してから、この格納データに対して画像処理を実行し、処理が完了するまで格納データをメモリに保持することになる。

【0003】

画像処理の実行中にも、次の画像データが撮像装置から入力される。現在処理中の画像データを破壊しないためには、画像を格納する複数のメモリ空間(バンク)を準備し、入力される1フレームの画像データを1つのバンクに格納完了すると、次のフレームの画像データを別のバンクに格納する。この際の格納先バンクの切り替えは、格納先バンクの管理アドレス(例えば、1フレーム分のメモリ空間の先頭アドレス)を入れ替えることにより実現される。

10

【0004】

多くのカメラシステムでは、撮像装置と画像処理装置との動作開始タイミングは同期していない。通常、撮像装置用の発振器と画像処理装置用の発振器とは別個の独立したものであり、設計仕様上の発振周波数が同一であっても、実際の動作タイミングは誤差のために完全には一致しない。また撮像装置と画像処理装置とを同期させるためには、同期のための通信制御やPLL(Phase-locked loop)などの仕組みが必要となり、コスト面で問題がある。従って、撮像装置と画像処理装置とが同期していなくても実用上問題とならないようにシステムを設計することが求められる。以降の説明において、撮像装置と画像処理装置との動作開始タイミングは互いにずれているものとする。

20

【0005】

撮像装置と画像処理装置とで動作周期が同一な場合は、最小構成においては3つのバンクが用いられる。これら3つのバンクは、画像入力用の1つのバンクと、処理対象用の2つのバンクである。撮像装置の動作開始タイミングに合わせて、処理対象用の2バンクのうち時間的に古い画像を格納しているバンクと、画像入力用のバンクとを切り替える。一方、画像処理動作の開始タイミングでは、処理対象用の2つのバンクのうち新しい画像が格納されているバンクに対して、画像処理を開始する。処理対象用のバンクは2フレーム期間に亘り同一のデータを保持しているため、1フレーム期間で処理が完了する画像処理であれば、撮像装置と画像処理装置との間にある程度のタイミング差があっても、一連の撮像画像データを破壊することなく処理できる。

30

【0006】

撮像装置と画像処理装置とで動作周期が異なる場合、例えば、画像処理装置の動作周期が撮像装置の動作周期の2分の1である場合、最小構成で4つのバンクが用いられる。これら4つのバンクは、画像入力用の1つのバンク、及び、処理対象用の3つのバンクである。撮像装置の動作開始タイミングに合わせて、処理対象用の3バンクのうち時間的に最も古い画像を格納しているバンクと、画像入力用のバンクとを切り替える。一方、画像処理動作の開始タイミングでは、処理対象用の3つのバンクのうち最も新しい画像が格納されているバンクに対して、画像処理を開始する。なお同時に2つの画像処理が、開始タイミングをずらして並列に実行されるものとする。処理対象用のバンクは3フレーム期間に亘り同一のデータを保持しているため、2フレーム期間で処理が完了する画像処理であれば、撮像装置と画像処理装置との間にある程度のタイミング差があっても、一連の撮像画像データを破壊することなく処理できる。

40

【0007】

このように、処理対象の画像データを破壊することなく連続フレームの画像の入力及び処理を可能とするためには、撮像装置と画像処理装置との動作周期及び動作開始タイミングの関係に依存して、画像処理装置に備えるバンクの最適数が決まってくる。しかし画像処理装置のバンク切り替えの管理は、撮像装置の動作タイミングに応じてバンクを切り替えるために、通常はハードウェアとして実現される。ハードウェアであるため、バンク数を可変としてバンク管理するシステムを設計及び実現し、様々な動作周期及び動作開始タイミングに対応することは困難である。また固定のバンク数でバンク管理するように設

50

計したとしても、様々な動作周期及び動作開始タイミングに適切に対応可能なシステムを実現することは難しい。

【0008】

なお特許文献1には、2つのバッファメモリを交互に入れ替えてデータの読み取り及び転送を同時に行なう方法が開示されている。また引用文献2には、2個以上の物理バンクをフレームメモリ内に確保し、これら物理バンクを対象として、画像データの書き込み及び表示用としての画像データの読み出しを行なうことが開示されている。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平8-214131号公報

【特許文献2】特開平10-322643号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

以上を鑑みると、様々な動作周期及び動作開始タイミングに適切に対応できるようにバンク管理を行なう画像処理装置、画像処理システム、及びバンク管理方法が望まれる。

【課題を解決するための手段】

【0011】

画像処理装置は、3つのバンク領域をそれぞれ示す3つのアドレスをそれぞれ格納する第1乃至第3のアドレスレジスタと、フラグと、撮像装置から入力画像を受付けた場合に前記第1のアドレスレジスタと前記第2のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをセットし、前記第1のアドレスレジスタの格納アドレスを入力画像書き込みアドレスとして供給する画像入力バンク管理部と、前記フラグがセット状態の場合、画像処理部による処理対象の画像が切り替わるタイミングで前記第2のアドレスレジスタと前記第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをリセットし、前記第3のアドレスレジスタの格納アドレスを処理画像読み出しアドレスとして供給する画像処理バンク管理部とを含むことを特徴とする。

【0012】

画像処理システムは、画像を取り込む撮像装置と、前記撮像装置から入力画像を受け取り処理する画像処理装置と、前記画像処理装置により処理された画像を表示する表示装置とを含み、前記画像処理装置は、3つのバンク領域をそれぞれ示す3つのアドレスをそれぞれ格納する第1乃至第3のアドレスレジスタと、フラグと、撮像装置から入力画像を受付けた場合に前記第1のアドレスレジスタと前記第2のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをセットし、前記第1のアドレスレジスタの格納アドレスを入力画像書き込みアドレスとして供給する画像入力バンク管理部と、前記フラグがセット状態の場合、画像処理部による処理対象の画像が切り替わるタイミングで前記第2のアドレスレジスタと前記第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替えるとともに前記フラグをリセットし、前記第3のアドレスレジスタの格納アドレスを処理画像読み出しアドレスとして供給する画像処理バンク管理部と、前記処理画像読み出しアドレスから読み出した画像を処理する画像処理部とを含むことを特徴とする。

【0013】

バンク管理方法は、撮像装置から入力画像を受付けた場合に第1のアドレスレジスタと第2のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替え、前記入力画像を受付けた場合にフラグをセットし、前記第1のアドレスレジスタの格納アドレスが示すバンクに入力画像を書き込み、前記フラグがセット状態の場合、画像処理部による処理対象の画像が切り替わるタイミングで前記第2のアドレスレジスタと第3のアドレスレジスタとの間でアドレスレジスタと格納アドレスとの対応関係を入れ替える

10

20

30

40

50

とともに前記フラグをリセットし、前記第3のアドレスレジスタの格納アドレスが示すバンクから画像処理に供する画像を読み出す各段階を含むことを特徴とする。

【発明の効果】

【0014】

本願開示の少なくとも1つの実施例によれば、様々な動作周期及び動作開始タイミングに適切に対応できるようにバンク管理を行なう画像処理装置、画像処理システム、及びバンク管理方法を提供できる。

【図面の簡単な説明】

【0015】

【図1】画像処理システムの構成の一例を示す図である。

10

【図2】バンク管理部の機能構成と動作を示す図である。

【図3】画像処理装置の詳細な構成を示す図である。

【図4】アドレスレジスタ間で格納アドレスの交換を行なう構成の一例を示す図である。

【図5】図4の回路の動作を示す図である。

【図6】画像処理装置の動作の第1の実施例を示す図である。

【図7】画像処理装置の動作の第2の実施例を示す図である。

【図8】画像処理装置の動作の第3の実施例を示す図である。

【図9】画像処理装置の動作の第4の実施例を示す図である。

【図10】画像処理装置の動作の第5の実施例を示す図である。

【図11】画像処理装置の変形例の構成を示す図である。

20

【発明を実施するための形態】

【0016】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0017】

図1は、画像処理システムの構成の一例を示す図である。図1に示す画像処理システムは、撮像装置10、画像処理装置11、及び表示装置12を含む。撮像装置10はビデオカメラ等であり、撮像対象の画像を取り込み、一連の画像系列の画像データを画像処理装置11に供給する。画像処理装置11は、撮像装置10から一連の画像系列の画像データを入力画像として受け取り、所定の画像処理を実行することにより、各画像（各フレーム）を処理する。表示装置12は例えば液晶ディスプレイパネル等であり、画像処理装置11により処理された画像を表示する。

30

【0018】

画像処理装置11は、バンク管理部13、画像処理部14、及びメモリ部15を含む。メモリ部15には少なくとも3つのバンク領域が設けられている。これら3つのバンク領域は、適宜、入力画像を格納するためのバンク領域、次の画像処理の対象となる画像を保持しておくためのバンク領域、及び現在の画像処理の対象である画像を保持するためのバンク領域として用いられる。バンク管理部13が、これら3つのバンク領域をそれぞれ示す3つのアドレスを管理することにより、撮像装置10からの入力画像の書き込み動作と、画像処理部14が処理する対象の画像の読み出し動作とが適切なバンク領域に対して実行される。画像処理部14は、所定の画像処理を実行する。

40

【0019】

なお図1及び以降の図において、各ボックスで示される各機能ブロックと他の機能ブロックとの境界は、基本的には機能的な境界を示すものであり、物理的な位置の分離、電気的な信号の分離、制御論理的な分離等に対応するとは限らない。ハードウェアの場合、各機能ブロックは、他のブロックと物理的にある程度分離された1つのハードウェアモジュールであってもよいし、或いは他のブロックと物理的に一体となったハードウェアモジュール中の1つの機能を示したものであってもよい。ソフトウェアの場合、各機能ブロックは、他のブロックと論理的にある程度分離された1つのソフトウェアモジュールであってもよいし、或いは他のブロックと論理的に一体となったソフトモジュール中の1つの機能を示したものであってもよい。

50

## 【 0 0 2 0 】

図2は、バンク管理部13の機能構成と動作を示す図である。バンク管理部13は、画像入力バンク管理部21及び画像処理バンク管理部22を含む。またバンク管理部13には、画像入力用バンク管理アドレスレジスタ23、処理対象用バンク管理アドレスレジスタ24、ワークメモリ管理アドレスレジスタ25、及び処理対象用バンク有効フラグ26が設けられている。図2に示されるように、画像入力バンク管理部21が画像入力用バンク管理アドレス23、処理対象用バンク管理アドレス24、及び処理対象用バンク有効フラグ26を含み、画像処理バンク管理部22がワークメモリ管理アドレス25を含んでよい。或いは、画像入力バンク管理部21及び画像処理バンク管理部22とは別個に、各アドレスレジスタ23乃至25とフラグ26とが設けられていてもよい。この場合、画像入力バンク管理部21及び画像処理バンク管理部22は、各アドレスレジスタとフラグとを制御する制御機能の部分に相当する。

10

## 【 0 0 2 1 】

画像入力用バンク管理アドレスレジスタ23、処理対象用バンク管理アドレスレジスタ24、及びワークメモリ管理アドレスレジスタ25は、図1のメモリ部15中の3つのバンク領域をそれぞれ示す3つのアドレスをそれぞれ格納する。画像入力用バンク管理アドレスレジスタ23に格納されているアドレスが、画像入力用バンクを指し示すアドレスである。処理対象用バンク管理アドレスレジスタ24に格納されているアドレスが、次の画像処理の対象となるバンクを指し示すアドレスである。ワークメモリ管理アドレスレジスタ25に格納されているアドレスが、現在の画像処理の対象であるバンクを指し示すアドレスである。

20

## 【 0 0 2 2 】

例えば画像入力用バンク管理アドレスレジスタ23は、物理的な1つのレジスタやメモリ領域であってよいが、常に同一のレジスタやメモリ領域である必要はない。処理対象用バンク管理アドレスレジスタ24及びワークメモリ管理アドレスレジスタ25についても同様である。後程説明するように、例えば、画像入力用バンク管理アドレスレジスタ23と処理対象用バンク管理アドレスレジスタ24との間でアドレスレジスタと格納アドレスとの対応関係を入れ替える処理が行なわれる。この場合、レジスタ間で格納アドレスを交換してもよいし、或いは、格納アドレスはそのままレジスタの機能を交換してもよい。例えば、画像入力用バンク管理アドレスレジスタ23である第1のレジスタにアドレス0×100が格納されており、処理対象用バンク管理アドレスレジスタ24である第2のレジスタにアドレス0×200が格納されているとする。この場合、アドレスレジスタと格納アドレスとの対応関係を入れ替えるためには、第1のレジスタにアドレス0×200を格納し、第2のレジスタに0×100を格納するように、格納アドレスをレジスタ間で交換してよい。或いは、0×100を格納したままの第1のレジスタを処理対象用バンク管理アドレスレジスタ24として用い、0×200を格納したままの第2のレジスタを画像入力用バンク管理アドレスレジスタ23として用いるとして、レジスタの機能のみを交換してもよい。

30

## 【 0 0 2 3 】

画像入力バンク管理部21は、入力画像切り替わりのタイミングで、画像入力用バンク管理アドレスレジスタ23と処理対象用バンク管理アドレスレジスタ24との間でアドレスレジスタと格納アドレスとの対応関係を入れ替える。画像入力バンク管理部21は更に、入力画像切り替わりのタイミングで、処理対象用バンク有効フラグ26をセットする。ここで入力画像切り替わりのタイミングとは、入力画像系列中のある1フレームの画像から次の1フレームに切り替わるタイミングである。例えば撮像装置10から供給される垂直同期信号Vsyncにより、バンク管理部13において、入力画像切り替わりのタイミングを検出すればよい。画像入力バンク管理部21は更に、画像入力用バンク管理アドレスレジスタ23の格納アドレスを、入力画像書き込みアドレスとしてメモリ部15(図1参照)に供給する。これにより、撮像装置10からの1フレーム分の入力画像が、入力画像書き込みアドレスの示すメモリ部15中のバンク領域に書き込まれる。

40

50

## 【 0 0 2 4 】

画像処理バンク管理部 2 2 は、有効フラグ 2 6 がセット状態の場合、処理画像切り替わりのタイミングで、処理対象用バンク管理アドレスレジスタ 2 4 とワークメモリ管理アドレスレジスタ 2 5 との間でアドレスレジスタと格納アドレスとの対応関係を入れ替える。画像処理バンク管理部 2 2 は更に、処理画像切り替わりのタイミングで、処理対象用バンク有効フラグ 2 6 をリセットする。ここで処理画像切り替わりのタイミングとは、画像処理部 1 4 ( 図 1 参照 ) が処理しているフレームが、一連の画像系列中のあるフレームから次のフレームに切り替わるタイミングである。例えば画像処理部 1 4 が 1 枚の画像の処理を完了する度に切り替え信号を送出する場合、バンク管理部 1 3 において、この切り替え信号により処理画像切り替わりのタイミングを検出すればよい。画像処理バンク管理部 2 2 は更に、ワークメモリ管理アドレスレジスタ 2 5 の格納アドレスを、処理画像読み出しアドレスとして画像処理部 1 4 に供給する。これにより、画像処理部 1 4 が、処理画像読み出しアドレスの示すメモリ部 1 5 中のバンク領域から 1 フレーム分の画像データを読み出して、所定の画像処理を読み出した画像に対して実行する。

10

## 【 0 0 2 5 】

画像処理バンク管理部 2 2 は、有効フラグ 2 6 がリセット状態の場合、処理画像切り替わりのタイミングで処理対象用バンク管理アドレスレジスタ 2 4 とワークメモリ管理アドレスレジスタ 2 5 との間でアドレスレジスタと格納アドレスとの対応関係を入れ替えない。この場合、処理画像切り替わりタイミングの前後において、ワークメモリ管理アドレスレジスタ 2 5 には同一のアドレスが格納されていることになる。画像処理部 1 4 が、この同一のアドレスが示す同一のバンク領域の画像データを繰り返し画像処理するか否かは、設計事項である。繰り返し画像処理してもよいし、或いは、2 回目以降の画像処理を行わないようにしてもよい。

20

## 【 0 0 2 6 】

処理対象用バンク有効フラグ 2 6 は、処理対象用バンク管理アドレスレジスタ 2 4 の格納アドレスの示すバッファ領域の画像データが画像処理部 1 4 に既に読み出されたか否かを示すフラグである。フラグがセット状態 ( O N 状態 ) にあると、上記バッファ領域に書き込まれた画像データがまだ画像処理部 1 4 により処理されていない画像データ ( 読み出されていない画像データ ) であることを示す。またフラグがリセット状態 ( O F F 状態 ) にあると、上記バッファ領域に書き込まれた画像データが既に画像処理部 1 4 により処理された画像データ ( 読み出された画像データ ) であることを示す。前述のように、画像入力バンク管理部 2 1 が、入力画像切り替わりのタイミングで処理対象用バンク有効フラグ 2 6 をセットし、画像処理バンク管理部 2 2 が、処理画像切り替わりのタイミングで処理対象用バンク有効フラグ 2 6 をリセットする。

30

## 【 0 0 2 7 】

図 3 は、画像処理装置 1 1 の詳細な構成を示す図である。図 3 において図 1 及び 2 と同一の構成要素は同一の番号で参照し、その説明は適宜省略する。図 3 に示す画像処理装置 1 1 では、撮像装置 1 0 からの垂直同期信号  $V_{sync}$  が画像入力バンク管理部 2 1 に供給され、更に処理対象用バンク有効フラグ 2 6 に供給される。垂直同期信号  $V_{sync}$  がアサートされるタイミングで、処理対象用バンク有効フラグ 2 6 がセット ( O N ) される。また画像処理部 1 4 からの切り替え信号  $Image\_pulse$  が画像入力バンク管理部 2 1 に供給され、更に処理対象用バンク有効フラグ 2 6 に供給される。切り替え信号  $Image\_pulse$  がアサートされるタイミングで、処理対象用バンク有効フラグ 2 6 がリセット ( O F F ) される。

40

## 【 0 0 2 8 】

垂直同期信号  $V_{sync}$  がアサートされるタイミングで、画像入力バンク管理部 2 1 が、画像入力用バンク管理アドレスレジスタ 2 3 と処理対象用バンク管理アドレスレジスタ 2 4 との間でアドレスレジスタと格納アドレスとの対応関係を入れ替える。また切り替え信号  $Image\_pulse$  がアサートされるタイミングで、画像処理バンク管理部 2 2 が、処理対象用バンク管理アドレスレジスタ 2 4 とワークメモリ管理アドレスレジスタ 2

50

5 との間でアドレスレジスタと格納アドレスとの対応関係を入れ替える。但し、この処理対象用バンク管理アドレスレジスタ 2 4 とワークメモリ管理アドレスレジスタ 2 5 との間に入れ替え動作は、処理対象用バンク有効フラグ 2 6 がセット状態にあるときにのみ実行されてよい。

【 0 0 2 9 】

画像入力用バンク管理アドレスレジスタ 2 3 の格納アドレスが、画像入力バンク管理部 2 1 の入力アドレス制御部 2 7 に供給される。入力アドレス制御部 2 7 は、画像入力用バンク管理アドレスレジスタ 2 3 から供給されたアドレスを入力画像書き込みアドレスとしてメモリ部 1 5 に供給するとともに、書き込み命令をメモリ部 1 5 へ供給する。これに応じて、メモリ部 1 5 中の入力画像書き込みアドレスが示すバンク領域には、撮像装置 1 0 10  
から供給される入力画像が書き込まれる。

【 0 0 3 0 】

ワークメモリ管理アドレスレジスタ 2 5 の格納アドレスが、処理画像読み出しアドレスとして画像処理部 1 4 に供給される。画像処理部 1 4 は、供給された処理画像読み出しアドレスと読み出し命令とをメモリ部 1 5 に供給する。これに応じて、メモリ部 1 5 中の処理画像読み出しアドレスが示すバンク領域から、画像データが画像処理部 1 4 に読み出される。画像処理部 1 4 は、読み出された画像に対して所定の画像処理を施し、処理後の画像を表示装置 1 2 に供給する。この画像供給タイミングは、表示装置 1 2 からの垂直同期信号  $Vsync$  に同期して行なわれてよい。

【 0 0 3 1 】

図 4 は、アドレスレジスタ間で格納アドレスの交換を行なう構成の一例を示す図である。図 4 には、バンク管理部 1 3 (図 3 参照) における画像入力用バンク管理アドレスレジスタ 2 3、処理対象用バンク管理アドレスレジスタ 2 4、及びワークメモリ管理アドレスレジスタ 2 5 の周辺の回路部分の構成が示される。この回路部分は、フリップフロップ 3 1 乃至 3 3、AND 回路 3 4 乃至 3 6、OR 回路 3 7、セクタ 3 8 及び 3 9、及びインバータ 4 0 を含む。撮像装置 1 0 から供給される垂直同期信号  $Vsync$  は、クロック信号  $fHz$  に同期したフリップフロップ 3 1 及び 3 2 を介して AND 回路 3 4 の一方の入力に供給される。垂直同期信号  $Vsync$  はまた、クロック信号  $fHz$  に同期したフリップフロップ 3 1 乃至 3 3 を介して反転されて AND 回路 3 4 の他方の入力に供給される。これにより AND 回路 3 4 からは、垂直同期信号  $Vsync$  がクロック信号  $fHz$  に同期する 1 パルス幅の信号に変換され、信号  $Vsync\_pulse$  として出力される。この信号  $Vsync\_pulse$  は、画像入力用バンク管理アドレスレジスタ 2 3 に書き込みイネーブル信号  $WE0$  として供給されるとともに、OR 回路 3 7 を介して処理対象用バンク管理アドレスレジスタ 2 4 に書き込みイネーブル信号  $WE1$  として供給される。 20  
30

【 0 0 3 2 】

画像処理部 1 4 (図 3 参照) から供給される切り替え信号  $Image\_pulse$  は、最初からクロック信号  $fHz$  に同期した 1 パルス幅の信号である。切り替え信号  $Image\_pulse$  は、ワークメモリ管理アドレスレジスタ 2 5 に書き込みイネーブル信号  $WE2$  として供給されるとともに、OR 回路 3 7 を介して処理対象用バンク管理アドレスレジスタ 2 4 に書き込みイネーブル信号  $WE1$  として供給される。 40

【 0 0 3 3 】

画像入力用バンク管理アドレスレジスタ 2 3 の出力データ  $DATA0\_out$  は、セクタ 3 9 を介して、処理対象用バンク管理アドレスレジスタ 2 4 に入力データ  $DATA1\_in$  として供給される。処理対象用バンク管理アドレスレジスタ 2 4 の出力データ  $DATA1\_out$  は、セクタ 3 8 を介して、画像入力用バンク管理アドレスレジスタ 2 3 に入力データ  $DATA0\_in$  として供給される。処理対象用バンク管理アドレスレジスタ 2 4 の出力データ  $DATA1\_out$  は、また更に、ワークメモリ管理アドレスレジスタ 2 5 に入力データ  $DATA2\_in$  として供給される。ワークメモリ管理アドレスレジスタ 2 5 の出力データ  $DATA2\_out$  は、セクタ 3 8 を介して、画像入力用バンク管理アドレスレジスタ 2 3 に入力データ  $DATA0\_in$  として供給される。ワークメモ 50



り管理アドレスレジスタ25の出力データDATA2\_\_outは、また更に、セクタ39を介して、処理対象用バンク管理アドレスレジスタ24に入力データDATA1\_\_inとして供給される。

【0034】

図5は、図4の回路の動作を示す図である。信号Vsync\_\_pulseがアサート状態の1になり、切り替え信号Image\_\_pulseがネゲート状態の0である場合が、Aに示される。このときAND回路35(図4参照)の出力であるセクタ38への選択信号SEL0\_\_sが0であり、処理対象用バンク管理アドレスレジスタ24の出力データDATA1\_\_outが選択される。従って、処理対象用バンク管理アドレスレジスタ24の出力データDATA1\_\_outが、画像入力用バンク管理アドレスレジスタ23に入力データDATA0\_\_inとして供給される。このとき書き込みイネーブル信号WE0がアサート状態の1であり、画像入力用バンク管理アドレスレジスタ23にアドレス書き込みが行なわれる。またこのときAND回路36(図4参照)の出力であるセクタ39への選択信号SEL1\_\_sが0であり、画像入力用バンク管理アドレスレジスタ23の出力データDATA0\_\_outが選択される。従って、画像入力用バンク管理アドレスレジスタ23の出力データDATA0\_\_outが、処理対象用バンク管理アドレスレジスタ24に入力データDATA1\_\_inとして供給される。このとき書き込みイネーブル信号WE1がアサート状態の1であり、処理対象用バンク管理アドレスレジスタ24にアドレス書き込みが行なわれる。

【0035】

信号Vsync\_\_pulseがネゲート状態の0であり、切り替え信号Image\_\_pulseがアサート状態の1になる場合が、Bに示される。このときAND回路35(図4参照)の出力0を反転するインバータ40の出力が1であり、AND回路36(図4参照)の出力であるセクタ39への選択信号SEL1\_\_sが1となる。従って、ワークメモリ管理アドレスレジスタ25の出力データDATA2\_\_outが、セクタ39により選択され、処理対象用バンク管理アドレスレジスタ24に入力データDATA1\_\_inとして供給される。このとき書き込みイネーブル信号WE1がアサート状態の1であり、処理対象用バンク管理アドレスレジスタ24にアドレス書き込みが行なわれる。また処理対象用バンク管理アドレスレジスタ24の出力データDATA1\_\_outが、ワークメモリ管理アドレスレジスタ25に入力データDATA2\_\_inとして供給される。このとき書き込みイネーブル信号WE2がアサート状態の1であり、ワークメモリ管理アドレスレジスタ25にアドレス書き込みが行なわれる。

【0036】

信号Vsync\_\_pulseと切り替え信号Image\_\_pulseとが同時にアサート状態の1になる場合が、Cに示される。このときAND回路35(図4参照)の出力であるセクタ38への選択信号SEL0\_\_sが1であり、ワークメモリ管理アドレスレジスタ25の出力データDATA2\_\_outが選択される。従って、ワークメモリ管理アドレスレジスタ25の出力データDATA2\_\_outが、画像入力用バンク管理アドレスレジスタ23に入力データDATA0\_\_inとして供給される。このとき書き込みイネーブル信号WE0がアサート状態の1であり、画像入力用バンク管理アドレスレジスタ23にアドレス書き込みが行なわれる。またこのときAND回路36(図4参照)の出力であるセクタ39への選択信号SEL1\_\_sが0であり、画像入力用バンク管理アドレスレジスタ23の出力データDATA0\_\_outが選択される。従って、画像入力用バンク管理アドレスレジスタ23の出力データDATA0\_\_outが、処理対象用バンク管理アドレスレジスタ24に入力データDATA1\_\_inとして供給される。このとき書き込みイネーブル信号WE1がアサート状態の1であり、処理対象用バンク管理アドレスレジスタ24にアドレス書き込みが行なわれる。また処理対象用バンク管理アドレスレジスタ24の出力データDATA1\_\_outが、ワークメモリ管理アドレスレジスタ25に入力データDATA2\_\_inとして供給される。このとき書き込みイネーブル信号WE2がアサート状態の1であり、ワークメモリ管理アドレスレジスタ25にアドレス書き込みが行なわれ

10

20

30

40

50

る。

【0037】

このように、信号 `Vsync_pulse` と切り替え信号 `Image_pulse` とが同時にアサート状態の1になる場合があっても、適切にアドレスレジスタ間で格納アドレスを入れ替えることができる。即ち、処理対象用バンク管理アドレスレジスタ24の格納アドレスをワークメモリ管理アドレスレジスタ25に移動させ、次の処理対象である画像データを画像処理に供することができる。また画像入力用バンク管理アドレスレジスタ23の格納アドレスを処理対象用バンク管理アドレスレジスタ24に移動させ、入力された画像を次の処理対象として保持しておくことができる。またワークメモリ管理アドレスレジスタ25の格納アドレスを画像入力用バンク管理アドレスレジスタ23に移動させ、処理済みの画像データを格納していたバンク領域に、新たな画像データを書き込むことができる。

10

【0038】

図6は、画像処理装置の動作の第1の実施例を示す図である。この第1の実施例は、撮像装置の入力（カメラ入力）の動作周期と画像処理の動作周期が同じ場合の例である。

【0039】

まず画像入力バンク管理部の動作について説明する。最初に、入力画像のフレーム1が、画像入力用バンクに割り当てられているアドレス `bank_addr1` のバンクに取り込まれる。取り込みが完了し、カメラ入力がフレーム2に切り替わる際、カメラ `Vsync` をトリガとして、画像入力用バンク管理アドレスと処理対象用バンク管理アドレスとでアドレスが入れ替わる。その結果、アドレス `bank_addr2` が画像入力用バンクとなり、アドレス `bank_addr1` が処理対象用バンクになる。また更に、処理対象用バンク有効フラグが有効状態（ON）になる。フレーム2以降の画像入力バンク管理部の動作については、バンクアドレスが異なるだけで、上記と同様にバンクアドレスの入れ替えが繰り返される。

20

【0040】

次に画像処理バンク管理部の動作について説明する。フレーム2がアドレス `bank_addr2` に取り込まれている最中に、画像処理の動作開始となり、処理対象用バンク管理アドレスとワークメモリ管理アドレスのバンクアドレスが入れ替わるとともに、処理対象用バンク有効フラグをOFFにする。これにより、アドレス `bank_addr1` がワークメモリとなり、フレーム1が画像処理の対象となる。フレーム2以降の画像処理バンク管理部の動作については、バンクアドレスが異なるだけで、上記と同様にバンクアドレスの入れ替えが繰り返される。

30

【0041】

このように第1の実施例では、連続フレームに対する画像入力と画像処理とが、3つのバンクを用いて適切に実行される。

【0042】

図7は、画像処理装置の動作の第2の実施例を示す図である。この第2の実施例は、撮像装置の入力（カメラ入力）の動作周期に対して、画像処理の動作周期が2倍の場合の例である。

40

【0043】

画像入力バンク管理部の動作は、上記の第1の実施例の場合の動作と同一である。

【0044】

画像処理バンク管理部の動作も第1の実施例の場合の動作と同様である。しかし画像処理の動作周期が2倍であるために、処理対象用バンクにアドレス `bank_addr2` が割り当てられた状態では、2番目の画像処理動作が開始されない。処理対象用バンクにアドレス `bank_addr3` が割り当てられた状態で、2番目の画像処理動作が開始される。従ってこの動作例では、フレーム1の次にフレーム3が処理され、フレーム2が処理されないことになる。同様に、フレーム4も処理されないことになる。

【0045】

50

このように第2の実施例では、画像処理の動作周期の違いのためにフレームスキップする画像処理が、3つのバンクを用いて適切に実行される。

【0046】

図8は、画像処理装置の動作の第3の実施例を示す図である。この第3の実施例は、撮像装置の入力（カメラ入力）の動作周期に対して、画像処理の動作周期が2分の1倍の場合の例である。

【0047】

画像入力バンク管理部の動作は、前述の第1及び第2の実施例と同一である。

【0048】

画像処理バンク管理部の動作も第1及び第2の実施例の場合の動作と同様である。しかし画像処理の動作周期が2分の1倍であるため、画像入力バンクにアドレスbank\_\_adr2が割り当てられている状態で、2回の画像処理動作が開始される。1回目の画像処理動作で処理対象バンク有効フラグがOFFになるため、2回目の画像処理動作では、処理対象バンク管理アドレスとワークメモリ管理アドレスとの間でバンクアドレスの入れ替えが実行されない。その結果、フレーム1が2回続けて画像処理の対象となる。この例では、フレーム1を2回画像処理しているが、2回目の画像処理を実行するか否かは設計事項である。処理対象がフレーム1のままで変わっていないので、2回目の画像処理動作を実行しなくてもよい。

10

【0049】

このように第3の実施例では、画像処理の動作周期の違いのためにフレームリピートする画像処理が、3つのバンクを用いて適切に実行される。

20

【0050】

図9は、画像処理装置の動作の第4の実施例を示す図である。この第4の実施例は、撮像装置の入力（カメラ入力）の動作周期に対して、画像処理の動作周期が2分の3倍の場合の例である。

【0051】

画像入力バンク管理部の動作は、前述の第1乃至第3の実施例と同一である。

【0052】

画像処理バンク管理部の動作も第1乃至第3の実施例の場合の動作と同様である。しかし画像処理の動作周期が2分の3倍であるため、処理対象バンクにアドレスbank\_\_adr2が割り当てられた状態では、2番目の画像処理動作が開始されない。処理対象バンクにアドレスbank\_\_adr3が割り当てられた状態で、2番目の画像処理動作が開始される。従ってこの動作例では、フレーム1の次にフレーム3が処理され、フレーム2が処理されないことになる。フレーム4については画像処理対象になるが、フレーム5については処理されない。

30

【0053】

このように第4の実施例では、画像処理の動作周期の違いのためにフレームスキップする画像処理が、3つのバンクを用いて適切に実行される。

【0054】

図10は、画像処理装置の動作の第5の実施例を示す図である。この第5の実施例は、第1の実施例と同様に撮像装置の入力の動作周期と画像処理の動作周期とが同一であるが、カメラ入力が4チャンネルある場合を示す。この例では、4つのカメラのVsyncのタイミングがそれぞれ異なっており、それら異なったタイミングで供給される4つの入力画像を、纏めて同一のタイミングで画像処理している。カメラ毎に画像入力バンク管理部と画像処理バンク管理部とを設け、複数のカメラからの複数の入力画像系列に対して互いに独立にバンク管理を行う。そして、画像処理動作のタイミングは複数の入力画像系列に対して同一である。

40

【0055】

各カメラの画像入力バンク管理部は、各カメラのVsyncに同期して動作する。また画像処理は、4つのカメラの画像を同時に処理対象とする。これにより、画像処理の周期

50

に合わせて、複数のカメラからの最新の入力画像を各カメラのワークメモリに割り当てる  
ことが可能となる。

【 0 0 5 6 】

このように第 5 の実施例では、複数チャネルの撮像装置を接続したシステムにおいても、  
連続フレームの画像入力と画像処理とが、3つのバンクを用いて適切に実行される。

【 0 0 5 7 】

図 1 1 は、画像処理装置 1 1 の変形例の構成を示す図である。図 1 1 において、図 3 と  
同一の構成要素は同一の番号で参照し、その説明は適宜省略する。図 1 1 に示す変形例の  
構成は、図 3 に示す構成と比較して、画像処理部 1 4 A にソフト処理部 5 0 が設けられて  
いる点異なる。ソフト処理部 5 0 は、複数のワークメモリ管理アドレスを保持している  
。ソフト処理部 5 0 は、ワークメモリ管理アドレスレジスタ 2 5 の格納アドレスを、自ら  
が保持している複数のワークメモリ管理アドレスの何れか 1 つと適宜入れ替えることが  
できる。これにより、現在の画像処理の対象である画像データを入力画像データで上書きし  
てしまうことなく、そのままメモリ部 1 5 内に保持し続けることが可能となる。

10

【 0 0 5 8 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるもので  
はなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【 符号の説明 】

【 0 0 5 9 】

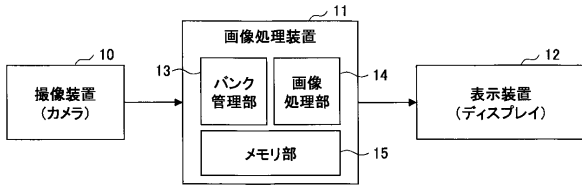
- 1 0 撮像装置
- 1 1 画像処理装置
- 1 2 表示装置
- 1 3 バンク管理部
- 1 4 画像処理部
- 1 5 メモリ部
- 2 1 画像入力バンク管理部
- 2 2 画像処理バンク管理部
- 2 3 画像入力用バンク管理アドレスレジスタ
- 2 4 処理対象用バンク管理アドレスレジスタ
- 2 5 ワークメモリ管理アドレスレジスタ
- 2 6 処理対象用バンク有効フラグ

20

30

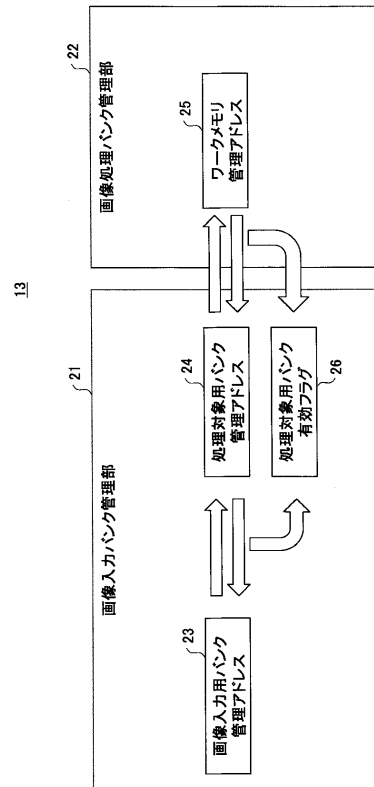
【図1】

画像処理システムの構成の一例を示す図



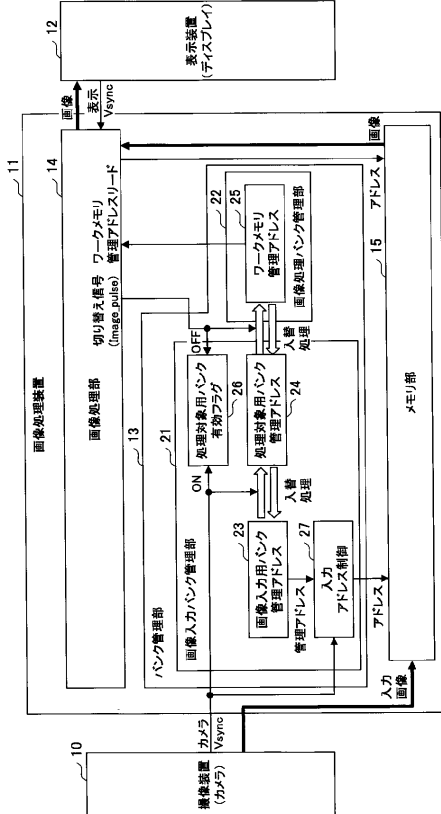
【図2】

バンク管理部の機能構成と動作を示す図



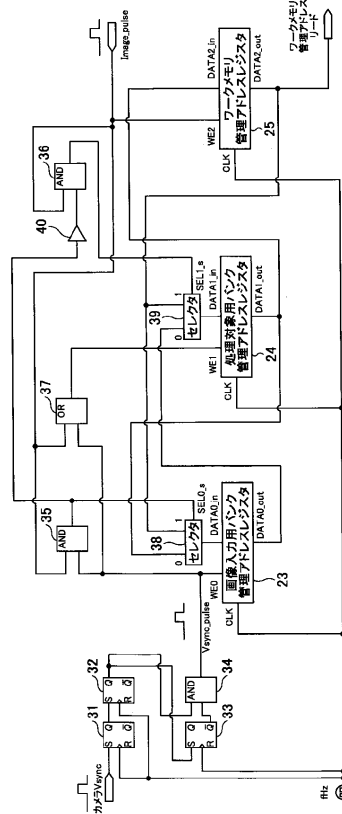
【図3】

画像処理装置の詳細な構成を示す図



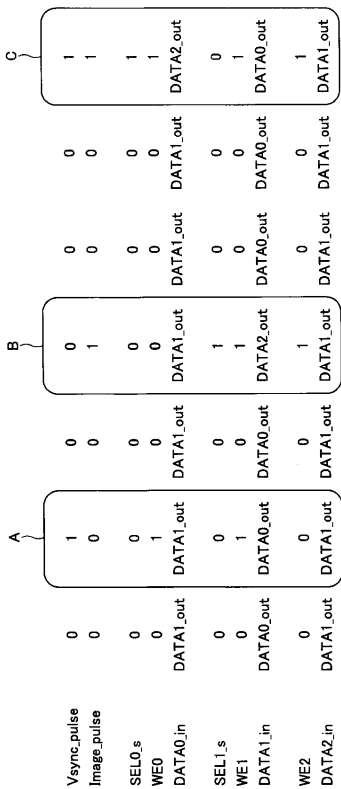
【図4】

アドレスレジスタ間で格納アドレスの交換を行なう構成の一例を示す図



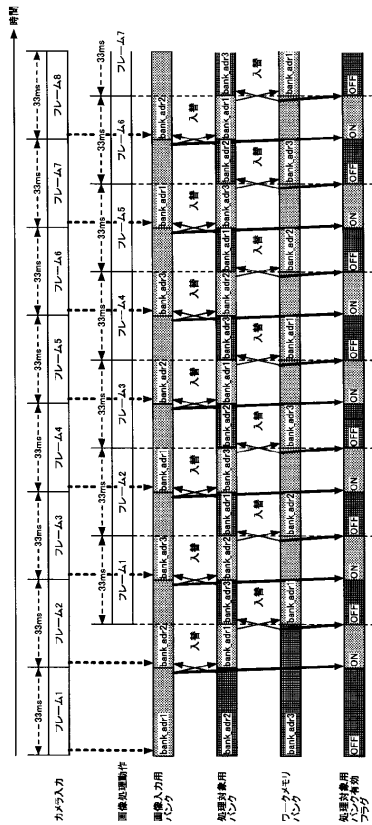
【 図 5 】

図4の回路の動作を示す図



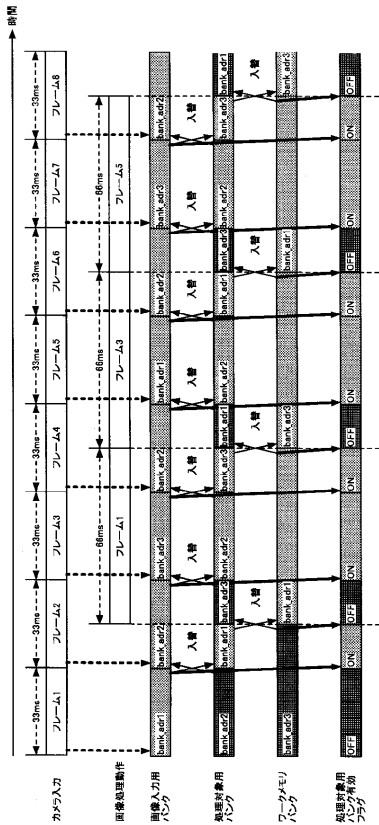
【 図 6 】

画像処理装置の動作の第1の実施例を示す図



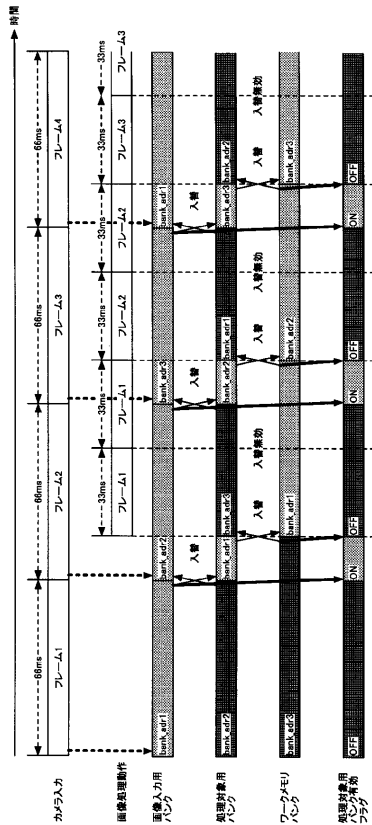
【 図 7 】

画像処理装置の動作の第2の実施例を示す図



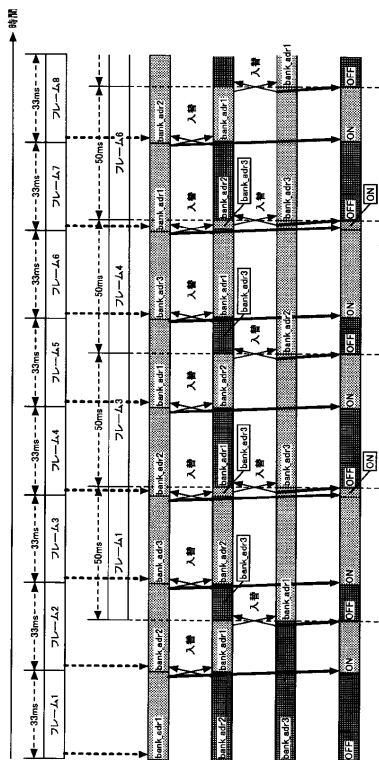
【 図 8 】

画像処理装置の動作の第3の実施例を示す図



【図9】

画像処理装置の動作の第4の実施例を示す図



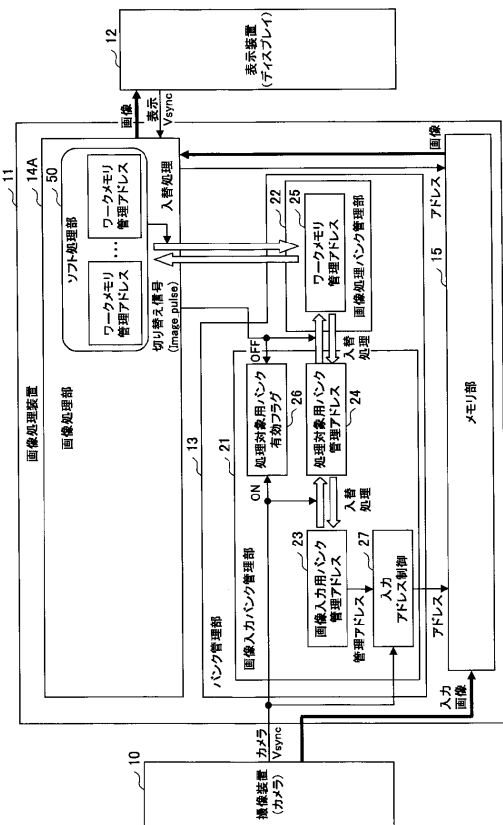
【図10】

画像処理装置の動作の第5の実施例を示す図



【図11】

画像処理装置の変形例の構成を示す図



---

フロントページの続き

審査官 鹿野 博嗣

- (56)参考文献 特開平09 - 319865 (JP, A)  
特開平11 - 053528 (JP, A)  
特開2007 - 172250 (JP, A)  
米国特許出願公開第2003 / 0210338 (US, A1)  
米国特許第05543824 (US, A)

- (58)調査した分野(Int.Cl., DB名)  
G06T 1 / 60