

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H03L 7/08	(45) 공고일자 1999년03월20일	(11) 등록번호 특0162461
(21) 출원번호 특1996-000103	(65) 공개번호 특1997-060708	(24) 등록일자 1998년08월29일
(22) 출원일자 1996년01월05일	(43) 공개일자 1997년08월12일	

(73) 특허권자	엘지전자주식회사 구자홍
(72) 발명자	서울특별시 영등포구 여의도동 20번지 심건 서울특별시 동대문구 답십리5동 482-81 3/2 이형상 경기도 성남시 분당구 이매동 133번지 두산아파트 414동 404호 박병진 인천광역시 부평구 십정1동 216-176 19/6 박장원
(74) 대리인	

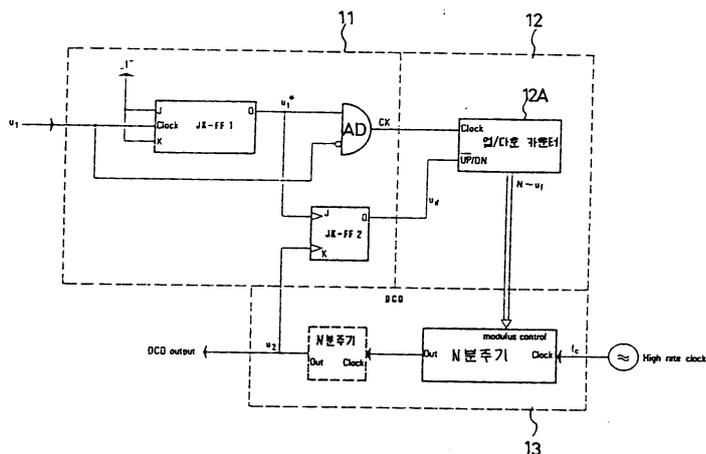
심사관 : 정연용

(54) 저주파수에 적합한 전폭 디지털 피엘엘

요약

본 발명은 데이터 통신에 사용되는 클럭신호의 위상을 맞추는 전폭 디지털 피엘엘(ADPLL)에 관한 것으로, 일반적인 전폭 디지털 피엘엘에 있어서는 하드웨어의 구성이 복잡하고, 외부신호의 변화에 민감하여 불안정한 상태를 유지하고, 더욱이 지터가 발생되어 낮은 주파수의 간단한 ADPLL을 구현하기 어려워 경제성이 떨어지는 결함이 있었는데, 본 발명은 이를 해결하기 위하여, 에지검출기(301)를 통해서 외부로부터 입력되는 데이터(DATAin)의 전이구간을 검출하여 샘플클럭신호(samplef)의 주기에 상응되는 전이감지신호를 생성하고, 분주기(302)를 통해서 고주파클럭신호를 이용하여 각기 다른 다수의 분주신호를 생성하고, 선택신호에 따라 그 중에서 하나의 분주신호를 선정하여 샘플클럭신호(samplef)로 출력하며, 루프필터(303)를 통해서 상기 에지검출기(301)에서 출력되는 전이감지신호와 상기 분주기(302)에서 출력되는 샘플클럭신호(samplef), (sample)를 공급받아 PLL동작을 수행하여 상기 외부입력데이터(DATAin)에 동기된 디지털제어형 클럭신호(DCO)를 생성함으로써 지터발생을 방지하고, 이에 의해 안정된 데이터통신이 가능도록 한 것이다.

대표도



명세서

[발명의 명칭]

저주파수에 적합한 전폭 디지털 피엘엘

[도면의 간단한 설명]

제1도는 일반적인 전폭 디지털 피엘엘의 블록도.

제2도는 제1도 각부의 파형도.

제3도는 본 발명 저주파수에 적합한 전폭 디지털 피엘엘의 블록도.

제4도는 본 발명의한 전폭 디지털 피엘엘의 입출력관계를 보인 설명 블록도.

제5도는 제3도에서 분주기의 일 실시 예를 보인 상세 블록도.

제6도는 제3도에서 예지검출기 및 루프필터의 일 실시 예를 보인 상세 블록도.

제7도는 본 발명에 적용되는 PLL동작회로도.

제8도의 (a) 내지(e)는 본 발명에 의한 입력신호의 전이검출 설명 파형도.

제9도는 본 발명에서의 샘플 분주수에 따른 DCO출력예를 보인 표.

제10도는 본 발명에 의한 DCO출력과 데이터의 위상보상동작을 보인표.

제11도는 입력데이터의 전이 검출에 따른 분주 선택표.

제12도의 (a) 내지 (r)는 본 발명을 설명하기 위한 각부 파형의 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

301 : 예지검출기

302 : 분주기

303 : 루프필터

[발명의 상세한 설명]

본 발명은 데이터 통신에 사용되는 클럭신호의 위상을 맞추는 전폭 디지털 피엘엘(ADPLL: All Digital Phase-Locked Loop)에 관한 것으로, 특히 외부신호의 예지에서 PLL의 동작여부를 즉시 판단하도록 하고, PLL동작의 마진을 두어 지터 발생을 억제하는데 적당하도록한 저주파수에 적합한 전폭 디지털 피엘엘에 관한 것이다.

제1도는 일반적인 전폭 디지털 피엘엘의 블록도로서 이에 도시한 바와 같이, 입력신호(U1)의 위상을 검출하는 위상검출부(11)와, 상기 위상검출부(11)의 출력신호를 필터링하는 루프필터(12)와, 상기 루프필터(12)의 제어를 받아 디지털제어형 클럭신호(DCO: Digital-Controlled Oscillator)를 발생하는 디지털제어형 발진기(13)로 구성된 것으로, 이의 작용을 제2도를 참조하여 설명하면 다음과 같다.

위상검출부(11)는 제2도의(a)와 같은 외부신호(U1)를 공급받아 이를 JK플립플롭(JK-FF1)을 통해 2분주하여 제2도의 (a)와 같은 신호(U1*)를 생성하고, 다른 한편으로는 이 신호(U1*)와 외부신호(U1)를 앤드게이트(AND)를 통해 앤드조합하여 제2도의 (c)와 같은 클럭신호(CK)를 생성해서 이를 루프필터(12)내에 있는 업/다운카운터(12A)의 클럭신호로 공급한다.

또한, 상기 JK플립플롭(JK-FF1)의 출력신호(U1*)와 디지털제어형 발진기(13)의 출력신호(U2)를 JK플립플롭(JK-FF2)의 입력단에 공급하여 이로부터 출력되는 업다운제어신호(Ud)를 상기 업/다운카운터(12A)의 업/다운단자(UP/DN)에 공급하게 된다.

즉, 상기 JK플립플롭(JK-FF2)은 상기 JK플립플롭(JK-FF1)의 출력신호(U1*)와 디지털제어형 발진기(13)의 출력신호(U2)를 비교하여 U1*이 U2보다 앞설 때에는 제2도의 (e)에서와 같이 업다운제어신호(Ud)의 고전위 출력시간을 단축하여 상기 업/다운카운터(12A)의 카운트값이 상승되도록 하고, 반대로 U2가 U1*보다 앞설 때에는 제2도의 (g)에서와 같이 업다운제어신호(Ud)의 고전위 출력시간을 연장시켜 업/다운카운터(12A)의 카운트값이 감소하도록 한다.

이에 따라 디지털제어형 발진기(13)의 N분주기(13A)의 분주값이 조정되어 M분주기(13B)의 출력신호(U2)의 주기가 조정되며, 이와 같은 추종과정에 의해 결국, 상기 JK플립플롭(JK-FF1)의 출력신호(U1*)와 디지털제어형 발진기(13)의 출력신호(U2)의 위상이 서로 동기되어 올바른 통신이 가능하게 된다.

여기서, 상기 N분주기(13A)가 바른 출력을 생성할때까지 상기 업/다운카운터의 출력 N이 조정되는데, N이 정수이므로 N과 N+1 사이에서 지터가 발생된다.

그러나, 이와 같이 일반적인 전폭 디지털 피엘엘에 있어서는 하드웨어의 구성이 복잡하고, 외부신호의 변화에 민감하여 불안정한 상태를 유지하고, 더욱이 지터가 발생되어 낮은 주파수의 간단한 ADPLL을 구현하기 어려워 경제성이 떨어지는 결함이 있었다.

따라서, 본 발명의 목적은 외부신호의 예지에서 PLL의 동작여부를 즉시 판단하고, PLL 동작의 마진을 두어 지터가 발생되지 않도록 하며, 간단하게 외부신호와 통신클럭의 위상을 동기시키는 전폭 디지털 피엘엘을 제공함에 있다.

제3도는 상기의 목적을 달성하기 위한 본 발명 저주파수에 적합한 전폭 디지털 피엘엘의 일 실시 예시 블록도로서 이에 도시한 바와 같이, 외부로부터 입력되는 데이터(DATAin)의 전이구간을 검출하여 샘플클럭신호(samplef)의 주기에 상응되는 전이감지신호를 생성하는 예지검출기(301)와, 고주파클럭신호를 이용하여 각기 다른 다수의 분주신호를 생성하고, 선택신호에 따라 그 중에서 하나의 분주신호를 선정하여 샘플클럭신호(samplef)로 출력하는 분주기(302)와, 상기 예지검출기(301)에서 출력되는 전이감지신호와 상기 분주기(302)에서 출력되는 샘플클럭신호(samplef), (saplee)를 공급받아 PLL동작을 수행하여 상기 입력데이터(DATAin)에 동기된 디지털제어형 클럭신호(DCO)를 생성하는 루프필터(303)로 구성된 것으로, 이와 같이 구성된 본 발명의 작용 및 효과를 첨부한 제4도 내지 제12도를 참조하여 상세히 설명하면 다음과 같다.

본 설명에 앞서, 제8도의 (a) 내지 (e)를 참조하여 본 발명에 의한 피엘엘 기본적인 동작원리를 설명하면, 외부로 부터 입력되는 신호 즉, 입력데이터(DATAin)를 공급받아 루프필터(302)를 통해 디지털 제어형 클럭신호(DCO:TRC)를 발생함에 있어서, 제8도의 (b),(c)에서와 같이 디지털제어형 클럭신호(DCO)가 로우상태에 있을 때 입력데이터(DATAin)의 레벨 전이(transition)가 발생되면 그 디지털제어형 클럭신호(DCO)를 지연시키고, 제8도의 (d),(e)에서와 같이 디지털제어형 클럭신호(DCO)가 하이상태에 있을 때 입력데이터(DATAin)의 레벨 전이가 발생되면 그 디지털제어형 클럭신호(DCO)를 앞당겨 궁극적으로 입력데이터(DATAin)와 디지털 제어형 클럭신호(DCO)가 동기되므로 올바른 통신을 수행할 수 있게 되는 것으로, 이를 위한 각부의 작용을 상세히 설명하면 다음과 같다.

먼저, 분주기(302)의 작용을 설명하면, 제5도 및 제9도에서 보는 바와 같이 디지털제어형 클럭신호(DCO)를 제어신호(TRC CNT)가 상승에지시 Int[2:0]로 세팅할 수 있도록 구성되어 있다. 클리어신호(CL)는 외부의 클럭신호(CLK)의 동기가 필요할 때 로우로 액티브되는 신호이다. 즉, 외부로 부터 입력되는 클럭신호(CLK=n25_clk)는 옵션분주기(302A)로 채택된 플립플롭(FF1)에서 2분주되어 기본클럭신호(aal)로 사용된다.

상기 기본클럭신호(aal)는 4분주회로(505)내의 플립플롭(FF9),(FF10)을 통하면서 4분주되어 멀티플렉서(MUX)의 4분주입력단자(I₀),(I₇)에 공급된다. 또한, 상기 기본클럭신호(aal)는 5분주회로(504)의 플립플롭(FF6-FF8)을 통하면서 5분주되어 상기 멀티플렉서(MUX)의 5분주입력단자(I₆)에 공급된다.

상기 5분주회로(504)내의 낸드게이트(ND3)에서 출력되는 클럭신호가 다시 다중 분주회로(503)의 플립플롭(FF5)를 통하면서 10분주, 20분주, 40분주, 80분주되어 상기 멀티플렉서(MUX)의 해당 분주입력단자(I₅),(I₄),(I₃),(I₂)에 각각 공급된다.

그리고, 상기 다중분주회로(503)에서 80분주된 클럭신호가 그 다중분주회로(503)내의 플립 플롭(FF4)를 통하면서 160분주된 후 상기 멀티플렉서(MUX)의 160분주입력단자(I₁)에 공급된다.

한편, 상기 멀티플렉서(MUX)는 분주선택신호 int[2:0]에 따라 상기 각각의 경로를 통해 입력되는 각각의 분주신호 중에서 해당 분주신호를 출력하게 되고, 이렇게 출력되는 분주신호는 샘플클럭출력부(501)의 플립플롭(FF2)를 통한 후 낸드게이트(ND1),(ND2)를 통해 낸드조합되어 최종의 샘플클럭신호(samplef),(samplee)로 출력된다.

여기서, 상기 샘플클럭신호(samplee)는 제7도의 PLL동작수행 내부회로에 입력되어 PLL 처리됨과 아울러, 32분주되어 원하는 클럭신호를 생성하는데 사용되며, 샘플클럭신호(samplef)는 에지검출기(301) 및 32분주 기능을 갖는 루프필터(303)의 클럭신호로 사용된다. 여기서, 상기 샘플클럭신호(samplef)에 의해 제7도에서 에지검출마스크(LoadN)가 먼저 설정된 후 샘플클럭신호 분주 혹은 PLL동작이 수행되며, 그 샘플클럭신호(samplef),(samplee)를 제12도의 (h) 및(i)에 나타내었다.

에지검출기(301)는 제6도에서와 같이 플립플롭(FF11)과 익스클루시브노아게이트(EXNOR11)로 구성되어 제2도에서와 같이 입력데이터(DATAin)의 전이가 발생되면 상기 샘플클럭신호(samplef)에 동기하여 플립플롭(FF11)의 출력 q1[0], q1[0]을 익스클루시브노아게이트(EXNOR11)에 입력시켜 그 샘플클럭신호(samplef)의 주기만큼의 전이감지신호(aabb)를 생성한다.

PLL동작수행과정을 제6도 및 제7도를 참조하여 설명하면, 클리어단자(c1r)가 루프필터(303)의 리세트단자(resetn)에 연결되어 있어 초기출력값을 0으로 세팅한다.

로드신호(LoadN)가 하이로 선택되는 경우, 각 멀티플렉서(MUX21-MUX24)에서 입력(I1)이 선택되어 출력단자(Q1),(Q2),(Q3)에는 클럭신호(n_25clk)를 각각 4분주, 8분주, 16분주한 클럭신호가 출력되며, 이와 같은 클럭신호를 제12도의 (o),(p),(r)에 나타내었다. 여기서, 노아게이트(NOR21),(NOR22)와 익스클루시브노아게이트(EXNOR21-EXNOR23)는 분주 파형에 지연시간을 주어 32분주 기능을 갖는 루프필터(303)에서 에지체크 마스크식별신호에 사용되는 신호(aa),(bb)를 생성하기 위해 사용된 것이다.

상기와 반대로 로드신호(LoadN)가 로우로 선택되는 경우, 각 멀티플렉서(MUX21-MUX24)에서 입력(I0)이 선택되어 입력신호(D1),(D2),(D3)가 각각 멀티플렉서(MUX26),(MUX27),(MUX28)을 통해 4분주출력단자(Q1),8분주출력단자(Q2),16분주출력단자(Q3)로 출력된다. 이 부분은 후술하겠지만 PLL을 수행하는 부분이다.

한편, 32분주기능을 갖는 루프필터(303)의 작용을 제6도, 제11도를 참조하여 설명하면 다음과 같다.

먼저, 제6도에서와 같이 에지검출 마스크관련신호(aa)는 샘플클럭신호(samplef)에 동기된 8분주, 16분주, 32분주의 오아연산된 신호로서 이는 제12도에서와 같이 디지털제어형 클럭신호(TRC Clock)의 전단의 샘플클럭신호(samplee)의 4분주의 주기크기만큼만 로우로 출력되고, 에지검출 마스크관련신호(ab)는 샘플클럭신호(samplef)에 동기된 8분주, 16분주, 32분주의 낸드연산된 신호로서 이 또한 제12도에서와 같이 디지털제어형 클럭신호(TRC Clock)의 후단의 샘플클럭신호(samplee)의 4분주의 주기크기만큼만 로우로 출력된다.

이 에지검출 마스크관련신호(aa),(ab)를 생성하기 위하여 제7도의 PLL동작수행회로에서 출력(Q1),(Q2),(Q3)을 지연시키기 위하여 전단에 노아게이트(NOR21),(NOR22)와 익스클루시브노아게이트(EXNOR21),(EXNOR22),(EXNOR23)를 두었다.

에지검출마스크신호(LoadN)는 상기 에지검출 마스크관련신호(aa),(ab)가 하이일 때 즉, 상기 디지털제어형 클럭신호(TRC Clock)의 주기 전후의 4샘플클럭신호 주기 이외인 경우에서 입력데이터(DATAin)의 전이가 감지될 때 즉, 전이감지신호(aabb)가 하이로 출력될때에만 0이되고, 그 이외의 경우에는 하이로 되어 32분주동작만을 수행한다.

그런데, 상기 에지검출마스크신호(LoadN)가 로우인 경우에는 제9도의 PLL동작수행회로에서의 D1→Q1출력, D2→Q2출력, D3→Q3출력으로 선정되어 제11도와 같이 동작하게 되므로 입력데이터(DATAin)와의 동기가 맞춰지게 된다.

예로서, 디지털제어형 클럭신호(TRC)가 하이인 상태에서 데이터전이 감지시(TRC Clock lag) 분주값이 1100(32분주, 16분주, 8분주, 4분주)인 경우 큰번호부터 분주를 시작하여 에지(TRC클럭을 앞당겨) 즉, 1110에서 분주를 에지마스크구간에 TRC클럭이 입력되게 함으로써 입력데이터(DATAin)와의 동기를 맞출수 있게된다.

상기 샘플클럭신호(samplee)와의 동기를 맞추고, 디지털제어형 클럭신호(TRC Clock)의 PLL동작 이외의 반주기(예: TRC를 지연시키는 경우-TRC 하이 반주기, TRC를 앞서게 하는 경우→TRC로우 반주기)동안은 정상 의 반주기 파형을 출력하도록 하고, 인버터(111)를 통해 16분주의 반전된 값이 플립플롭(FF12)의 클럭단자(CP)에 인가되고, 디지털제어형 클럭신호(DCO)가 익스클루시브노아게이트(EXNOR12)에서 에지검출마스크 신호(LOADN)와 익스클루시브노아 연산되어 피드백된다.

실제 위상차 제거(skew)는 하기와 같은 순서로 수행되는데, 단, 에지체크 마스크구간 이외에서 데이터 에지가 검출될때에는 ①번부터 수행하게 되나 에지체크 마스크구간 또는 입력데이터(DATAin)의 전이를 감지 하지 않은 경우에는 ④번부터 수행한다.

① LOADN=0인 경우(에지체크 마스크구간 이외에서 입력데이터의 에지검출시)

② PLL동작하여 입력데이터(DATAin)와 TRC클럭간의 위상차를 한단계 보정

PLL동작 : 8분주→4분주, 16분주→8분주, 32분주→16분주, 32분주→32분주

③ 에지체크 마스크구간에서 입력데이터(DATAin)의 전이가 감지될때까지

②번동작 계속수행

④ 에지체크 마스크구간에서 입력데이터(DATAin) 전이 감지(LOADN=하이)

분주된 샘플클럭신호(samplee)를 32분주하여 TRC클럭신호(DCO

output) 발생

⑤ 어느정도의 마진을 가지고 입력데이터(DATAin)와 통신클럭신호(TRC

Clock = DCO output)를 동기시킴

이상에서 상세히 설명한 바와같이 본 발명은 간단한 구성으로 지터가 발생하지 않게 에지검출 마스크구간을 두고 외부신호의 에지에서 PLL동작을 즉시 판단하도록 하여, 낮은 주파수로 동작하는 시스템에서 외부신호와 통신클럭의 위상차를 간단하게 보상함으로써 올바른 데이터통신을 보장할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

외부로부터 입력되는 데이터(DATAin)의 전이구간을 검출하여 샘플클럭신호(samplef)의 주기에 상응되는 전이감지신호를 생성하는 에지검출기(301)와, 고주파클럭신호를 이용하여 각기 다른 다수의 분주신호를 생성하고, 선택신호에 따라 그 중에서 하나의 분주신호를 선정하여 샘플클럭신호(samplef)로 출력하는 분주기(302)와, 상기 에지검출기(301)에서 출력되는 전이감지신호와 상기 분주기(302)에서 출력되는 샘플클럭신호(samplef), (samplee)를 공급받아 PLL동작을 수행하여 상기 외부입력데이터(DATAin)에 동기된 디지털 제어형 클럭신호(DCO)를 생성하는 루프필터(303)로 구성된 것을 특징으로 하는 저주파수에 적합한 전폭 디지털 피엘엘.

청구항 2

제1항에 있어서, 에지검출기(301)는 상기 분주기(302)에서 출력되는 샘플클럭신호(samplef)를 클럭신호에 동기하여 외부로부터 입력되는 데이터(DATAin)를 로딩하는 플립플롭(FF11)과, 입력데이터(DATAin)의 전이가 발생할 때 상기 샘플클럭신호(samplef)에 동기하여 플립플롭(FF11)의 출력 q1[0], q1[0]을 배타적노아 연산하여 그 샘플클럭신호(samplef)의 주기만큼의 전이감지신호(aabb)를 생성하는 익스클루시브노아게이트(EXNOR11)로 구성된 것을 특징으로 하는 저주파수에 적합한 전폭 디지털 피엘엘.

청구항 3

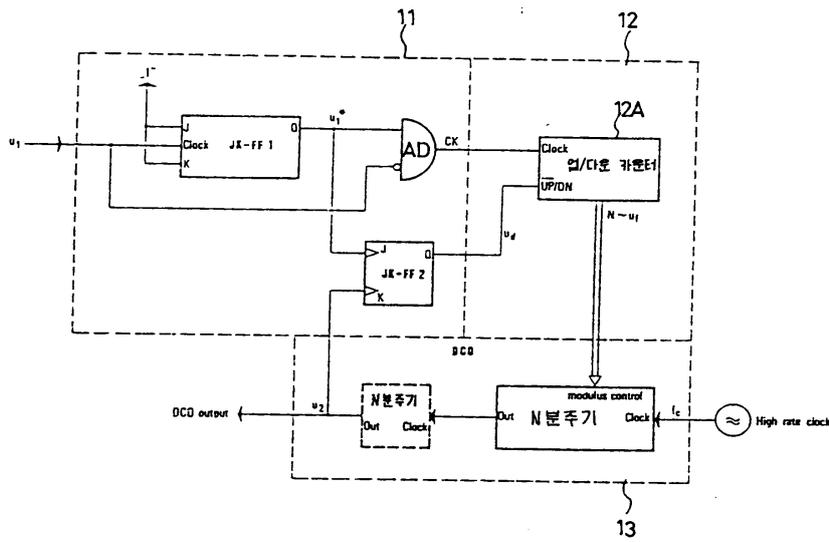
제1항에 있어서, 분주기(302)는 외부로부터 입력되는 클럭신호(CLK=n25_clk)를 2분주하여 기본클럭신호(aa1)를 발생하는 옵션분주기(302A)와, 상기 기본클럭신호(aa1)를 각각 5분주, 4분주하는 5분주회로(504), 4분회로(505) 및 10/20/40/80/160분주하는 다중분주회로(503)와, 분주선택신호 int[2:0]에 따라 상기 각각의 분주회로(503-505)에서 분주된 신호 중에서 원하는 분주신호를 선택하기 위한 제어신호 sel[2:0]를 출력하는 분주선택제어신호 출력부(502)와, 상기 제어신호 sel[2:0]에 따라 상기 분주회로(503-505)에서 출력되는 분주신호 중에서 하나의 분주신호를 선택하여 상기 루프필터(303)측으로 출력하는 멀티플렉서(MUX)와, 상기 기본클럭신호(aa1)에 동기하여 상기 멀티플렉서(MUX)의 출력신호를 받아들이고, 이를 낸드조합하여 샘플클럭신호(samplee), (samplef)를 생성하는 샘플클럭 출력부(501)로 구성된 것을 특징으로 하는 저주파수에 적합한 전폭 디지털 피엘엘.

청구항 4

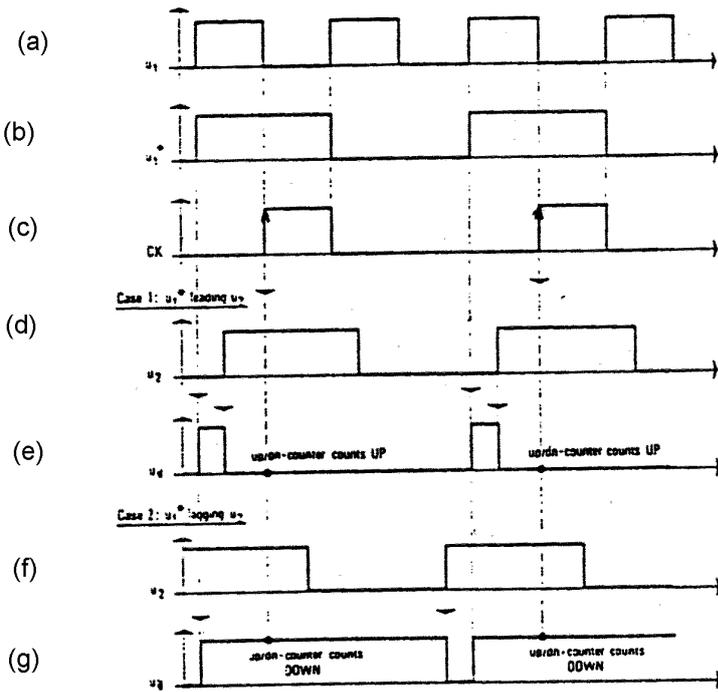
제1항에 있어서, 루프필터(303)는 에지검출 마스크관련신호(aa), (ab), 전이 감지신호(aabb)를 낸드조합하는 낸드게이트(ND11)와, 상기 낸드게이트(ND11)의 출력신호와 플립플롭(FF12)의 출력신호(QN)를 배타적노아 연산하는 엑스클루시브노아게이트(EXNOR12)와, 반전처리된 8분주신호에 동기하여 상기 엑스클루시브노아 게이트(EXNOR12)의 출력신호를 로딩하는 플립플롭(FF12)과, 상기 분주기(302)로부터 샘플클럭신호(samplee), (samplef)를 공급받고, 플립플롭(FF12)의 출력신호를 공급받아 4/8/16/32분주신호를 출력하기 위한 플립플롭(FF13) 및 멀티플렉서(MUX11)와, 상기 플립플롭(FF13)의 분주출력을 오아연산하여 에지검출 마스크 관련신호(aa)를 생성하는 오아게이트(OR11)와, 상기 플립플롭(FF13)의 분주출력을 낸드조합하여 에지검출 마스크관련신호(ab)를 생성하는 낸드게이트(ND12)로 구성된 것을 특징으로 하는 저주파수에 적합한 전폭 디지털 피엘엘.

도면

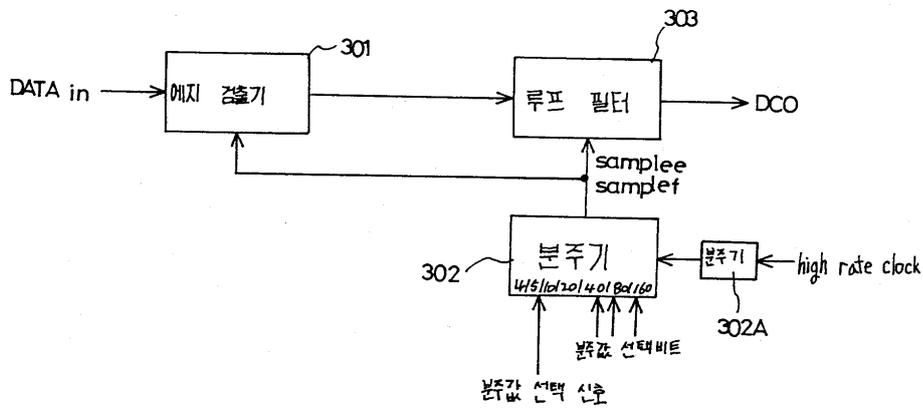
도면1



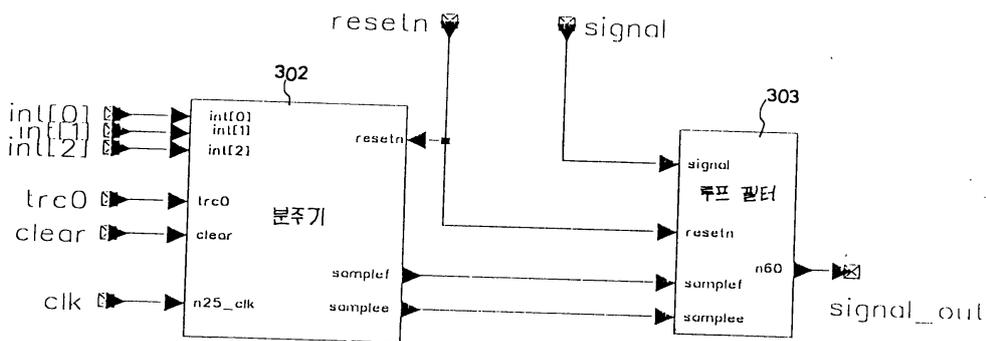
도면2



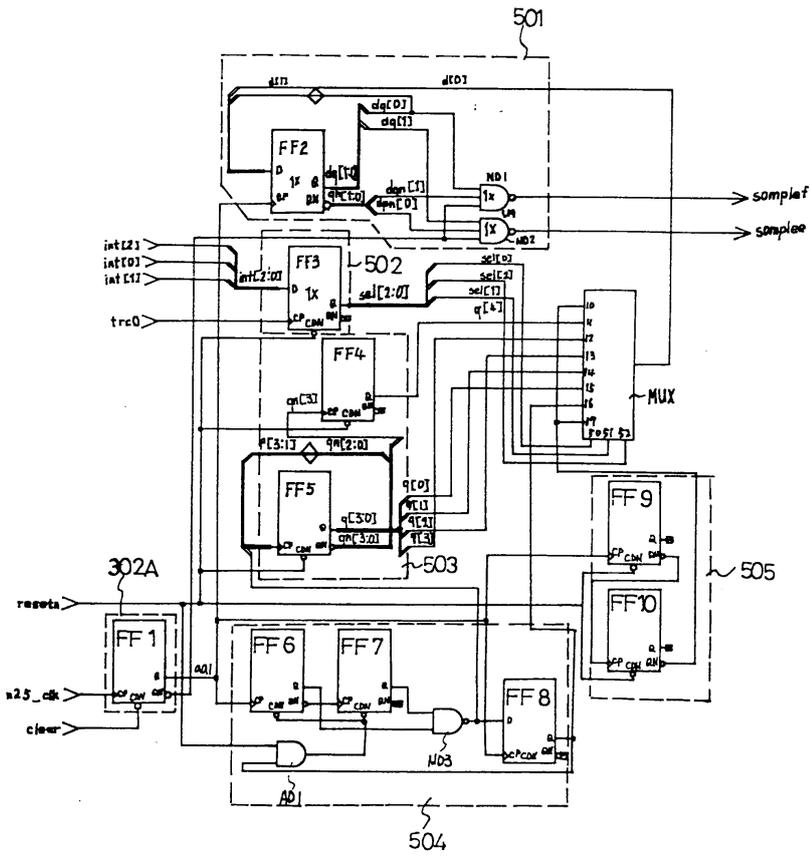
도면3



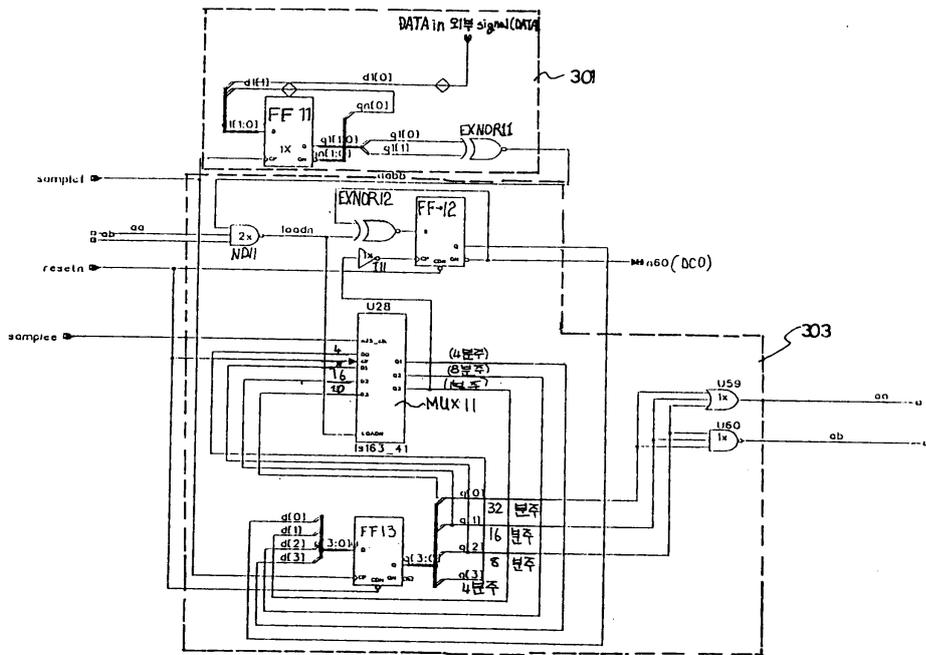
도면4



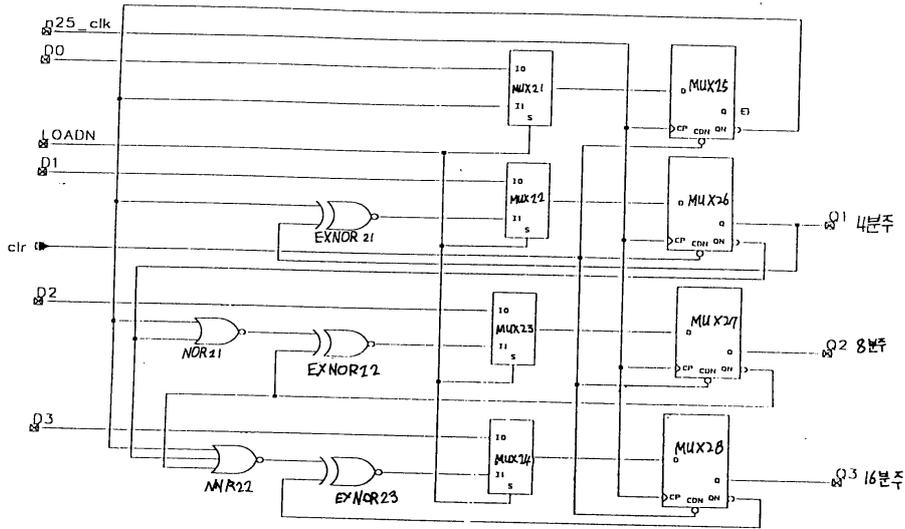
도면5



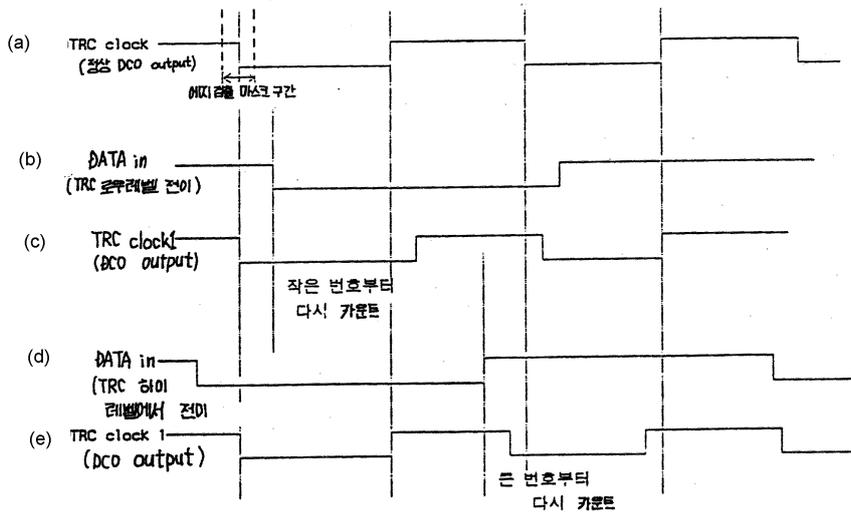
도면6



도면7



도면8



도면9

NO	샘플 생성시 분주수	속도 비교	Int [2:0]	TRCO	비고
0	4	40	0	48K	32 분주
1	160	1	1	1200	
2	80	2	2	2400	
3	40	4	3	4800	
4	20	8	4	9600	
5	10	16	5	19.2K	
6	5	32	6	38.4 K	
7	4	40	7	48K	

도면10

NO	TRCO 32분주	MUXII.Q3 16분주	MUXII.Q2 8분주	MUXII.Q1 4분주	에지 검출 마스크 구간	DPLL 동작
0	0	0	0	0	에지 마스크	10
1	0	0	0	1	에지 마스크	10
2	0	0	1	0		1 to 0
3	0	0	1	1		1 to 0
4	0	1	0	0		2 to 1
5	0	1	0	1		2 to 1
6	0	1	1	0		3 to 1
7	0	1	1	1		3 to 1
8	1	0	0	0		4 to 6
9	1	0	0	1		4 to 6
10	1	0	1	0		5 to 6
11	1	0	1	1		5 to 6
12	1	1	0	0		6 to 7
13	1	1	0	1		6 to 7
14	1	1	1	0	edge mask	7
15	1	1	1	1	edge mask	7

도면11

MUXII 동작	PLL 동작	TRC 클럭 로우 레벨에서 데이터 전이	TRC 클럭 하이레벨에서 데이터 전이
	32분주 값 → 32분주 값	제 5/13도에서 보는 바와 같이 작은 번후부터 번후를 다시 시작하여 에지 마스크 구간에서 데이터 전이를 감지하게 하여 (TRC lag 시킴) 데이터와의 동기를 맞춘다.	큰 번후부터 번후를 다시 시작하여 에지 마스크 구간에서 데이터의 전이를 감지하게 하여 (TRC lead 시킴) 데이터와의 동기를 맞춘다.
03입력 → MUXII.Q3출력	32분주 값 → 16분주 값		
02입력 → MUXII.Q2출력	16분주 값 → 8분주 값		
01입력 → MUXII.Q1출력	8분주 값 → 4분주 값		

도면12

