

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4053651号
(P4053651)

(45) 発行日 平成20年2月27日(2008.2.27)

(24) 登録日 平成19年12月14日(2007.12.14)

(51) Int.Cl.		F I		
HO 1 L 31/09	(2006.01)	HO 1 L 31/00		A
GO 1 R 29/08	(2006.01)	GO 1 R 29/08		F
HO 1 L 27/14	(2006.01)	HO 1 L 27/14		K

請求項の数 23 外国語出願 (全 16 頁)

(21) 出願番号	特願平10-67575	(73) 特許権者	506362510
(22) 出願日	平成10年2月9日(1998.2.9)		サイプレス・セミコンダクタ・コーポレー ション・(ベルギー)・ビイヴイビイエイ
(65) 公開番号	特開平11-31839		ベルギー国・ビイ 2800 メッヘレン
(43) 公開日	平成11年2月2日(1999.2.2)		・シャリエンホーヴァードリーフ・20ビ イ
審査請求日	平成16年3月19日(2004.3.19)	(74) 代理人	100082005
(31) 優先権主張番号	60/037531		弁理士 熊倉 禎男
(32) 優先日	平成9年2月10日(1997.2.10)	(74) 代理人	100067013
(33) 優先権主張国	米国(US)		弁理士 大塚 文昭
(31) 優先権主張番号	97870084-7	(74) 代理人	100086771
(32) 優先日	平成9年6月4日(1997.6.4)		弁理士 西島 孝喜
(33) 優先権主張国	ベルギー(BE)	(74) 代理人	100109070
			弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】 電磁放射検出器、該検出器を用いた高感度ピクセル構造、及び該検出器の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1のドーパント濃度を持つ第1の導電型の半導体基板であって、その基板の中に定められた、第2のドーパント濃度を持つ前記第1の導電型の第1の層を備える半導体基板と、

前記第1の層の上に配置された、第3のドーパント濃度を持つ前記第1の導電型の第2の層と、

実質的に前記第2の層の内部に配置された、第4のドーパント濃度を持つ第2の導電型の第1の領域と第2の領域と、

を備えてなり、

前記第2の層が、前記第1の領域と前記第2の領域とを分離し、かつ、前記第1および第2の領域と前記第1の層とを分離する第3の領域を有し、

前記第3の領域が、前記第1の層から前記第2の領域への電荷キャリアの拡散に対するバリアを有し、

さらに、

第5のドーパント濃度を持つ前記第2の導電型の第4の領域であって、前記第1の領域から前記第3の領域を通して前記第1の層内に延在する第4の領域において、前記第1の領域が、前記電荷キャリアを収集するための収集接合を有する第4の領域と、

を備えてなる電磁放射検出器。

【請求項2】

前記第 1 の層から前記第 1 の領域への電荷キャリアの拡散に対するバリアが、実質的に存在せず、また、前記電荷キャリアの平均拡散距離が、前記電荷キャリアの平均再結合距離よりも相当に短い請求項 1 に記載の検出器。

【請求項 3】

前記第 2 の領域が、前記収集接合によって収集される前記電荷キャリアによって発生する信号を処理するように適合化された読み出し回路内の接合を有する請求項 1 に記載の検出器。

【請求項 4】

前記第 1 の層を含む前記半導体基板が、電磁放射線に応答して前記電荷キャリアを発生させるための放射線感应体積部を備えてなる請求項 1 に記載の検出器。

10

【請求項 5】

前記第 2 の領域の下の前記放射線感应体積部に発生した電荷キャリアが、前記第 1 の領域内に収集され、前記検出器のフィルファクタ（開口率）が、ほぼ 100 パーセントである請求項 1 に記載の検出器。

【請求項 6】

前記第 2 のドーパント濃度が、前記第 1 のドーパント濃度よりも低く、前記第 3 のドーパント濃度が、前記第 1 のドーパント濃度よりも高く、そして、前記第 5 のドーパント濃度が、前記第 4 のドーパント濃度よりも低い請求項 1 に記載の検出器。

【請求項 7】

前記第 4 の領域が、前記第 1 の層との接合を備えてなり、そして、前記接合が、フォト・ダイオードを備えてなる請求項 1 に記載の検出器。

20

【請求項 8】

前記第 1 の領域に、前記第 1 の導電型のウェルをさらに備えてなる請求項 1 に記載の検出器であって、前記ウェルが、フォトトランジスタのエミッタを備えてなり、前記第 1 および第 4 の領域が、前記フォトトランジスタのベースを備えてなり、そして、前記半導体基板が、前記フォトトランジスタのコレクタを備えてなる検出器。

【請求項 9】

前記検出器が、CCD または CCD 類似のセンサ内に集積化されており、そして、前記第 1 の領域が、前記 CCD または CCD 類似のセンサの電極の下に反転層または埋め込みチャンネルを備えてなる請求項 1 に記載の検出器。

30

【請求項 10】

前記 CCD 類似のセンサが、フォトゲート、電荷注入デバイス、CSD（電荷掃きよせデバイス）のうちの 1 つである請求項 9 に記載の検出器。

【請求項 11】

前記第 3 の領域が、前記第 2 の領域への電荷キャリアの拡散を妨げるための静電バリアをもたらし、前記静電バリアが、前記第 3 の領域と前記第 1 の層の間の界面に形成される請求項 1 に記載の検出器を備えてなる、光検出用の MOS ベースピクセル構造。

【請求項 12】

前記第 1 の層から前記第 1 の領域への電荷キャリアの拡散に対するバリアが、実質的に存在せず、また、前記電荷キャリアの平均拡散距離が、前記電荷キャリアの平均再結合距離よりも相当に短い請求項 11 に記載の MOS ベースピクセル構造。

40

【請求項 13】

前記第 2 の領域が、前記収集接合によって収集される前記電荷キャリアによって発生する信号を処理するように適合化された読み出し回路内の接合を有する請求項 11 に記載の MOS ベースピクセル構造。

【請求項 14】

前記第 1 の層を含む前記半導体基板が、電磁放射線に応答して前記電荷キャリアを発生させるための放射線感应体積部を備えてなる請求項 11 に記載の MOS ベースピクセル構造。

【請求項 15】

50

前記第2の領域の下の前記放射線感応体積部に発生した電荷キャリアが、前記第1の領域内に収集され、前記検出器のフィルファクタが、ほぼ100パーセントである請求項14に記載のMOSベースピクセル構造。

【請求項16】

前記第2のドーパント濃度が、前記第1のドーパント濃度よりも低く、前記第3のドーパント濃度が、前記第1のドーパント濃度よりも高く、そして、前記第5のドーパント濃度が、前記第4のドーパント濃度よりも低い請求項11に記載のMOSベースピクセル構造。

【請求項17】

前記第1の領域が、MOSコンポーネントまたは埋め込みチャンネルMOSトランジスタの空乏層または反転層を備えてなる請求項11に記載のMOSベースピクセル構造。

10

【請求項18】

前記第1の領域と前記第2の領域の間で、前記第3の領域上に配置されたゲート構造をさらに備えてなる請求項11に記載のMOSベースピクセル構造であって、前記第1の領域、前記第2の領域、前記第3の領域、および前記ゲート構造が、MOSトランジスタを構成しているMOSベースピクセル構造。

【請求項19】

前記ゲート構造および前記第2の領域の上に配置された電磁放射線シールドをさらに備えてなる請求項18に記載のMOSベースピクセル構造であって、前記MOSトランジスタが、蓄積された電荷を、前記第1の領域から前記第2の領域に転送するためのスイッチとして設定されており、前記第2の領域が、メモリ素子として動作可能であるMOSベースピクセル構造。

20

【請求項20】

p型基板中にp⁻層を定めるステップと、
前記p⁻層中の上にp⁺層を定めて、前記p型基板および前記p⁻層内に発生する光電荷に対する拡散バリアを設けるステップと、
実質的に前記p⁺層内に、第1のn⁺⁺領域および第2のn⁺⁺領域を定めるステップであって、前記第1のn⁺⁺領域が、前記p⁺層によって、前記第2のn⁺⁺領域及び前記p⁻層から分離され、そして、前記第2のn⁺⁺領域が、前記p⁺層によって、前記第1のn⁺⁺領域および前記p⁻層から分離されるステップと、
前記p型基板および前記p⁻層内に発生する前記光電荷を前記第1のn⁺⁺領域に収集するための、前記第1のn⁺⁺領域および前記p⁺層を通して前記p⁻層内に至るn型領域を定めるステップと、を、

30

含んでなる、電磁放射線検出用のCMOSベースのピクセル構造の製造方法。

【請求項21】

前記n型領域が、nウェル注入層、アンチパンチスルー注入層、ブランケット注入層、V_th(閾値電圧)調整注入層のうちの1つである請求項20に記載の方法。

【請求項22】

n型基板中にn⁻層を定めるステップと、
前記n⁻層中の上にn⁺層を定めて、前記n型基板および前記n⁻層内に発生する光電荷に対する拡散バリアを設けるステップと、
実質的に前記n⁺層内に、第1のp⁺⁺領域および第2のp⁺⁺領域を定めるステップであって、前記第1のp⁺⁺領域が、前記n⁺層によって、前記第2のp⁺⁺領域および前記n⁻層から分離され、そして、前記第2のp⁺⁺領域が、前記n⁺層によって、前記第1のp⁺⁺領域および前記n⁻層から分離されるステップと、
前記n型基板および前記n⁻層内に発生する前記光電荷を前記第1のp⁺⁺領域に収集するための、前記第1のp⁺⁺領域および前記n⁺層を通して前記n⁻層内に至るp型領域を定めるステップと、を、

40

含んでなる、電磁放射線検出用のCMOSベースのピクセル構造の製造方法。

【請求項23】

50

前記 p 型領域が、p ウェル注入層、アンチパンチスルー注入層、ブランケット注入層、V t h 調整注入層のうちの 1 つである請求項 2 2 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体を基礎とする電磁放射用検出器の分野に関する。更には、広い放射検出区域又は高いフィルファクタを備えた半導体検出器及び半導体ピクセル構造に関する。

本発明は、また、そのような検出器の製造方法に関する。

【0002】

【従来の技術】

半導体を基礎とするセンサ及び電磁放射を検出するデバイスは、よく知られている。例えば、EP - A - 739039 及び WO 93 / 19489 に述べられたようなセンサである。それらのセンサは、CMOS 又は MOS 技術により形成される。それらのセンサにおいて、半導体基板中の放射により発生した電荷キャリアを集めるために付加された領域は、p - n 又は n - p 接合から形成され、基板は、夫々、n 型導電体又は p 型導電体から形成される。かかる接合は、コネクショングラフと呼ばれる。CMOS 又は MOS 技術を用いて形成されたイメージセンサにおいて、受動ピクセルを備えた CMOS 又は MOS イメージセンサと、能動ピクセルを備えた CMOS 又は MOS イメージセンサとは、区別されている。EP - A - 739039 又は WO 93 / 19489 のセンサは、能動ピクセルセンサである。

【0003】

【発明が解決しようとする課題】

能動ピクセルセンサは、電荷の増幅のためのピクセルを集積した手段を備えるように形成され、かかる電荷は、光感受性エレメント又はピクセル中の構成により集められる。受動ピクセルは、そのような手段を有さず、電荷増幅器を必要とし、これはピクセルの中に集積化されずにピクセルに対して長い配線により接続される。能動ピクセルの付加的な電気成分により、能動ピクセルイメージセンサは、より精巧な機能を果たすように形成され、イメージングデバイス又はそのセンサに基づくシステムの性能において、優れることができる。かかる機能は、フィルタリング、高速動作、又はより照度の高い状態での動作を含むことができる。

しかしながら、能動ピクセル CMOS 又は MOS イメージセンサには、大きな欠点がある。かかる欠点は、より少ないが、受動ピクセルセンサにも存在する。それは、ピクセルの表面の重要な部分が、読み出し回路に用いられるということである。

【0004】

p - n 又は n - p 接合の電荷検知体積 (Volume) が、かかる接合の空乏層よりも広いということがよく知られている。実際に、コレクショングラフから再結合長と呼ばれる範囲内で発生したすべての電荷は、かかる接合に拡散して集められる機会を有する。このメカニズムに基づくと、小さな接合と、広い光検知体積とを有するセンサを形成することは可能である。光センサは、 $3 \times 2 \mu\text{m}$ の接合と、 $15 \mu\text{m}$ の再結合長とを備えることができる。このように、かかる検知器は、外観上、表面サイズ又は光検知領域が $30 \mu\text{m}$ の直径を有する。

しかしながら、もし、関係のない電氣的回路、例えば、引き出し回路が、そのようなコレクショングラフに隣合って設けられた場合、そのコレクショングラフに達するべき電荷の一部がその読み出し回路の接合又は構造により集められる。そこからの読み出し回路に用いられる検知器の領域上に注いだ光により発生する電荷キャリアは、主に、かかる読み出し回路の接合により集められる。ピクセル中の読み出し回路に取られる区域は、放射を集めることを損ない、これは、センサに基づく能動ピクセルの低いフィルファクタ又は低い感度の原因となる。

【0005】

"Solid-State Imaging with Charge Coupled Devices、A. Theuwissen (Kluwer Academic

10

20

30

40

50

publishers, 1995 ISDN 0-7923-3456-6) ”の本の中では、半導体を基礎とするイメージデバイスの現状について概説されている。例えば、CCDやMOSカメラについてである。この本の第7章には、ピクセルのフィルファクタ又は感度を増加させるトピックスについて述べられている。かかる方法は、マイクロレンズの使用や光変換トプレイヤーの使用によるものである。

【0006】

”XYW detector a smart two-dimensional particle detector, Bart Dierckx ” (Nuclear Instruments and Methods in Physics Research, vol. A275 (1989), p.542-544) の論文の図4には、半導体に基づくピクセルデバイスの4つの形成方法について述べられている。第1の方法は、古典的なCMOSプロセスに基づくものである。この方法の欠点は、低いフィルファクタであり、これは読み出し電気回路により半導体表面の一部分が覆われるためである。かかるフィルファクタの問題を解決するために提案された他の方法では、一般的ではないCMOS技術を用いて問題解決が図られている。即ち、フリップチップ(パンプボンディング)、SOI(シリコン-オン-インシュレータ)技術、又は光子検知ゾーンをアモルファストプレイヤー上に移動させる技術である。

10

【0007】

”Design and Performance of semiconductor detectors with integrated amplification and charge storage capability, P.Klein & al ” (Nuclear Instruments and Methods in Physics Research, vol. A305 (1991), p.517-526) の論文の図2には、トランジスタ接合を用いた半導体を基礎とするセンサが示されている。ここでは、半導体基板中で生成された電荷が、接合を基礎とするバリアにより、トランジスタのソース及びドレイン接合中へ拡散するのを妨げられ、ゲートに押し込められる。かかるゲートは、ソース及びドレインと接触している。

20

【0008】

アバランシェ・フォト・ダイオード(APD)はより知られたものである。APDは、 $p++/p-/p+/n++$ の連続した層構造を有し、 $p++$ 層は裏面コンタクト、 $p-$ 層は検知層、 $p+$ 層は電子のアバランシェ増幅を提供するための層、及び $n++$ 層は増殖された電子を最終的に集める層となっている。かかる増殖層のドーピング量及び幅は、大変厳密である。更に、かかる構造に印加される電圧は、かなり高いものであり、かかる構造の電氣的ブレイクダウンに近い値である。 $p-/p+$ 層の接合部は、電子の拡散のバリアとしては働かず、アバランシェ増幅デバイスとして働く。

30

【0009】

そこで、本発明は、電磁放射検知用の半導体デバイスであって、半導体中で放射により形成された電荷キャリアのすべてがコレクティング接合又は領域中に集められ、読み出し回路の接合又は領域には集められない構造を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明は、第1に半導体基板を含む電磁放射用検知器に関するものであり、かかる基板は、第1及び第2の領域を含む。該第1の領域及び第2の領域は、基板中で放射により形成された電荷キャリアを集めるために取り付けられる。かかる基板は、更に、かかる第2の領域への電荷の拡散を十分に防止できるバリアを形成する第3の領域を含む。

40

基板及びかかる第1の領域の間では、バリアは存在しないか、あるいはほとんどゼロのバリアが存在するか、又は第2の領域と基板との間のバリアよりも十分に低いバリアが存在する。

上記第3の領域も、かかる電荷キャリアが第1の領域に拡散するために十分に低いバリアを形成することができる。

【0011】

更には、本発明は、小さいが、効果的なバリアを、半導体基板中の放射検知体積と、読み出し回路を備えた領域又は接合との間に備えた、放射検知器に関するものである。そしてかかる検知器は、半導体中の放射検知体積と、放射により形成された電荷キャリアを集める

50

ために付加された領域及び接合と、の間に、バリアを有しないか又は低いバリアを有するものである。

【 0 0 1 2 】

本発明の第 1 の見地によれば、第 2 の領域に隣接し、特にその下部にある基板により発生した電荷キャリアのいくらかの部分は、かかる第 1 の領域により集められる。かかる基板は、第 1 導電型のドーパントを有し、かかる第 1 領域及び第 2 領域は、他の第 2 導電型のドーパントを有する。第 3 の領域は、第 1 の導電型を有し、その第 3 領域のドーピング量は、基板のドーピング量よりも高い。

【 0 0 1 3 】

本発明の第 2 の見地によれば、第 1 領域は基板との間に接合を形成し、第 2 の領域は第 3 の領域との間に接合を形成する。

10

【 0 0 1 4 】

更に、本発明の他の見地によれば、本発明の検知器を含む光を検知する MOS を基礎とするピクセル構造が述べられている。この場合、第 3 の領域は、第 2 の領域に電子又はホールが拡散することを防止するのに十分な電氣的バリアを形成する。かかる電氣的バリアは、第 3 の領域及び基板の界面に形成することができる。

かかる基板から第 1 の領域に電子又はホールが拡散するために十分に低い電氣的バリアが、第 1 の領域及び基板の界面に形成される。第 2 の領域は、第 1 の領域での荷電キャリアにより発生した信号を処理するための回路の部分である。かかる信号は、第 1 の領域で生成された電流となる。ピクセル構造は、更に、かかる第 1 領域及び基板に隣接する第 4 の領域を含むこともできる。そしてかかる第 4 の領域と基板の間には、基板の界面には十分に低いバリアが形成される。

20

【 0 0 1 5 】

本発明の他の見地によれば、電磁放射検知用 CMOS ピクセル構造の製造方法及び動作方法について述べられている。

【 0 0 1 6 】

本発明は、更には、CMOS ピクセル構造及びセンサの発明、及び CCD 又は CCD 類似の構造の発明の設計集積化の原理に関するものも含む。本発明は、低雑音光検知に応用するために大きな利点を有している。

【 0 0 1 7 】

30

【発明の実施の形態】

本発明は、半導体基板中の放射検知体積と、読出し回路を備えた領域及び接合との間の、小さいが効果的なバリアを備えた検知器や半導体検知器に関するものである。

また、本発明は、半導体中の放射検知体積と放射により生み出された電荷キャリアを集めるために設けられた領域及び接続との間の、存在しないかあるいは大変低いバリアを備えた検知器に関するものである。電荷が生成される放射検知体積と、引き出し回路の関係を有さない電気部と、の間にバリアを形成する領域は、放射検知体積と同じ導電型のドーパントを備えることができる。

【 0 0 1 8 】

本発明の検知器は、放射により生成された電荷キャリアを集めるコレクション接合と他の電氣的部分から構成される。かかるコレクション接合は、かかる他の電氣的構成の下部に隣接する放射検知体積中に形成された電荷キャリアを集めるのを高める。かかる機能は、他の電氣的構成部分の下部のかかる体積と同じ導電型を備えた領域との界面に形成された電氣的バリア手段により形成される。かかるバリアは、他の電氣的構成部分の下部で形成された電荷キャリアが他の電氣的構成部分の接合又は構造中に拡散することを防止する。この電氣的バリアは、コレクション接合の下部には存在しないか、あるいは十分に低いものである。その結果として、他の電氣的構成部分の下で生成された電荷キャリアが集められることとなる。

40

【 0 0 1 9 】

かかる検知器は、CMOS プロセスにより実現され、構成は p 型基板からなり、電氣的バ

50

リアを形成する領域は p + 型注入として実現される。他の構成部分は、さまざまな導電型、即ち、n 型接合を含んで形成される。コレクシオン接合は、基板に対して低い電氣的バリアを備えた n 型領域から形成される。より低いか、又は形成されないバリアの区域は、コレクシオン接合と一致し、一部又は完全に一致し、又はその一部からなる。低いか、あるいは存在しないバリアは、コレクシオン接合の区域への n 型注入の追加により実現することができる。又は、その電氣的バリアを実現する p + 型注入を行なわないことにより実現することができる。

かかる p + 型注入は、p ウエル注入と呼ばれるものであり、又はアンチパンチスルー注入と呼ばれるものであり、あるいはブランケット注入と呼ばれるものでありあるいは V t h 調整注入と呼ばれるものである。これらは C M O S プロセスにおいてほぼ同様の効果を有し C M O S プロセスの標準的な工程として多くの場合役に立つ。

【 0 0 2 0 】

かかる n 型注入は、n ウエル注入と呼ばれるものであり、あるいはアンチパンチスルー注入と呼ばれるものであり、あるいはブランケット注入と呼ばれるものであり、あるいは V t h 調整注入と呼ばれるものである。

【 0 0 2 1 】

本発明の代わりの具体例では、コレクシオン接合であってより深い n 型注入又は p + p - バリアの形成を行なわないコレクシオン接合を備えたピクセル構造の部分形成する検知器が、M O S F E T の 1 の電極 (ソース又はドレイン) として実現される。そして、他の電極は、一定の電圧に保たれる。正確な電圧は適切でない。即ち、他の電極は、フローティングノードでなければ良い。コレクシオン接合は、M O S F E T のゲートによって、好ましくは完全に又は部分的に囲まれる。他の電極は、完全に又は部分的にゲート及び第 1 の電極を囲む。M O S F E T のゲートはオフにバイアスされ、双方の電極は電氣的に絶縁される。M O S F E T ゲート及び接合を囲む他の電極は、接合エッジ効果による暗電流の部分を減少させる。

【 0 0 2 2 】

本発明の原理は、C C D 又は C C D 類似の構造 (フォトゲート、チャージインゼクションデバイス (C I D)、チャージスイープデバイス (C S D)) に応用することができ、かかる構造においては、コレクティング接合が反転層又は C C D 電極下部の埋め込みチャネルからなる。即ち、表面チャネル C C D 又は埋め込みチャネル C C D である。コレクシオン接合又はその一部は、そのような構造で置き換えることも可能である。

【 0 0 2 3 】

本発明で説明する方法では、本発明は、結局、E P - A - 0 7 3 9 0 3 9 に述べられているようなピクセル構造を備えた C M O S 光検知センサのような手段により説明される。E P - A - 0 7 3 9 0 3 9 は、ここに、添付文献として添付される。

結局、例として述べられたところによると、半導体基板は、p 型導電体と仮定されている。しかし、かかる記述から当業者であれば n 型導電体の半導体基板を想像することは容易である。他の均等の具体例は、当業者にとっては明らかであり、本発明の精神及び見地は、添付した請求の範囲の文言に限定されるものではない。

【 0 0 2 4 】

図 1 (A) は、p 型ドーピングを備えた半導体基板 6 を備えたピクセル構造の一部を示す。p 層又は領域 5 は、かかる基板中に限定される。基板は代わりの具体例においては、均一な p - 又は p + + ドーピングにより形成される。p - 層は、拡散又はイオン注入又は結晶成長又は C M O S 技術で知られた他の技術により限定される。更に加えた p + 層又は領域 3 は、かかる p - 層基板中又は基板上に限定される。p + 領域は、拡散により又はイオン注入又は結晶成長又は C M O S プロセスで知られた他の技術により限定される。

【 0 0 2 5 】

p + 領域 3 中に、第 1 の領域 1 及び第 2 の領域 2 が限定される。かかる第 1 及び第 2 の領域は、n 型ドーピングからなる。これらの第 1 及び第 2 の領域は、イオン注入又は拡散又は C M O S プロセスにより知られた他の技術により限定される。これらの第 1 及び第 2 の

10

20

30

40

50

領域は、p型領域及び/又は基板とで接合を形成する。第1領域1は、基板中及び/又はp-領域(6、5)中で放射により生成される電荷キャリアを集めるためのコレクション接合を形成する。この例によると、コレクション接合は、フォトダイオードである。第2の領域2は、第1の領域1により集められた電荷キャリアにより発生する信号を導く引き出し電極の部分の接合を形成する。

【0026】

更には、付加的に、n型の第4領域4を形成し、第1領域1を完全に又は部分的に覆うことも可能である。かかる第4領域は、第1領域からp-領域及び/又は基板へと延びる。この第4領域は、好ましくは深いイオン注入工程により限定されることが好ましいが、CMOSプロセスで知られた他の技術により限定されるものであっても構わない。

10

【0027】

図1(B)は、図1(A)に示した構造の他の具体例を示す。

図2及び3は、図1に示した構造の第1及び第2に沿った断面における電氣的ポテンシャルを示すものである。

図1に示された構造においては、図2及び3に示されるように、p-領域に部分的ポテンシャルの最少を有する。図2に示すようにp+領域3により形成された界面(3/5)における電氣的バリアにより、p-領域の電子は第2領域2の中には容易には拡散しない。図3によれば、電子は、p-領域5及びn+領域1の間のバリアによっては妨げられない。ゾーンI中の電子はゾーンIIに拡散し、第1領域1で集められることは明らかである。

図1に概略を模式的に示した構造中の電荷キャリアの拡散は、モンテ・カルロ・シミュレーションに基づいてシミュレートされた。かかるシミュレーション結果を図4に示す。

20

【0028】

本発明によるピクセルのマトリックスで、放射により発生した電子がランダムワークすることがシミュレートされている。ピクセルは、図1(A)に示す構造に基づき形成される。電子の平均拡散距離が記録される。第4領域4が存在しない(すなわち従来構造)構造における拡散距離は大きく電子は集められるか、あるいはホールと再結合する前に、多くのピクセルを拡散する。第4の領域4を有する構造においては、電子はずっと速く集められる。かかる結果を以下の表に示す。表は、7.5×7.5µmのピッチで形成されたピクセルのピクセルマトリックスについてシミュレートされ、各ピクセル中には第1及び第4領域がさまざまなサイズで形成されたものである。電子は、最も悪い場合においては、4つのピクセルの間の端部において生成する。

30

【0029】

【表1】

コレクティング接合(1, 4)の大きさ	拡散距離X(σ)
領域(4)なし	15.5 µm
1 µm	6.1 µm
2 µm	4.5 µm

40

【0030】

結果的な拡散距離は、理想的な結果(3.75µm)に近くなる。この種類のピクセルは、このように理想に近いモジュレーショントランスファーフアクション(MTF)を備える。それは、ほぼ100%のフィルファクタを有し、このことは光に晒されるピクセル

50

マトリックスのすべての表面が、光の収集に寄与することを意味する。

実際に光により生成される基板電荷キャリアのすべてがコレクション接合に流れる。従来技術のピクセル構造においては、生成された電荷キャリアの一部は引き出し回路の接続により収集されこのような電荷は消失していた。

【0031】

領域3の導入は多くの効果を持つがそれらの2つは以下の通りである。

フォトダイオード1、4-5、6は、すべてのピクセルからの光電荷を集め100%のフィルファクタに到達することができる。フォトダイオードは、すべてのピクセルからの光電荷を集め、フィルファクタは単に以下の3つの要素によってのみ制限されるにすぎない。

1 引き出し回路、それ自身の接続の内部の光トラップ。これは短い波長に対して確かに制限となり低い浸透深さを備える。

2 接合部金属による光の反射。

3 再結合。自由電子は不明瞭には拡散せず一定の典型的な再結合長さの後に再結合する。CMOS技術においては、この長さがピクセルピッチの数倍を越える。

【0032】

第2はイメージの鮮明さ又はMTFである。領域3が基板及びコレクション接合1の間に存在するような場合においては、領域3と基板との界面において電荷キャリアの拡散のためのバリアを形成する領域3があり、これがコレクション接合1により電荷キャリアが容易に集められることを妨げる。自由電子は隣のピクセルに拡散するための時間を有し、結局そこで集められる又は再結合し、イメージの不鮮明さを引き起こす。フォトダイオード中の領域4の限定によるこのようなバリアの省略は、光電荷を低減することとなる。

【0033】

発明の好ましい具体例

標準的なCMOSプロセスにおいて、フォトダイオードの小さな2つのアレイ(A、B)が、集積回路の部分として形成される。(A)の場合、接合は従来技術のようにp型基板中の浅いn型領域からなる。接合寸法は、 $2 \times 2 \mu\text{m}$ であり、ピクセルピッチは $7.5 \mu\text{m}$ である。ピクセルアレイの中央の列は光に晒され、ピクセルの隣接した列は金属シールドにより光から遮断される。ピクセルの列の平行した出力は、集積回路の外部に設けられ、ピクセルの列の効果的な光電流が測定できる。

【0034】

(B)の場合、基板はすべてのフォトダイオードにおいて、小さな $2 \times 2 \mu\text{m}$ のnウエル注入がフォトダイオードの内部に形成されている点を除いて、上記構造と同一である。ここで用いられたCMOSプロセスは、pウエルと呼ばれるものであり、これはnウエル中に補足的に設けられるものである。nウエル注入に晒されない他の区域は、p型ドーパントが注入され、かかる部分においてp型ノードが表面に近づくようにされる。

【0035】

最終的な構造は、図1(A)に示した発明の概略図による検知器の具体例であることが好ましい。理想的な場合、ピクセルの露出された列はすべての光電流を検知し、覆われたピクセルの列はゼロ電流であることが好ましい。これは横方向の電荷の拡散及び光の反射が起こらないケースである。

【0036】

測定結果は、図5に要約され、Aは従来技術の場合であり、Bは本発明による領域及び接合を備える場合である。図5に示す結果において、A1/B1は露出したピクセルにより集められた電流であり、A2/B2は覆われた隣接されたピクセルにより集められた電流であり、A3/B3はさらにそれに隣接するピクセルにより集められた電流であり、A4/B4はかかるピクセルに連続して隣接した4つのピクセルの電流の層である。

図5(B)に示すようなnウエルドットの効果による振舞いの変化は、本発明の原理を示すものである。露出された中央のピクセル列がより多い光電流を集める(B1)のみならず全電流の絶対量もずっと高くなりこのことは、構造Bが構造Aにおいて電荷キャリアの

10

20

30

40

50

再結合により失われる電流をも集めていることを示す。

【 0 0 3 7 】

能動ピクセルの多くの型の他の実現は、更に、多くの優れた違いを示す。好ましい具体例においては、我々は、E P - A - 0 7 3 9 0 3 9 に示されているような3つのトランジスタのピクセル構造を用いる。ホットダイオードの内部のnウエルの小さなドットの追加は集められる電流を急激に増加させ、650 nmの光に対して5から10倍となる。ピクセルが15%のフィルファクタで形成されるという事実を考慮すると(露出されたホットダイオードのみの区域)、かかる5から10のファクターはフィルファクタが100%に近いことを示している。

【 0 0 3 8 】

本発明の検知器の利点は更に以下の通りである。

フォトダイオード接合により覆われないピクセル区域上に入射する光により発生する光チャージは、フォトダイオード接続により集められる。これは、たとえこの区域が光生成チャージを集めることができる接続を含んだ引き出し回路により覆われている場合であってもである。本発明のピクセルは、金属接合のような不透明の材料により覆われたような部分を除いて、ほぼ100%に近いフィルファクタを有する。関係しない回路の接続の内部で発生した電荷は、検知のために喪失される。これらの接続は浅く、約500から600 nm以下の波長の放射はシリコン基板の深くで電子ホール対に変換され、かかる影響は検知性能の僅な低下のみしか招かない。

【 0 0 3 9 】

本発明の検知器のコレクション接合の容量は、全ピクセル表面を覆うような接続の容量に比べて大変小さく、それでこれらは同様の光を集める表面を、有効に有する。イメージングセンサの主なノイズソースの1つとして、K T C ノイズと呼ばれるものがある。このノイズは、典型的にはフォトチャージの測定の確定性のノイズチャージとの量として表され、接合の容量の平方根に比例する。低いノイズチャージを備えたピクセルを得るために、容量の低いホットダイオードを設計しなければいけない。単位区域に対して与えられた容量において、最もノイズの低いダイオードは、最も狭い区域を有し、即ち、低い光収集区域である。本発明は、小さい接続区域及び小さい接続容量を有するが、大きなコレクション体積を備えたフォトダイオードを形成するものである。

【 0 0 4 0 】

本発明の好ましい具体例のデバイスは、一般的なC M O S 技術に適用された注入を備えることにより満たされる。これにより必要なプロファイルが実現できる。本発明の構造は、標準的なC M O S 技術においてでも得ることが可能である。ツインウエルと呼ばれるC M O S プロセスにおける特徴を備えたファンドリーである。他のファンドリーは、似た構造であるが、違ったように呼ばれる。即ち、アンチパンチスルー注入、ブランケット注入、V t h 調整注入等である。原理自体は同じであり、本発明の好ましい具体例の実現の方法として同様に用いることができる。ツインウエルC M O S プロセスにおいては、n M O S 及びp M O S 双方の構造がそれら自身のウエル中に形成される(それぞれpウエル及びnウエル中に形成される)。結果として、シリコン基板は、低ドーブのp型となり、又は低くドーブされたp型結晶成長層であって高くドーブされたウエハの上に形成された層からなる。

【 0 0 4 1 】

p M O S 構造は、nウエル中に形成され、基板と深く接続される。n M O S 構造は、pウエル中に形成され、かかる場合は接続とはならない。(これはかかるpタイプが基板の型と同じ型だからである)。しかしながら、その下の基板よりも高くドーブされた部分にn M O S 構造が形成される。これは、標準的なC M O S プロセスで短いチャネルのトランジスタを形成するために導入される構造と類似している。本発明は、光コレクティングコレクション接合としてn接合を用いることにより実現され、nウエル注入を伴ったn接合の部分に被せることによりp + / p - バリアを貫いて実現される。

【 0 0 4 2 】

nウエル注入は深く、pウエルを通して低ドープ基板中に突き抜ける。結果として、能動あるいは受動ピクセルの部分である他のnMOSFETは浅い接合のみで形成され基板には到達しない。もし能動ピクセルの複雑さがpMOSFETを含むことを要求した場合、即ち、nウエル中で形成することを必要とした場合、このnウエル、即ち光コレクティング接合と同じ型の接続であるnウエルが、光コレクティング接合と光コレクティング接続に匹敵することになり、その効果の一部をキャンセルすることとなることを明記しておく。

【0043】

この問題は、MOSFETの1つの型のみを用いた能動ピクセルにおいては発生しない。通常のプロセスにおいては、かかる状況は光コレクショナル接合のためではなく、pMOSFETを越えたnウエルに深いp型注入を有することにより緩和することが可能となる。接合スパイクは浅い接合を通ったメタライゼーションスパイクの効果として知られている。これは高い暗電流ピクセルの原因の1つである。本発明のピクセルで可能なウエルの上に接触したクリティカルなダイオードを置くことにより、基板のリークを避けることができる。これはピクセルマトリックス中の白いピクセルの少ない数を越えて発生する。

【0044】

発明の他の具体例

本発明によるCMOSセンサのピクセルの光コレクティング接続は、MOS構造又は埋め込みチャンネルMOSFETの反転領域又は空洞領域から形成することもできる。

光コレクティング接続は、フォトトランジスタであっても良く、かかるフォトトランジスタは、垂直pnp構造から形成することができ、かかる構造ではコレクタは基板であり、ベースが深いnウエル注入層であり、エミッタがかかるウエル内部に浅い接続を形成するp型領域である。このような構造は、本発明の好ましい具体例のような電荷コレクティング特性を有するが、更に、内部電流増殖といった付価値をも含む。

【0045】

集積メモリエlementを備えたピクセル

本発明は、ピクセル中にメモリエlementを有するピクセルを形成することもでき、かかるメモリエlementは、光からよりよく遮断される。アナログメモリエlementは通常キャパシタであり、かかるキャパシタは接合の一部であるか又は接合を有するトランジスタのような他の回路elementとの接続である。

接続部は光検知をし、かかる光検知特性はキャパシタに蓄積された電荷に影響を与える電流の流れを引き起こす。メモリエlement又はキャパシタはさまざまな目的のために用いることができる。空間的及び時間的な染み出しイメージの記憶等である。

図6は遅い集積時間を備えたフレームの回路の例であり、非破壊的な方法で高速で読み出しすることができる。この図では光コレクショナル接合(1、4-5、6)は、スイッチによりリセットされる(例えば、MOSFET20)。

【0046】

光コレクショナル接合により得られた信号は、キャパシタ22上のスイッチ21により定期的にサンプリングされる。この電圧は、Aとして表した回路上で古典的な方法により増幅される。図6の回路は、適当な動作を得るためにキャパシタ22上で安定信号を有する。キャパシタ22及びそれに相互接続される部分は光から遮断されるべきであり、メタライゼーションを用いることにより真っ直ぐとなる。

しかしながら、キャパシタ22及び/又はそれに対する相互接続部は、光生成により基板内に存在する電荷を集めることができる。特に、基板深くで生成される光電荷は、容易にキャパシタ22又はその接続部分に拡散することができ、そこで電荷を放出する。

もしフォトダイオード(1、4-5、6)が本発明にしたがって形成されていれば、基板内で拡散する電荷はフォトダイオード(1、4-5、6)に集められ、キャパシタ22上の電荷には影響を与えない。

【0047】

可能な改良の断面図を図7に示す。

ここでは、キャパシタ及びスイッチは、金属製の光シールド124を備えたMOS構造として実現されている。かかるシールドは、キャパシタ領域上に堆積され、誘電体は金属シールド124とスイッチ121、120及びキャパシタ122の金属又はポリシリコンゲートとの間に配置される。増幅及び増殖回路は図示されていない。

【0048】

低い暗電流を備えたピクセルを得るためのウエルピクセルの適用

フォトダイオードの暗電流がダイオードのエッジ又はシリコンと SiO_2 との界面における熱的発生メカニズムによることはよく知られている。CCDの暗電流は、インバージョンモード又はオールフェースピンニングと呼ばれる方法により十分に低減されている。このようなCCDにおいて、 $Si-SiO_2$ 界面は反転させられ、埋め込みチャネル（有用な検知体積）はこの界面とはコンタクトを有しない。かかる方法は典型的には100のファクターで暗電流を減少することができる。

10

【0049】

本発明のウエルピクセルは、同じ目的のために適用される。もしピクセルが光コレクション接合に対して大きければ、他の領域はその材料のバルクを表面からさえぎる構造により覆われる。これには2つの方法がある。

(A) スクリーニングジャンクション32の使用

(B) 反転層132の使用これはポリシリコンゲート電極により引き起こされる。

【0050】

(A) の例を図8に示す。

20

(B) の2つの例は図9示される。ここにおいて、バリア領域中のスクリーニング反転層132を形成するポリシリコンゲート電極37が示されている。

【0051】

CCD又はCCD類似の構造における改良

本発明は、能動又は受動ピクセル構造に対しても適用可能であり、図10に示すようなCCD構造に対しても適用できる。本発明の光コレクション接合は、フォトダイオードからなるが、半導体基板45に対する空乏層又は反転層41からなる接合であってもよい（表面チャネルCCDのように）。また、本発明の光コレクション接合は、半導体基板に埋め込まれた（部分的に）空乏層された埋め込みチャネルによっても形成することができる（埋め込みチャネルCCDのように）。

30

【0052】

かかる構造は、典型的にはCCD、CID（チャージインゼクションデバイス）、フォトゲート、又はそれらにおいて用いられる。これらはバーチャル接合と呼ばれ、光生成電荷キャリアを集める物理的なnp接続と同じような機能を実際に有する。CCDセルはこのようにそれ自体光検知エレメントであり、CCDエレメント49により電気静電誘導されたポテンシャルポケットに蓄えられる。もしポテンシャルバリアが光センシティブ体積（基板47）とポテンシャルポケットとの間に存在した場合、電荷の収集が妨げられるであろう。

【0053】

本発明は、このようにバーチャルジャンクションの電荷収集の増加にも用いることができる。図10においては、CCD類似の構造の表面チャネルの断面図が示されている。ここにおいて、CCDの反転層41に到達する基板からの電子のためのバリアが供給される。

40

(A) pウエル43の開口により（省略）。

(B) そのポテンシャルバリアを貫き又は低くする本発明の原理に基づく明白なn型注入44による。

【図面の簡単な説明】

【図1】 (A) (B) は、本発明の第1及び第2の具体例の検知器の概略図である。

【図2】 図1(A)のラインIに沿った断面における検知器の電気ポテンシャルを示す。

【図3】 図1(A)のラインIIに沿った断面における電気ポテンシャルを示す。

50

【図4】 モンテ・カルロ・シミュレーションによる図1(A)の構造における電荷キャリアの拡散シミュレーションを示す。

【図5】 (A)(B)は、本発明(5(B))及び従来技術(5(A))に基づいて製造された検知器の測定結果を示す。

【図6】 ピクセル上にメモリエlementを備えた本発明のピクセル構造を示す。

【図7】 図6のピクセル構造の可能な改良を施した半導体基板の断面図を示す。

【図8】 第1の低い暗電流ピクセルの本発明の検知器を示します。

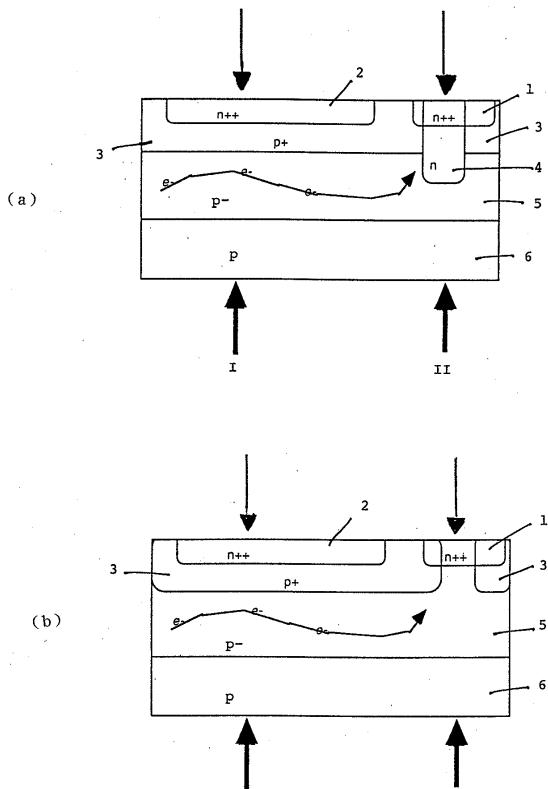
【図9】 第2の暗電流ピクセルに適用した本発明の検知器の構造を示す。

【図10】 本発明の原理による表面チャネルCCD類似構造の断面図を示す。

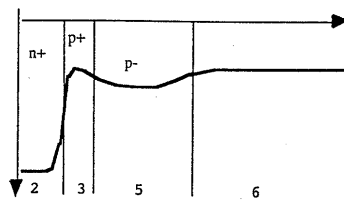
【符号の説明】

1 第1の領域、2 第2の領域、3 p+領域、4 第4領域、5 p-層、6 半導体基板。

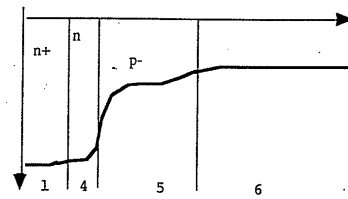
【図1】



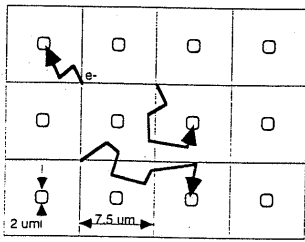
【図2】



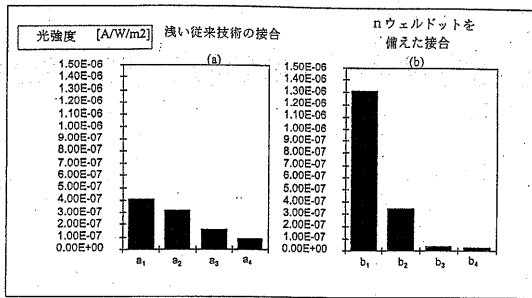
【図3】



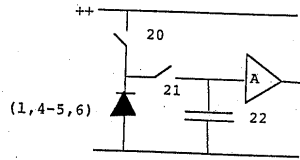
【図4】



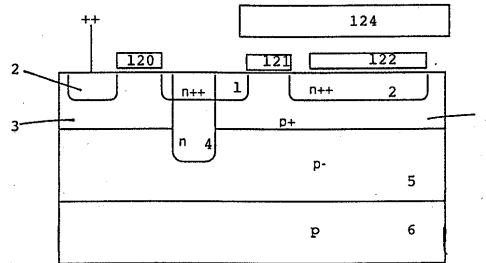
【図5】



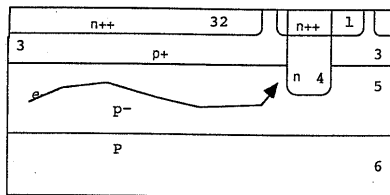
【図6】



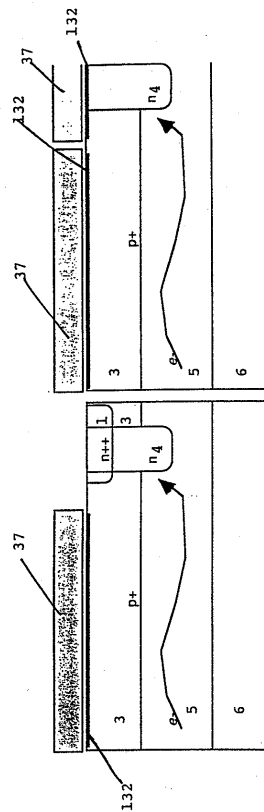
【図7】



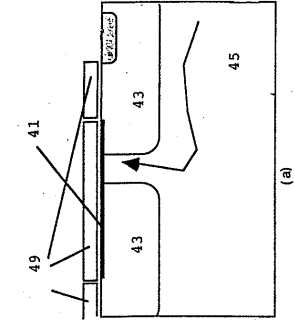
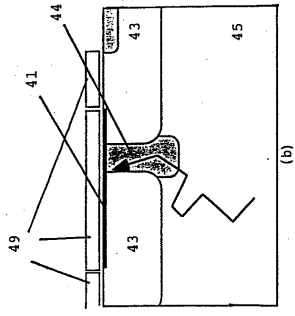
【図8】



【図9】



【 10 】



フロントページの続き

(74)代理人 100098394

弁理士 山川 茂樹

(72)発明者 バール・ディエリック

ベルギー、ベ - 2 6 4 0 モルツェル、コルネリス・デヘルトストラート 8 番

審査官 前川 慎喜

(56)参考文献 特開昭 5 9 - 0 9 2 5 6 2 (J P , A)

特開平 1 0 - 3 1 3 1 0 9 (J P , A)

特開昭 6 4 - 0 2 0 6 5 4 (J P , A)

特開平 1 0 - 1 5 0 1 8 0 (J P , A)

特開昭 5 7 - 1 6 2 3 6 4 (J P , A)

特開昭 5 3 - 1 3 8 2 8 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/14-29/772、31/00 - 31/0392、31/08 - 31/09