

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4511148号
(P4511148)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月14日(2010.5.14)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 P

請求項の数 4 (全 17 頁)

<p>(21) 出願番号 特願2003-350431 (P2003-350431) (22) 出願日 平成15年10月9日(2003.10.9) (65) 公開番号 特開2004-153260 (P2004-153260A) (43) 公開日 平成16年5月27日(2004.5.27) 審査請求日 平成18年10月2日(2006.10.2) (31) 優先権主張番号 特願2002-298888 (P2002-298888) (32) 優先日 平成14年10月11日(2002.10.11) (33) 優先権主張国 日本国(JP) (31) 優先権主張番号 特願2002-298889 (P2002-298889) (32) 優先日 平成14年10月11日(2002.10.11) (33) 優先権主張国 日本国(JP) (31) 優先権主張番号 特願2002-298890 (P2002-298890) (32) 優先日 平成14年10月11日(2002.10.11) (33) 優先権主張国 日本国(JP)</p> <p>前置審査</p>	<p>(73) 特許権者 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号 (74) 代理人 100131071 弁理士 ▲角▼谷 浩 (72) 発明者 高尾 幸弘 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内 審査官 石野 忠志</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

パッド電極が形成された半導体基板を用意し、
前記パッド電極が形成された前記半導体基板上に支持基板を接着する工程と、
前記支持基板が接着された前記半導体基板の裏面から前記パッド電極の表面に到達する
ビアホールを形成する工程と、
前記ビアホール内に前記パッド電極の表面と電氣的に接続された柱状端子を形成する工
程と、
前記柱状端子上にバンプ電極を形成する工程と、
前記バンプ電極を形成した後に、前記半導体基板を複数の半導体チップに分割する工程
と、を具備することを特徴とする半導体装置の製造方法。

10

【請求項2】

前記ビアホール内に前記パッド電極と電氣的に接続された柱状端子を形成すると共に、
この柱状端子から前記半導体基板の裏面に延在する配線層を形成する工程をメッキ法で行
うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記ビアホールをテーパ形状に加工することを特徴とする請求項1または請求項2に
記載の半導体装置の製造方法。

【請求項4】

前記ビアホール内に前記パッド電極と電氣的に接続された柱状端子を形成する工程をメ

20

ツキ法で、前記柱状端子から前記半導体基板の裏面に延在する配線層を形成する工程をスパッタ法で行うことを特徴とする請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のボール状の導電端子が配列されたBGA(Ball Grid Array)型の半導体装置に関するものである。

【背景技術】

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP(Chip Size Package)が注目されている。CSPとは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

従来より、CSPの一種として、BGA型の半導体装置が知られている。このBGA型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他の面上に搭載される半導体チップと電氣的に接続したものである。

【0003】

そして、このBGA型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電氣的に接続している。

【0004】

このようなBGA型の半導体装置は、側部に突出したリードピンを有するSOP(Small Outline Package)やQFP(Quad Flat Package)等の他のCSP型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。このBGA型の半導体装置は、例えば携帯電話機に搭載されるデジタルカメラのイメージセンサチップとしての用途がある。

【0005】

図30は、従来のBGA型の半導体装置の概略構成を成すものであり、図30(A)は、このBGA型の半導体装置の表面側の斜視図である。また、図30(B)はこのBGA型の半導体装置の裏面側の斜視図である。

【0006】

このBGA型の半導体装置101は、第1及び第2のガラス基板102、103の間に半導体チップ104がエポキシ樹脂105a、105bを介して封止されている。第2のガラス基板103の一主面上、即ちBGA型の半導体装置101の裏面上には、ボール状端子106が格子状に複数配置されている。この導電端子106は、第2の配線110を介して半導体チップ104へと接続される。複数の第2の配線110には、それぞれ半導体チップ104の内部から引き出されたアルミニウム配線が接続されており、各ボール状端子106と半導体チップ104との電氣的接続がなされている。

【0007】

このBGA型の半導体装置101の断面構造について図31を参照して更に詳しく説明する。図31はダイシングラインに沿って、個々のチップに分割されたBGA型の半導体装置101の断面図を示している。半導体チップ104の表面に配置された絶縁膜108上に第1の配線107が設けられている。この半導体チップ104は樹脂105aによって第1のガラス基板102と接着されている。また、この半導体チップ104の裏面は、樹脂105bによって第2のガラス基板103と接着されている。

【0008】

そして、第1の配線107の一端は第2の配線110と接続されている。この第2の配線110は、第1の配線107の一端から第2のガラス基板103の表面に延在している。そして、第2のガラス基板103上に延在した第2の配線上には、ボール状の導電端子106が形成されている。

10

20

30

40

50

【 0 0 0 9 】

上述した技術は、例えば以下の特許文献 1 に記載されている。

【特許文献 1】特許公表 2 0 0 2 - 5 1 2 4 3 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、上述した B G A 型の半導体装置 1 0 1 において、第 1 の配線 1 0 7 と第 2 の配線 1 1 0 との接触面積が非常に小さいので、この接触部分で断線するおそれがあった。また、第 1 の配線 1 0 7 のステップカバレッジにも問題があった。

【課題を解決するための手段】

【 0 0 1 1 】

そこで本発明は、半導体チップの裏面側からパッド電極に到達するビアホールを設け、このビアホールに柱状端子を埋設することで、従来のような断線の発生を抑制できる。また、柱状端子上にバンブ電極を形成することで、パッド電極とバンブ電極との電気的接続を得るようにした。

【 0 0 1 2 】

また本発明は、半導体チップのパッド電極と、この半導体チップの裏面に延在する配線層とを接続して、この配線層上にバンブ電極を形成するに際して、半導体チップの裏面側からパッド電極に到達するビアホールを設け、このビアホールに埋設した柱状端子によって両者の電気的接続を得るようにした。

【発明の効果】

【 0 0 1 4 】

本発明によれば、半導体チップのパッド電極から、その裏面のバンブ電極に至るまでの配線の断線やステップカバレッジの劣化を防止し、信頼性の高い B G A を有する半導体装置を得ることができる。また、本発明によれば、様々な集積回路チップを実装基板上に高密度で実装できるものである。特に C C D イメージセンサの集積回路チップに適用することにより、当該集積回路チップを小型携帯用電子機器、例えば携帯電話の小さな実装基板に実装することができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

次に本発明を実施するための最良の形態（以下、本実施形態という）について、図面を参照しながら説明する。

【 0 0 1 6 】

本発明の第 1 の実施形態について図面を参照しながら詳細に説明する。まず、この半導体装置の構造について図 8 を参照しながら説明する。図 8 (A) はシリコンチップ 1 0 A の裏面から見たダイシングライン周辺の平面図、図 8 (B) は図 8 (A) の X - X 線に沿った断面図である。この半導体装置は、後述する工程を経たシリコンウエーハをダイシングラインに沿って複数のチップに分割した状態（図においては 2 つに分割されたチップ）を示している。

【 0 0 1 7 】

シリコンチップ 1 0 A は、例えば C C D イメージセンサ・チップであり、その表面には、拡張パッド電極 1 1 が形成されている。この拡張パッド電極 1 1 は、通常のワイヤボンディングに用いられるパッド電極をダイシングライン領域にまで拡張したものである。拡張パッド電極 1 1 の表面は、図示しないシリコン窒化膜等のパッシベーション膜で被覆されている。この拡張パッド電極 1 1 が形成されたシリコンチップ 1 0 A の表面には、例えばエポキシ樹脂から成る樹脂層 1 2 を介して、支持基板としての透明なガラス基板 1 3 が接着されている。

【 0 0 1 8 】

そして、シリコンチップ 1 0 A の裏面から拡張パッド電極 1 1 に到達するビアホール 1 7 が開口され、このビアホール 1 7 内に埋め込むように、例えば銅 (C u) のような導電

10

20

30

40

50

材料から成る柱状端子 20 が形成されている。この柱状端子 20 は拡張パッド電極 11 と電氣的に接続されている。また、この柱状端子 20 とシリコンチップ 10 A とはビアホール 17 の側壁に設けられた絶縁層 30 によって絶縁されている。

【0019】

そして、柱状端子 20 からシリコンチップ 10 A の裏面上に再配線層 21 が延びており、さらに、この再配線上にはソルダーマスク 22 が被着され、その開口部にハンダバンプ 23 (バンプ電極) が搭載されている。ハンダバンプ 23 は所望の位置に複数形成することで BGA 構造を得ることができる。こうして、シリコンチップ 10 A の拡張パッド電極 11 から、その裏面に形成されたハンダバンプ 23 に至るまでの配線が可能となる。そして、本発明はビアホール 17 に埋設した柱状端子 20 を利用して配線しているので、断線

10

【0020】

なお、ハンダバンプ 23 の形成位置に対応させてシリコンチップ 10 A の裏面に緩衝部材 16 を設けてもよい。これは、ハンダバンプ 23 の高さを稼ぐためである。これにより、この半導体装置をプリント基板に実装する際に、プリント基板とハンダバンプ 23 との熱膨張率の差によって生じる応力によって、ハンダバンプ 23 やシリコンチップ 10 A が損傷することが防止される。緩衝部材 16 は、例えばレジスト材料や有機膜で形成しても良いし、銅 (Cu) 等の金属で形成しても良い。

【0021】

また、ビアホール 17 は図 8 に示すようにストレートに開口されているが、これに限らず、図 9 に示すように、そのビアホール 17 の断面が、表面から深くなるほど細くなるテーパ形状を呈していてもよい。図 9 (A) はシリコンウエーハのダイシングライン周辺の平面図、図 9 (B) は図 9 (A) の X-X 線に沿った断面図である。これにより、後述するようにメッキ法により柱状端子 20 を形成する場合に、メッキ用のシーズ層 18 をスパッタで形成することができるなどの利点がある。

20

【0022】

次にこの半導体装置の製造方法について説明する。図 1 に示すように、シリコンウエーハ 10 の表面には、図示しない半導体集積回路 (例えば、CCD イメージセンサ) が形成されているものとする。そして、そのシリコンウエーハ 10 の表面には上述した拡張パッド電極 11 が形成されている。この拡張パッド電極 11 はアルミニウム、アルミニウム合

30

【0023】

次に図 2 に示すように、例えばエポキシ樹脂から成る樹脂層 12 を塗布する。そして、図 3 に示すように、この樹脂層 12 を介して、シリコンウエーハ 10 の表面にガラス基板 13 を接着する。このガラス基板 13 はシリコンウエーハ 10 の保護体や支持体として機能する。そして、このガラス基板 13 が接着された状態で、シリコンウエーハ 10 の裏面研磨、いわゆるバックグラインドを行い、その厚さを 100 μm に加工する。尚、機械的に研磨した後に、化学的なエッチング処理により研磨面を整形しても良い。また、研磨処理することなく、ウエットまたはドライエッチング処理だけでも良い。

【0024】

そして、図 4 に示すように、バックグラインドされたシリコンウエーハ 10 の裏面に、緩衝部材 16 を形成する。この緩衝部材 16 はハンダバンプ 23 の形成位置に対応させて形成する。緩衝部材 16 は、例えばレジスト材料や有機膜で形成することが好ましい。また、緩衝部材 16 は必要に応じて形成すれば良く、この半導体装置の用途に応じて必要ない場合には省略することもできる。

40

【0025】

そして、シリコンウエーハ 10 を貫通し、拡張パッド電極 11 の表面に到達するビアホール 17 を形成する。このビアホール 17 の深さは 100 μm となる。また、その幅は例えば 40 μm 、その長さは 200 μm である。ビアホール 17 を形成するには、レーザービームを用いてシリコンウエーハ 10 に穴を開ける方法やウエットエッチング法またはド

50

ライエッチング法を用いて穴を開ける方法がある。なお、このビアホール17は、レーザービームの制御により図9に示すようにテーパ形状に加工しても良い。

【0026】

次に、柱状端子20及び再配線層21を形成する工程を説明する。図5に示すように、まず、ビアホール17内を含む全面にプラズマCVD法により、100nm程度の厚さの絶縁層30を形成する。これは、柱状端子20とシリコンウエーハ10とを絶縁するためである。絶縁層30はビアホール17の底にも形成されてしまうため、この部分の絶縁層30についてはエッチング除去して、拡張パッド電極11の表面を再び露出させる。

【0027】

次に、銅(Cu)から成るシーズ層18を無電解メッキにより全面に形成する。シーズ層18は後述する電解メッキ時のメッキ成長のためのシーズ(種)となる。その厚さは1μmでよい。なお、上述したように、ビアホール17がテーパ状に加工されている場合には、シーズ層18のためにスパッタ法を用いることができる。

【0028】

そして、銅(Cu)の電解メッキを行うが、その前にメッキを形成しない領域にレジスト層19を形成する。このレジスト層19の形成領域は、図6の平面図の灰色で塗潰した領域である。すなわち、柱状端子20、再配線層21及びハンダバンプ形成領域を除く領域である。

【0029】

そして、銅(Cu)の電解メッキを行い、柱状端子20、再配線層21を同時に形成する。柱状端子20は、拡張パッド電極11とシーズ層18を介して電氣的に接続される。この方法は工程削減には良いが、再配線層21のメッキの厚さとビアホール17に成長するメッキ厚さを独立に制御できないので、両者を最適化できないという欠点がある。

【0030】

そこで、柱状端子20については電解メッキで形成し、再配線層21についてはAlスパッタ法で形成するようにしてもよい。その後、再配線層21上にNi/Au等のバリアメタル(不図示)をスパッタ法で形成する。これは再配線層21とハンダバンプ23との電氣的接合を良好にするためである。

【0031】

そして、図7に示すように、レジスト層19を除去する。さらに、再配線層21をマスクとして、レジスト層19の下に残存しているシーズ層18をエッチングにより除去する。このとき、再配線層21もエッチングされるが、再配線層21はシーズ層18より厚いので問題はない。

【0032】

次に図8に示すように、再配線層21上にソルダーマスク22を被着し、スクリーン印刷法を用いて、再配線層21の所定領域上にハンダを印刷し、このハンダを熱処理でリフローさせることで、ハンダバンプ23を形成する。なお、再配線層21はシリコンウエーハ10の裏面の所望領域に、所望の本数を形成することができ、ハンダバンプ23の数や形成領域も自由に選択できる。

【0033】

そして、ダイシングラインに沿って、シリコンウエーハ10を複数のシリコンチップ10Aに分割する。このダイシング工程では、レーザービームを用いることができる。また、レーザービームを用いたダイシング工程において、ガラス基板13の切断面がテーパを施すように加工することにより、ガラス基板13の割れを防止することができる。

【0034】

次に、本発明の第2の実施形態について図面を参照しながら詳細に説明する。まず、この半導体装置の構造について図18を参照しながら説明する。図18(A)は、第2のガラス基板215の側から見たシリコンウエーハのダイシングライン領域周辺の平面図、図18(B)は図18(A)のX-X線に沿った断面図である。この半導体装置は、後述する工程を経たシリコンウエーハをダイシングライン領域に沿って複数のチップに分割した

10

20

30

40

50

状態（図においては２つに分割されたチップ）を示している。

【 0 0 3 5 】

シリコンチップ 2 1 0 A は、例えば C C D イメージセンサ・チップであり、その表面には、拡張パッド電極 2 1 1 が形成されている。この拡張パッド電極 2 1 1 は、通常のワイヤボンディングに用いられるパッド電極をダイシングライン領域にまで拡張したものである。拡張パッド電極 2 1 1 の表面は、図示しないシリコン窒化膜等のパッシベーション膜で被覆されている。この拡張パッド電極 2 1 1 が形成されたシリコンチップ 2 1 0 A の表面には、例えばエポキシ樹脂から成る樹脂層 2 1 2 を介して、支持基板としての透明な第 1 のガラス基板 2 1 3 が接着されている。

【 0 0 3 6 】

また、シリコンチップ 2 1 0 A の裏面には、例えばエポキシ樹脂から成る樹脂層 2 1 4 を介して、支持基板としての透明な第 2 のガラス基板 2 1 5 が接着されている。そして、第 2 のガラス基板 2 1 5 側から拡張パッド電極 2 1 1 に到達するビアホール 2 1 7 が開口され、このビアホール 2 1 7 内を埋め込むように、例えば銅（C u）のような導電材料から成る柱状端子 2 2 0 が形成されている。この柱状端子 2 2 0 とシリコンチップ 2 1 0 A とはビアホール 2 1 7 の側壁に設けられた絶縁層 2 3 0 によって絶縁されている。

【 0 0 3 7 】

そして、柱状端子 2 2 0 から第 2 のガラス基板 2 1 5 上に再配線層 2 2 1 が延びており、さらに、この再配線上にはソルダーマスク 2 2 2 が被着され、その開口部にハンダバンプ 2 2 3（バンプ電極）が搭載されている。ハンダバンプ 2 2 3 は所望の位置に複数形成することで B G A 構造を得ることができる。こうして、シリコンチップ 2 1 0 A の拡張パッド電極 2 1 1 から、その裏面に形成されたハンダバンプ 2 2 3 に至るまでの配線が可能となる。そして、本発明はビアホール 2 1 7 に埋設した柱状端子 2 2 0 を利用して配線しているので、断線が起りにくく、ステップカバレッジも優れている。さらに配線の機械的強度も高い。

【 0 0 3 8 】

なお、ハンダバンプ 2 2 3 の形成位置に対応させて第 2 のガラス基板 2 1 5 の表面に緩衝部材 2 1 6 を設けてもよい。これは、ハンダバンプ 2 2 3 の高さを稼ぐためである。これにより、この半導体装置をプリント基板に実装する際に、プリント基板とハンダバンプ 2 2 3 との熱膨張率の差によって生じる応力によって、ハンダバンプ 2 2 3 や第 2 のガラス基板 2 1 5 が損傷することが防止される。緩衝部材 2 1 6 は、例えばレジスト材料や有機膜で形成しても良いし、銅（C u）等の金属で形成しても良い。

【 0 0 3 9 】

また、ビアホール 2 1 7 は図 1 8 に示すようにストレートに開口されているが、これに限らず、図 1 9 に示すように、そのビアホール 2 1 7 の断面が、表面から深くなるほど細くなるテーパ形状を呈していてもよい。なお、図 1 9（A）はシリコンウエーハのダイシングライン領域周辺の平面図、図 1 9（B）は図 1 9（A）の X - X 線に沿った断面図である。これにより、後述するようにメッキ法により柱状端子 2 2 0 を形成する場合に、メッキ用のシーズ層 2 1 8 をスパッタで形成することができるなどの利点がある。

【 0 0 4 0 】

次にこの半導体装置の製造方法について説明する。図 1 0 に示すように、シリコンウエーハ 2 1 0 の表面には、図示しない半導体集積回路（例えば、C C D イメージセンサ）が形成されているものとする。そして、そのシリコンウエーハ 2 1 0 の表面には上述した拡張パッド電極 2 1 1 が形成されている。この拡張パッド電極 2 1 1 はアルミニウム、アルミニウム合金、または銅等の金属から成り、その厚さは 1 μ m である。

【 0 0 4 1 】

次に図 1 1 に示すように、例えばエポキシ樹脂から成る樹脂層 2 1 2 を塗布する。そして、図 1 2 に示すように、この樹脂層 2 1 2 を介して、シリコンウエーハ 2 1 0 の表面に第 1 のガラス基板 2 1 3 を接着する。この第 1 のガラス基板 2 1 3 はシリコンウエーハ 2 1 0 の保護体や支持体として機能する。そして、この第 1 のガラス基板 2 1 3 が接着され

10

20

30

40

50

た状態で、シリコンウエーハ 210 の裏面研磨、いわゆるバックグラインドを行い、その厚さを 100 μm に加工する。尚、機械的に研磨した後、化学的なエッチング処理により研磨面を整形しても良い。また、研磨処理することなく、ウエットまたはドライエッチング処理だけでも良い。

【0042】

次に図 13 に示すように、シリコンウエーハ 210 の裏面にエポキシ樹脂から成る樹脂層 214 を塗布する。そして、この樹脂層 214 を用いてシリコンウエーハ 210 の裏面に第 2 のガラス基板 215 を接着する。第 2 のガラス基板 215 の厚さは 100 μm である。第 2 のガラス基板 215 は本体の支持体及び反り防止のために接着される。

【0043】

さらに、接着された第 2 のガラス基板 215 上に、緩衝部材 216 を形成する。この緩衝部材 216 はハンダバンプ 223 の形成位置に対応させて形成する。緩衝部材 216 は、例えばレジスト材料や有機膜で形成しても良いし、銅 (Cu) 等の金属をスパッタ法により形成しても良い。また、緩衝部材 216 は必要に応じて形成すれば良く、この半導体装置の用途に応じて必要ない場合には省略することもできる。

【0044】

次に、図 14 に示すように、第 2 のガラス基板 215 及びシリコンウエーハ 210 を貫通し、拡張パッド電極 211 の表面に到達するビアホール 217 を形成する。このビアホール 217 の深さは 200 μm となる。また、その幅は例えば 40 μm 、その長さは 200 μm である。

【0045】

このような材質の異なる複数の層を貫通して、深いビアホール 217 を形成するには、レーザービームを用いてシリコンウエーハ 210 に穴を開ける方法が適している。ウエットエッチング法またはドライエッチング法を用いて穴を開ける場合には、異なる層毎にエッチングガスを切り換える必要があり、製造工程が複雑になるからである。なお、このビアホール 217 は、レーザービームの制御により図 19 に示すようにテーパ形状に加工しても良い。

【0046】

次に、柱状端子 220 及び再配線層 221 を形成するが、この工程および以降の工程は、第 1 の実施形態とまったく同じなので、図だけを示し説明は省略する (図 15 乃至図 18)。

【0047】

次に、本発明の第 3 の実施形態について図面を参照しながら詳細に説明する。まず、この半導体装置の構造について図 28 を参照しながら説明する。図 28 (A) は、第 2 のガラス基板 315 側から見たシリコンウエーハのダイシングライン領域周辺の平面図、図 28 (B) は図 28 (A) の X-X 線に沿った断面図である。この半導体装置は、後述する工程を経たシリコンウエーハをダイシングライン領域に沿って複数のチップに分割した状態 (図においては 2 つに分割されたチップ) を示している。

【0048】

シリコンチップ 310 A は、例えば CCD イメージセンサ・チップであり、その表面には、拡張パッド電極 311 が形成されている。この拡張パッド電極 311 は、通常のワイヤボンディングに用いられるパッド電極をダイシングライン領域にまで拡張したものである。拡張パッド電極 311 の表面は、図示しないシリコン窒化膜等のパッシベーション膜で被覆されている。この拡張パッド電極 311 が形成されたシリコンチップ 310 A の表面には、例えばエポキシ樹脂から成る樹脂層 312 を介して、透明な第 1 のガラス基板 313 が接着されている。

【0049】

また、シリコンチップ 310 A の側面と拡張パッド電極 311 の一部上は、例えばエポキシ樹脂から成る樹脂層 314 によって被覆されている。そして、この樹脂層 314 を用いて、シリコンチップ 310 A の裏面に透明な第 2 のガラス基板 315 が接着されている

10

20

30

40

50

【0050】

そして、第2のガラス基板315側から拡張パッド電極311に到達するビアホール317が開口され、このビアホール317内に埋め込むように、例えば銅(Cu)のような導電材料から成る柱状端子320が形成されている。柱状端子320から第2のガラス基板315上に再配線層321が延びており、さらに、この再配線上にはソルダーマスク322が被着され、その開口部にハンダバンプ323(バンプ電極)が搭載されている。ハンダバンプ323は所望の位置に複数形成することでBGA構造を得ることができる。こうして、シリコンチップ310Aの拡張パッド電極311から、その裏面に形成されたハンダバンプ323に至るまでの配線が可能となる。そして、本発明はビアホール317に埋設した柱状端子320を利用して配線しているので、断線が起こりにくく、ステップカバレージも優れている。さらに配線の機械的強度も高い。

10

【0051】

なお、ハンダバンプ323の形成位置に対応させて第2のガラス基板315の表面に緩衝部材316を設けてもよい。これは、ハンダバンプ323の高さを稼ぐためである。これにより、この半導体装置をプリント基板に実装する際に、プリント基板とハンダバンプ323との熱膨張率の差によって生じる応力によって、ハンダバンプ323や第2のガラス基板315が損傷することが防止される。緩衝部材316は、例えばレジスト材料や有機膜で形成しても良いし、銅(Cu)等の金属で形成しても良い。

【0052】

また、ビアホール317は図28に示すようにストレートに開口されているが、これに限らず、図29に示すように、そのビアホール317の断面が、表面から深くなるほど細くなるテーパ形状を呈していてもよい。なお、図29(A)はシリコンウエーハのダイシングライン領域周辺の平面図、図29(B)は図29(A)のX-X線に沿った断面図である。これにより、後述するようにメッキ法により柱状端子320を形成する場合に、メッキ用のシーズ層318をスパッタで形成することができるなどの利点がある。

20

【0053】

次にこの半導体装置の製造方法について説明する。図20に示すように、シリコンウエーハ310の表面には、図示しない半導体集積回路(例えば、CCDイメージセンサ)が形成されているものとする。そして、そのシリコンウエーハ310の表面には、上述した拡張パッド電極311が形成されている。この拡張パッド電極311はアルミニウム、アルミニウム合金、または銅等の金属から成り、その厚さは1 μ mである。

30

【0054】

次に図21に示すように、例えばエポキシ樹脂から成る樹脂層312を介して、第1のガラス基板313を接着する。この第1のガラス基板313はシリコンウエーハ310の保護体や支持体として機能する。そして、この第1のガラス基板313が接着された状態で、シリコンウエーハ310の裏面研磨、いわゆるバックグラインドを行い、その厚さを100 μ mに加工する。尚、機械的に研磨した後に、化学的なエッチング処理により研磨面を整形しても良い。また、研磨処理することなく、ウエットまたはドライエッチング処理だけでも良い。

40

【0055】

次に図22に示すように、ダイシングライン領域のシリコンウエーハ310を部分的にエッチング除去する。つまり、拡張パッド電極311の一端部を露出するようにシリコンウエーハ310をエッチングする。このエッチングはレジストマスクを用いたドライエッチングである。

【0056】

次に図23に示すように、シリコンウエーハ310の裏面にエポキシ樹脂から成る樹脂層314を塗布する。これにより、拡張パッド電極311の露出部分とエッチングされたシリコンウエーハ310の側面は樹脂層314で被覆される。そして、この樹脂層314を用いてシリコンウエーハ310の裏面に第2のガラス基板315を接着する。第2のガ

50

ラス基板 315 の厚さは 100 μm である。第 2 のガラス基板 315 は本体の支持体及び反り防止のために接着される。

【0057】

さらに、接着された第 2 のガラス基板 315 上に、緩衝部材 316 を形成する。この緩衝部材 316 はハンダバンプ 323 の形成位置に対応させて形成する。緩衝部材 316 は、例えばレジスト材料や有機膜で形成しても良いし、銅 (Cu) 等の金属をスパッタすることにより形成しても良い。なお、緩衝部材 316 は必要に応じて形成すれば良く、この半導体装置の用途に応じて必要ない場合には省略することもできる。

【0058】

次に、図 24 に示すように、第 2 のガラス基板 315 及び樹脂層 314 を貫通し、拡張パッド電極 311 の表面に到達するビアホール 317 を形成する。このビアホール 317 の深さは 200 μm となる。また、その幅は例えば 40 μm 、その長さは 200 μm である。このような材質の異なる複数の層を貫通して、深いビアホール 317 を形成するには、レーザービームを用いてシリコンウエーハ 210 に穴を開ける方法が適している。ウエットエッチング法またはドライエッチング法を用いて穴を開ける場合には、異なる層毎にエッチングガスを切り換える必要があり、製造工程が複雑になるからである。なお、このビアホール 317 は、レーザービームの制御により図 29 に示すようにテーパ形状に加工しても良い。

【0059】

次に柱状端子 320 および再配線層 321 を形成するために、まず銅 (Cu) からなるシーズ層 318 を無電解メッキにより全面に形成する。この工程および以降の工程は、第 1 の実施形態とまったく同じなので、図だけを示し説明は省略する (図 25 乃至図 28)。

【0060】

上述した各実施形態では、ビアホール (17, 217 または 317) 内に電解メッキにより、柱状端子 (20, 220 または 320) を形成しているが、本発明はこれには限定されず、他の方法で形成しても良い。例えば、ビアホール内に CVD 法や MOCVD 法によりアルミニウム、アルミニウム合金、また銅 (Cu) 等の金属を埋め込む方法が挙げられる。

【0061】

また、上述した各実施形態では、再配線層 (21, 221 または 321) 上にハンダバンプ (23, 223 または 323) を形成しているが、本発明はこれには限定されず、柱状端子 (20, 220 または 320) から延びた再配線層 (21, 221 または 321) を形成しないで、ビアホール (17, 217 または 317) に埋め込まれた柱状端子 (20, 220 または 320) の上に、ハンダバンプ (23, 223 または 323) を形成しても良い。

【0062】

さらにまた、上述した各実施形態では、通常のワイヤボンディングに用いられるパッド電極をダイシングライン領域まで拡張して成る拡張パッド電極 (11, 211 または 311) を形成しているが、本発明はこれには限定されず、拡張パッド電極 (11, 211 または 311) の代わりに、ダイシングライン領域まで拡張されない通常のワイヤボンディングに用いられるパッド電極をそのまま利用しても良い。この場合は、ビアホール (17, 217 または 317) の形成位置をこのパッド電極を合わせれば良く、他の工程は全く同じである。

【0063】

さらにまた、上述した各実施形態においては本発明を半導体チップの裏面にバンプ電極を有する BGA 型の半導体装置に適用しているが、本発明はこれに限らず、半導体チップの裏面にバンプ電極を有さない、いわゆる LGA (Land Grid Array) 型の半導体装置に本発明を適用しても良い。即ち、再配線層 (21, 221 または 321) の表面に保護膜 (22, 222, 322) を形成し、この保護膜 (22, 222, 322)

10

20

30

40

50

)の開口部にハンダバンプ23を形成しない状態の半導体装置を構成するものである。

【0064】

また、再配線層(21, 221または321)を形成しないで、ビアホール(17, 217または317)内に柱状端子(20, 220または320)を形成し、この柱状端子(20, 220または320)の表面が露出するように保護膜(22, 222, 322)が形成された半導体装置を構成するものでも良い。

【図面の簡単な説明】

【0065】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法を説明する断面図である。

10

【図3】本発明の第1の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図4】本発明の第1の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図5】本発明の第1の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図6】本発明の第1の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図7】本発明の第1の実施形態に係る半導体装置の製造方法を説明する平面図である。

【図8】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する図である。

【図9】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する図である。

【図10】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

20

【図11】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

【図12】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

【図13】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

【図14】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

【図15】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

30

【図16】本発明の第2の実施形態に係る半導体装置の製造方法を説明する平面図である

【図17】本発明の第2の実施形態に係る半導体装置の製造方法を説明する断面図である

【図18】本発明の第2の実施形態に係る半導体装置及びその製造方法を説明する図である。

【図19】本発明の第2の実施形態に係る半導体装置及びその製造方法を説明する図である。

【図20】本発明の第3の実施形態に係る半導体装置の製造方法を説明する断面図である

40

【図21】本発明の第3の実施形態に係る半導体装置の製造方法を説明する断面図である

【図22】本発明の第3の実施形態に係る半導体装置の製造方法を説明する断面図である

【図23】本発明の第3の実施形態に係る半導体装置の製造方法を説明する断面図である

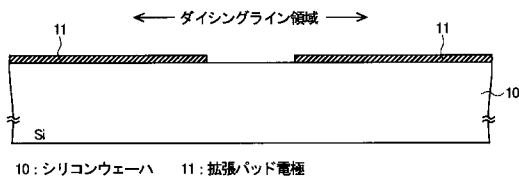
【図24】本発明の第3の実施形態に係る半導体装置の製造方法を説明する断面図である

【図25】本発明の第3の実施形態に係る半導体装置の製造方法を説明する断面図である

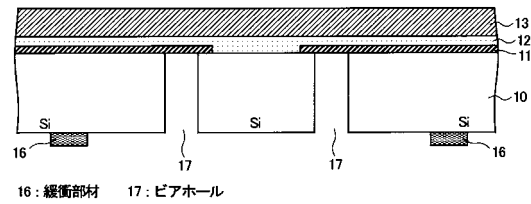
50

- 。 【図 2 6】 本発明の第 3 の実施形態に係る半導体装置の製造方法を説明する平面図である
- 。 【図 2 7】 本発明の第 3 の実施形態に係る半導体装置の製造方法を説明する断面図である
- 。 【図 2 8】 本発明の第 3 の実施形態に係る半導体装置及びその製造方法を説明する図である。
- 【図 2 9】 本発明の第 3 の実施形態に係る半導体装置及びその製造方法を説明する図である。
- 【図 3 0】 従来に係る半導体装置を説明する図である。
- 【図 3 1】 従来に係る半導体装置を説明する図である。

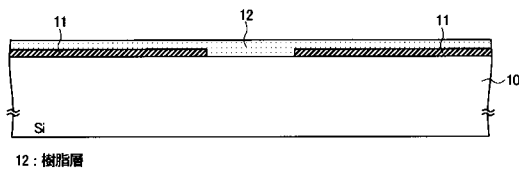
【図 1】



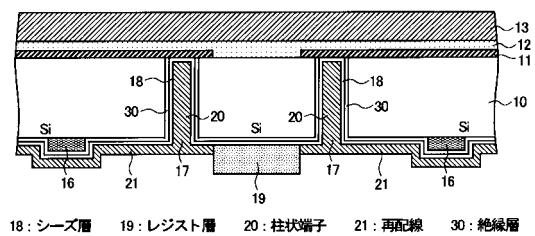
【図 4】



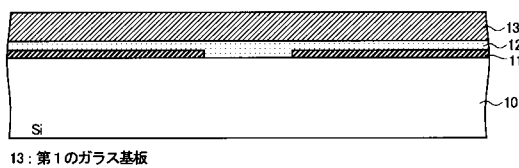
【図 2】



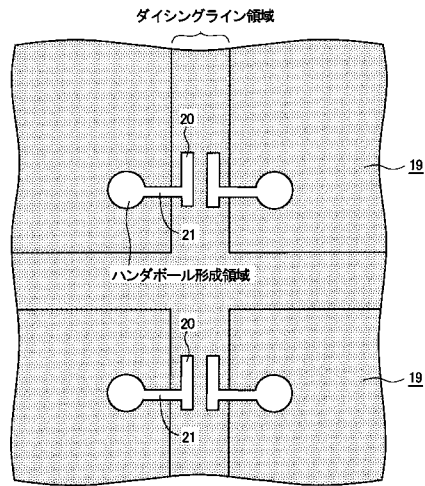
【図 5】



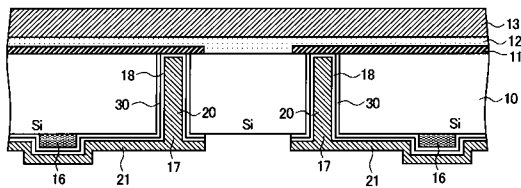
【図 3】



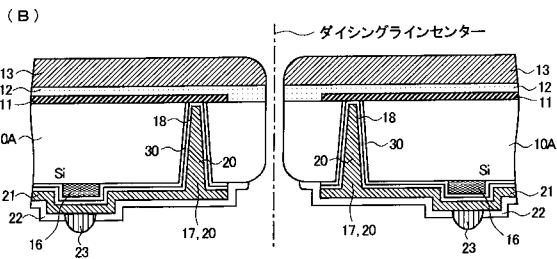
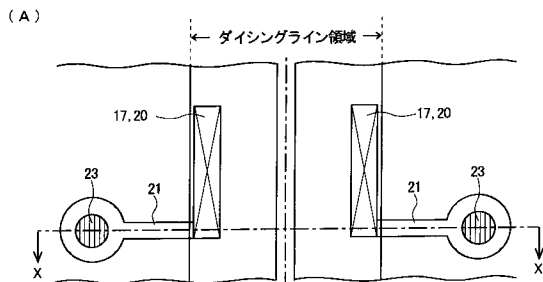
【図6】



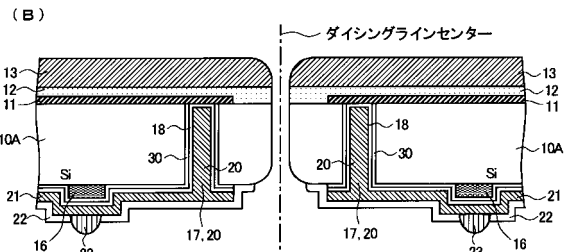
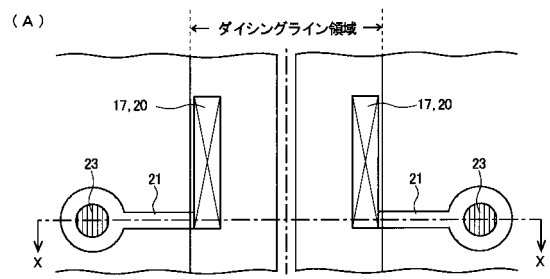
【図7】



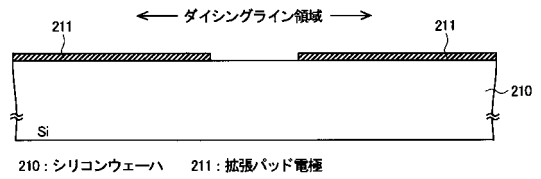
【図9】



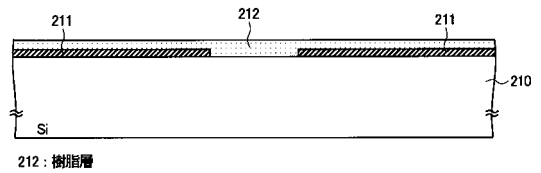
【図8】



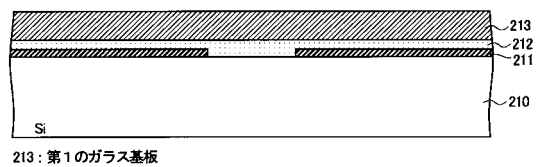
【図10】



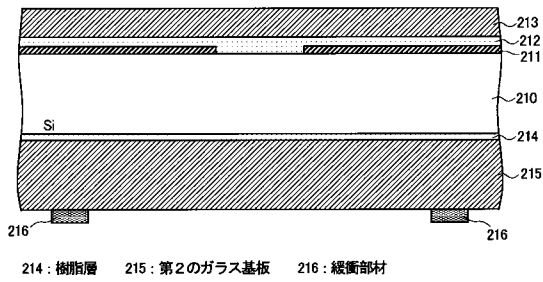
【図11】



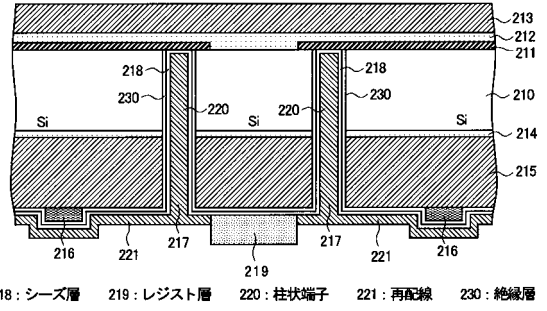
【図12】



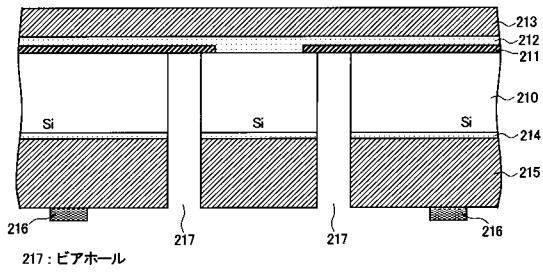
【図13】



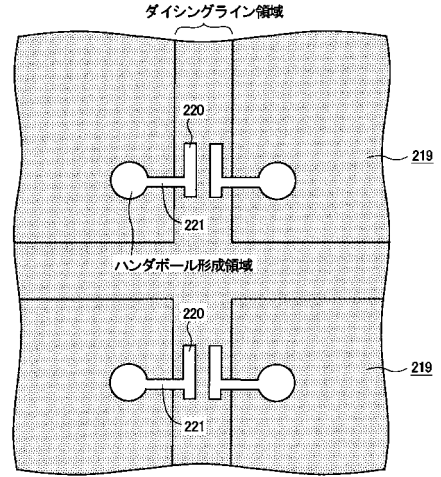
【図15】



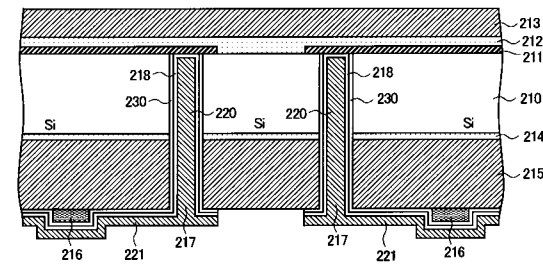
【図14】



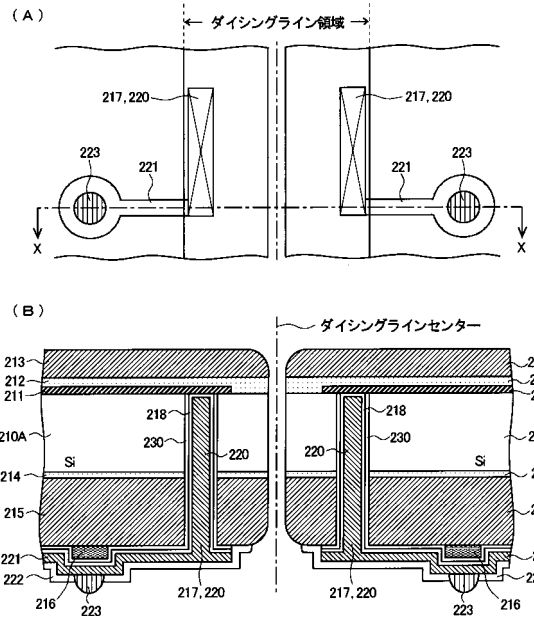
【図16】



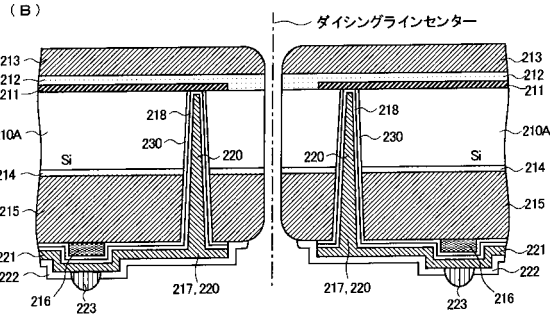
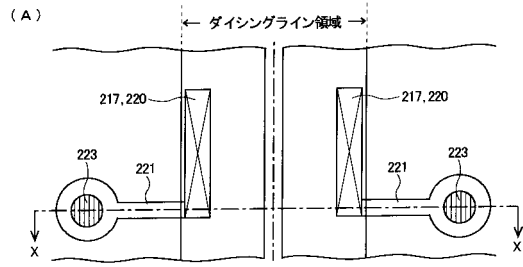
【図17】



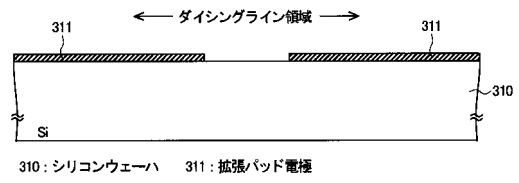
【図18】



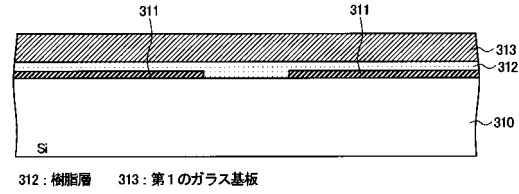
【図19】



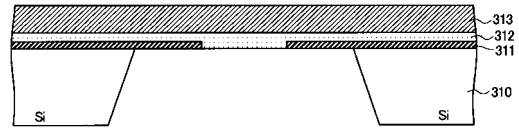
【図20】



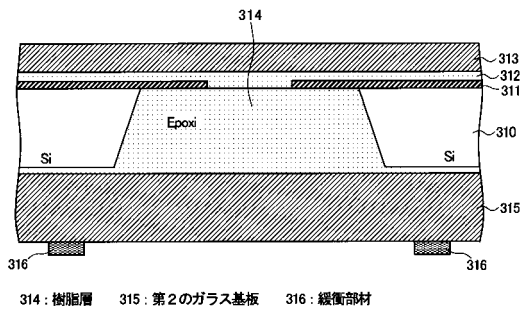
【図21】



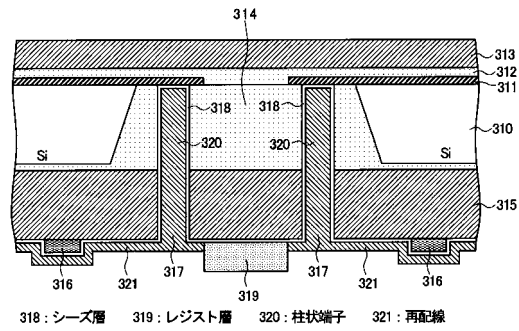
【図22】



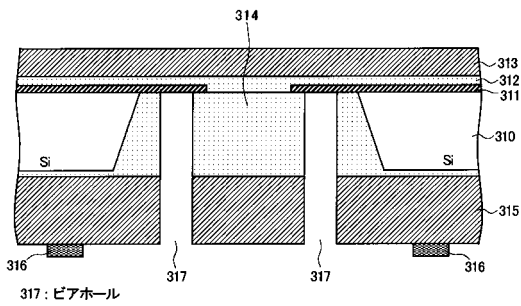
【図23】



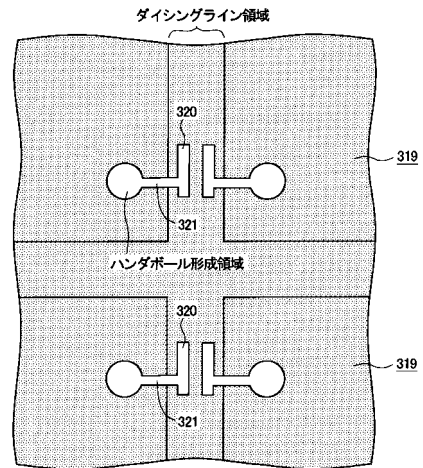
【図25】



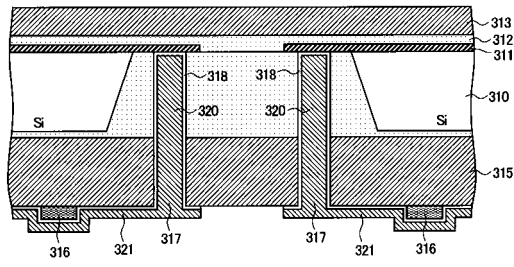
【図24】



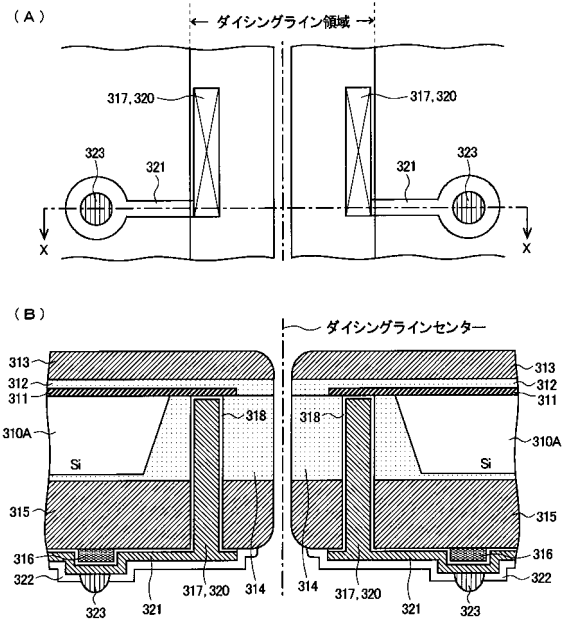
【図26】



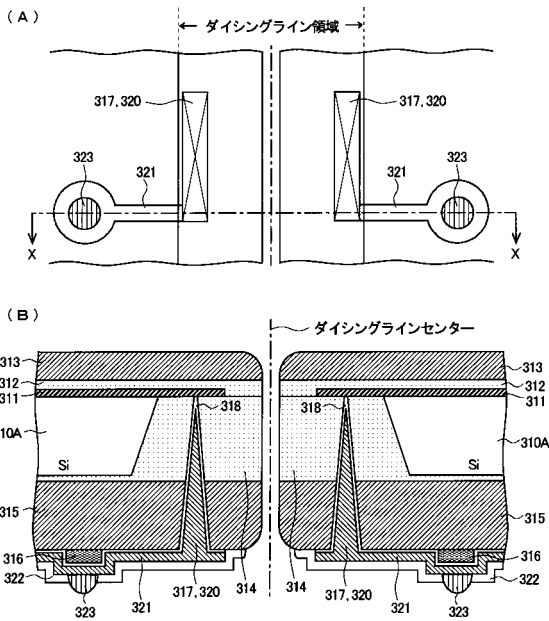
【図27】



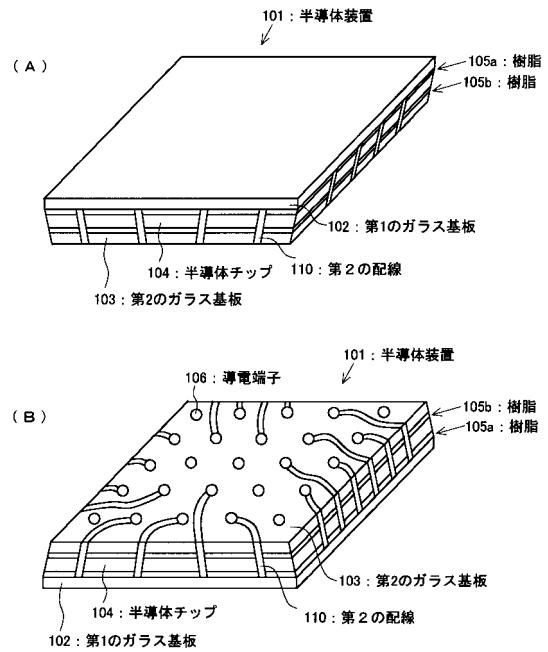
【図28】



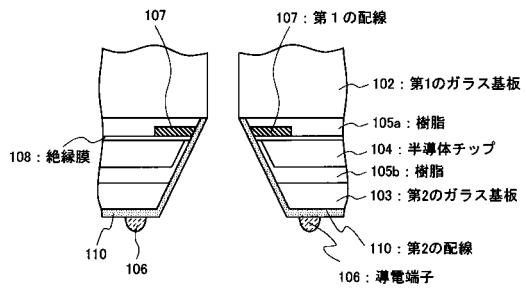
【図29】



【図30】



【図 3 1】



フロントページの続き

- (56)参考文献 特開2002-094082(JP,A)
特開2001-339057(JP,A)
特開2001-351997(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01L 31/02